

(72) 발명자

최재범

경기도 용인시 기흥구 삼성2로 95 (농서동)

이원규

경기도 용인시 기흥구 삼성2로 95 (농서동)

장영진

경기도 용인시 기흥구 삼성2로 95 (농서동)

특허청구의 범위

청구항 1

기관;

상기 기관 상에 배치되고, 활성층, 게이트 전극, 소스 전극 및 드레인 전극을 포함하는 박막 트랜지스터;

상기 박막 트랜지스터와 측방으로 이격되어 상기 기관 상에 형성되고, 절연층으로 형성된 요철 패턴부;

상기 요철 패턴부의 바깥쪽 사면을 따라 형성된 도전체 격벽;

상기 요철 패턴부 상에 형성된 화소 전극;

상기 화소 전극 상에 형성되고 유기 발광층을 포함하는 중간층; 및

상기 중간층 상에 형성된 대향 전극;을 포함하는 유기 발광 표시 장치.

청구항 2

제1항에 있어서,

상기 요철 패턴부는, 상기 박막 트랜지스터를 구성하는 절연층과 동일한 층에 형성된 절연층을 포함하는 유기 발광 표시 장치.

청구항 3

제1항에 있어서,

상기 기관과 상기 박막 트랜지스터 사이에 버퍼층이 더 구비되고,

상기 요철 패턴부는 상기 버퍼층을 더 포함하는 유기 발광 표시 장치.

청구항 4

제3항에 있어서,

상기 요철 패턴부는 상기 버퍼층에 형성되는 요철 패턴이 상기 기관의 표면을 노출하도록 형성된 유기 발광 표시 장치.

청구항 5

제3항에 있어서,

상기 요철 패턴부는 상기 버퍼층을 포함하는 픽셀 버퍼층; 및

상기 픽셀 버퍼층을 덮도록 형성되는 픽셀 절연층을 포함하는 유기 발광 표시 장치.

청구항 6

제5항에 있어서,

상기 박막 트랜지스터는, 상기 활성층, 상기 게이트 전극, 상기 소스 전극 및 드레인 전극의 순서로 적층되고,

상기 활성층과 상기 게이트 전극 사이에 게이트 절연층이 형성되고,

상기 게이트 전극과 상기 소스 전극 및 드레인 전극 사이에 층간 절연층이 형성되고,

상기 요철 패턴부의 픽셀 절연층은, 상기 게이트 절연층과 동일한 층에 형성되는 유기 발광 표시 장치.

청구항 7

제6항에 있어서,

상기 층간 절연층은 상기 기관 상에 개구를 형성하고,

상기 요철 패턴부는 상기 개구에 형성되는 유기 발광 표시 장치.

청구항 8

제1항에 있어서,

상기 화소 전극은 투명 도전물을 포함하는 유기 발광 표시 장치.

청구항 9

제8 항에 있어서,

상기 화소 전극은 인듐틴옥사이드(indium tin oxide: ITO), 인듐징크옥사이드(indium zinc oxide: IZO), 징크 옥사이드(zinc oxide: ZnO), 인듐옥사이드(indium oxide: In₂O₃), 인듐갈륨옥사이드(indium gallium oxide: IGO) 및 알루미늄징크옥사이드(aluminium zinc oxide: AZO)을 포함하는 그룹에서 선택된 적어도 하나를 포함하는 유기 발광 표시 장치.

청구항 10

제1항에 있어서,

상기 요철 패턴부는, 적어도 두 층 이상의 절연층이 적층된 유기 발광 표시 장치.

청구항 11

제10항에 있어서,

상기 두 층 이상의 절연층은 굴절률이 다른 유기 발광 표시 장치.

청구항 12

제11항에 있어서,

상기 두 층 이상의 절연층은 동일한 바깥쪽 식각면을 갖고, 상기 격벽은 상기 바깥쪽 식각면에 적층되는 유기 발광 표시 장치.

청구항 13

제1항에 있어서,

상기 활성층과 동일층에 형성된 커패시터 제1 전극과, 상기 화소 전극과 동일 재료로 형성된 커패시터 제2 전극을 포함하는 유기 발광 표시 장치.

청구항 14

제1항에 있어서,

상기 대향 전극은 반사 전극인 유기 발광 표시 장치.

청구항 15

제1항에 있어서,

상기 박막 트랜지스터를 덮으며 기판 상에 상기 박막 트랜지스터로부터 측방으로 이격되어 개구가 형성된 화소 정의막을 더 포함하고,

상기 화소 전극은 상기 화소 정의막에 형성된 개구에 배치된 유기 발광 표시 장치.

청구항 16

기판 상에 버퍼층을 형성하고, 상기 버퍼층을 패터닝하여 요철 패턴을 갖는 픽셀 버퍼층을 형성하는 제1 마스크 공정;

기판 상에 반도체층을 형성하고, 상기 반도체층을 패터닝하여 박막 트랜지스터의 활성층을 형성하는 제2 마스크

공정;

제1 절연층(GI)을 형성하고, 상기 제1 절연층 상에 제1 도전층을 적층하고, 상기 제1 도전층을 패터닝하여 박막 트랜지스터의 게이트 전극, 및 상기 게이트 전극의 측방으로 식각 저지부를 형성하는 제3 마스크 공정;

제2 절연층(ILD)을 형성하고, 상기 제2 절연층을 패터닝하여 상기 활성층을 노출시키는 제1 개구를 형성하고, 상기 식각 저지부에 노출된 상기 제1 절연층을 패터닝하여 요철 패턴부를 형성하는 제4 마스크 공정;

제2 도전층을 형성하고, 상기 제2 도전층을 패터닝하여, 소스 전극, 드레인 전극 및 상기 요철 패턴부의 사면을 따라 형성된 격벽을 형성하는 제5 마스크 공정;

제3 도전층(애노드)을 형성하고, 상기 제3 도전층을 패터닝하여 상기 요철 패턴부 상의 일부 영역에 화소 전극을 형성하는 제6 마스크 공정; 및

제3 절연층을 형성하고, 상기 화소 전극을 노출시키는 개구를 형성하는 제7 마스크 공정; 을 포함하는 유기 발광 표시 장치의 제조 방법.

청구항 17

제16항에 있어서,

상기 요철 패턴부는 상기 버퍼층 및 상기 제1 절연층을 포함하는 유기 발광 표시 장치의 제조 방법.

청구항 18

제17항에 있어서,

상기 제5 마스크 공정은 상기 버퍼층 및 상기 제1 절연층의 사면을 따라 상기 격벽을 형성하는 유기 발광 표시 장치의 제조 방법.

명세서

기술 분야

[0001] 본 발명은 유기 발광 표시 장치 및 그 제조 방법에 관한 것으로, 더욱 상세하게는 배면 발광 구조 유기 발광 표시 장치에서, 빛샘 현상을 방지하고 광 추출 효율을 개선할 수 있는 유기 발광 표시 장치 및 그 제조 방법에 관한 것이다.

배경 기술

[0002] 유기 발광 표시 장치는 저전압으로 구동이 가능하고, 경량의 박형이며, 시야각이 넓고 콘트라스트가 우수할 뿐만 아니라 응답속도가 빠르다는 장점으로 인해 차세대 디스플레이 장치로서 주목 받고 있다.

[0003] 이러한 유기 발광 표시 장치는 넓은 발광 파장을 가지며, 이에 따라 발광 효율이 떨어지고 색순도가 저하된다. 또한, 유기 발광층에서 방출되는 빛은 특정한 방향성이 없으므로, 임의의 방향으로 방출되는 광자 중 상당수가 유기 발광 소자의 내부 전반사에 의해 실제 관측자에게 도달하지 못하여 유기 발광 소자의 광 추출 효율을 떨어뜨린다. 광 추출 효율을 향상시키기 위해 유기 발광 표시 장치 내에 DBR(distributed brag reflector) 미러(mirror)를 적용하거나, 유기층의 두께를 조절하는 공진 구조를 적용할 수 있다. 그러나 이러한 공진 구조는 광 효율은 향상시키지만, 시야각에 따른 색 편이(color shift)가 발생하는 문제가 발생한다.

발명의 내용

해결하려는 과제

[0004] 본 발명의 목적은 픽셀 영역에 메탈 격벽을 형성하여 광 추출 효율이 개선된 유기 발광 표시 장치 및 그 제조 방법을 제공하는 데 있다.

과제의 해결 수단

[0005] 본 발명의 실시예에 의하면, 기관; 상기 기관 상에 배치되고, 활성층, 게이트 전극, 소스 전극 및 드레인 전극을 포함하는 박막 트랜지스터; 상기 박막 트랜지스터와 측방으로 이격되어 상기 기관 상에 형성되고, 절연층으

로 형성된 요철 패턴부; 상기 요철 패턴부의 바깥쪽 사면을 따라 형성된 도전체 격벽; 상기 요철 패턴부 상에 형성된 화소 전극; 상기 화소 전극 상에 형성되고 유기 발광층을 포함하는 중간층; 및 상기 중간층 상에 형성된 대향 전극;을 포함하는 유기 발광 표시 장치가 제공된다.

- [0006] 본 발명에 있어서, 상기 요철 패턴부는, 상기 박막 트랜지스터를 구성하는 절연층과 동일한 층에 형성된 절연층을 포함할 수 있다.
- [0007] 본 발명에 있어서, 상기 기판과 상기 박막 트랜지스터 사이에 버퍼층이 더 구비되고, 상기 요철 패턴부는 상기 버퍼층을 더 포함할 수 있다.
- [0008] 본 발명에 있어서, 상기 요철 패턴부는 상기 버퍼층에 형성되는 요철 패턴이 상기 기판의 표면을 노출하도록 형성될 수 있다.
- [0009] 본 발명에 있어서, 상기 요철 패턴부는 상기 버퍼층을 포함하는 픽셀 버퍼층; 및 상기 픽셀 버퍼층을 덮도록 형성되는 픽셀 절연층을 포함할 수 있다.
- [0010] 본 발명에 있어서, 상기 박막 트랜지스터는, 상기 활성층, 상기 게이트 전극, 상기 소스 전극 및 드레인 전극의 순서로 적층되고, 상기 활성층과 상기 게이트 전극 사이에 게이트 절연층이 형성되고, 상기 게이트 전극과 상기 소스 전극 및 드레인 전극 사이에 층간 절연층이 형성되고, 상기 요철 패턴부의 픽셀 절연층은, 상기 게이트 절연층과 동일한 층에 형성될 수 있다.
- [0011] 본 발명에 있어서, 상기 층간 절연층은 상기 기판 상에 개구를 형성하고, 상기 요철 패턴부는 상기 개구에 형성될 수 있다.
- [0012] 본 발명에 있어서, 상기 화소 전극은 투명 도전물을 포함할 수 있다.
- [0013] 제8 항에 있어서, 상기 화소 전극은 인듐틴옥사이드(indium tin oxide: ITO), 인듐징크옥사이드(indium zinc oxide: IZO), 징크옥사이드(zinc oxide: ZnO), 인듐옥사이드(indium oxide: In₂O₃), 인듐갈륨옥사이드(indium gallium oxide: IGO) 및 알루미늄징크옥사이드(aluminium zinc oxide: AZO)을 포함하는 그룹에서 선택된 적어도 하나를 포함할 수 있다.
- [0014] 본 발명에 있어서, 상기 요철 패턴부는, 적어도 두 층 이상의 절연층이 적층될 수 있다.
- [0015] 본 발명에 있어서, 상기 두 층 이상의 절연층은 굴절률이 다를 수 있다.
- [0016] 본 발명에 있어서, 상기 두 층 이상의 절연층은 동일한 바깥쪽 식각면을 갖고, 상기 격벽은 상기 바깥쪽 식각면에 적층될 수 있다.
- [0017] 본 발명에 있어서, 상기 활성층과 동일층에 형성된 커패시터 제1 전극과, 상기 화소 전극과 동일 재료로 형성된 커패시터 제2 전극을 포함할 수 있다.
- [0018] 본 발명에 있어서, 상기 대향 전극은 반사 전극일 수 있다.
- [0019] 본 발명에 있어서, 상기 박막 트랜지스터를 덮으며 기판 상에 상기 박막 트랜지스터로부터 측방으로 이격되어 개구가 형성된 화소 정의막을 더 포함하고, 상기 화소 전극은 상기 화소 정의막에 형성된 개구에 배치될 수 있다.
- [0020] 본 발명의 다른 실시예에 따르면, 기판 상에 버퍼층을 형성하고, 상기 버퍼층을 패터닝하여 요철 패턴을 갖는 픽셀 버퍼층을 형성하는 제1 마스크 공정; 기판 상에 반도체층을 형성하고, 상기 반도체층을 패터닝하여 박막 트랜지스터의 활성층을 형성하는 제2 마스크 공정; 제1 절연층(GI)을 형성하고, 상기 제1 절연층 상에 제1 도전층을 적층하고, 상기 제1 도전층을 패터닝하여 박막 트랜지스터의 게이트 전극, 및 상기 게이트 전극의 측방으로 식각 저지부를 형성하는 제3 마스크 공정; 제2 절연층(ILD)을 형성하고, 상기 제2 절연층을 패터닝하여 상기 활성층을 노출시키는 제1 개구를 형성하고, 상기 식각 저지부에 노출된 상기 제1 절연층을 패터닝하여 요철 패턴부를 형성하는 제4 마스크 공정; 제2 도전층을 형성하고, 상기 제2 도전층을 패터닝하여, 소스 전극, 드레인 전극 및 상기 요철 패턴부의 사면을 따라 형성된 격벽을 형성하는 제5 마스크 공정; 제3 도전층(애노드)을 형성하고, 상기 제3 도전층을 패터닝하여 상기 요철 패턴부 상의 일부 영역에 화소 전극을 형성하는 제6 마스크 공정; 및 제3 절연층을 형성하고, 상기 화소 전극을 노출시키는 개구를 형성하는 제7 마스크 공정; 을 포함하는 유기 발광 표시 장치의 제조 방법이 제공된다.
- [0021] 본 발명에 있어서, 상기 요철 패턴부는 상기 버퍼층 및 상기 제1 절연층을 포함할 수 있다.

[0022] 본 발명에 있어서, 상기 제5 마스크 공정은 상기 버퍼층 및 상기 제1 절연층의 사면을 따라 상기 격벽을 형성할 수 있다.

발명의 효과

[0023] 상술한 바와 같은 실시예들에 관한 유기 발광 표시 장치 및 그 제조 방법은, 픽셀 영역에 메탈 격벽을 형성함으로써, 빛샘 현상을 개선할 수 있다.

[0024] 또한, 캐소드 전극의 저항을 감소시킬 수 있다.

도면의 간단한 설명

[0025] 도 1은 본 발명의 일 실시예에 관한 유기 발광 표시 장치를 개략적으로 도시한 단면도이다.

도 2a 내지 도 2f는 도 1의 유기 발광 표시 장치의 제조 방법을 순차적으로 도시한 단면도들이다.

도 3은 격벽 형상의 일 예를 도시한 평면도이다.

도 4는 본 발명의 다른 일 실시예에 관한 유기 발광 표시 장치를 개략적으로 도시한 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0026] 이하, 첨부한 도면을 참고로 하여 본 발명의 여러 실시예들에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예들에 한정되지 않는다.

[0027] 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 동일 또는 유사한 구성요소에 대해서는 동일한 참조 부호를 붙이도록 한다.

[0028] 또한, 여러 실시예들에 있어서, 동일한 구성을 가지는 구성요소에 대해서는 동일한 부호를 사용하여 대표적으로 제1 실시예에서 설명하고, 그 외의 실시예에서는 제1 실시예와 다른 구성을 중심으로 설명하기로 한다.

[0029] 또한, 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로, 본 발명이 반드시 도시된 바에 한정되지 않는다.

[0030] 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 그리고 도면에서, 설명의 편의를 위해, 일부 층 및 영역의 두께를 과장되게 나타내었다. 층, 막, 영역, 판 등의 부분이 다른 부분 뿔뿔 있다고 할 때, 이는 다른 부분 "바로 상에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다.

[0031] 또한, 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다. 또한, 명세서 전체에서, "~상에" 라 함은 대상 부분의 위 또는 아래에 위치함을 의미하는 것이며, 반드시 중력 방향을 기준으로 상 측에 위치하는 것을 의미하는 것은 아니다.

[0032] 도 1은 본 발명의 일 실시예에 관한 유기 발광 표시 장치(1)를 개략적으로 도시한 단면도이다.

[0033] 도 1을 참조하면, 기판(10) 상에 픽셀 영역(PXL), 트랜지스터 영역(TR), 및 커패시터 영역(CAP)이 구비된다.

[0034] 기판(10)은 유리 기판뿐만 아니라, PET(Polyethylen terephthalate), PEN(Polyethylen naphthalate), 폴리이미드(Polyimide) 등을 포함하는 플라스틱 기판 등의 투명 기판으로 구비될 수 있다.

[0035] 기판(10) 상에 버퍼층(11)이 구비될 수 있다. 버퍼층(11)은 기판(10) 상부에 평활한 면을 형성하고 불순원소가 침투하는 것을 차단하기 위한 것으로, 실리콘질화물 및/또는 실리콘산화물 등으로 단층 또는 복수층으로 형성될 수 있다.

[0036] 본 실시예에서 픽셀 영역(PXL)에 요철 패턴으로 형성된 버퍼층(11)은 요철 패턴을 형성할 수 있도록 제1 내지 제4 개구(C1 내지 C4)를 형성한다. 특히, 요철 패턴으로 형성된 버퍼층(11)은 메탈 격벽(116)이 비스듬히 증착될 수 있도록 비스듬한 사면을 갖는 개구(C1 내지 C4)를 포함할 수 있다. 픽셀 영역의 버퍼층(11)은 픽셀 버퍼층(111) 및 제1,2 요철 버퍼층(11a, 11b)을 형성하며, 상기 픽셀 버퍼층(111) 상의 영역에 후술할 유기 발광 물질(119)이 생성된다.

- [0037] 버퍼층(11) 상에 활성층(212)이 구비된다. 활성층(212)은 비정질 실리콘 또는 결정질 실리콘을 포함하는 반도체로 형성될 수 있다. 활성층(212)은 채널 영역(212d)과, 채널 영역(212d) 외측에 이온불순물이 도핑된 소스 영역(212b) 및 드레인 영역(212c)을 포함할 수 있다.
- [0038] 트랜지스터 영역(TR)에서, 활성층(212) 상에는 게이트 절연층인 제1 절연층(13)을 사이에 두고 활성층(212)의 채널 영역(212d)에 대응되는 위치에 게이트 전극(214)이 구비된다.
- [0039] 게이트 전극(214)은, 예를 들어, 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 니켈(Li), 칼슘(Ca), 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속으로 단층 또는 다층으로 형성될 수 있다.
- [0040] 게이트 전극(214) 상에는 층간 절연층인 제2 절연층(15)을 사이에 두고 활성층(212)의 소스 영역(212b) 및 드레인 영역(212c)에 각각 접촉하는 소스 전극(216a) 및 드레인 전극(216b)이 구비된다. 소스 전극(216a) 및 드레인 전극(216b)은 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 니켈(Li), 칼슘(Ca), 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속 물질을 포함하며, 단층 또는 다층으로 형성될 수 있다.
- [0041] 제2 절연층(15) 상에는 소스 전극(216a) 및 드레인 전극(216b)을 덮도록 제3 절연층(18)이 구비된다. 제3 절연층(18)은 유기 절연층으로 구비될 수 있다.
- [0042] 한편, 픽셀 영역(PXL)으로 연장된 버퍼층(11)과 제1 절연층(13)은 바깥쪽에 동일한 식각면을 가진 요철 패턴부(115)를 형성하고, 요철 패턴부(115)의 가장자리에는 격벽(116)이 형성된다. 보다 상세히, 요철 패턴을 가지는 픽셀 영역(PXL)의 버퍼층(111, 11a, 11b) 상에는 제1 절연층(13)의 일부 영역이 식각된 픽셀 절연층(113)이 형성되며, 픽셀 버퍼층(111), 제1,2 요철 버퍼층(11a, 11b) 및 픽셀 절연층(113)은 요철 패턴부(115)를 형성한다. 또한, 요철 패턴부(115)의 바깥쪽 사면에는 메탈 격벽(116)이 형성된다.
- [0043] 요철 패턴부(115)를 형성하는 버퍼층(111, 11a, 11b)과 픽셀 절연층(113)은 각각 단층 또는 복층의 절연층으로 형성될 수 있다. 또한, 버퍼층(111, 11a, 11b)과 픽셀 절연층(113)은 굴절률이 서로 다른 재료로 형성될 수 있다. 버퍼층(111, 11a, 11b) 및 제1 절연층(13)은 SiNx, SiO₂, SiON, HfO₂, Si₃N₄, ZrO₂, TiO₂, Ta₂O₅, Nb₂O₅, Al₂O₃, BST 및 PZT를 포함하는 그룹에서 선택되는 적어도 하나를 포함할 수 있다. 또한, 요철 패턴부(115)의 가장자리에는 금속 물질을 포함하는 격벽(116)이 형성되어 빛샘 현상을 방지할 수 있다.
- [0044] 즉, 일차적으로 요철 패턴부(115)에 의해 빛이 외부로 새지 않고 반사되며, 이차적으로는 요철 패턴부(115)의 가장자리에 위치한 격벽(116)에 의해 측면으로 빠져나가는 광 경로가 차단된다. 후술하는 바와 같이, 격벽(116)은 소스/드레인 전극(216s/216d)와 같은 성분으로 형성될 수 있다.
- [0045] 격벽(116)은 다양한 형상을 가질 수 있다.
- [0046] 도 3은 격벽(116)의 형상의 일 예를 도시한 평면도이다. 격벽(116)은 도 3(a)와 같이 개구(C5)의 좌우 주변부에 위치하거나, 혹은 도 3(b)와 같이 상하좌우 주변부에 위치할 수 있다. 또 다른 실시예에서는 도 3(c)와 같이 개구(C5) 주변에 연속적으로 형성된 것이 아니라 복수개의 부분으로 끊어져서 위치할 수도 있다. 본 발명에 따른 격벽의 모양은 이 외에도 픽셀부의 상하좌우에 분리 혹은 이어진 형태로 다양하게 제작 가능함은 물론이다.
- [0047] 다시 도 1을 참조하면, 픽셀 절연층(113) 상의 일부 영역에 따라 화소 전극(117)이 형성된다. 화소 전극(117)은 투명 도전성 물질로 구성될 수 있다. 투명 도전성 물질은 인듐틴옥사이드(ITO; indium tin oxide), 인듐징크옥사이드(IZO; indium zinc oxide), 징크옥사이드(ZnO; zinc oxide), 인듐옥사이드(In₂O₃; indium oxide), 인듐갈륨옥사이드(IGO; indium gallium oxide), 및 알루미늄징크옥사이드(AZO; aluminium zinc oxide)를 포함하는 그룹에서 선택된 적어도 하나 이상을 포함할 수 있다.
- [0048] 화소 전극(117) 상에 유기 발광층(119)을 포함하는 중간층(미도시)이 구비된다. 유기 발광층(119)은 저분자 유기물 또는 고분자 유기물일 수 있다. 유기 발광층(119)이 저분자 유기물일 경우, 중간층(미도시)에는 정공 수송층(hole transport layer: HTL), 정공 주입층(hole injection layer: HIL), 전자 수송층(electron transport layer: ETL) 및 전자 주입층(electron injection layer: EIL) 등이 적층될 수 있다. 이외에도 필요에 따라 다양한 층들이 적층될 수 있다. 이때, 사용 가능한 유기 재료로 구리 프탈로시아닌(CuPc; copper phthalocyanine), N'-디(나프탈렌-1-일)-N(N'-Di(naphthalene-1-yl)-N), N'-디페닐-벤지딘(N'-diphenylbenzidine: NPB), 트리스-8-하이드록시퀴놀린 알루미늄(tris-8-hydroxyquinoline aluminum)(Alq₃) 등을 비롯하여 다양하게 적용 가능하다. 한편, 유기 발광층(119)이 고분자 유기물일 경우, 중간층(미도시)에는 정공 수송층

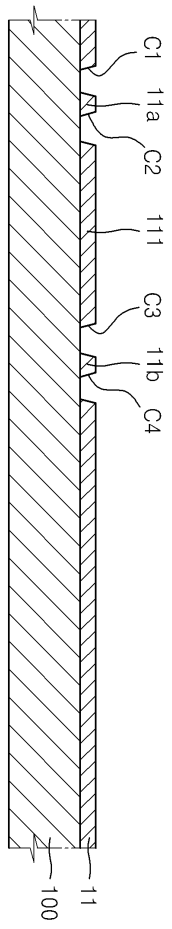
(HTL)이 포함될 수 있다. 정공 수송층은 폴리에틸렌 디히드록시티오펜 (PEDOT: poly-(3,4)-ethylene-dihydroxy thiophene)이나, 폴리아닐린(PANI: polyaniline) 등을 사용할 수 있다. 이때, 사용 가능한 유기 재료로 PPV(Poly-Phenylenevinylene)계 및 폴리플루오렌(Polyfluorene)계 등의 고분자 유기물을 사용할 수 있다. 이와 같은 유기 발광층(119)은 적색, 녹색, 청색의 빛을 방출하는 서브 픽셀로 하나의 단위 픽셀을 이룰 수 있다.

- [0049] 상술한 실시예에서는 유기 발광층(119)이 개구(C5) 내부에 형성되어 각 픽셀 별로 별도의 발광 물질이 형성된 경우를 예로 설명하였으나, 본 발명은 이에 한정되지 않는다. 유기 발광층(119)은 픽셀의 위치에 관계 없이 제3 절연층(18) 전체에 공통으로 형성될 수 있다. 이때, 유기 발광층은 예를 들어, 적색, 녹색 및 청색의 빛을 방출하는 발광 물질을 포함하는 층이 수직으로 적층되거나 혼합되어 형성될 수 있다.
- [0050] 유기 발광층(119) 상에는 공통 전극으로 대향 전극(120)이 증착 된다. 대향 전극(21)은 공통 전극으로 형성될 수 있다. 본 실시예에 따른 유기 발광 표시 장치의 경우, 화소 전극(117)은 애노드 전극으로 사용되고, 대향 전극(120)은 캐소드 전극으로 사용된다. 물론 전극의 극성은 반대로 적용될 수 있음은 물론이다.
- [0051] 대향 전극(120)은 반사 물질을 포함하는 반사 전극으로 구성될 수 있다. 대향 전극(120)은 Ag, Al, Mg, Li, Ca, LiF/Ca 및 LiF/Al에서 선택된 하나 이상의 물질을 포함할 수 있다.
- [0052] 대향 전극(123)이 반사 전극으로 구비됨으로써, 유기 발광층(119)에서 방출된 광은 대향 전극(120)에 의해 반사되어 투명 도전물로 구성된 화소 전극(117)을 투과하여 기관(10) 측으로 방출된다. 이때, 픽셀 영역(PXL)의 요철 구조(115) 및 격벽(116)에 의해, 유기 발광 표시 장치(1)의 광 추출 효율을 높이고, 색 재현율을 높일 수 있다.
- [0053] 커패시터 영역(CAP)에는, 기관(10) 상에 활성층(212)과 동일층에 커패시터 제1 전극(312)이 형성되어 있다. 제1 절연층(13)이 연장되어 커패시터의 유전막을 형성한다. 제1 절연층(13) 상에는 전술한 화소 전극(117)과 동일 재료로 형성된 커패시터의 제2 전극(317)이 형성된다. 도 1에 따른 본 실시예에서는 커패시터의 의 유전막이 제 1 절연층(13)만 해당하는 경우를 도시하였지만, 제1 절연층(13) 및 제2 절연층(15)이 모두 커패시터의 유전막을 형성하는 경우도 상정할 수 있다.
- [0054] 커패시터의 제2 전극(317) 상에는 제3 절연층(18)이 배치된다. 대향 전극(120)과 상부 전극(317) 사이에 유전율이 작은 유기 절연물을 포함하는 제3 절연층(18)이 개재됨으로써, 대향 전극(120)과 커패시터의 제2 전극(317) 사이에 형성될 수 있는 기생 용량을 줄여, 기생 용량에 의한 신호 방해를 방지할 수 있다.
- [0055] 도 2a 내지 도 2g는 도 1의 유기 발광 표시 장치의 제조 방법을 순차적으로 도시한 단면도들이다.
- [0056] 도 2a를 참조하면, 도 2b는 제1 마스크 공정의 결과물을 도시한 것으로, 기관(10) 상에 버퍼층(11)을 형성하고, 버퍼층(11)을 패터닝하여 픽셀 영역(PXL)에 제1 내지 제4 개구(C1 내지 C4)를 형성한다. 제1 내지 제4 개구에 의해, 제1 요철 버퍼층(11a), 제2 요철 버퍼층(11b) 및 픽셀 버퍼층(111)이 형성된다. 제1 요철 버퍼층(11a), 제2 요철 버퍼층(11b)은 후술할 요철 패턴부(115)의 일부가 된다.
- [0057] 버퍼층(11)은 불순물 이온이 확산되는 것을 방지하고, 수분이나 외기의 침투를 방지하며, 표면을 평탄화하기 위한 베리어층, 블록킹층으로 역할 할 수 있다. 버퍼층(11)은 SiO₂ 및/또는 SiN_x 등을 사용하여, PECVD(plasma enhanced chemical vapor deosition)법, APCVD(atmospheric pressure CVD)법, LPCVD(low pressure CVD)법 등 다양한 증착 방법에 의해 형성될 수 있다.
- [0058] 포토 리소그래피에 의한 제1 마스크 공정은 제1 마스크(미도시)에 노광 장치(미도시)로 노광 후, 현상(developing), 식각(etching) 및 스트립핑(striping) 또는 에싱(ashing)등과 같은 일련의 공정을 거쳐 진행된다. 이하, 후속 마스크 공정에서 동일 내용에 대한 설명은 생략하기로 한다.
- [0059] 다음으로, 도 2b를 참조하면, 도 2b는 제2 마스크 공정의 결과물을 도시한 것으로, 버퍼층(11)상에 활성층(212)과 커패시터의 제1 전극(312)을 형성한다.
- [0060] 도 2b에는 상세히 도시되어 있지 않지만, 버퍼층(11) 상에 반도체층(미도시)을 형성하고, 포토레지스터(미도시)를 도포한 후, 제2 마스크(미도시)를 이용한 포토리소그래피 공정에 의해 반도체층(미도시)을 패터닝하여 활성층(212)과 커패시터의 제1 전극(312)을 형성한다.
- [0061] 반도체층(미도시)은 비정질 실리콘(amorphous silicon) 또는 결정질 실리콘(poly silicon)으로 구비될 수 있다. 반도체층은 버퍼층(11) 상에 PECVD(plasma enhanced chemical vapor deposition)법, APCVD(atmospheric

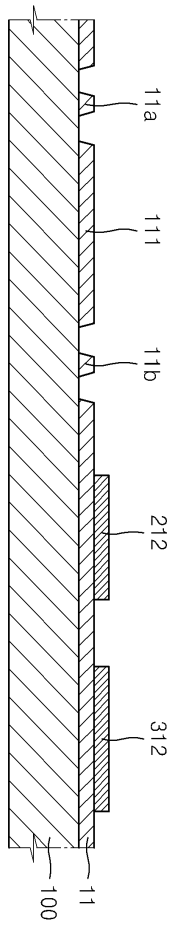
pressure CVD)법, LPCVD(low pressure CVD)법 등 다양한 증착 방법에 의해 증착 될 수 있다.

- [0062] 도 2c를 참조하면, 도 2b의 제2 마스크 공정의 결과물 상의 전면에 제1 절연층(13)을 형성하고, 제1 절연층(13) 상에 게이트 전극(214)과, 요철 패터를 위한 식각 저지부(114)와, 커패시터의 식각 저지부(314)를 형성한다.
- [0063] 픽셀 영역(PXL)의 식각 저지부(114)는 픽셀 버퍼층(111) 및 제1,2 요철 버퍼층(11a, 11b) 상의 제1 절연층(13)에 대응하는 영역에 형성된다.
- [0064] 제1 절연층(13) 상에 형성된 게이트 전극(214)을 셀프-얼라인(self-align) 마스크로 사용하여 활성층(212)에 이온 불순물을 1차 도핑(D1)한다. 이온 불순물이 도핑된 소스 영역(212b) 및 드레인 영역(212c)과, 이온 불순물이 도핑 되지 않은 채널 영역(212d)을 형성한다.
- [0065] 도 2d를 참조하면, 도 2c의 제3 마스크 공정의 결과물 상에 제2 절연층(15)을 형성하고, 제2 절연층(15)을 제3 마스크(미도시)에 의해 패터닝하여, 픽셀 영역을 노출시키는 개구(C6, C7), 소스 영역(212b) 및 드레인 영역(212c)을 노출시키는 개구(C12), 및 커패시터 영역을 노출시키는 개구(C13)를 형성한다.
- [0066] 이때, 식각 저지부(114)의 하부에 있는 버퍼층(111, 11a, 11b), 제1 절연층(13)은 식각되지 않고, 식각 저지부(114) 및 제2 절연층(15) 사이의 영역에 대응하는 버퍼층(11) 및 제1 절연층(13)만이 식각된다. 그 결과, 제1,2 요철 버퍼층(11a, 11b)의 바깥쪽에 위치한 제1 절연층(13)이 일부 식각되고, 식각 저지부(114) 하부에 있는 제1 절연층(13)은 픽셀 절연층(113)을 형성한다.
- [0067] 따라서, 요철 패터부(115) 및 픽셀 절연층(113)의 바깥 영역에는 버퍼층(11) 및 제1 절연층(13)이 존재하지 않는 제6 개구(C6) 및 제7 개구(C7)가 형성되므로, 버퍼층(11) 및 제1 절연층(13)을 따라 빛이 새는 현상을 방지할 수 있다.
- [0068] 도 2e를 참조하면, 도 2d의 제4 마스크 공정의 결과물 상에 소스 전극(216a), 드레인 전극(216b) 및 격벽(116)을 형성한다. 소스 전극(216a), 드레인 전극(216b) 및 격벽(116)은 상기 게이트 전극과 동일한 도전 물질 가운데 선택할 수 있으며, 이에 한정되지 않고 다양한 도전 물질들로 형성될 수 있다.
- [0069] 격벽(116)은 제6 개구(C6) 및 제7 개구(C7)의 일측 면을 따라 형성될 수 있다. 격벽(116)은 제1,2 요철 버퍼층(11a, 11b) 및 픽셀 절연층(113)의 바깥 사면을 따라 비스듬하게 형성된다. 격벽(116)은 후술할 유기 발광층(119)으로부터 발생한 빛이 픽셀 영역(PXL) 외로 새어나가는 것을 방지하는 반사막 역할을 한다.
- [0070] 또한, 소스 전극(216a), 드레인 전극(216b) 및 격벽(116)의 패터닝 시, 요철 패터를 위한 식각 저지부(114)와 커패시터의 식각 저지부(314)를 제거한다. 그 결과물 상에 이온 불순물을 커패시터의 제1 전극(312)을 타겟으로 하여 2차 도핑(D2)한다. 비록 도면에는 도시되지 않았지만, 격벽(116)과 픽셀 절연층(113) 사이에는 제거되지 않은 식각 저지부(114)가 남아있을 수 있다.
- [0071] 도 2f를 참조하면, 도 2e의 제5 마스크 공정의 결과물 상에 화소 전극(117)과 커패시터의 제2 전극(317)을 형성한다.
- [0072] 화소 전극(117)과 커패시터의 제2 전극(317)은 인듐틴옥사이드(ITO; indium tin oxide), 인듐징크옥사이드(IZO; indium zinc oxide), 징크옥사이드(ZnO; zinc oxide), 인듐옥사이드(In₂O₃; indium oxide), 인듐갈륨옥사이드(IGO; indium gallium oxide), 및 알루미늄징크옥사이드(AZO; aluminium zinc oxide)를 포함하는 그룹에서 선택된 적어도 하나 이상의 투명 도전물을 포함하는 재료로 형성할 수 있다.
- [0073] 도 2g를 참조하면, 도 2f의 제6 마스크 공정의 결과물 상에 제3 절연층(18)을 형성한다. 제3 절연층(18)을 패터닝하여 화소 전극(117)을 노출시키는 개구(C5)를 형성한다.
- [0074] 도 4는 본 발명의 다른 일 실시예에 관한 유기 발광 표시 장치를 개략적으로 도시한 단면도이다.
- [0075] 도 4의 일 실시예에 따르면, 도 1과 달리 제3 절연층(18)이 격벽(116)까지 식각되어 대향 전극(120)과 격벽(116)이 접촉한 것을 알 수 있다. 도 4와 같은 실시예에서, 대향 전극(120)의 요철 패터에 의해 위쪽 제3 절연층(18) 방향으로 진행되는 빛도 픽셀 영역(PXL) 내로 반사시킬 수 있으며, 동시에 대향 전극(120)의 면적이 증가하여 캐소드 전극의 저항이 감소하는 효과가 있다.
- [0076] 본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 다른 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

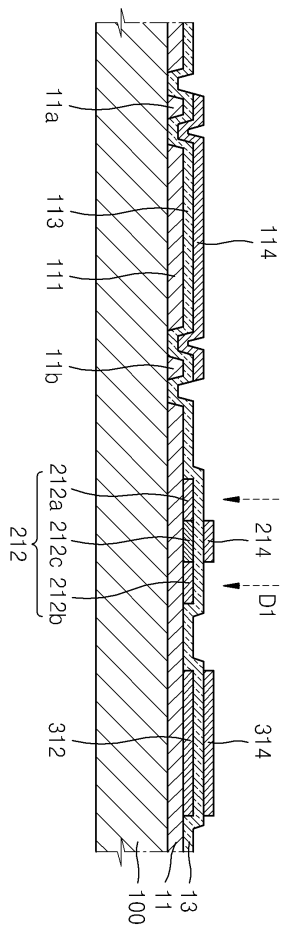
도면2a



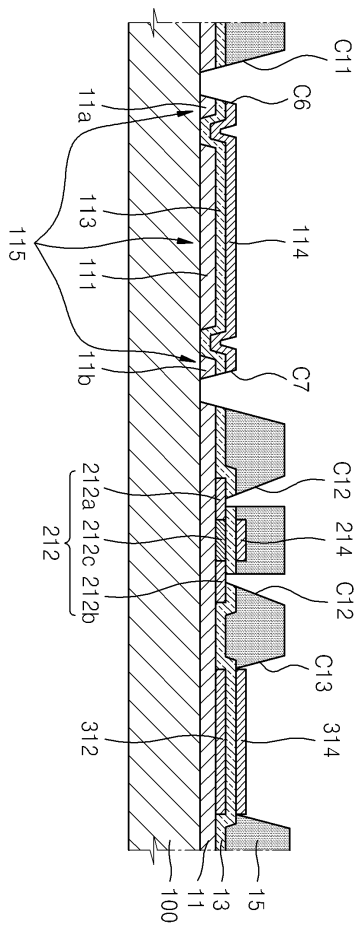
도면2b



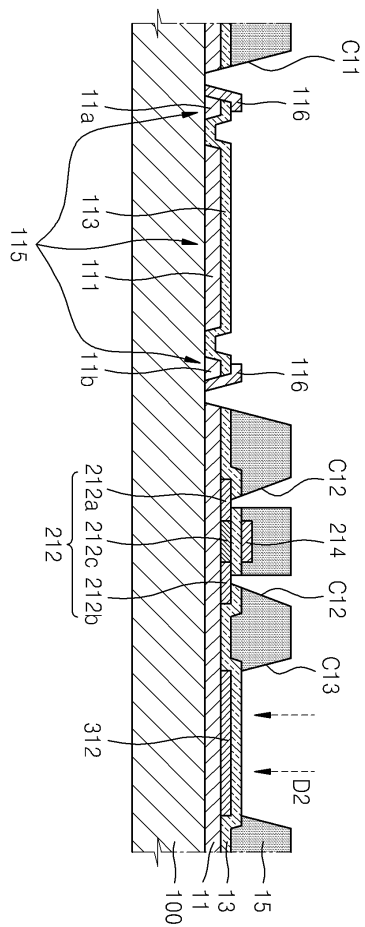
도면2c



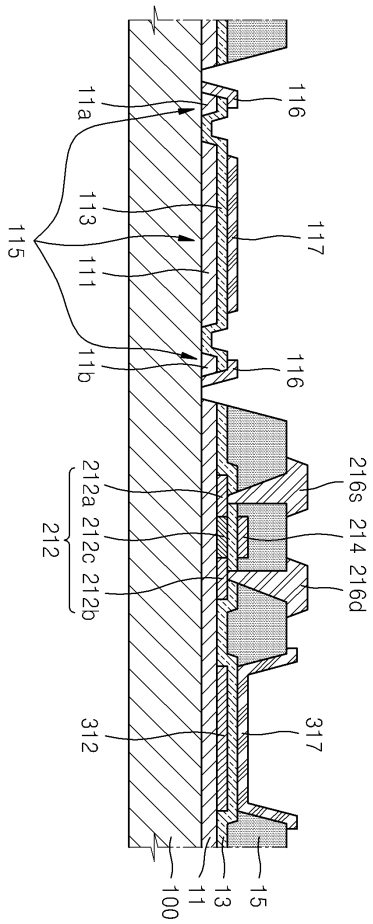
도면2d



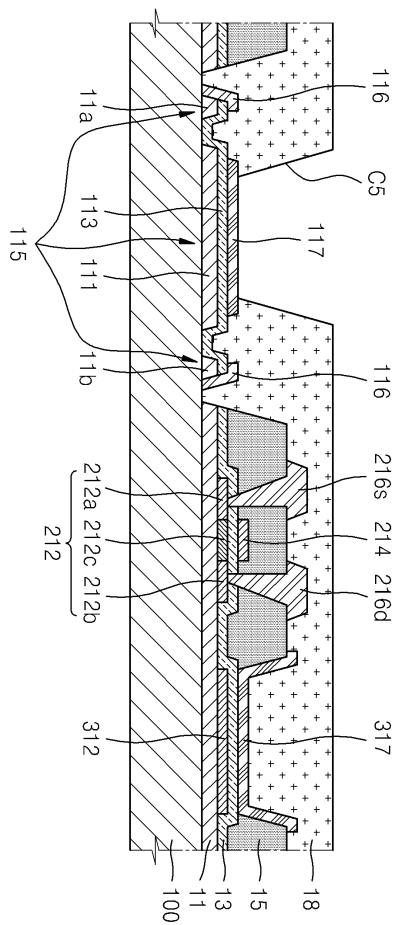
도면2e



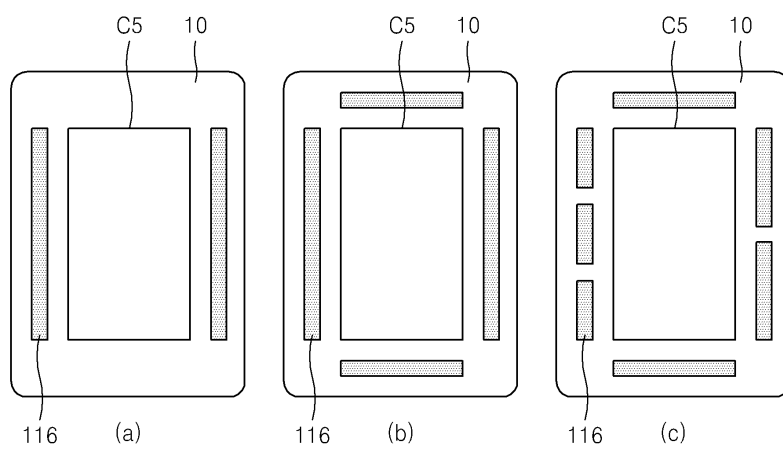
도면2f



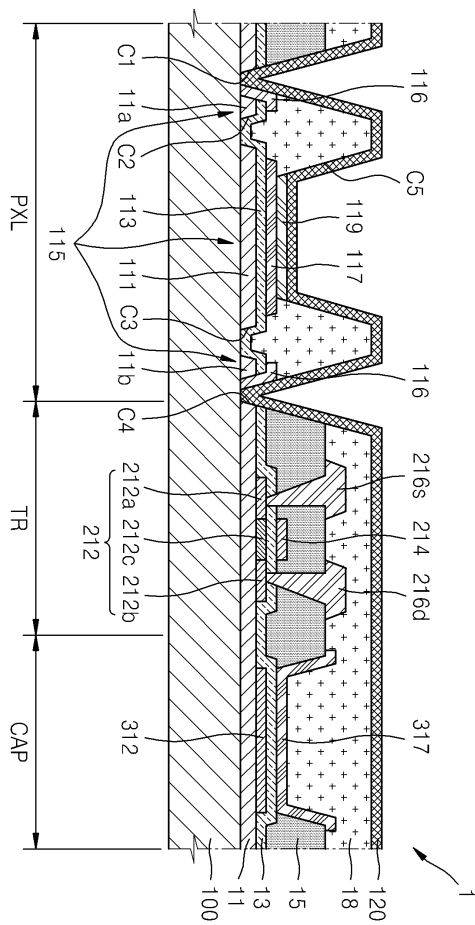
도면2g



도면3



도면4



专利名称(译)	标题：OLED显示器及其制造方法		
公开(公告)号	KR1020140140412A	公开(公告)日	2014-12-09
申请号	KR1020130061252	申请日	2013-05-29
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	KIM BYOUNG KI 김병기 OH JAE HWAN 오재환 CHOI JAE BEOM 최재범 LEE WON KYU 이원규 CHANG YEOUNG JIN 장영진		
发明人	김병기 오재환 최재범 이원규 장영진		
IPC分类号	H01L51/50 H05B33/10		
CPC分类号	H01L27/3209 H01L27/3248 H01L27/3258 H01L27/3262		
其他公开文献	KR102103958B1		
外部链接	Espacenet		

摘要(译)

根据本发明的一个方面，提供了一种有机发光显示装置，包括基板，薄膜晶体管，该薄膜晶体管设置在基板上并包括有源层，栅电极，源电极和漏电极。在所述基板上形成与所述薄膜晶体管横向分离的不均匀图案部分，所述不均匀图案部分由绝缘层，形成在所述不平坦图案部分上的像素电极，形成在所述像素上的中间层构成电极包括有机发光层和形成在中间层上的配对电极。

