(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0136788
(43) 공개일자 2014년12월01일

(51) 국제특허분류(Int. Cl.)
H01L 51/50 (2006.01) *H05B 33/10* (2006.01)
(21) 출원번호 10-2013-0057300
(22) 출원일자 2013년05월21일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성2로 95 (농서동)
(72) 발명자
박경훈
경기도 용인시 기흥구 삼성2로 95 (농서동)
박종현
경기도 용인시 기흥구 삼성2로 95 (농서동)
허성권
경기도 용인시 기흥구 삼성2로 95 (농서동)
(74) 대리인
리앤목특허법인

전체 청구항 수 : 총 20 항

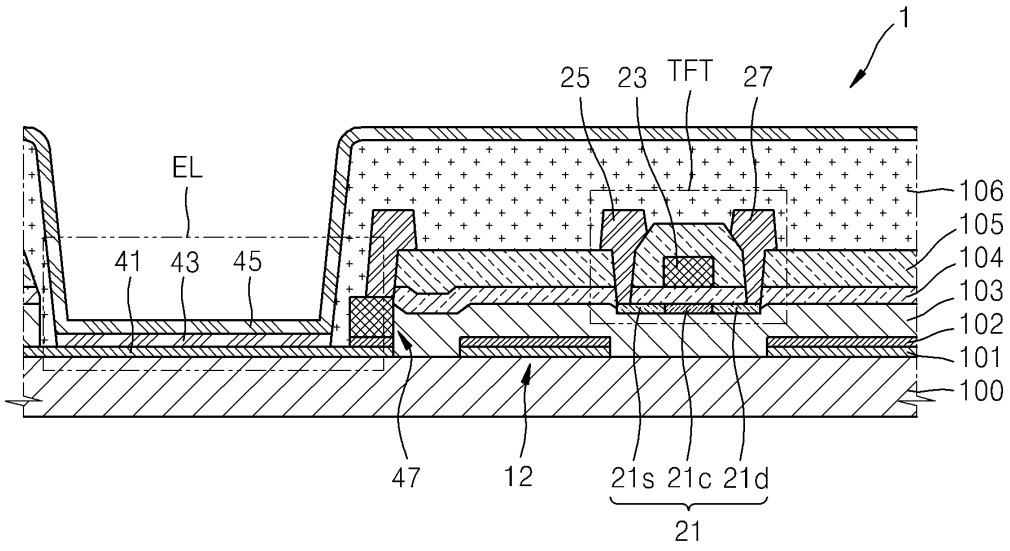
(54) 발명의 명칭 **유기발광표시장치 및 이의 제조 방법**

(57) 요 약

본 발명은 유기발광표시장치 및 이의 제조 방법을 개시한다.

본 발명의 유기발광표시장치는, 기판; 상기 기판과 직접 접촉하며 상기 기판 상부에 형성된 금속패턴; 및 상기 금속패턴 상부에 형성된 활성층, 상기 활성층 상부에 형성된 게이트전극, 상기 게이트전극 상부에 형성된 소스 및 드레인 전극을 포함하는 박막트랜지스터;를 포함할 수 있다.

대 표 도 - 도1



특허청구의 범위

청구항 1

기판;

상기 기판과 직접 접촉하며 상기 기판 상부에 형성된 금속패턴; 및

상기 금속패턴 상부에 형성된 활성층, 상기 활성층 상부에 형성된 게이트전극, 상기 게이트전극 상부에 형성된 소스 및 드레인 전극을 포함하는 박막트랜지스터;를 포함하는 유기발광표시장치.

청구항 2

제1항에 있어서,

상기 금속패턴은 상기 활성층의 형성 영역 이외의 영역에 형성된 유기발광표시장치.

청구항 3

제1항에 있어서,

상기 금속패턴은 투명한 도전성 금속산화물을 포함하는 하부층과 도전성 물질을 포함하는 상부층을 포함하는 유기발광표시장치.

청구항 4

제3항에 있어서,

상기 금속패턴의 상부층은 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca, Mo, Ti, W, MoW, Cu 가운데 선택된 하나 이상의 물질을 포함하는 유기발광표시장치.

청구항 5

제1항에 있어서,

상기 금속패턴과 활성층 사이에 형성되고, 상기 금속패턴에 의해 단차를 갖는 보조층;을 더 포함하는 유기발광표시장치.

청구항 6

제5항에 있어서,

상기 활성층과 상기 게이트 전극 사이에 형성되고, 상기 보조층의 단차에 의해 스텝 커버리지가 제어되는 게이트 절연막;을 더 포함하는 유기발광표시장치.

청구항 7

제3항에 있어서,

상기 금속패턴의 하부층과 동일층에 동일 물질로 형성되어 상기 기판과 직접 접촉하는 화소전극;을 더 포함하는 유기발광표시장치.

청구항 8

기판;

상기 기판 상부에 형성된 금속패턴;

상기 금속패턴 상부에 형성된 보조층;

상기 보조층 상부에 형성된 활성층;

상기 활성층 상부에 형성된 게이트 절연막;

상기 게이트 절연막 상부에 형성된 게이트전극;

상기 게이트전극 상부에 형성되고, 상기 활성층의 소스 및 드레인 영역과 전기적으로 연결되는 소스 및 드레인 전극; 및

상기 소스 및 드레인 전극 중 하나와 전기적으로 연결되는 화소전극;을 포함하는 유기발광표시장치.

청구항 9

제8항에 있어서,

상기 금속패턴은 상기 활성층의 형성 영역 이외의 영역에 상기 기판과 직접 접촉하며 형성된 유기발광표시장치.

청구항 10

제8항에 있어서,

상기 보조층은 상기 금속패턴에 의해 단차를 갖고,

상기 게이트 절연막은 상기 보조층의 단차에 의해 스텝 커버리지가 제어되는 유기발광표시장치.

청구항 11

제8항에 있어서,

상기 금속패턴은 복수층으로 형성된 유기발광표시장치.

청구항 12

제11항에 있어서,

상기 화소전극은 상기 금속패턴의 하부층과 동일층에 동일 물질로 형성되어 상기 기판과 직접 접촉하는 유기발광표시장치.

청구항 13

기판 상부에 상기 기판과 직접 접촉하는 제1금속패턴을 형성하는 단계; 및

상기 제1금속패턴 상부에 활성층, 상기 활성층 상부에 형성된 게이트전극, 상기 게이트전극 상부에 형성된 소스 및 드레인 전극을 포함하는 박막트랜지스터를 형성하는 단계;를 포함하는 유기발광표시장치의 제조 방법.

청구항 14

제13항에 있어서, 상기 제1금속패턴 형성 단계는,

상기 활성층의 형성 영역 이외의 영역에 상기 제1금속패턴을 형성하는 단계;를 포함하는 유기발광표시장치의 제조 방법.

청구항 15

제14항에 있어서, 상기 제1금속패턴 형성 단계는,

투명한 도전성 금속산화물을 포함하는 하부 도전층과 도전성 물질을 포함하는 상부 도전층을 적층한 후 패터닝하여 상기 제1금속패턴을 형성하는 단계;를 포함하는 유기발광표시장치의 제조 방법.

청구항 16

제15항에 있어서,

상기 제1금속패턴의 상부 도전층은 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca, Mo, Ti, W, MoW, Cu 가운데 선택된 하나 이상의 물질을 포함하는 유기발광표시장치의 제조 방법.

청구항 17

제13항에 있어서, 상기 박막트랜지스터 형성 단계는,

상기 제1금속패턴 상부에 보조층을 형성하는 단계;

상기 보조층 상부에 상기 활성층을 형성하는 단계;

상기 활성층 상부에 게이트 절연막을 형성하는 단계;

상기 게이트 절연막 상부에 게이트전극을 형성하는 단계;

상기 게이트전극 상부에 층간 절연막을 형성하는 단계; 및

상기 층간 절연막 상부에 상기 활성층의 소스 및 드레인 영역과 전기적으로 연결되는 소스 및 드레인 전극을 형성하는 단계;를 포함하는 유기발광표시장치의 제조 방법.

청구항 18

제17항에 있어서,

상기 보조층은 상기 제1금속패턴에 의해 단차를 갖고,

상기 게이트 절연막은 상기 보조층의 단차에 의해 스텝 커버리지가 제어되는 유기발광표시장치의 제조 방법.

청구항 19

제15항에 있어서,

상기 제1금속패턴과 동일층에 동일 물질로 제2금속패턴을 형성하는 단계;

상기 제2금속패턴 상부에 상기 게이트전극과 동일 물질로 제3금속패턴을 형성하는 단계; 및

상기 소스 및 드레인 전극을 형성하면서, 상기 제3금속패턴 및 상기 제2금속패턴의 상부 도전층을 제거하여 화소전극을 형성하는 단계;를 포함하는 유기발광표시장치의 제조 방법.

청구항 20

제19항에 있어서,

상기 제2금속패턴 상부에 보조층을 형성하는 단계;

상기 보조층 상부에 게이트 절연막을 형성하는 단계;

상기 보조층과 게이트 절연막을 패터닝하여 상기 제2금속패턴을 노출하는 제1개구를 형성하는 단계;

상기 제1개구 상부에 상기 제3금속패턴을 형성하는 단계;

상기 제3금속패턴 상부에 층간 절연막을 형성하는 단계; 및

상기 소스 및 드레인 전극을 형성하면서, 상기 층간 절연막, 제3금속패턴 및 상기 제2금속패턴의 상부 도전층을 제거하여 화소전극을 형성하는 단계;를 포함하는 유기발광표시장치의 제조 방법.

명 세 서

기 술 분 야

[0001] 본 발명은 유기발광표시장치 및 이의 제조 방법에 관한 것이다.

배 경 기 술

[0002] 유기발광표시장치, 액정표시장치 등과 같은 평판 표시장치는 박막트랜지스터(Thin Film Transistor: TFT) 및 커패시터 등과 이들을 연결하는 배선을 포함하는 패턴이 형성된 기판 상에 제작된다.

[0003] 상기 기판이 외부로 노출됨에 따라 외부의 환경적 요인에 의해 발생한 정전기에 의해 상기 박막트랜지스터에 영향을 주어 표시장치는 화질 불량이 발생할 수 있다.

발명의 내용

해결하려는 과제

[0004] 본 발명은 외부 환경에 강건한 박막트랜지스터를 갖는 유기발광표시장치를 제공하고자 한다.

과제의 해결 수단

[0005] 본 발명의 바람직한 일 실시예에 따른 유기발광표시장치는, 기판; 상기 기판과 직접 접촉하며 상기 기판 상부에 형성된 금속패턴; 및 상기 금속패턴 상부에 형성된 활성층, 상기 활성층 상부에 형성된 게이트전극, 상기 게이트전극 상부에 형성된 소스 및 드레인 전극을 포함하는 박막트랜지스터;를 포함할 수 있다.

[0006] 상기 금속패턴은 상기 활성층의 형성 영역 이외의 영역에 형성될 수 있다.

[0007] 상기 금속패턴은 투명한 도전성 금속산화물을 포함하는 하부층과 도전성 물질을 포함하는 상부층을 포함할 수 있다.

[0008] 상기 금속패턴의 상부층은 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca, Mo, Ti, W, MoW, Cu 가운데 선택된 하나 이상의 물질을 포함할 수 있다.

[0009] 상기 유기발광표시장치는, 상기 금속패턴과 활성층 사이에 형성되고, 상기 금속패턴에 의해 단차를 갖는 보조층;을 더 포함할 수 있다.

[0010] 상기 유기발광표시장치는, 상기 활성층과 상기 게이트 전극 사이에 형성되고, 상기 보조층의 단차에 의해 스텝 커버리지가 제어되는 게이트 절연막;을 더 포함할 수 있다.

[0011] 상기 유기발광표시장치는, 상기 금속패턴의 하부층과 동일층에 동일 물질로 형성되어 상기 기판과 직접 접촉하는 화소전극;을 더 포함할 수 있다.

[0012] 본 발명의 바람직한 일 실시예에 따른 유기발광표시장치는, 기판; 상기 기판 상부에 형성된 금속패턴; 상기 금속패턴 상부에 형성된 보조층; 상기 보조층 상부에 형성된 활성층; 상기 활성층 상부에 형성된 게이트 절연막; 상기 게이트 절연막 상부에 형성된 게이트전극; 상기 게이트전극 상부에 형성되고, 상기 활성층의 소스 및 드레인 영역과 전기적으로 연결되는 소스 및 드레인 전극; 및 상기 소스 및 드레인 전극 중 하나와 전기적으로 연결되는 화소전극;을 포함할 수 있다.

[0013] 상기 금속패턴은 상기 활성층의 형성 영역 이외의 영역에 상기 기판과 직접 접촉하며 형성될 수 있다.

[0014] 상기 보조층은 상기 금속패턴에 의해 단차를 갖고, 상기 게이트 절연막은 상기 보조층의 단차에 의해 스텝 커버리지가 제어될 수 있다.

[0015] 상기 금속패턴은 복수층으로 형성될 수 있다.

[0016] 상기 화소전극은 상기 금속패턴의 하부층과 동일층에 동일 물질로 형성되어 상기 기판과 직접 접촉할 수 있다.

[0017] 본 발명의 바람직한 일 실시예에 따른 유기발광표시장치의 제조 방법은, 기판 상부에 상기 기판과 직접 접촉하는 제1금속패턴을 형성하는 단계; 및 상기 제1금속패턴 상부에 활성층, 상기 활성층 상부에 형성된 게이트전극, 상기 게이트전극 상부에 형성된 소스 및 드레인 전극을 포함하는 박막트랜지스터를 형성하는 단계;를 포함할 수 있다.

[0018] 상기 제1금속패턴 형성 단계는, 상기 활성층의 형성 영역 이외의 영역에 상기 제1금속패턴을 형성하는 단계;를 포함할 수 있다.

[0019] 상기 제1금속패턴 형성 단계는, 투명한 도전성 금속산화물을 포함하는 하부 도전층과 도전성 물질을 포함하는 상부 도전층을 적층한 후 패터닝하여 상기 제1금속패턴을 형성하는 단계;를 포함할 수 있다.

[0020] 상기 제1금속패턴의 상부 도전층은 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca, Mo, Ti, W, MoW, Cu 가운데 선택된 하나 이상의 물질을 포함할 수 있다.

[0021] 상기 박막트랜지스터 형성 단계는, 상기 제1금속패턴 상부에 보조층을 형성하는 단계; 상기 보조층 상부에 상기 활성층을 형성하는 단계; 상기 활성층 상부에 게이트 절연막을 형성하는 단계; 상기 게이트 절연막 상부에 게이트전극을 형성하는 단계; 상기 게이트전극 상부에 층간 절연막을 형성하는 단계; 및 상기 층간 절연막 상부에 상기 활성층의 소스 및 드레인 영역과 전기적으로 연결되는 소스 및 드레인 전극을 형성하는 단계;를 포함할 수 있다.

[0022] 상기 보조층은 상기 제1금속패턴에 의해 단차를 갖고, 상기 게이트 절연막은 상기 보조층의 단차에 의해 스텝 커버리지가 제어될 수 있다.

[0023] 상기 제조 방법은, 상기 제1금속패턴과 동일층에 동일 물질로 제2금속패턴을 형성하는 단계; 상기 제2금속패턴 상부에 상기 게이트전극과 동일 물질로 제3금속패턴을 형성하는 단계; 및 상기 소스 및 드레인 전극을 형성하면서, 상기 제3금속패턴 및 상기 제2금속패턴의 상부 도전층을 제거하여 화소전극을 형성하는 단계;를 포함할 수 있다.

[0024] 상기 제조 방법은, 제2금속패턴 상부에 보조층을 형성하는 단계; 상기 보조층 상부에 게이트 절연막을 형성하는 단계; 상기 보조층과 게이트 절연막을 패터닝하여 상기 제2금속패턴을 노출하는 제1개구를 형성하는 단계; 상기 제1개구 상부에 상기 제3금속패턴을 형성하는 단계; 상기 제3금속패턴 상부에 층간 절연막을 형성하는 단계; 및 상기 소스 및 드레인 전극을 형성하면서, 상기 층간 절연막, 제3금속패턴 및 상기 제2금속패턴의 상부 도전층을 제거하여 화소전극을 형성하는 단계;를 포함할 수 있다.

발명의 효과

[0025] 본 발명의 유기발광표시장치는 기판 상부에 금속 패턴을 형성함으로써 박막트랜지스터로 유입되는 정전기를 분산시키고 박막트랜지스터의 정전 내압 특성을 우수하고 강건하게 할 수 있다.

도면의 간단한 설명

[0026] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치(1)를 개략적으로 도시한 단면도이다.

도 2 내지 도 8은 도 1에 도시된 유기발광표시장치(1)의 제조공정을 개략적으로 나타내는 단면도이다.

도 9는 본 발명의 효과를 설명하기 위한 비교예를 도시한 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0027] 이하, 첨부한 도면을 참고로 하여 본 발명의 여러 실시예들에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예들에 한정되지 않는다.

[0028] 도면상의 동일한 부호는 동일한 요소를 지칭한다. 하기에서 본 발명을 설명함에 있어, 관련된 공지 기능 또는 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명을 생략할 것이다.

[0029] 또한, 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로, 본 발명이 반드시 도시된 바에 한정되지 않는다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 또는 "상에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다.

[0030] 또한, 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다. 또한, 명세서 전체에서, "~상에" 라 함은 대상 부분의 위 또는 아래에 위치함을 의미하는 것이며, 반드시 중력 방향을 기준으로 상 측에 위치하는 것을 의미하는 것은 아니다.

[0031] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치(1)를 개략적으로 도시한 단면도이다.

[0032] 도 1을 참조하면, 본 발명의 일 실시예에 따른 유기 발광 표시 장치(1)는 기판(100) 상에 구동소자로서 박막트랜지스터(TFT) 및 유기발광소자(EL)를 포함한다. 도 1에는 하나의 박막트랜지스터(TFT)만 도시되어 있으나, 이는 설명의 편의를 위한 것일 뿐, 본 발명은 이에 한정되지 않으며, 다수의 박막트랜지스터(TFT)와 다수의 커패시터가 더 포함될 수 있음은 물론이다.

[0033] 박막트랜지스터(TFT)는 기판(100) 상에 형성된 활성층(21), 게이트전극(23) 및 소스/드레인 전극(25/27)으로 구성된다. 게이트전극(23)과 활성층(21) 사이에는 이들 간의 절연을 위한 게이트 절연막인 제1절연층(104)이 개재되어 있다. 또한, 활성층(21)의 양쪽 가장자리에는 고농도의 불순물이 도핑된 소스/드레인영역(21s/21d)이 형성되어 있으며, 이들은 소스/드레인 전극(25/27)에 각각 연결되어 있다. 소스/드레인영역(21s/21d) 사이는 채널영역(21c)으로 기능한다. 소스/드레인 전극(25/27)과 게이트전극(23) 사이에는 이들 간의 절연을 위한 층간 절연막인 제2절연층(105)이 개재되어 있다.

[0034] 활성층(21) 영역을 제외한 박막트랜지스터(TFT) 주변에는 금속 패턴(12)이 구비된다. 금속 패턴(12)은 투명한 도전성 금속산화물을 포함하는 제1금속층(101)과 도전성 물질을 포함하는 제2금속층(102)으로 이루어진다. 금속 패턴(12)은 기판(100)과 직접 접촉하며, 금속 패턴(12) 상부에 보조층(103)이 형성된다. 보조층(103)은 하부의 금속 패턴(12)에 의해 단차를 갖고, 활성층(21)은 보조층(103)의 단차에 의해 형성된 오목한 영역에 형성된다. 본 발명의 실시예에서는 보조층(103)의 단차에 의해 상부의 게이트 절연막인 제1절연층(104)의 스텝 커버리지가 제어될 수 있다.

[0035] 유기발광소자(EL)는 화소전극(41), 화소전극(41)과 마주보도록 형성된 대향전극(45) 및 그 사이에 개재된 중간층(43)으로 구성된다.

[0036] 화소전극(41)의 가장자리 영역은 제3절연층(106)에 의해 덮인다. 화소전극(41)은 금속 패턴(12)의 제1금속층(101)과 동일층에 형성되고, 기판(100)과 직접 접촉한다. 도 1에는 도시되지 않았으나, 화소전극(41)은 금속연결층(47)을 통해 박막트랜지스터(TFT)의 소스/드레인전극(25/27) 중 하나와 전기적으로 연결된다. 금속연결층(47)은 금속 패턴(12)의 제2금속층(102)과 동일한 금속을 포함하는 하부층과 박막트랜지스터(TFT)의 게이트전극(23)과 동일한 금속을 포함하는 상부층으로 이루어진다. 투명도전성 산화물로 형성된 화소전극(41)은 저항이 크므로, 저항이 작은 금속연결층(47)을 통하여 소스/드레인전극(25/27) 중의 하나와 연결된다.

[0037] 도 2 내지 도 8은 도 1에 도시된 유기발광표시장치(1)의 제조공정을 개략적으로 나타내는 단면도이다. 이하에서는 도 1에 도시된 유기발광표시장치(1)의 제조공정을 개략적으로 설명한다.

[0038] 먼저, 도 2에 도시된 바와 같이, 기판(100) 상부에 제1 금속패턴(12) 및 제2 금속패턴(11)을 형성한다.

[0039] 기판(100)은 SiO_2를 주성분으로 하는 투명 재질의 글라스재로 형성될 수 있다. 기판(100)은 반드시 이에 한정되는 것은 아니며 투명한 플라스틱 재 또는 금속 재 등, 다양한 재질의 기판을 이용할 수 있다.

[0040] 제1 금속패턴(12)은 기판(100)으로부터 박막트랜지스터(TFT)로 유입되는 정전기를 분산시킴으로써 박막트랜지스터(TFT)로 정전기가 유입되는 것을 방지하기 위한 수단으로서 박막트랜지스터(TFT)의 활성층(21)이 형성될 영역을 제외한 영역에 형성된다. 제2 금속패턴(11)은 추후 화소전극(41)을 형성하기 위해 유기발광소자(EL)가 형성될 영역에 형성된다.

[0041] 제1 금속패턴(12) 및 제2 금속패턴(11)은 기판(100)에 제1도전층(101) 및 제2도전층(102)을 순차 적층한 후, 예를 들어, 습식 식각(wet etch)에 의해 패터닝함으로써 형성된다. 제1도전층(101)은 투명한 도전성 산화물, 예를 들어, ITO, IZO, ZnO, 또는 In_2O_3와 같은 투명 물질 가운데 선택된 하나 이상의 물질을 포함할 수 있다. 제2도전층(102)은 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca, Mo, Ti, W, MoW, Cu 가운데 선택된 하나 이상의 물질을 포함할 수 있으며, 바람직하게는, 추후 화소전극(41) 형성시 수행되는 식각 공정에서 제1도전층(101)을 보호할 수 있는 Mo를 포함할 수 있다.

[0042] 그러나 본 발명은 전술된 물질에 한정되지 않고, 제1도전층(101)은 제2도전층(102)에 비해 내부식성이 좋은 물질을 포함하며, 제2도전층(102)은 제1도전층(101)에 비해 저항이 작아 전류가 잘 흐르는 물질을 포함한다면 본 발명의 일 실시예들을 만족한다.

[0043] 다음으로, 도 3에 도시된 바와 같이, 제1 금속패턴(12) 및 제2 금속패턴(11)이 형성된 기판(100) 상부에 보조층(103)과 박막트랜지스터(TFT)의 활성층(21)을 형성한다.

[0044] 기판(100) 상면에는 불순물 이온이 확산되는 것을 방지하고, 수분이나 외기의 침투를 방지하며, 표면을 평탄화하기 위한 베리어층, 블록킹층, 및/또는 버퍼층과 같은 보조층(103)이 구비될 수 있다. 보조층(103)은 SiO_2 및/또는 SiN_x 등을 사용하여, PECVD(plasma enhanced chemical vapor deosition)법, APCVD(atmospheric pressure CVD)법, LPCVD(low pressure CVD)법 등 다양한 증착 방법에 의해 형성될 수 있다. 이때 보조층(103)은 제1 금속패턴(12) 및 제2 금속패턴(11)이 형성된 영역의 높이보다 제1 금속패턴(12) 및 제2 금속패턴(11)이 형성되지 않은 영역의 높이가 더 낮아짐으로 인해 단차를 갖는다. 즉, 보조층(103)은 제1 금속패턴(12) 및 제2 금속패턴(11)이 형성되지 않은 영역에서 오목한 트랜치가 형성된다.

[0045] 보조층(103) 상부에는 박막트랜지스터(TFT)의 활성층(21)이 형성된다. 활성층(21)은 다결정실리콘층을 예를 들어, 건식 식각(dry etch)에 의해 패터닝함으로써 형성될 수 있다. 활성층(21)은 반도체를 포함할 수 있고, 도핑에 의해 이온 불순물을 포함할 수 있다. 또한 활성층(21)은 산화물 반도체로 형성될 수 있다. 활성층(21)은 보조층(103)의 상부의 제1 금속패턴(12) 및 제2 금속패턴(11)이 형성되지 않은 영역, 즉 트랜치에 형성된다. 이에

따라, 활성층(21)으로 인한 단차가 형성되지 않고, 제1 금속패턴(12) 및 제2 금속패턴(11)과 활성층(21) 간에 커패시턴스 커플링(Capacitance coupling)을 방지할 수 있다.

[0046] 다음으로, 도 4에 도시된 바와 같이, 활성층(21)이 형성된 기판(100) 상부에 제1절연층(104)을 형성하고, 제2 금속패턴(11)의 일부를 노출하는 개구(30)를 형성한다.

[0047] 제1절연층(104)은 SiN_x 또는 SiO_x 등과 같은 무기 절연막을 PECVD법, APCVD법, LPCVD법 등의 방법으로 증착할 수 있다. 제1절연층(104)은, 박막트랜지스터(TFT)의 활성층(21)과 게이트전극(23) 사이에 개재되어 박막트랜지스터(TFT)의 게이트 절연막 역할을 한다. 활성층(21)으로 인한 단차가 없으므로, 제1절연층(104)의 스텝 커버리지가 우수해진다. 즉, 본 발명의 실시예에에서는, 제2 금속패턴(12) 상부의 보조층(103)이 갖는 단차에 의해 제1절연층(104)의 스텝 커버리지를 제어할 수 있다.

[0048] 그리고, 제2 금속패턴(11) 상부의 보조층(103)과 제1절연층(104)을 일괄 건식 식각하여, 제2 금속패턴(11)의 일부를 노출하는 개구(30)를 형성한다. 이때, 제2 금속패턴(11)의 제2도전층(102)은 식각하지 않음으로써 제2도전층(102)의 건식 식각에 의한 제1도전층(101)의 손상(damage)을 방지한다.

[0049] 다음으로, 도 5에 도시된 바와 같이, 기판(100) 상에 박막트랜지스터(TFT)의 게이트 전극(23)을 형성한다.

[0050] 박막트랜지스터(TFT)의 게이트 전극(23)은 제1절연층(104)이 형성된 기판(100) 전면에 제3도전층(미도시)을 형성하고, 이를 습식 식각에 의해 패터닝함으로써 형성될 수 있다. 제3도전층은 다양한 도전성 물질로 형성할 수 있다. 예컨대 제3도전층은 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca, Mo, Ti, W, MoW, Cu 가운데 선택된 하나 이상의 물질을 포함하여, 단일층 또는 복수층 구조로 형성할 수 있다.

[0051] 여기서, 게이트전극(23)은 활성층(21)의 중앙에 대응하도록 형성되며, 게이트전극(23)을 셀프 얼라인(self align) 마스크로 하여 활성층(21)으로 n형 또는 p형의 불순물을 도핑하여 게이트전극(23)의 양측에 대응하는 활성층(21)의 가장자리에 소스/드레인영역(21s/21d)과 이들 사이의 채널영역(21c)을 형성한다.

[0052] 한편, 제1 금속패턴(11) 상의 개구(30)에 형성된 제3도전층은 제거하지 않고 잔존시킴으로써, 제1 금속패턴(12) 상부에 제3 금속패턴(17)을 형성한다.

[0053] 다음으로, 도 6에 도시된 바와 같이, 게이트전극(23)이 형성된 기판(100) 상부에 제2절연층(105)을 형성하고, 제2절연층(105)에 컨택홀들(H1, H2)과 개구(32)가 형성된다. 컨택홀들(H1, H2)과 개구(32)는 제2절연층(105)을 건식 식각함으로써 형성할 수 있다.

[0054] 제2절연층(105)은 전술한 제1절연층(104)과 같은 무기 절연 물질로 기판(100) 전면에 형성될 수 있다. 제2절연층(105)은 박막트랜지스터(TFT)의 게이트전극(23)과 소스/드레인전극(25/27) 사이의 층간 절연막 역할을 수행한다. 한편, 제2절연층(105)은 무기 절연 물질뿐만 아니라, 폴리이미드, 폴리아마이드, 아크릴 수지, 벤조사이클로부텐 및 페놀 수지로 이루어진 군에서 선택되는 하나 이상의 유기 절연 물질로 형성될 수 있으며, 유기 절연 물질과 무기 절연 물질을 교번하여 형성할 수도 있다. 제2절연층(105)에는 활성층(21)의 소스/드레인영역(21s/21d)의 일부를 각각 노출하는 컨택홀들(H1, H2)과 제3 금속패턴(17)을 노출하는 개구(32)가 형성된다.

[0055] 다음으로, 도 7에 도시된 바와 같이, 제2절연층(105)이 형성된 기판(100)에 박막트랜지스터(TFT)의 소스/드레인전극(25/27)과 유기발광소자(EL)의 화소전극(41)을 형성한다.

[0056] 소스/드레인전극(25/27)은 제2절연층(105)이 형성된 기판(100) 전면에 제4도전층(미도시)을 형성하고, 이를 습식 식각에 의해 패터닝함으로써 형성될 수 있다. 제4도전층은 전술한 제3도전층과 동일한 도전 물질 가운데 선택할 수 있으며, 이에 한정되지 않고 다양한 도전 물질들로 형성될 수 있다. 소스/드레인전극(25/27)은 제2절연층(105)의 컨택홀들(H1, H2)을 통해 활성층(21)의 소스/드레인 영역(21s/21d)과 전기적으로 연결된다.

[0057] 한편, 소스/드레인전극(25/27)을 형성함과 동시에 또는 소스/드레인전극(25/27)을 형성한 후 추가 식각에 의해 화소전극(41)을 형성한다. 제2 금속패턴(11)에서 상부의 제2도전층(102) 및 제3 금속패턴(17)의 일부를 제거하여 투명도전성 산화물의 화소전극(41)을 형성한다. 이때, 화소전극(41)의 가장자리 영역에 잔존하는 제2 금속패턴(11)에서 상부의 제2도전층(102)과 제3 금속패턴(17)의 일부는 금속연결층(47)으로 기능한다. 화소전극(41)은 금속연결층(47)을 통해 박막트랜지스터(TFT)의 소스/드레인전극(25/27) 중 하나와 전기적으로 연결된다.

[0058] 다음으로, 도 8에 도시된 바와 같이, 기판(100) 상에 제3절연층(106)을 형성한다.

[0059] 상세히, 화소전극(41) 및 소스/드레인전극(25/27)이 형성된 기판(100) 전면에 제3절연층(106)을 증착한다. 이때 제3절연층(106)은 폴리이미드, 폴리아마이드, 아크릴 수지, 벤조사이클로부텐 및 페놀 수지로 이루어진 군에서

선택되는 하나 이상의 유기 절연 물질로 스핀 코팅 등의 방법으로 형성될 수 있다. 한편, 제3절연층(106)은 유기 절연 물질뿐만 아니라, SiO_2, SiNx, Al_2O_3, CuOx, Tb_4O_7, Y_2O_3, Nb_2O_5, Pr_2O_3 등에서 선택된 무기 절연 물질로 형성될 수 있음은 물론이다. 또한 제3절연층(106)은 유기 절연 물질과 무기 절연 물질이 교번하는 다층 구조로 형성될 수도 있다. 제3절연층(106)을 패터닝하여 화소전극(41)의 일부를 노출하는 개구(34)를 형성한다. 제3절연층(106)은 화소를 정의하는 화소정의막(pixel define layer: PDL)으로 기능한다. 제3절연층(106)은 화소전극(41)의 가장자리 영역과 접촉하며, 금속연결층(47)을 덮는다.

[0060] 이후, 도 1에 도시된 바와 같이, 화소전극(41)을 노출하는 개구(34)에 유기 발광층을 포함하는 중간층(43) 및 대향전극(45)을 형성한다.

[0061] 중간층(43)은 유기 발광층(emissive layer: EML)과, 그 외에 정공 수송층(hole transport layer: HTL), 정공 주입층(hole injection layer: HIL), 전자 수송층(electron transport layer: ETL), 및 전자 주입층(electron injection layer: EIL) 등의 기능층 중 어느 하나 이상의 층이 단일 혹은 복합의 구조로 적층되어 형성될 수 있다. 유기 발광층은 저분자 또는 고분자 유기물로 구비될 수 있다. 유기 발광층이 적색, 녹색, 청색의 빛을 각각 방출하는 경우, 유기 발광층은 적색 발광층, 녹색 발광층 및 청색 발광층으로 각각 패터닝될 수 있다. 한편, 유기 발광층이 백색광을 방출하는 경우, 유기 발광층은 백색광을 방출할 수 있도록 적색 발광층, 녹색 발광층 및 청색 발광층이 적층된 다층 구조를 갖거나, 적색 발광 물질, 녹색 발광 물질 및 청색 발광 물질을 포함한 단일층 구조를 가질 수 있다.

[0062] 대향전극(45)은 기판(100) 전면에 증착되어 공통 전극으로 형성될 수 있다. 대향전극(45)은 반사전극으로 구비될 수 있다. 이때 반사전극은 일함수가 적은 금속, 예를 들자면, Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca, LiF/Ca, LiF/Al, 또는 이들의 화합물을 얇게 증착하여 형성할 수 있다. 대향전극(45)이 반사전극으로 구비됨으로써, 유기 발광층에서 방출된 광은 대향전극(45)에서 반사되어 투명도전성 산화물로 구성된 화소전극(41)을 투과하여 기판(100) 측으로 방출된다.

[0063] 도 9는 본 발명을 설명하기 위한 비교예를 도시한 단면도이다.

[0064] 도 9를 참조하면, 기판(10) 상에 보조층(13)이 먼저 형성되고, 보조층(13) 상부에 박막트랜지스터(TFT)의 활성층(21')이 형성된다. 이어서, 활성층(21') 상부에 제1절연층(14)이 게이트 절연막으로서 형성되고, 제1절연층(14) 상부에 게이트전극(23')이 형성된다. 게이트전극(23')은 투명한 도전성 금속산화물을 포함하는 하부층과 금속물질을 포함하는 상부층으로 이루어진다. 게이트전극(23') 상부에는 제2절연층(15)이 층간 절연막으로서 형성되고, 제2절연층(15) 상부에 소스/드레인전극(25'/27')이 형성된다. 한편, 게이트전극(23')의 하부층과 동일층에 동일 물질로 화소전극(41')이 형성되고, 화소전극(41')은 소스/드레인전극(25'/27') 중 하나의 전극과 전기적으로 연결된다. 소스/드레인전극(25'/27') 상부에는 화소전극(41')의 일부를 노출하는 제3절연층(16)이 화소정의막으로서 형성된다.

[0065] 도 9에 도시된 유기발광표시장치(1')에서는 박막트랜지스터(TFT)의 활성층(21')이 기판(10) 상부의 보조층(13)에 직접 접촉하며 형성된다. 이에 따라, 영역(B)에 도시된 바와 같이, 기판(10) 측으로부터 보조층(13)을 통해 박막트랜지스터(TFT)로 유입되는 정전기가 활성층(21')으로 유입되어, 활성층(21')과 게이트전극(23') 간에 쇼트가 발생할 수 있다. 이는 유기발광표시장치(1')에서의 점불량 및 선불량을 야기할 수 있다.

[0066] 또한, 도 9에 도시된 유기발광표시장치(1')에서는 활성층(21')의 두께 또는 프로파일(profile)이 높아지면, 활성층(21')에 의해 게이트 절연막인 제1절연층(14)에 단차가 발생하여 게이트 절연막의 스텝 커버리지(step coverage)가 좋지 않다. 이에 따라, 박막트랜지스터(TFT)의 정전내압, 즉, 항복전압(Breakdown Voltage, BV) 특성 약화로 소자 신뢰성이 약화되고 장시간 패널 구동시 진행성 결함(defect)이 발현될 수 있다.

[0067] 반면, 본 발명의 실시예에 따른 유기발광표시장치(1)는 도 8의 영역(A)에 도시된 바와 같이, 기판(100) 상부에 제1 금속패턴(12)이 먼저 형성되고, 제1 금속패턴(12) 상부에 보조층(103)이 형성된다. 이때 제1 금속패턴(12)은 활성층(21)이 형성된 영역을 제외한 영역에 형성된다. 이에 따라, 기판(100)으로부터 유입되는 정전기가 제1 금속패턴(12)에 의해 이동 및 분산되어 활성층(21)과 게이트전극(23) 간의 쇼트를 방지할 수 있다. 따라서, 유기발광표시장치(1)에서 발생하는 점불량 및 선불량을 개선할 수 있다.

[0068] 또한, 본 발명의 실시예에 따른 유기발광표시장치(1)는 제1 금속패턴(12)에 의해 보조층(103)에 단차가 형성되고, 따라서 보조층(103)의 트랜치 영역에 활성층(21)이 형성될 수 있다. 이에 따라, 본 발명의 실시예는 활성층(21)의 두께 또는 프로파일에 대한 소자 특성 의존성이 없기 때문에, 활성층(21)의 패터닝 시 건식 식각(Dry Etch)의 공정마진이 증대한다. 또한, 활성층(21) 상부에 형성되는 게이트 절연막으로 기능하는 제1절연층(104)

은 활성층(21)의 두께 또는 프로파일에 무관하게 스텝 커버리지(step coverage)가 우수하여 박막트랜지스터(TFT)의 항복전압(BV) 특성이 향상된다.

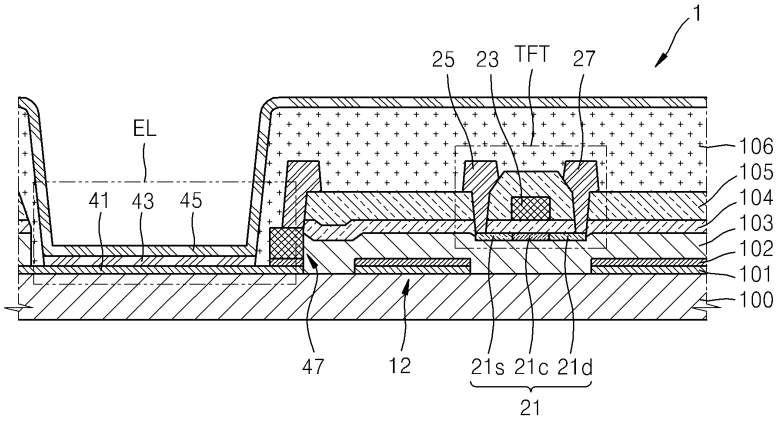
[0069] 또한, 본 발명의 실시예에 따른 유기발광표시장치(1)는 화소전극(41)이 직접 기판(100)과 접촉하며 형성된다. 이에 따라, 유기발광소자(EL)의 평탄화 효과를 가질 수 있다.

[0070] 한편, 상기 도면에는 도시되지 않았지만, 대향 전극(45) 상에는 외부의 수분이나 산소 등으로부터 발광층을 보호하기 위한 밀봉 부재(미도시) 및 흡습제(미도시) 등이 더 구비될 수 있다.

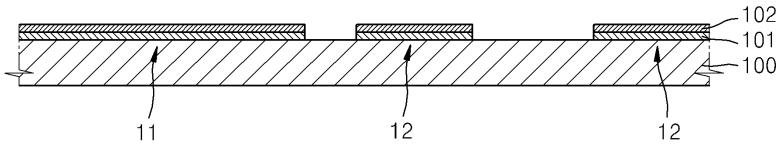
[0071] 본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 당해 기술 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 다른 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

도면

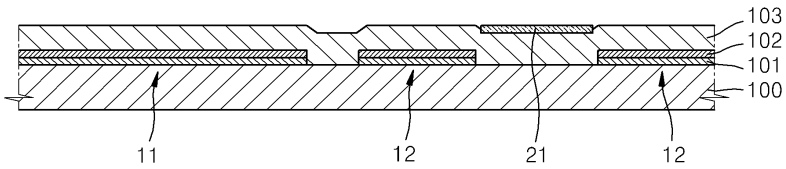
도면1



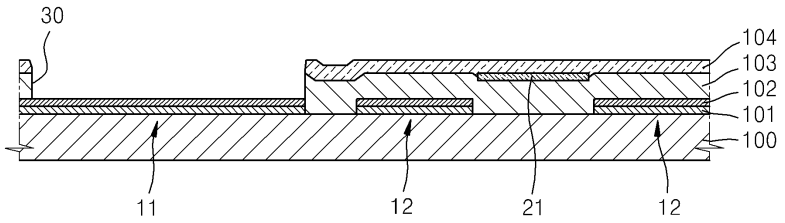
도면2



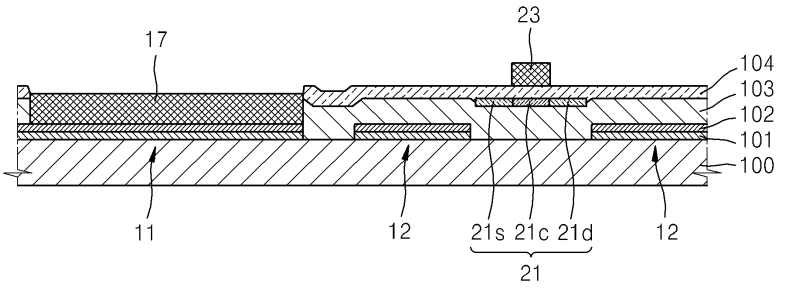
도면3



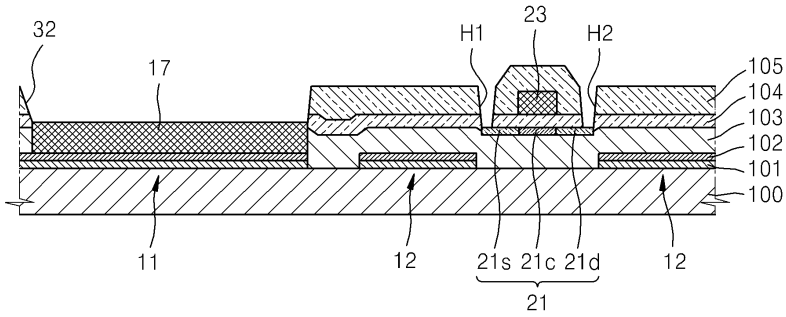
도면4



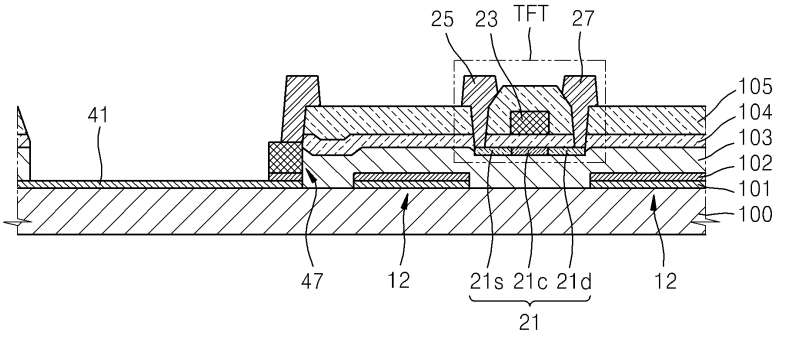
도면5



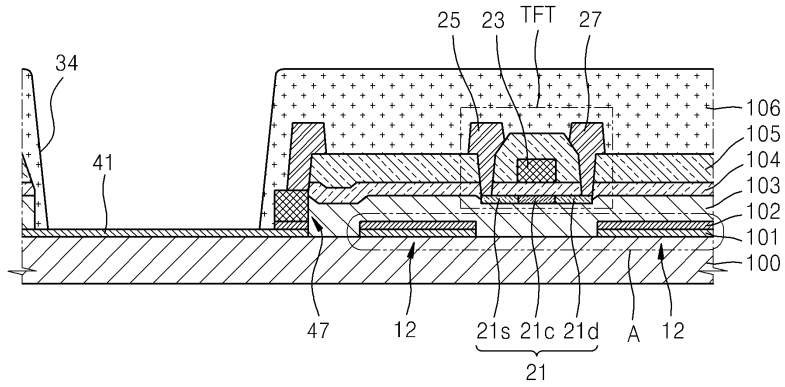
도면6



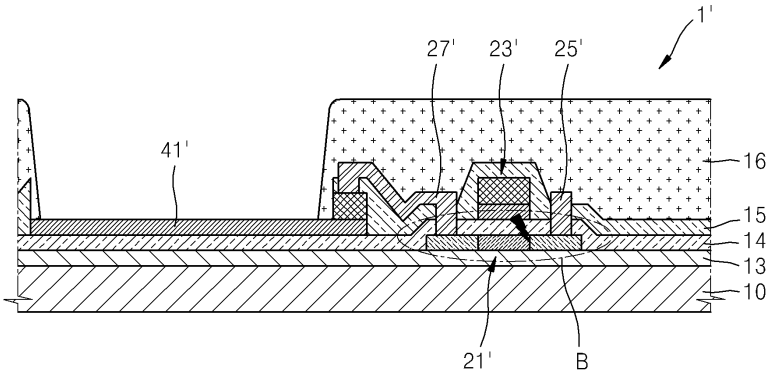
도면7



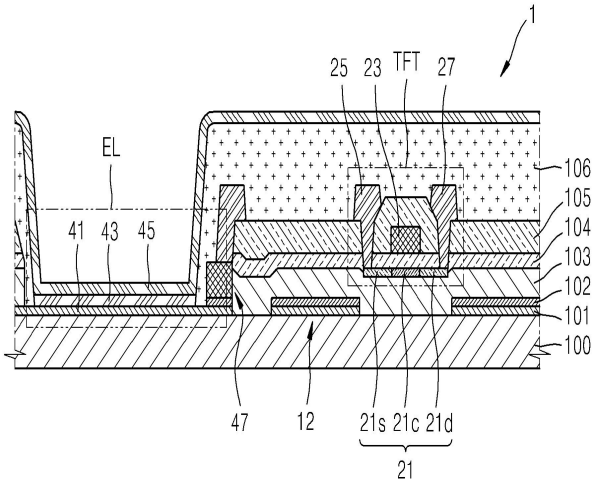
도면8


25
23
TFT
27
34
41
106
105
104
103
102
101
100
47
12
21s
21c
21d
A
12
21

도면9


1'
27'
23'
25'
41'
16
15
14
13
10
21'
B

专利名称(译)	标题：OLED显示器及其制造方法		
公开(公告)号	KR1020140136788A	公开(公告)日	2014-12-01
申请号	KR1020130057300	申请日	2013-05-21
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	PARK KYUNG HOON 박경훈 PARK JONG HYUN 박종현 HEO SEONG KWEON 허성권		
发明人	박경훈 박종현 허성권		
IPC分类号	H01L51/50 H05B33/10		
CPC分类号	H01L27/3248 H01L27/3262 H01L27/3258 H01L29/7869 H05B33/10 H01L27/3272 H01L51/5203 H01L51/56		
其他公开文献	KR102079252B1		
外部链接	Espacenet		

摘要(译)

本发明公开了一种有机发光显示器及其制造方法。 本发明的有机发光二极管显示器包括：基板;形成在基板上的金属图案直接与基板接触;并且薄膜晶体管包括形成在金属图案上的有源层，形成在有源层上的栅电极，以及形成在栅电极上的源电极和漏电极。