



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0044102
(43) 공개일자 2014년04월14일

(51) 국제특허분류(Int. Cl.)
H01L 51/50 (2006.01) H01L 29/786 (2006.01)
H05B 33/10 (2006.01)
(21) 출원번호 10-2012-0110086
(22) 출원일자 2012년10월04일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성2로 95 (농서동)
(72) 발명자
김영대
경기 용인시 수지구 용구대로2771번길 68, 101동
1601호 (죽전동, 벽산1단지아파트)
김종윤
경기 용인시 기흥구 용구대로 1842, (보라동,
현대모닝사이드2차아파트)
(74) 대리인
팬코리아특허법인

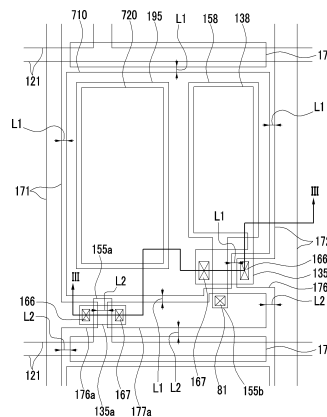
전체 청구항 수 : 총 14 항

(54) 발명의 명칭 유기 발광 표시 장치 및 그 제조 방법

(57) 요약

본 발명에 따른 유기 발광 표시 장치는 기판, 기판 위에 위치하는 제1 신호선, 제1 신호선과 연결되어 있는 제1 박막 트랜지스터, 제1 박막 트랜지스터와 연결되어 있는 제2 박막 트랜지스터, 제1 박막 트랜지스터 및 제2 박막 트랜지스터 위에 위치하는 층간 절연막, 층간 절연막 위에 위치하며 제1 박막 트랜지스터의 소스 전극과 연결되어 있는 제2 신호선, 층간 절연막 위에 위치하며 제2 박막 트랜지스터의 소스 전극과 연결되어 있는 제3 신호선, 층간 절연막 위에 위치하며 제2 박막 트랜지스터의 드레인 전극과 연결되어 있는 제1 전극, 제1 전극 위에 위치하는 유기 발광층, 유기 발광층 위에 위치하는 제2 전극을 포함하고, 제3 신호선과 제1 전극은 서로 다른 금속으로 이루어진다.

대표도 - 도2



특허청구의 범위

청구항 1

기관,

상기 기관 위에 위치하는 제1 신호선,

상기 제1 신호선과 연결되어 있는 제1 박막 트랜지스터,

상기 제1 박막 트랜지스터와 연결되어 있는 제2 박막 트랜지스터,

상기 제1 박막 트랜지스터 및 제2 박막 트랜지스터 위에 위치하는 층간 절연막,

상기 층간 절연막 위에 위치하며 상기 제1 박막 트랜지스터의 소스 전극과 연결되어 있는 제2 신호선,

상기 층간 절연막 위에 위치하며 상기 제2 박막 트랜지스터의 소스 전극과 연결되어 있는 제3 신호선,

상기 층간 절연막 위에 위치하며 상기 제2 박막 트랜지스터의 드레인 전극과 연결되어 있는 제1 전극,

상기 제1 전극 위에 위치하는 유기 발광층,

상기 유기 발광층 위에 위치하는 제2 전극

을 포함하고,

상기 제3 신호선과 상기 제1 전극은 서로 다른 금속으로 이루어지는 유기 발광 표시 장치.

청구항 2

제1항에서,

상기 제3 신호선은 상기 제2 박막 트랜지스터의 소스 전극과 동일한 물질로 이루어지고,

상기 제2 박막 트랜지스터의 드레인 전극과 상기 제1 전극은 동일한 물질로 이루어지는 유기 발광 표시 장치.

청구항 3

제2항에서,

상기 제3 신호선은 상기 제2 박막 트랜지스터의 소스 전극과 일체형이며, 상기 층간 절연막의 접촉 구멍을 통해서 상기 제2 박막 트랜지스터의 반도체와 연결되고,

상기 제2 박막 트랜지스터의 드레인 전극은 상기 제1 전극과 일체형이며 상기 층간 절연막의 접촉 구멍을 통해서 상기 제2 박막 트랜지스터의 반도체와 연결되는 유기 발광 표시 장치.

청구항 4

제2항에서,

상기 제3 신호선은 상기 제1 전극보다 저저항인 금속을 포함하고,

상기 제1 전극은 상기 제3 신호선보다 반사율이 큰 금속을 포함하는 유기 발광 표시 장치.

청구항 5

제4항에서,

상기 저저항 금속은 알루미늄, 티타늄, 몰리브덴 또는 이들의 합금 중 적어도 하나를 포함하고,

상기 반사율이 큰 금속은 은인 유기 발광 표시 장치.

청구항 6

제5항에서,

상기 제3 신호선은 티타늄/알루미늄/티타늄으로 이루어지고,
상기 제1 전극은 ITO/Ag/ITO로 이루어지는 유기 발광 표시 장치.

청구항 7

제1항에서,
상기 층간 절연막 위에 위치하며 상기 제2 신호선과 교차하는 방향으로 뻗어 있고,
상기 제2 신호선 및 제3 신호선과 분리되어 있는 더미 패턴
을 더 포함하는 유기 발광 표시 장치.

청구항 8

제7항에서,
상기 더미 패턴은 상기 제2 신호선 및 제3 신호선과 동일한 물질로 이루어지는 유기 발광 표시 장치.

청구항 9

제7항에서,
상기 더미 패턴, 상기 제2 신호선, 상기 제3 신호선, 상기 제1 박막 트랜지스터의 소스 전극 및 드레인 전극,
상기 제2 박막 트랜지스터의 소스 전극과 상기 제1 전극 사이의 거리는 상기 더미 패턴, 상기 제2 신호선, 상기
제3 신호선, 상기 제1 박막 트랜지스터의 소스 전극 및 드레인 전극, 상기 제2 박막 트랜지스터의 소스 전극 상
호간의 거리보다 좁은 유기 발광 표시 장치.

청구항 10

기판 위에 제1 신호선을 형성하는 단계,
상기 제1 신호선과 연결되는 박막 트랜지스터를 형성하는 단계,
상기 박막 트랜지스터 위에 층간 절연막을 형성하는 단계,
상기 층간 절연막 위에 제1 금속막을 형성하는 단계,
상기 제1 금속막 위에 제1 폭을 가지는 제1 부분과 상기 제1 부분 위에 위치하며 상기 제1 부분보다 폭이 넓은
제2 폭을 가지는 제2 부분으로 이루어지는 감광막 패턴을 형성하는 단계,
상기 감광막 패턴을 마스크로 상기 제1 금속막을 식각하여 제2 신호선을 형성하는 단계,
상기 감광막 패턴 및 상기 층간 절연막 위에 제2 금속막을 형성한 후 리프트 오프 방법으로 상기 감광막 패턴을
제거하여 제1 전극을 형성하는 단계,
상기 제1 전극 위에 유기 발광층을 형성하는 단계,
상기 유기 발광층 위에 제2 전극을 형성하는 단계
를 포함하는 유기 발광 표시 장치의 제조 방법.

청구항 11

제7항에서,
상기 제1 부분과 상기 제2 부분은 서로 다른 감광성 물질로 이루어지는 유기 발광 표시 장치의 제조 방법.

청구항 12

제11항에서,
상기 감광막 패턴을 형성하는 단계는
상기 제1 금속막 위에 현상 속도가 다른 제1 감광막과 제2 감광막을 적층하는 단계,

상기 제1 감광막과 제2 감광막을 현상하는 단계를 포함하는 유기 발광 표시 장치의 제조 방법.

청구항 13

제12항에서,

상기 제1 감광막의 현상 속도는 상기 제2 감광막의 현상속도 보다 빠른 유기 발광 표시 장치의 제조 방법.

청구항 14

제10항에서,

상기 감광막 패턴을 형성하는 단계는

상기 제1 금속막 위에 네가티브 감광성 물질로 감광막을 형성하는 단계,

상기 감광막을 하프톤 마스크로 상기 감광막을 노광한 후 현상하는 단계를 포함하는 유기 발광 표시 장치의 제조 방법.

명세서

기술 분야

[0001] 본 발명은 유기 발광 표시 장치 및 그 제조 방법에 관한 것이다.

배경 기술

[0002] 유기 발광 표시 장치(organic light emitting diode display)는 빛을 방출하는 유기 발광 소자(organic light emitting diode)를 가지고 화상을 표시하는 자발광형 표시 장치이다. 유기 발광 표시 장치는 액정 표시 장치(liquid crystal display)와 달리 별도의 광원을 필요로 하지 않으므로 상대적으로 두께와 무게를 줄일 수 있다. 또한 유기 발광 표시 장치는 낮은 소비 전력, 높은 휘도 및 높은 반응 속도 등의 고품위 특성을 나타내므로 휴대용 전자 기기의 차세대 표시 장치로 주목받고 있다.

[0003] 유기 발광 표시 장치는 구동 방식에 따라 수동 구동형(passive matrix type)과 능동 구동형(active matrix type)으로 구분된다. 능동 구동형 유기 발광 표시 장치는 각 화소마다 형성된 유기 발광 소자, 박막 트랜지스터(thin film transistor, TFT) 및 축전기(capacitor)를 가지고 화소를 독립적으로 제어한다.

[0004] 이러한 유기 발광 표시 장치는 빛이 나오는 방향에 따라서 전면 발광과 배면 발광으로 나눌 수 있다.

[0005] 전면 발광일 경우 마스크 공정을 줄이기 위해서, 하나의 마스크로 유기 발광 소자의 애노드 전극과 데이터선을 동일층에 형성한다. 이때, 애노드 전극은 반사율이 우수한 금속을 필요로 하고, 데이터선은 저저항이며 부식에 강한 금속을 필요로 한다.

[0006] 그러나, 반사율이 우수한 금속인 은은 부식에 약하고, 부식에 강한 티타늄은 반사율이 떨어지는 문제점이 있다.

발명의 내용

해결하려는 과제

[0007] 따라서 본 발명이 이루고자 하는 기술적 과제는 유기 발광 표시 장치의 제조 공정을 증가시키지 않으면서도, 애노드 전극의 반사율을 증가시키고 저저항 데이터선을 형성할 수 있는 유기 발광 표시 장치 및 그 제조 방법을 제공하는 것이다.

과제의 해결 수단

[0008] 상기한 과제를 달성하기 위한 본 발명에 따른 유기 발광 표시 장치는 기판, 기판 위에 위치하는 제1 신호선, 제1 신호선과 연결되어 있는 제1 박막 트랜지스터, 제1 박막 트랜지스터와 연결되어 있는 제2 박막 트랜지스터, 제1 박막 트랜지스터 및 제2 박막 트랜지스터 위에 위치하는 층간 절연막, 층간 절연막 위에 위치하며 제1 박막 트랜지스터의 소스 전극과 연결되어 있는 제2 신호선, 층간 절연막 위에 위치하며 제2 박막 트랜지스터의 소스

전극과 연결되어 있는 제3 신호선, 층간 절연막 위에 위치하며 제2 박막 트랜지스터의 드레인 전극과 연결되어 있는 제1 전극, 제1 전극 위에 위치하는 유기 발광층, 유기 발광층 위에 위치하는 제2 전극을 포함하고, 제3 신호선과 제1 전극은 서로 다른 금속으로 이루어진다.

- [0009] 상기 제3 신호선은 제2 박막 트랜지스터의 소스 전극과 동일한 물질로 이루어지고, 제2 박막 트랜지스터의 드레인 전극과 제1 전극은 동일한 물질로 이루어질 수 있다.
- [0010] 상기 제3 신호선은 제2 박막 트랜지스터의 소스 전극과 일체형이며, 층간 절연막의 접촉 구멍을 통해서 제2 박막 트랜지스터의 반도체와 연결되고, 제2 박막 트랜지스터의 드레인 전극은 제1 전극과 일체형이며 층간 절연막의 접촉 구멍을 통해서 제2 박막 트랜지스터의 반도체와 연결될 수 있다.
- [0011] 상기 제3 신호선은 제1 전극보다 저저항인 금속을 포함하고, 제1 전극은 제3 신호선보다 반사율이 큰 금속을 포함할 수 있다.
- [0012] 상기 저저항 금속은 알루미늄, 티타늄, 몰리브덴 또는 이들의 합금 중 적어도 하나를 포함하고, 반사율이 큰 금속은 은일 수 있다.
- [0013] 상기 제3 신호선은 티타늄/알루미늄/티타늄으로 이루어지고, 제1 전극은 IT0/Ag/IT0로 이루어질 수 있다.
- [0014] 상기 층간 절연막 위에 위치하며 제2 신호선과 교차하는 방향으로 뻗어 있고, 제2 신호선 및 제3 신호선과 분리되어 있는 더미 패턴을 더 포함할 수 있다.
- [0015] 상기 더미 패턴은 제2 신호선 및 제3 신호선과 동일한 물질로 이루어질 수 있다.
- [0016] 상기 더미 패턴, 제2 신호선, 제3 신호선, 제1 박막 트랜지스터의 소스 전극 및 드레인 전극, 제2 박막 트랜지스터의 소스 전극과 제1 전극 사이의 거리는 더미 패턴, 제2 신호선, 제3 신호선, 제1 박막 트랜지스터의 소스 전극 및 드레인 전극, 제2 박막 트랜지스터의 소스 전극 상호간의 거리보다 좁을 수 있다.
- [0017] 상기한 다른 과제를 달성하기 위한 본 발명의 한 실시예에 따른 유기 발광 표시 장치의 제조 방법은 기판 위에 제1 신호선을 형성하는 단계, 제1 신호선과 연결되는 박막 트랜지스터를 형성하는 단계, 박막 트랜지스터 위에 층간 절연막을 형성하는 단계, 층간 절연막 위에 제1 금속막을 형성하는 단계, 제1 금속막 위에 제1 폭을 가지는 제1 부분과 제1 부분 위에 위치하며 제1 부분보다 폭이 넓은 제2 폭을 가지는 제2 부분으로 이루어지는 감광막 패턴을 형성하는 단계, 감광막 패턴을 마스크로 제1 금속막을 식각하여 제2 신호선을 형성하는 단계, 감광막 패턴 및 층간 절연막 위에 제2 금속막을 형성한 후 리프트 오프 방법으로 감광막 패턴을 제거하여 제1 전극을 형성하는 단계, 제1 전극 위에 유기 발광층을 형성하는 단계, 유기 발광층 위에 제2 전극을 형성하는 단계를 포함한다.
- [0018] 상기 제1 부분과 제2 부분은 서로 다른 감광성 물질로 이루어질 수 있다.
- [0019] 상기 감광막 패턴을 형성하는 단계는 제1 금속막 위에 현상 속도가 다른 제1 감광막과 제2 감광막을 적층하는 단계, 제1 감광막과 제2 감광막을 현상하는 단계를 포함할 수 있다.
- [0020] 상기 제1 감광막의 현상 속도는 제2 감광막의 현상속도 보다 빠를 수 있다.
- [0021] 상기 감광막 패턴을 형성하는 단계는 제1 금속막 위에 네가티브 감광성 물질로 감광막을 형성하는 단계, 감광막을 하프톤 마스크로 감광막을 노광한 후 현상하는 단계를 포함할 수 있다.

발명의 효과

- [0022] 본 발명에서와 같은 감광막을 이용하면 사진 식각 공정을 증가시키지 않으면서도, 서로 다른 특성을 가지는 애노드 전극과 신호선을 용이하게 형성할 수 있다.

도면의 간단한 설명

- [0023] 도 1은 본 발명의 한 실시예에 따른 유기 발광 표시 장치가 갖는 화소 회로를 나타낸 회로도이다.
- 도 2는 도 1의 유기 발광 표시 장치의 한 화소에 대한 배치도이다.
- 도 3은 도 2의 III-III선을 따라 잘라 도시한 단면도이다.
- 도 4 내지 도 17은 본 발명의 한 실시예에 따른 유기 발광 표시 장치의 제조 방법을 공정 순서대로 도시한 도면

이다.

발명을 실시하기 위한 구체적인 내용

- [0024] 그러면 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.
- [0025] 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우 뿐만 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.
- [0026] 이하 도면을 참고하여 본 발명의 한 실시예에 따른 유기 발광 표시 장치에 대해서 구체적으로 설명한다.
- [0027] 도 1은 본 발명의 한 실시예에 따른 유기 발광 표시 장치가 갖는 화소 회로를 나타낸 회로도이다.
- [0028] 도 1에 도시한 바와 같이, 하나의 화소(PE)는 유기 발광 소자(organic light emitting diode)(70), 두 개의 박막 트랜지스터(thin film transistor, TFT) (Q1, Q2), 그리고 하나의 축전기(capacitor)(80)를 구비하는 2Tr-1Cap 구조를 갖는다. 하지만, 본 발명의 한 실시예가 이에 한정되는 것은 아니다. 따라서 유기 발광 표시 장치는 하나의 화소(PE)에 셋 이상의 박막 트랜지스터와 둘 이상의 축전기를 구비할 수 있으며, 별도의 배선이 더 형성되어 다양한 구조를 갖도록 형성할 수도 있다. 이와 같이 추가로 형성되는 박막 트랜지스터 및 축전기는 보상 회로의 구성이 될 수 있다.
- [0029] 보상 회로는 각 화소(PE)마다 형성된 유기 발광 소자(70)의 균일성을 향상시켜 화질에 편차가 생기는 것을 억제한다. 일반적으로 보상 회로는 2개 내지 8개의 박막 트랜지스터를 포함한다.
- [0030] 또한, 기판은 화소의 박막 트랜지스터를 제어하기 위한 구동 회로가 형성될 수 있으며, 구동 회로는 화소의 박막 트랜지스터와 함께 형성될 수 있다.
- [0031] 유기 발광 소자(70)는 정공 주입 전극인 애노드(anode) 전극과 전자 주입 전극인 캐소드(cathode) 전극, 그리고 애노드 전극과 캐소드 전극 사이에 배치된 유기 발광층을 포함한다.
- [0032] 본 발명의 한 실시예에서 하나의 화소(PE)는 제1 박막 트랜지스터(Q1)와 제2 박막 트랜지스터(Q2)를 포함한다.
- [0033] 제1 박막 트랜지스터(Q1) 및 제2 박막 트랜지스터(Q2)는 각각 게이트 전극, 반도체, 소스 전극 및 드레인 전극을 포함한다. 그리고 제1 박막 트랜지스터(Q1) 및 제2 박막 트랜지스터(Q2) 중 하나 이상의 박막 트랜지스터의 반도체는 불순물이 도핑된 다결정 규소막을 포함한다. 즉, 제1 박막 트랜지스터(Q1) 및 제2 박막 트랜지스터(Q2) 중 하나 이상의 박막 트랜지스터는 다결정 규소 박막 트랜지스터이다.
- [0034] 도 1에는 게이트 라인(GL), 데이터 라인(DL) 및 공통 전원 라인(VDD)과 함께 축전기 라인(CL)이 나타나 있으나, 축전기 라인(CL)은 경우에 따라 생략될 수도 있다.
- [0035] 데이터 라인(DL)에는 제1 박막 트랜지스터(Q1)의 소스 전극이 연결되고, 게이트 라인(GL)에는 제1 박막 트랜지스터(Q1)의 게이트 전극이 연결된다. 그리고 제1 박막 트랜지스터(Q1)의 드레인 전극은 축전기(80)를 통하여 축전기 라인(CL)에 연결된다. 제1 박막 트랜지스터(Q2)의 드레인 전극과 축전기(80) 사이에 노드가 형성되어 제2 박막 트랜지스터(Q2)의 게이트 전극이 연결된다. 그리고 제2 박막 트랜지스터(Q2)의 소스 전극에는 공통 전원 라인(VDD)이 연결되며, 드레인 전극에는 유기 발광 소자(70)의 애노드 전극이 연결된다.
- [0036] 제1 박막 트랜지스터(Q1)는 발광시키고자 하는 화소(PE)를 선택하는 스위칭 소자로 사용된다. 제1 박막 트랜지스터(Q1)가 순간적으로 턴온되며 축전기(80)는 충전되고, 이때 충전되는 전하량은 데이터 라인(DL)으로부터 인가되는 전압의 전위에 비례한다. 그리고 제1 박막 트랜지스터(Q1)가 턴오프된 상태에서 축전기 라인(CL)에 한 프레임 주기로 전압이 증가하는 신호가 입력되면, 제2 박막 트랜지스터(Q2)의 게이트 전위는 축전기(80)에 충전된 전위를 기준으로 인가되는 전압의 레벨이 축전기 라인(CL)을 통하여 인가되는 전압을 따라서 상승한다. 그리고 제2 박막 트랜지스터(Q2)는 게이트 전위가 문턱 전압을 넘으면 턴온된다. 그러면 공통 전원 라인(VDD)에 인가되던 전압이 제2 박막 트랜지스터(Q2)를 통하여 유기 발광 소자(70)에 인가되고, 유기 발광 소자(70)는 발광한다.
- [0037] 이하, 도 2 및 도 3을 참조하여 본 발명의 한 실시예에 따른 유기 발광 표시 장치를 구체적으로 설명한다.

- [0038] 도 2는 도 1의 유기 발광 표시 장치의 한 화소에 대한 배치도이고, 도 3은 도 2의 III-III선을 따라 잘라 도시한 단면도이다.
- [0039] 도 2 및 도 3에 도시한 바와 같이, 기관(111) 위에는 버퍼층(120)이 형성되어 있다. 기관(111)은 유리, 석영, 세라믹 또는 플라스틱 등으로 이루어진 절연성 기관 일 수 있으며, 기관(111)은 스테인리스 강 등으로 이루어진 금속성 기관일 수 있다.
- [0040] 버퍼층(120)은 질화 규소(SiNx)의 단일막 또는 질화 규소(SiNx)와 산화 규소(SiO₂)가 적층된 이중막 구조로 형성될 수 있다. 버퍼층(120)은 불순물 또는 수분과 같이 불필요한 성분의 침투를 방지하면서 동시에 표면을 평탄화하는 역할을 한다.
- [0041] 버퍼층(120) 위에는 다결정 규소로 이루어진 제1 반도체(135a) 및 제2 반도체(135b)와 제1 축전기 전극(138)이 형성되어 있다.
- [0042] 제1 반도체(135a) 및 제2 반도체(135b)는 채널 영역(1355a, 1355b)과 채널 영역(1355a, 1355b)의 양측에 각각 형성된 소스 영역(1356a, 1356b) 및 드레인 영역(1357a, 1357b)으로 구분된다. 제1 반도체(135a) 및 제2 반도체(135b)의 채널 영역(1355a, 1355b)은 불순물이 도핑되지 않은 다결정 규소, 즉 진성 반도체(intrinsic semiconductor)이다. 제1 반도체(135a) 및 제2 반도체(135b)의 소스 영역(1356a, 1356b) 및 드레인 영역(1357a, 1357b)은 도전성 불순물이 도핑된 다결정 규소, 즉 불순물 반도체(impurity semiconductor)이다.
- [0043] 소스 영역(1356a, 1356b) 및 드레인 영역(1357a, 1357b)과 제1 축전기 전극(138)에 도핑되는 불순물은 p형 불순물 및 n형 불순물 중 어느 하나 일 수 있다.
- [0044] 제1 반도체(135a) 및 제2 반도체(135b)와 제1 축전기 전극(138) 위에는 게이트 절연막(140)이 형성되어 있다. 게이트 절연막(140)은 테트라에톡시실란(tetra ethyl ortho silicate, TEOS), 질화 규소 및 산화 규소 중 적어도 하나를 포함한 단층 또는 복수층일 수 있다.
- [0045] 게이트 절연막(140) 위에는 게이트선(121), 제2 게이트 전극(155b) 및 제2 축전기 전극(158)이 형성되어 있다.
- [0046] 게이트선(121)은 가로 방향으로 길게 뻗어 게이트 신호를 전달하며, 게이트선(121)로부터 제1 반도체(135a)로 돌출한 제1 게이트 전극(155a)을 포함한다.
- [0047] 제1 게이트 전극(155a) 및 제2 게이트 전극(155b)은 각각 채널 영역(1355a, 1355b)과 중첩하고, 제2 축전기 전극(158)은 제1 축전기 전극(138)과 중첩한다.
- [0048] 제2 축전기 전극(158), 제1 게이트 전극(155a) 및 제2 게이트 전극(155b)은 폴리브덴, 텅스텐, 구리, 알루미늄 또는 이들의 합금으로 단층 또는 복수층으로 이루어질 수 있다.
- [0049] 제1 축전기 전극(138)과 제2 축전기 전극(158)은 게이트 절연막(140)을 유전체로 하여 축전기(80)를 이룬다.
- [0050] 제1 게이트 전극(155a), 제2 게이트 전극(155b) 및 제2 축전기 전극(158) 위에는 층간 절연막(160)이 형성된다. 층간 절연막(160)은 게이트 절연막(140)과 마찬가지로 테트라에톡시실란(tetra ethyl ortho silicate, TEOS), 질화 규소 또는 산화 규소 등으로 형성될 수 있다.
- [0051] 층간 절연막(160)과 게이트 절연막(140)에는 소스 영역(1356a, 1356b)과 드레인 영역(1357a, 1357b)을 각각 노출하는 소스 접촉 구멍(166)과 드레인 접촉 구멍(167)을 갖는다.
- [0052] 층간 절연막(160) 위에는 제1 소스 전극(176a)을 가지는 데이터선(171), 제2 소스 전극(176b)을 가지는 정전압선(172), 제1 드레인 전극(177a), 더미 패턴(175) 및 제1 전극(710)이 형성되어 있다.
- [0053] 데이터선(171)은 데이터 신호를 전달하며 게이트선(121)과 교차하는 방향으로 뻗어 있다.
- [0054] 정전압선(172)은 일정 전압을 전달하며 데이터선(171)과 분리되어 데이터선(171)과 같은 방향으로 뻗어 있다.
- [0055] 제1 소스 전극(176a)은 데이터선(171)으로부터 제1 반도체(135a)를 향해서 돌출되어 있으며, 제2 소스 전극(176b)은 정전압선(172)으로부터 제2 반도체(135b)를 향해서 돌출되어 있다. 제1 소스 전극(176a)과 제2 소스 전극(176b)은 각각 소스 접촉 구멍(166)을 통해서 소스 영역(1356a, 1356b)과 연결되어 있다.
- [0056] 제1 드레인 전극(177a)은 제1 소스 전극(176a)과 마주하며 접촉 구멍(167)을 통해서 드레인 영역(1357a)과 연결된다. 그리고 제2 소스 전극(176b)과 마주하는 제1 전극(710)의 일부분은 제2 드레인 전극으로, 접촉 구멍(16

7)을 통해서 드레인 영역(1357b)과 연결된다.

- [0057] 제1 드레인 전극(177a)은 게이트선을 따라 연장되어 있으며, 접촉 구멍(81)을 통해서 제2 게이트 전극(158b)과 전기적으로 연결된다.
- [0058] 제1 전극(710)은 도 1의 유기 발광 소자의 애노드 전극일 수 있으며, 제2 박막 트랜지스터의 제2 드레인 전극과 일체형으로 연결되어 있다.
- [0059] 더미 패턴(175)은 제조 공정상 제1 전극(710)을 상, 하 방향으로 분리하기 위한 것으로, 이후 제조 공정과 함께 구체적으로 설명한다.
- [0060] 데이터선(171), 정전압선(172), 제1 드레인 전극(177a) 및 더미 패턴(175)은 Al, Ti, Mo, Cu, Ni 또는 이들의 합금과 같이 저저항 물질 또는 부식이 강한 물질을 단층 또는 복수층으로 형성할 수 있다. 예를 들어, Ti/Cu/Ti, Ti/Ag/Ti의 삼중층일 수 있다.
- [0061] 그리고 제1 전극(710)은 Ag와 같이 반사도가 우수한 물질 또는 ITO와 같이 투과성 물질을 단층 또는 복수층으로 형성할 수 있다. 예를 들어, ITO/Ag/ITO의 삼중층일 수 있다.
- [0062] 한편, 데이터선(171), 정전압선(172), 제1 드레인 전극(177a) 및 더미 패턴(175)과 제1 전극(710) 사이의 제1 간격(L1)은 데이터선(171), 정전압선(172), 제1 드레인 전극(177a) 및 더미 패턴(175) 상호간의 제2 간격(L2)보다 작을 수 있다.
- [0063] 데이터선(171), 정전압선(172), 제1 드레인 전극(177a), 더미 패턴(175) 및 제1 전극(710)위에는 화소 정의막(190)이 형성되어 있다.
- [0064] 화소 정의막(190)은 제1 전극(710)을 노출하는 개구부(195)를 가진다. 화소 정의막(190)은 폴리아크릴계(polyacrylates) 또는 폴리이미드계(polyimides) 등의 수지와 실리카 계열의 무기물 등을 포함하여 이루어질 수 있다.
- [0065] 화소 정의막(190)의 개구부(195)에는 유기 발광층(720)이 형성되어 있다.
- [0066] 유기 발광층(720)은 발광층, 정공 수송층(hole-injection layer, HIL), 정공 수송층(hole-transporting layer, HTL), 전자 수송층(electron-transporting layer, ETL) 및 전자 주입층(electron-injection layer, EIL) 중 하나 이상을 포함하는 복수층으로 형성된다.
- [0067] 유기 발광층(720)이 이들 모두를 포함할 경우 정공 주입층이 애노드 전극인 화소 전극(710) 위에 위치하고 그 위로 정공 수송층, 발광층, 전자 수송층, 전자 주입층이 차례로 적층될 수 있다.
- [0068] 화소 정의막(190) 및 유기 발광층(720) 위에는 공통 전극(730)이 형성된다.
- [0069] 공통 전극(730)은 유기 발광 소자의 캐소드 전극이 된다. 따라서 화소 전극(710), 유기 발광층(720) 및 공통 전극(730)은 유기 발광 소자(70)를 이룬다.
- [0070] 유기 발광 소자(70)가 빛을 방출하는 방향에 따라서 유기 발광 표시 장치는 전면 표시형, 배면 표시형 및 양면 표시형 중 어느 한 구조를 가질 수 있다.
- [0071] 전면 표시형일 경우 화소 전극(710)은 반사막으로 형성하고 공통 전극(730)은 반투과막 또는 투과막으로 형성한다. 반면, 배면 표시형일 경우 화소 전극(710)은 반투과막으로 형성하고 공통 전극(730)은 반사막으로 형성한다. 그리고 양면 표시형일 경우 화소 전극(710) 및 공통 전극(730)은 투명막 또는 반투과막으로 형성한다.
- [0072] 반사막 및 반투과막은 마그네슘(Mg), 은(Ag), 금(Au), 칼슘(Ca), 리튬(Li), 크롬(Cr) 및 알루미늄(Al) 중 하나 이상의 금속 또는 이들의 합금을 사용하여 만들어진다. 반사막과 반투과막은 두께로 결정되며, 반투과막은 200nm 이하의 두께로 형성될 수 있다. 두께가 얇아질수록 빛의 투과율이 높아지나, 너무 얇으면 저항이 증가한다.
- [0073] 투명막은 ITO(indium tin oxide), IZO(indium zinc oxide), ZnO(산화 아연) 또는 In₂O₃(indium oxide) 등의 물질로 이루어진다.
- [0074] 그림 이상의 유기 발광 표시 장치를 제조하는 방법에 대해서 도 4 내지 15와 기 설명한 도 2 및 3을 참조하여 구체적으로 설명한다.
- [0075] 도 4 내지 도 17은 본 발명의 한 실시예에 따른 유기 발광 표시 장치의 제조 방법을 공정 순서대로 도시한 도면

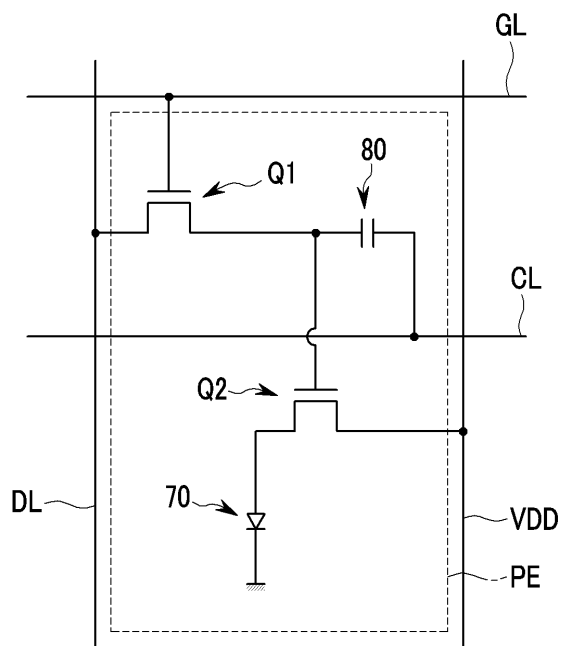
이다.

- [0076] 먼저, 도 4 및 도 5에 도시한 바와 같이, 기판(111) 위에 버퍼층(120)을 형성한다. 버퍼층(120)은 질화 규소 또는 산화 규소로 형성할 수 있다.
- [0077] 버퍼층(120) 위에 다결정 규소막을 형성한 후 패터닝하여 제1 반도체(135a) 및 제2 반도체(135b)와 제1 축전기 전극(138)을 형성한다.
- [0078] 다음, 도 6 및 도 7에 도시한 바와 같이, 제1 반도체(135a) 및 제2 반도체(135b) 위에 게이트 절연막(140)을 형성한다. 게이트 절연막(140)은 질화 규소 또는 산화 규소로 이루어질 수 있다.
- [0079] 그리고 게이트 절연막(140) 위에 금속막을 적층한 후 패터닝하여 제1 게이트 전극(155a, 155b)과 제2 축전기 전극(158)을 형성한다.
- [0080] 제1 게이트 전극(155a) 및 제2 게이트 전극(155b)을 마스크로 제1 반도체(135a) 및 제2 반도체(135b)에 도전형 불순물을 도핑하여 소스 영역, 드레인 영역 및 채널 영역을 형성한다. 또는 제1 게이트 전극(155a) 및 제2 게이트 전극(155b)을 형성하기 전 감광막을 이용하여 제1 축전기 전극(138)에도 함께 도핑할 수 있다. 또한, 제1 게이트 전극(155a) 및 제2 게이트 전극(155b)을 이중막으로 형성하고, 제2 축전기 전극(158)은 단일막으로 형성하면 소스 영역 및 드레인 영역과 함께 제1 축전기 전극(138)에도 도핑될 수 있다.
- [0081] 다음 도 8 및 도 9에 도시한 바와 같이, 제1 게이트 전극(155a, 155b)과 제2 축전기 전극(158) 위에 소스 영역 및 드레인 영역을 노출하는 접촉 구멍(166, 167)을 가지는 층간 절연막(160)을 형성한다. 층간 절연막(160)은 테트라에톡시실란(tetra ethyl ortho silicate, TEOS), 질화 규소 또는 산화 규소 등으로 형성될 수 있다. 또한, 층간 절연막(160)은 저유전율 물질로 형성하여 기판을 평탄화할 수 있다.
- [0082] 다음, 도 10 및 도 11에 도시한 바와 같이 층간 절연막(160) 위에 금속막을 형성하고, 금속막 위에 감광막 패턴(PR)을 형성한다. 금속막은 Ti/Al/Ti 삼중막일 수 있다.
- [0083] 감광막 패턴은 폭이 서로 다른 제1 부분(P1) 및 제2 부분(P2)을 가지고, 제1 부분(P1)의 폭(D1)은 제2 부분(P2)의 폭(D2)보다 작아 감광막 패턴은 T자형으로 형성될 수 있으며, 제2 부분에서 제1 부분으로 갈수록 폭이 좁아지는 역테이퍼 구조를 가질 수 있다.
- [0084] 이러한 형태의 감광막 패턴(PR)은 현상 속도가 다른 두 감광 물질을 적층하여 형성할 수 있다. 즉, 현상 속도가 빠른 물질로 하부 감광막을 형성하고, 하부 감광막보다 현상 속도가 느린 상부 감광막을 적층한다. 그런 다음 광마스크를 이용하여 형성하고자 하는 패턴으로 노광하고 현상한다. 이때, 현상 속도가 다른 두 개의 감광막이 적층되어 있으므로 현상 속도가 느린 상부 감광막에 비해서 현상 속도가 빠른 하부 감광막이 과하게 현상되어 서로 다른 폭(D1, D2)을 가지는 감광막 패턴(PR)이 형성된다.
- [0085] 하부 감광막과 상부 감광막의 현상 속도 차이는 $2\mu\text{m}/\text{mim}$ 내지 $10\mu\text{m}/\text{mim}$ 의 속도 차이일 수 있으며, 제2 부분(P2)의 한 경계선으로부터 인접한 제1 부분(P1)의 한 경계선까지의 거리(L1)는 $1\mu\text{m}$ 이상일 수 있다.
- [0086] 또한, 도 12에서와 같이 감광막 패턴(PR)은 네가티브 감광물질을 이용하여 형성할 수 있다. 즉, 금속막 위에 네가티브 감광물질로 감광막을 형성한 후 슬릿(S) 또는 하프톤을 가지는 광 마스크(MP)를 사용하여 노광한다. 네가티브 감광물질로 이루어진 감광막은 노광된 부분이 남겨지고, 노광되지 않은 부분이 현상시 제거된다. 따라서 하프톤 마스크와 대응하는 부분은 하부까지 완전히 노광되지 않으므로 노광되지 않은 하부가 현상시 제거되어 서로 다른 폭을 가지는 감광막 패턴을 형성한다.
- [0087] 이후, 감광막 패턴(PR)을 마스크로 금속막을 식각하여 데이터선(171), 정전압선(172), 제1 드레인 전극(177a) 및 더미 패턴(175)을 형성한다.
- [0088] 다음, 도 13에 도시한 바와 같이, 감광막 패턴(PR) 및 층간 절연막(160)을 포함하는 기판(111) 위에 금속을 증착하여 금속막(7)을 형성한다. 금속막(7)은 ITO/Ag/ITO일 수 있다.
- [0089] 이때, 감광막 패턴(PR)은 서로 다른 폭을 가져 언더컷을 형성하므로, 금속막(7)이 감광막 패턴(PR)의 측벽을 따라 연결되지 않고 끊어질 수 있다.
- [0090] 금속막(7)이 감광막 패턴(PR)의 측벽을 따라 연결되지 않고 끊어지기 용이하도록 금속막(7)은 제1 부분(P1)의 두께(T1)와 데이터선(171), 정전압선(172), 제1 드레인 전극(177a) 및 더미 패턴(175)의 두께(T2)의 합보다 얇은 두께로 형성하는 것이 바람직하다.

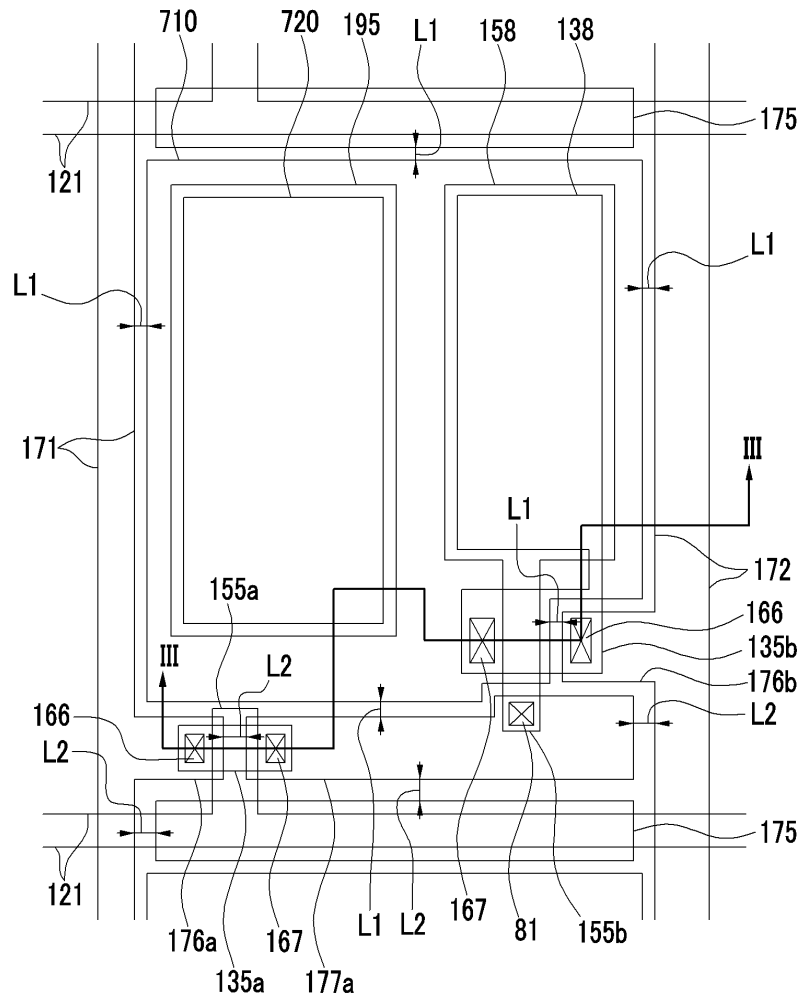
- [0091] 한편, 데이터선(171), 정전압선(172), 제1 드레인 전극(177a) 및 더미 패턴(175)과 제1 전극(710) 사이의 제1 간격(L1)은 데이터선(171), 정전압선(172), 제1 드레인 전극(177a) 및 더미 패턴(175) 상호간의 제2 간격(L2)보다 작을 수 있다.
- [0092] 즉, 제1 전극(710)은 감광막 패턴(PR)에 의해서 끊어지므로 제1 간격(L1)은 제2 부분(P2)의 한 경계선으로부터 인접한 제1 부분(P1)의 한 경계선까지의 거리이다.
- [0093] 그러나 데이터선(171), 정전압선(172), 제1 드레인 전극(177a) 및 더미 패턴(175) 상호간은 데이터선(171), 정전압선(172), 제1 드레인 전극(177a) 및 더미 패턴(175)을 형성하기 위한 각각의 감광막 패턴(PR)은 서로 이웃하므로 제2 간격(L2)은 제1 간격(L1)보다 적어도 2배 이상의 거리를 가진다.
- [0094] 다음, 도 14 및 도 15에 도시한 바와 같이, 리프트 오프 방법으로 감광막 패턴(PR) 및 감광막 패턴(PR) 상부의 금속막을 제거하여 제1 전극(710)을 형성한다.
- [0095] 제1 전극(710)은 한 화소 단위로 분리되어야 하므로 더미 패턴(175)을 형성하여 제1 전극(710)이 더미 패턴(175)을 중심으로 양쪽으로 분리될 수 있도록 한다.
- [0096] 더미 패턴(175)은 화소의 개구율을 감소시키지 않도록 게이트선(121)과 중첩하여 형성할 수 있다.
- [0097] 한편, 도 11에 도시한 바와 같이, 제1 간격(L1)을 1 μ m이상으로 형성하였으므로, 제1 전극(710)과 데이터선(171), 정전압선(172), 제1 드레인 전극(177a) 및 더미 패턴(175)이 모두 층간 절연막(160) 위에 형성되더라도 단락되지 않는다.
- [0098] 본 발명의 한 실시예에서와 같이 서로 다른 폭을 가지는 감광막 패턴을 사용하면 서로 다른 특성을 가지는 제1 전극(710)과 데이터선(171)을 하나의 사진 식각 공정으로 형성할 수 있다.
- [0099] 다음, 도 16 및 도 17에 도시한 바와 같이, 제1 전극(710), 데이터선(171) 및 정전압선(172) 위에 개구부(195)를 가지는 화소 정의막(190)을 형성한다.
- [0100] 다음, 도 2 및 도 3에 도시한 바와 같이, 화소 정의막(190)의 개구부(195) 내에 유기 발광층(720)을 형성하고 유기 발광층(720) 위에 공통 전극(730)을 형성한다.
- [0101] 이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

도면

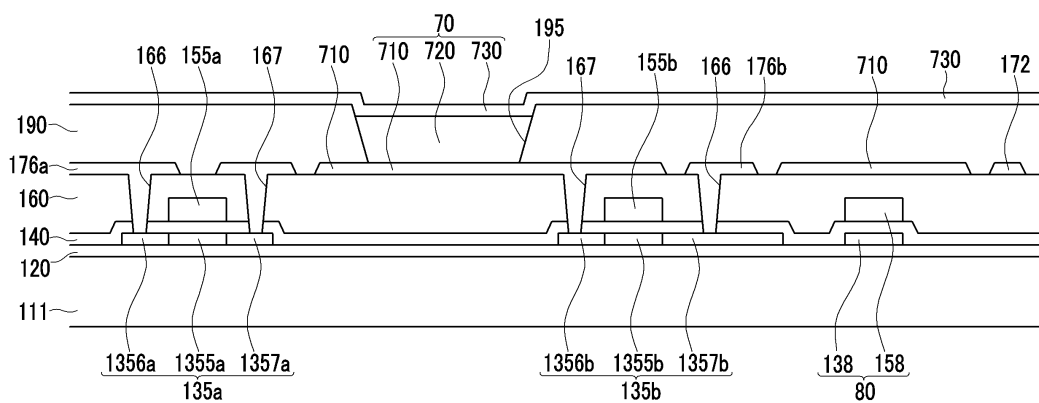
도면1



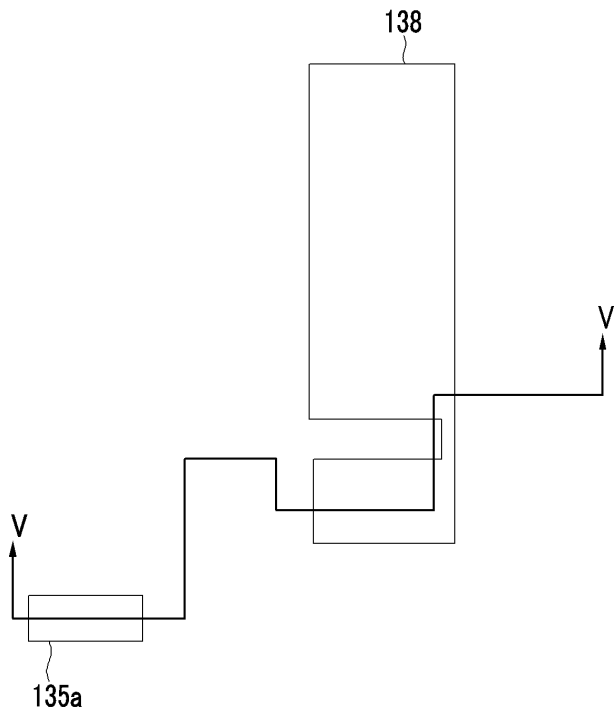
도면2



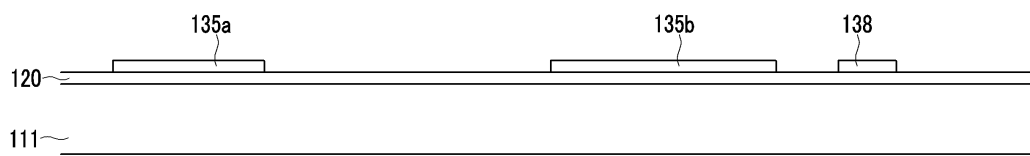
도면3



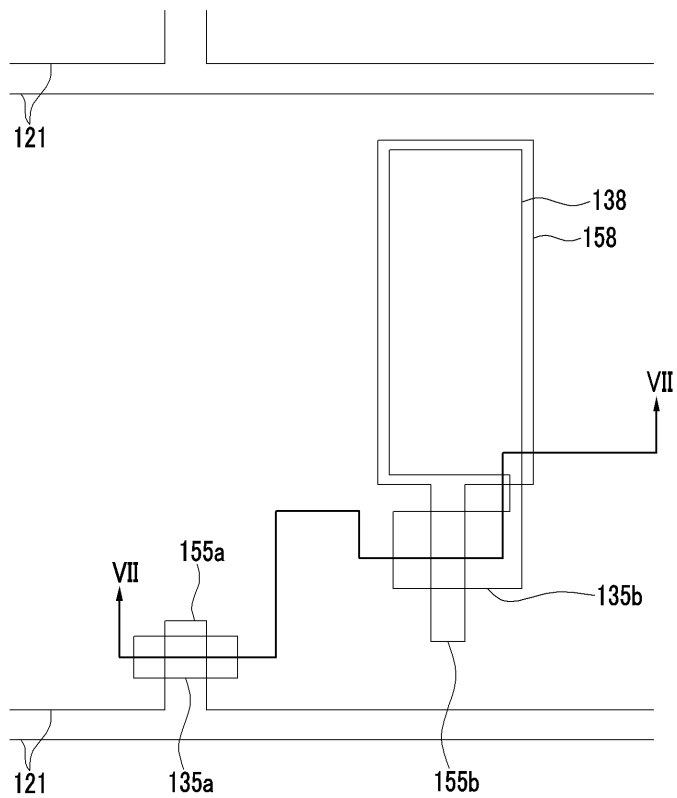
도면4



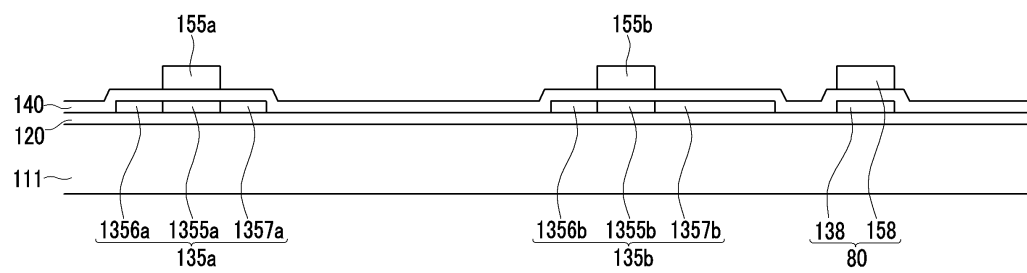
도면5



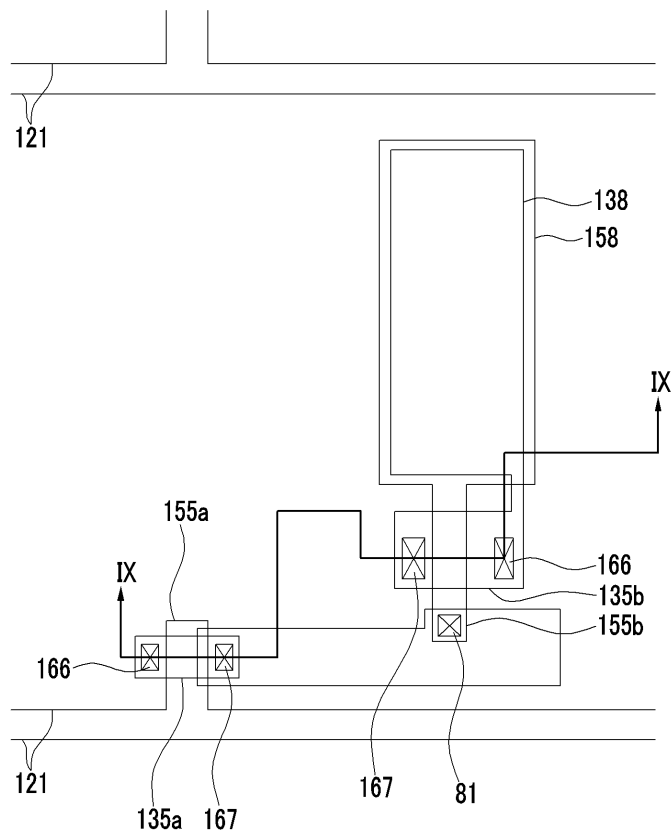
도면6



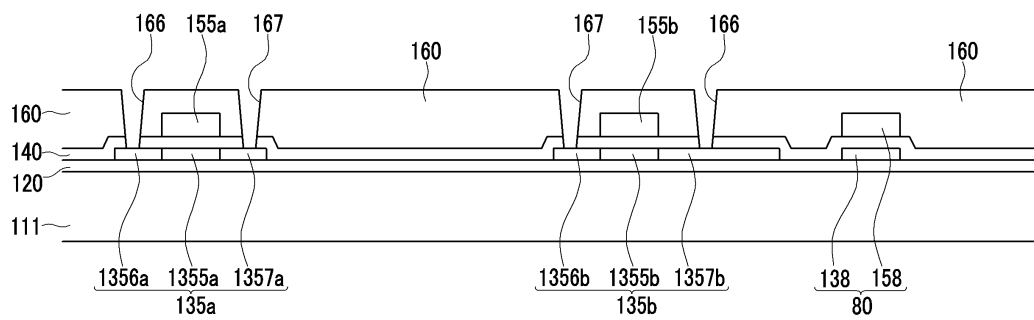
도면7



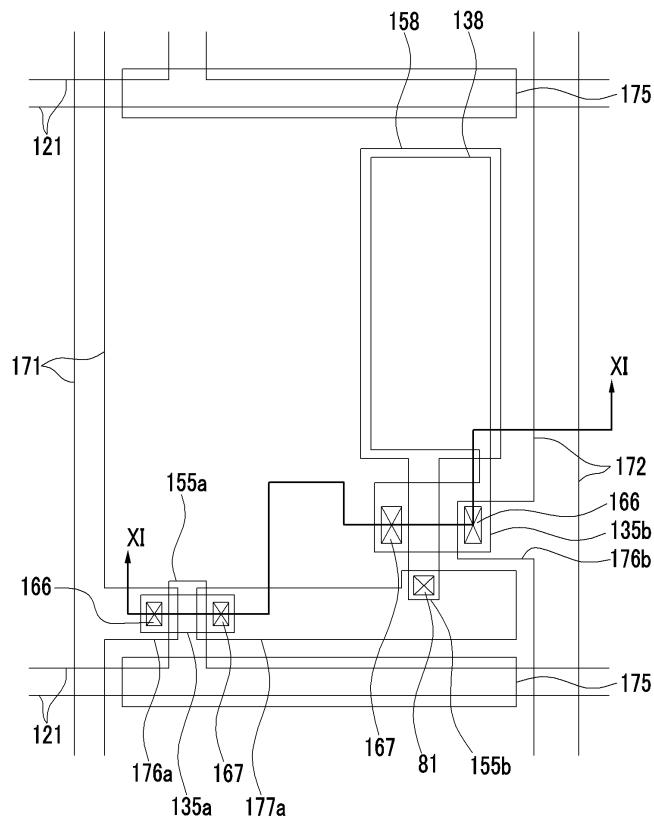
도면8



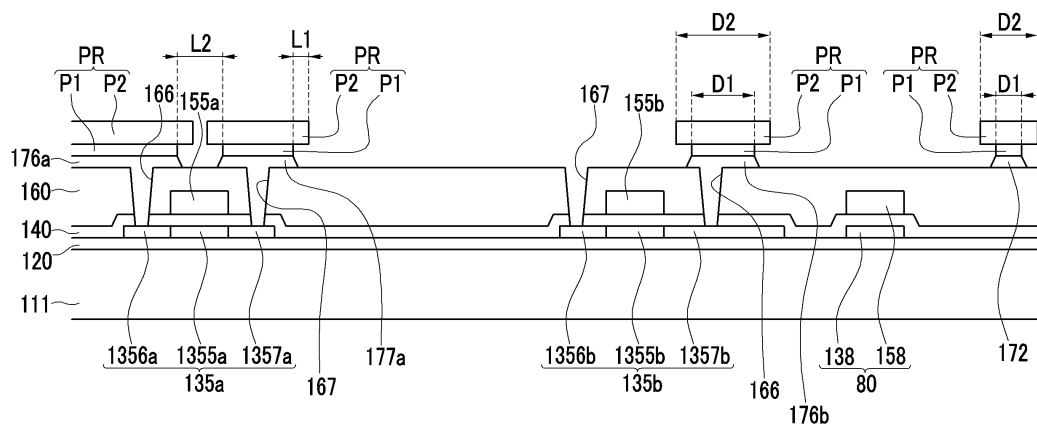
도면9



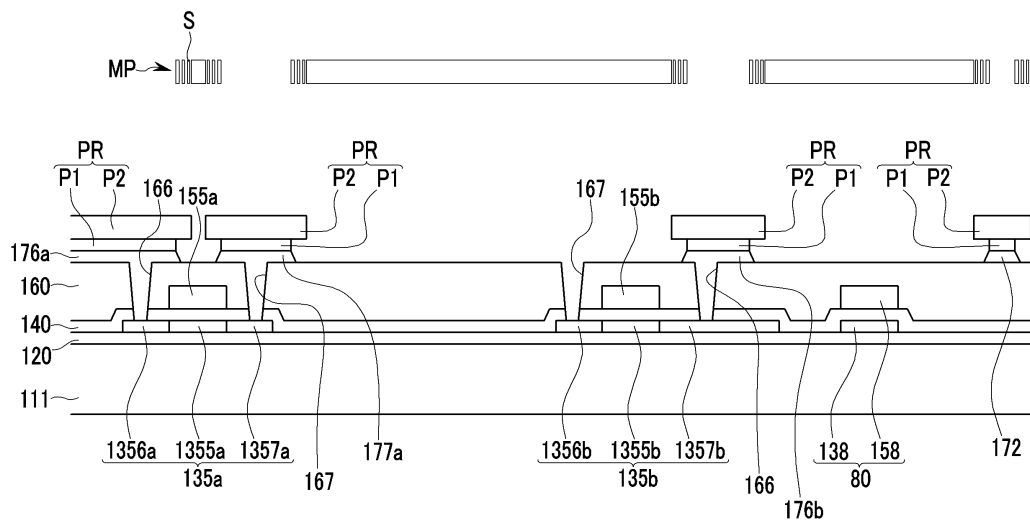
도면10



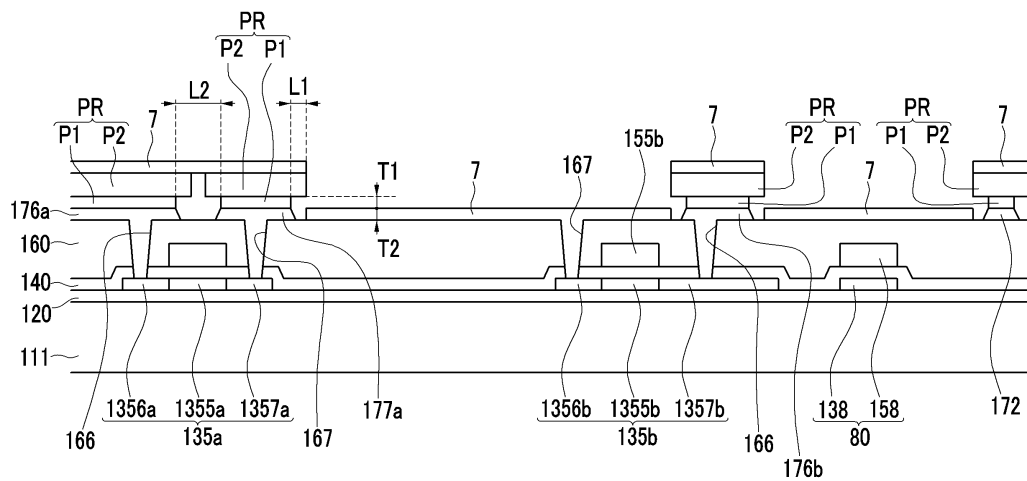
도면11



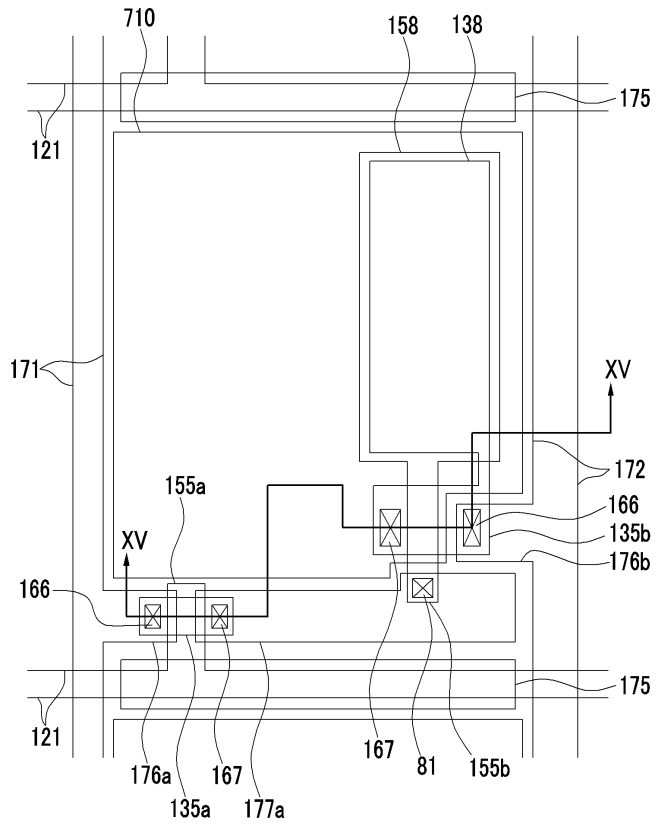
도면12



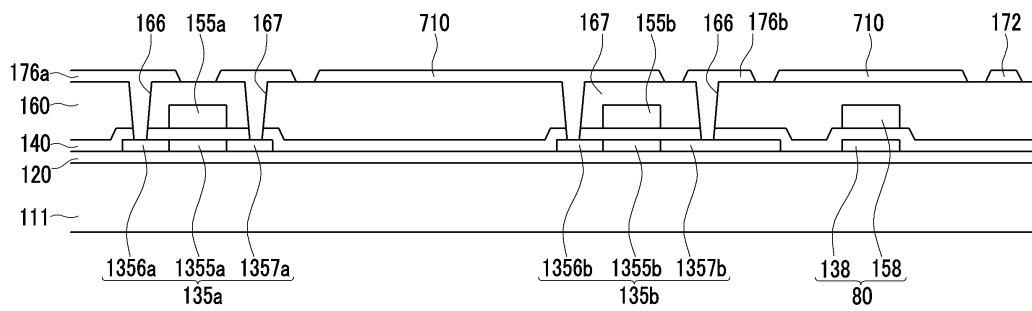
도면13



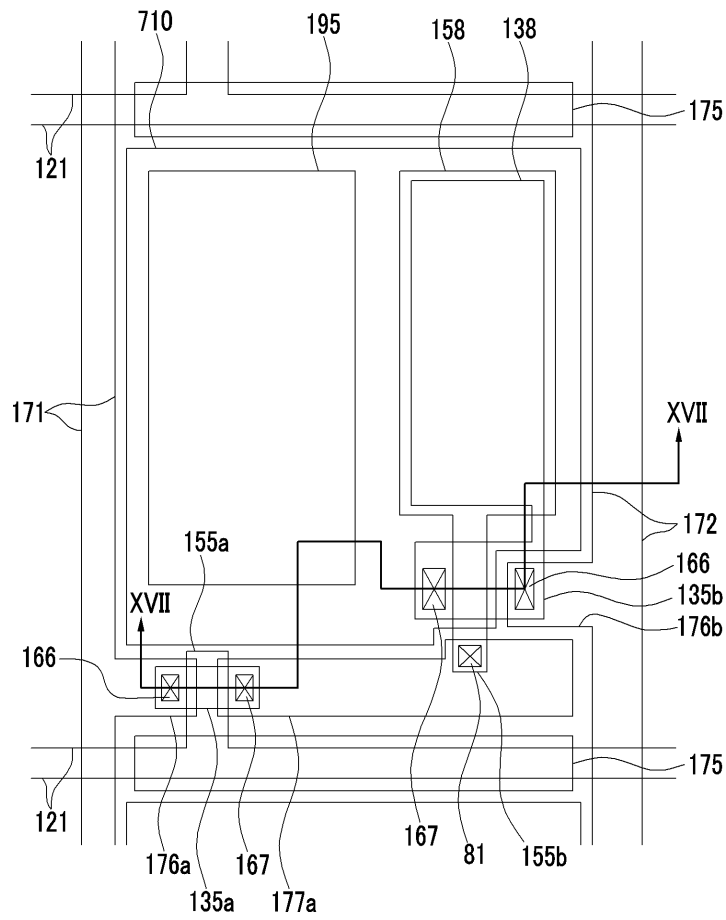
도면14



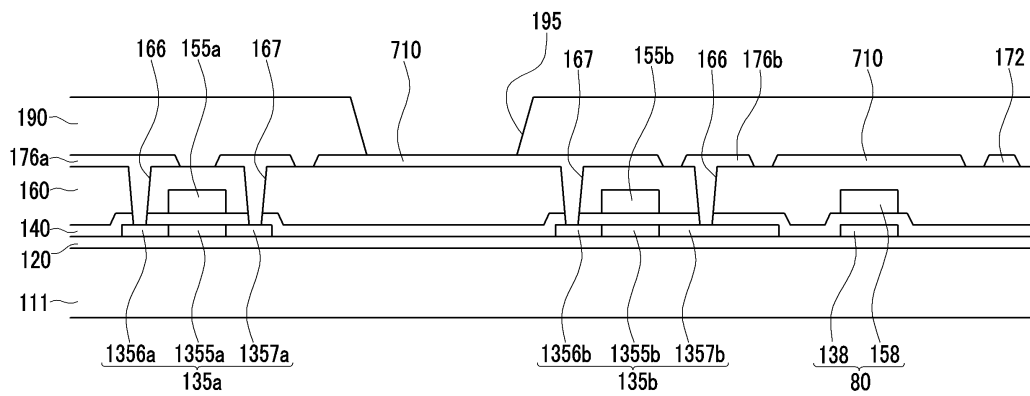
도면15



도면16



도면17



专利名称(译)	标题：OLED显示器及其制造方法		
公开(公告)号	KR1020140044102A	公开(公告)日	2014-04-14
申请号	KR1020120110086	申请日	2012-10-04
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	KIM YOUNG DAE 김영대 KIM JONG YUN 김종윤		
发明人	김영대 김종윤		
IPC分类号	H01L51/50 H01L29/786 H05B33/10		
CPC分类号	H01L27/326 H01L27/3223 H01L27/3276 H01L2227/323 H01L27/3244 H01L51/56 H01L27/124 H01L27/1288 H01L27/3279		
外部链接	Espacenet		

摘要(译)

根据本发明的有机发光显示装置包括基板;位于基板上的第一信号线;第一薄膜晶体管, 连接到第一信号线;第二薄膜晶体管, 连接到第一薄膜晶体管;位于第一薄膜晶体管和第二薄膜晶体管上的层间绝缘膜;第二信号线, 位于层间绝缘膜上, 并连接到第一薄膜晶体管的源极;第三信号线, 位于层间绝缘膜上, 并连接到第二薄膜晶体管的源极;第一电极, 位于层间绝缘膜上, 并连接到第二薄膜晶体管的漏电极;位于第一电极上的有机发光层;位于有机发光层上的第二电极, 其中第三信号线和第一电极由彼此不同的金属构成。

