



(11) 공개번호 10-2013-0016936
(43) 공개일자 2013년02월19일

(51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01) *H01L 51/50* (2006.01)
H01L 51/56 (2006.01)

(21) 출원번호 10-2011-0079147

(22) 출원일자 2011년08월09일
 심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
 경기도 용인시 기흥구 삼성2로 95 (농서동)

(72) 발명자
박종현
 경기도 용인시 기흥구 삼성2로 95 (농서동)
유춘기
 경기도 용인시 기흥구 삼성2로 95 (농서동)
 (뒷면에 계속)

(74) 대리인
리앤목특허법인

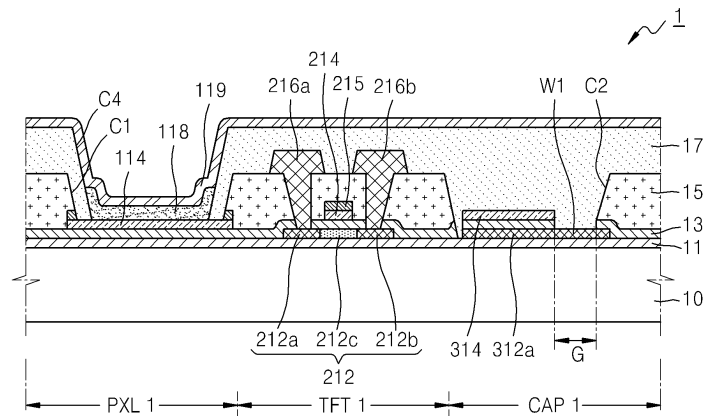
전체 청구항 수 : 총 28 항

(54) 발명의 명칭 박막 트랜지스터 어레이 기판, 이를 포함하는 유기 발광 표시 장치 및 그 제조 방법

(57) 요약

본 발명의 일 측면에 의하면, 기판 상에 배치되고, 활성층, 게이트 전극, 소스 전극 및 드레인 전극을 구비한 박막 트랜지스터; 상기 활성층과 동일층에 배치된 하부 전극 및 상기 게이트 전극과 동일층에 배치된 상부 전극을 구비한 커패시터; 상기 게이트 전극 및 상기 상부 전극과 동일층에 배치되고, 상기 소스 전극 및 드레인 전극 중 하나와 연결된 화소 전극; 상기 활성층과 게이트 전극, 및 상기 하부 전극과 상부 전극 사이에 배치되되, 상기 하부 전극 외곽에는 배치되지 않은 제1절연층; 상기 제1절연층과, 상기 소스 전극 및 드레인 전극 사이에 배치되되, 상기 상부 전극 및 상기 하부 전극 외곽에는 배치되지 않은 제2절연층; 및 상기 소스 전극 및 드레인 전극과 상기 상부 전극을 덮고, 상기 화소 전극을 노출시키는 제3절연층;을 포함하는 박막 트랜지스터 어레이 기판을 제공한다.

대표도 - 도1



(72) 발명자

박선

경기도 용인시 기흥구 삼성2로 95 (농서동)

이율규

경기도 용인시 기흥구 삼성2로 95 (농서동)

문상호

경기도 용인시 기흥구 삼성2로 95 (농서동)

특허청구의 범위

청구항 1

기관 상에 배치되고, 활성층, 게이트 전극, 소스 전극 및 드레인 전극을 구비한 박막 트랜지스터;

상기 활성층과 동일층에 배치된 하부 전극 및 상기 게이트 전극과 동일층에 배치된 상부 전극을 구비한 커패시터;

상기 게이트 전극 및 상기 상부 전극과 동일층에 배치되고, 상기 소스 전극 및 드레인 전극 중 하나와 연결된 화소 전극;

상기 활성층과 게이트 전극, 및 상기 하부 전극과 상부 전극 사이에 배치되되, 상기 하부 전극 외곽에는 배치되지 않은 제1절연층;

상기 제1절연층과, 상기 소스 전극 및 드레인 전극 사이에 배치되되, 상기 상부 전극 및 상기 하부 전극 외곽에는 배치되지 않은 제2절연층; 및

상기 소스 전극 및 드레인 전극과 상기 상부 전극을 덮고, 상기 화소 전극을 노출시키는 제3절연층;을 포함하는 박막 트랜지스터 어레이 기관.

청구항 2

제 1 항에 있어서,

상기 활성층 및 상기 하부 전극은 이온 불순물이 도핑된 반도체 물질을 포함하는 박막 트랜지스터 어레이 기관.

청구항 3

제 1 항에 있어서,

상기 게이트 전극은 투명 도전물을 포함하는 제1층 및 금속을 포함하는 제2층을 구비한 박막 트랜지스터 어레이 기관.

청구항 4

제 1 항에 있어서,

상기 화소 전극 및 상기 상부 전극은 투명 도전물을 포함하는 박막 트랜지스터 어레이 기관.

청구항 5

제 4 항에 있어서,

상기 투명도전물은 인듐틴옥사이드(indium tin oxide: ITO), 인듐징크옥사이드(indium zink oxide: IZO), 징크옥사이드(zink oxide: ZnO), 인듐옥사이드(indium oxide: In₂O₃), 인듐갈륨옥사이드(indium gallium oxide: IGO), 및 알루미늄징크옥사이드(aluminium zink oxide: AZO)을 포함하는 그룹에서 선택된 적어도 하나 이상을 포함하는 박막 트랜지스터 어레이 기관.

청구항 6

제 1 항에 있어서,

상기 제1절연층과 상기 제2절연층은 동일한 식각면을 구비한 박막 트랜지스터 어레이 기관.

청구항 7

제 6 항에 있어서,

상기 식각면과 상기 하부 전극 사이에 갭(Gap)이 형성된 박막 트랜지스터 어레이 기관.

청구항 8

제 7 항에 있어서,
상기 캡에 상기 제3절연층이 배치된 박막 트랜지스터 어레이 기판.

청구항 9

제 1 항에 있어서,
상기 제3절연층은 상기 제1절연층 및 상기 제2절연층이 배치되지 않은 하부 전극 외곽에 직접 접촉하는 박막 트랜지스터 어레이 기판.

청구항 10

제 1 항에 있어서,
상기 제1절연층 및 제2절연층은 무기 절연막인 박막 트랜지스터 어레이 기판.

청구항 11

제 1 항에 있어서,
상기 제3절연층은 유기 절연막이 박막 트랜지스터 어레이 기판.

청구항 12

제 1 항에 있어서,
상기 하부 전극과 동일층에 상기 하부 전극에 연결되는 배선이 위치하고, 상기 제1절연층은 상기 하부 전극과 상기 배선이 연결되는 연결부 상에 위치하지 않는 박막 트랜지스터 어레이 기판.

청구항 13

제 12 항에 있어서,
상기 배선 및 연결부는 이온 불순물이 도핑된 반도체 물질을 포함하는 박막 트랜지스터 어레이 기판.

청구항 14

제 7 항에 있어서,
상기 상부 전극과 하부 전극 사이에 위치하는 제1절연층의 식각면에 단차가 형성된 박막 트랜지스터 어레이 기판.

청구항 15

기판 상에 배치되고, 활성층, 게이트 전극, 소스 전극 및 드레인 전극을 구비한 박막 트랜지스터;
상기 활성층과 동일층에 배치된 하부 전극 및 상기 게이트 전극과 동일층에 배치된 상부 전극을 구비한 커패시터;
상기 게이트 전극 및 상기 상부 전극과 동일층에 배치되고, 상기 소스 전극 및 드레인 전극 중 하나와 연결된 화소 전극;
상기 활성층과 게이트 전극, 및 상기 하부 전극과 상부 전극 사이에 배치되되, 상기 하부 전극 외곽에는 배치되지 않은 제1절연층;
상기 제1절연층과, 상기 소스 전극 및 드레인 전극 사이에 배치되되, 상기 상부 전극 및 상기 하부 전극의 외곽에 배치되지 않은 제2절연층;
상기 소스 전극 및 드레인 전극과 상기 상부 전극을 덮고, 상기 화소 전극을 노출시키는 제3절연층;
상기 화소 전극 상에 배치된 유기 발광층; 및

상기 유기발광층 상에 위치하는 대향 전극;을 포함하는 유기 발광 표시 장치.

청구항 16

제 15 항에 있어서,

상기 대향 전극은 상기 유기 발광층에서 방출된 광을 반사하는 반사 전극인 유기 발광 표시 장치.

청구항 17

제 15 항에 있어서,

상기 제3절연층은 상기 제1절연층 및 상기 제2절연층이 배치되지 않은 하부 전극 외곽에 직접 접촉하는 유기 발광 표시 장치.

청구항 18

제 15 항에 있어서,

상기 하부 전극은 이온 불순물이 도핑된 반도체 물질을 포함하고,

상기 상기 제1절연층이 배치된 하부 전극과, 상기 제1절연층이 배치되지 않은 하부 전극 외곽 사이에 이온 불순물이 도핑되지 않은 영역이 존재하지 않는 유기 발광 표시 장치.

청구항 19

기판 상에 반도체층을 형성하고, 상기 반도체층을 패터닝하여 박막 트랜지스터의 활성층 및 커패시터의 하부 전극을 형성하는 제1마스크 공정;

제1절연층을 형성하고, 상기 제1절연층 상에 투명도전물 및 제1금속을 차례로 적층하고, 상기 투명도전물 및 제1금속을 패터닝하여 상기 투명도전물 및 제1금속이 차례로 적층된 화소 전극, 박막 트랜지스터의 게이트 전극, 및 커패시터의 상부 전극을 형성하는 제2마스크 공정;

제2절연층을 형성하고, 상기 화소 전극, 상기 활성층의 소스 영역 및 드레인 영역, 및 상기 상부 전극 및 상기 하부 전극 외곽을 노출시키는 콘택홀을 형성하는 제3마스크 공정;

상기 제3마스크 공정의 결과물 상에 제2금속을 형성하고, 상기 제2금속을 패터닝하여 상기 소스 영역 및 드레인 영역과 접속하는 소스 전극 및 드레인 전극을 형성하고, 상기 화소 전극 및 상부 전극 상의 제1금속 및 제2금속을 제거하는 제4마스크 공정;

상기 하부 전극 외곽에 형성된 불순물을 제거하는 공정; 및

제3절연층을 형성하고, 상기 화소 전극 상의 상기 제3절연층을 제거하는 제5마스크 공정;을 포함하는 박막 트랜지스터 어레이 기판의 제조 방법.

청구항 20

제 19 항에 있어서,

상기 제1마스크 공정에서, 상기 반도체층을 패터닝하여 상기 하부 전극과 동일층에 상기 하부 전극에 연결되는 배선을 동시에 형성하는 박막 트랜지스터 어레이 기판의 제조 방법.

청구항 21

제 20 항에 있어서,

상기 제2마스크 공정 후, 상기 소스 영역 및 드레인 영역, 상기 배선에 이온 불순물을 도핑하는 박막 트랜지스터 기판의 제조 방법.

청구항 22

제 19 항에 있어서,

상기 제3마스크 공정에서, 상기 제1절연층 및 상기 제2절연층이 동시에 식각되는 박막 트랜지스터 어레이 기판

의 제조 방법.

청구항 23

제 22항에 있어서,

상기 제3마스크 공정에서, 상기 제1절연층 및 제2절연층의 식각면과, 상기 하부 전극 사이에 갭이 형성되는 박막 트랜지스터 어레이 기판의 제조 방법.

청구항 24

제 19 항에 있어서,

상기 제4마스크 공정은 상기 제2금속을 식각하는 제1식각 공정, 상기 화소 전극 및 상기 상부 전극 상의 제1금속을 제거하는 제2식각 공정을 포함하는 박막 트랜지스터 어레이 기판의 제조 방법.

청구항 25

제 19 항에 있어서,

상기 제4마스크 공정에서, 상기 제2금속은 상기 제1금속과 동일 재료로 형성되고, 상기 제1금속 및 제2금속을 동시에 식각하는 박막 트랜지스터 어레이 기판의 제조 방법.

청구항 26

제 19 항에 있어서,

상기 하부 전극 외곽에 형성된 불순물을 제거하는 공정은 드라이 에칭(dry etching)인 박막 트랜지스터 어레이 기판의 제조 방법.

청구항 27

제 26 항에 있어서,

상기 불순물은 상기 반도체층과 상기 제2금속의 혼합물인 박막 트랜지스터 어레이 기판의 제조 방법.

청구항 28

제 19 항에 있어서,

상기 제4마스크 공정 후, 상기 하부 전극에 이온 불순물을 도핑하는 박막 트랜지스터 어레이 기판의 제조 방법.

명세서

기술 분야

[0001] 본 발명은 박막 트랜지스터 어레이 기판, 이를 포함하는 유기 발광 표시 장치 및 그 제조 방법에 관한 것이다.

배경 기술

[0002] 유기 발광 표시 장치, 액정 표시 장치 등과 같은 평판 표시 장치는 박막 트랜지스터(Thin Film Transistor: TFT), 커패시터, 및 이들을 연결하는 배선 등을 포함한다.

[0003] 평판 표시 장치가 제작되는 기판은 TFT, 커패시터, 및 배선 등이 미세 패턴으로 이루어지고, 상기 기판의 미세 패턴을 형성하는 데 마스크를 이용하여 패턴을 전사하는 포토 리소그래피(photo-lithography) 공정이 주로 이용된다.

[0004] 포토 리소그래피 공정에 의하면, 패턴을 형성할 기판 상에 포토레지스트(photoresist)를 균일하게 도포하고, 스텝퍼(stepper)와 같은 노광 장비로 포토레지스트를 노광시킨 후, (포지티브(positive) 포토레지스트의 경우) 감광된 포토레지스트를 현상(developing)하는 과정을 거친다. 포토레지스트를 현상한 후에는, 잔존하는 포토레지스트를 이용하여 기판 상의 패턴을 식각(etching)하고, 패턴 형성 후 불필요한 포토레지스트를 제거하는 일련의 과정을 거친다.

[0005] 이와 같이 마스크를 이용하여 패턴을 전사하는 공정에서는, 먼저 필요한 패턴을 구비한 마스크를 준비하여야 하기 때문에, 마스크를 이용하는 공정 단계가 늘어날수록 마스크 준비를 위한 제조 원가가 상승한다. 또한, 상술한 복잡한 단계들을 거쳐야 하기 때문에 제조 공정이 복잡하고, 제조 시간의 증가 및 이로 인한 제조 원가가 상승하는 문제점이 발생한다.

발명의 내용

해결하려는 과제

[0006] 본 발명은 제조 공정이 단순하고, 신호 전달이 우수한 박막 트랜지스터 어레이 기판, 이를 포함하는 유기 발광 표시 장치 및 그 제조 방법을 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0007] 본 발명의 일 측면에 의하면, 기판 상에 배치되고, 활성층, 게이트 전극, 소스 전극 및 드레인 전극을 구비한 박막 트랜지스터; 상기 활성층과 동일층에 배치된 하부 전극 및 상기 게이트 전극과 동일층에 배치된 상부 전극을 구비한 커패시터; 상기 게이트 전극 및 상기 상부 전극과 동일층에 배치되고, 상기 소스 전극 및 드레인 전극 중 하나와 연결된 화소 전극; 상기 활성층과 게이트 전극, 및 상기 하부 전극과 상부 전극 사이에 배치되되, 상기 하부 전극 외곽에는 배치되지 않은 제1절연층; 상기 제1절연층과, 상기 소스 전극 및 드레인 전극 사이에 배치되되, 상기 상부 전극 및 상기 하부 전극 외곽에는 배치되지 않은 제2절연층; 및 상기 소스 전극 및 드레인 전극과 상기 상부 전극을 덮고, 상기 화소 전극을 노출시키는 제3절연층;을 포함하는 박막 트랜지스터 어레이 기판을 제공한다.

[0008] 상기 활성층 및 상기 하부 전극은 이온 불순물이 도핑된 반도체 물질을 포함할 수 있다.

[0009] 상기 게이트 전극은 투명 도전물을 포함하는 제1층 및 금속을 포함하는 제2층을 구비할 수 있다.

[0010] 상기 화소 전극 및 상기 상부 전극은 투명 도전물을 포함할 수 있다.

[0011] 상기 투명도전물은 인듐틴옥사이드(indium tin oxide: ITO), 인듐징크옥사이드(indium zink oxide: IZO), 징크옥사이드(zink oxide: ZnO), 인듐옥사이드(indium oxide: In₂O₃), 인듐갈륨옥사이드(indium gallium oxide: IGO), 및 알루미늄징크옥사이드(aluminium zink oxide: AZO)을 포함하는 그룹에서 선택된 적어도 하나 이상을 포함할 수 있다.

[0012] 상기 제1절연층과 상기 제2절연층은 동일한 식각면을 구비할 수 있다.

[0013] 상기 식각면과 상기 하부 전극 사이에 갭(Gap)이 형성될 수 있다.

[0014] 상기 갭에 상기 제3절연층이 배치될 수 있다.

[0015] 상기 제3절연층은 상기 제1절연층 및 상기 제2절연층이 배치되지 않은 하부 전극 외곽에 직접 접촉할 수 있다.

[0016] 상기 제1절연층 및 제2절연층은 무기 절연막일 수 있다.

[0017] 상기 제3절연층은 유기 절연막일 수 있다.

[0018] 상기 하부 전극과 동일층에 상기 하부 전극에 연결되는 배선이 위치하고, 상기 제1절연층은 상기 하부 전극과 상기 배선이 연결되는 연결부 상에 위치하지 않을 수 있다.

[0019] 상기 배선 및 연결부는 이온 불순물이 도핑된 반도체 물질을 포함할 수 있다.

[0020] 상기 상부 전극과 하부 전극 사이에 위치하는 제1절연층의 식각면에 단차가 형성될 수 있다.

[0021] 본 발명의 다른 측면에 의하면, 기판 상에 배치되고, 활성층, 게이트 전극, 소스 전극 및 드레인 전극을 구비한 박막 트랜지스터; 상기 활성층과 동일층에 배치된 하부 전극 및 상기 게이트 전극과 동일층에 배치된 상부 전극을 구비한 커패시터; 상기 게이트 전극 및 상기 상부 전극과 동일층에 배치되고, 상기 소스 전극 및 드레인 전극 중 하나와 연결된 화소 전극; 상기 활성층과 게이트 전극, 및 상기 하부 전극과 상부 전극 사이에 배치되되, 상기 하부 전극 외곽에는 배치되지 않은 제1절연층; 상기 제1절연층과, 상기 소스 전극 및 드레인 전극 사이에 배치되되, 상기 상부 전극 및 상기 하부 전극의 외곽에 배치되지 않은 제2절연층; 상기 소스 전극 및 드레인 전극과 상기 상부 전극을 덮고, 상기 화소 전극을 노출시키는 제3절연층; 상기 화소 전극 상에 배치된 유기 발광

층; 및 상기 유기발광층 상에 위치하는 대향 전극;을 포함하는 유기 발광 표시 장치를 제공한다.

- [0022] 상기 대향 전극은 상기 유기 발광층에서 방출된 광을 반사하는 반사 전극일 수 있다.
- [0023] 상기 제3절연층은 상기 제1절연층 및 상기 제2절연층이 배치되지 않은 하부 전극 외곽에 직접 접촉할 수 있다.
- [0024] 상기 하부 전극은 이온 불순물이 도핑된 반도체 물질을 포함하고, 상기 상기 제1절연층이 배치된 하부 전극과, 상기 제1절연층이 배치되지 않은 하부 전극 외곽 사이에 이온 불순물이 도핑되지 않은 영역이 존재하지 않을 수 있다.
- [0025] 본 발명의 또 다른 측면에 의하면, 기판 상에 반도체층을 형성하고, 상기 반도체층을 패터닝하여 박막 트랜지스터의 활성층 및 커패시터의 하부 전극을 형성하는 제1마스크 공정; 제1절연층을 형성하고, 상기 제1절연층 상에 투명도전물 및 제1금속을 차례로 적층하고, 상기 투명도전물 및 제1금속을 패터닝하여 상기 투명도전물 및 제1금속이 차례로 적층된 화소 전극, 박막 트랜지스터의 게이트 전극, 및 커패시터의 상부 전극을 형성하는 제2마스크 공정; 제2절연층을 형성하고, 상기 화소 전극, 상기 활성층의 소스 영역 및 드레인 영역, 및 상기 상부 전극 및 상기 하부 전극 외곽을 노출시키는 콘택홀을 형성하는 제3마스크 공정; 상기 제3마스크 공정의 결과물 상에 제2금속을 형성하고, 상기 제2금속을 패터닝하여 상기 소스 영역 및 드레인 영역과 접속하는 소스 전극 및 드레인 전극을 형성하고, 상기 화소 전극 및 상부 전극 상의 제1금속 및 제2금속을 제거하는 제4마스크 공정; 상기 하부 전극 외곽에 형성된 불순물을 제거하는 공정; 및 제3절연층을 형성하고, 상기 화소 전극 상의 상기 제3절연층을 제거하는 제5마스크 공정;을 포함하는 박막 트랜지스터 어레이 기판의 제조 방법을 제공한다.
- [0026] 상기 제1마스크 공정에서, 상기 반도체층을 패터닝하여 상기 하부 전극과 동일층에 상기 하부 전극에 연결되는 배선을 동시에 형성할 수 있다.
- [0027] 상기 제2마스크 공정 후, 상기 소스 영역 및 드레인 영역, 상기 배선에 이온 불순물을 도핑할 수 있다.
- [0028] 상기 제3마스크 공정에서, 상기 제1절연층 및 상기 제2절연층이 동시에 식각될 수 있다.
- [0029] 상기 제3마스크 공정에서, 상기 제1절연층 및 제2절연층의 식각면과, 상기 하부 전극 사이에 갭이 형성될 수 있다.
- [0030] 상기 제4마스크 공정은 상기 제2금속을 식각하는 제1식각 공정, 상기 화소 전극 및 상기 상부 전극 상의 제1금속을 제거하는 제2식각 공정을 포함할 수 있다.
- [0031] 상기 제4마스크 공정에서, 상기 제2금속은 상기 제1금속과 동일 재료로 형성되고, 상기 제1금속 및 제2금속을 동시에 식각할 수 있다.
- [0032] 상기 하부 전극 외곽에 형성된 불순물을 제거하는 공정은 드라인 에칭(dry etching)일 수 있다.
- [0033] 상기 불순물은 상기 반도체층과 상기 제2금속의 혼합물일 수 있다.
- [0034] 상기 제4마스크 공정 후, 상기 하부 전극에 이온 불순물을 도핑할 수 있다.

발명의 효과

- [0035] 상기와 같은 본 발명에 따른 박막 트랜지스터 어레이 기판, 이를 포함하는 유기 발광 표시 장치 및 그 제조 방법에 따르면 다음과 같은 효과를 제공한다.
- [0036] 첫째, 커패시터 하부전극 및 배선 영역에 이온불순물이 도핑되지 않는 현상이 제거되어, 정전 용량이 증가하고, 커패시터 배선의 신호 전달 품질이 향상된다.
- [0037] 둘째, 하부 전극 외곽의 절연층이 배치되지 않는 영역에 형성된 불순물을 제거하기 때문에, 상기 불순물에 의한 상부 전극과 하부 전극 사이에 누설 전류가 발생하는 것을 방지할 수 있다.
- [0038] 셋째, 정전용량이 우수한 MIM CAP 구조를 제공한다.
- [0039] 넷째, 5마스크 공정으로 상기와 같은 유기 발광 표시 장치를 제조할 수 있다.

도면의 간단한 설명

- [0040] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치를 개략적으로 도시한 단면도이다.
- 도 2는 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 커패시터 영역을 개략적으로 도시한 평면도이다.

도 3은 본 실시예에 따른 유기 발광 표시 장치의 제1마스크 공정의 결과를 개략적으로 도시한 단면도이다.

도 4는 본 실시예에 따른 유기 발광 표시 장치의 제2마스크 공정의 결과를 개략적으로 도시한 단면도이다.

도 5는 본 실시예에 따른 유기 발광 표시 장치의 제2마스크 공정 후 1차 도핑 결과를 개략적으로 도시한 단면도이다.

도 6은 본 실시예에 따른 유기 발광 표시 장치의 제3마스크 공정의 결과를 개략적으로 도시한 단면도이다.

도 7 내지 9는 본 실시예에 따른 유기 발광 표시 장치의 제4마스크 공정을 개략적으로 도시한 단면도들이다.

도 10은 본 실시예에 따른 유기 발광 표시 장치의 제5마스크 공정 과정을 개략적으로 도시한 단면도이다.

도 11은 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 커패시터 영역을 개략적으로 도시한 평면도이다.

도 12 내지 14는 본 발명의 비교예에 따른 유기 발광 표시 장치의 커패시터 영역(CAP3)을 개략적으로 도시한 단면도 및 평면도이다.

발명을 실시하기 위한 구체적인 내용

- [0041] 이하, 첨부된 도면들에 도시된 본 발명의 바람직한 실시예를 참조하여 본 발명을 보다 상세히 설명한다.
- [0042] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치(1)를 개략적으로 도시한 단면도이다.
- [0043] 도 1을 참조하면, 본 발명의 일 실시예에 따른 유기 발광 표시 장치(1)의 기판(10) 상에는 유기 발광층(118)이 구비된 픽셀 영역(PXL1), 박막 트랜지스터가 구비된 트랜지스터 영역(TFT1), 및 커패시터가 구비된 커패시터 영역(CAP1)이 형성된다.
- [0044] 트랜지스터 영역(TFT1)에는 기판(10) 및 버퍼층(11) 상에 박막 트랜지스터의 활성층(212)이 구비된다. 활성층(212)은 비정질 실리콘 또는 결정질 실리콘을 포함하는 반도체로 형성될 수 있으며, 채널 영역(212c)과, 채널 영역(212c) 외측에 이온 불순물이 도핑된 소스 영역(212a) 및 드레인 영역(212b)을 포함한다.
- [0045] 활성층(212) 상에는 게이트 절연막인 제1절연층(13)을 사이에 두고 활성층(212)의 채널 영역(212c)에 대응되는 위치에 투명도전물을 포함하는 게이트 전극 제1층(214) 및 게이트 전극 제2층(215)이 차례로 구비된다.
- [0046] 게이트 전극 제2층(215) 상에는 층간 절연막인 제2절연층(15)을 사이에 두고 활성층(212)의 소스 영역(212a) 및 드레인 영역(212b)에 각각 접속하는 소스 전극(216a) 및 드레인 전극(216b)이 구비된다.
- [0047] 제2절연층(15) 상에는 상기 소스 전극(216a) 및 드레인 전극(216b)을 덮도록 제3절연층(17)이 구비된다.
- [0048] 제1절연층(13) 및 제2절연층(15)은 무기 절연막으로 구비되고, 제3절연층(18)은 유기 절연막으로 구비될 수 있다. 제3절연층(18)은 일반 범용고분자(PMMA, PS), phenol그룹을 갖는 고분자 유도체, 아크릴계 고분자, 이미드계 고분자, 아릴에테르계 고분자, 아미드계 고분자, 불소계고분자, p-자일렌계 고분자, 비닐알콜계 고분자 및 이들의 블렌드 등을 포함할 수 있다.
- [0049] 본 발명의 실시예에 따른 픽셀 영역(PXL1)에는 기판(10), 버퍼층(11) 및 제1절연층(13) 상에 게이트 전극 제1층(214)과 동일한 투명도전물로 형성된 화소 전극 제1층(114)이 형성된다.
- [0050] 화소 전극 제1층(114)은 투명도전물로 형성되어 화소 전극 제1층(114) 측으로 광이 방출될 수 있다. 이와 같은 투명도전물로는 인듐틴옥사이드(indium tin oxide: ITO), 인듐징크옥사이드(indium zink oxide: IZO), 징크옥사이드(zink oxide: ZnO), 인듐옥사이드(indium oxide: In2O3), 인듐갈륨옥사이드(indium gallium oxide: IGO), 및 알루미늄징크옥사이드(aluminium zink oxide: AZO)를 포함하는 그룹에서 선택된 적어도 하나 이상을 포함할 수 있다.
- [0051] 화소 전극 제1층(114) 상에 유기 발광층(118)이 형성되고, 유기 발광층(118)에서 방출된 광은 투명도전물로 형성된 화소 전극 제1층(114)을 통하여 기판(10) 측으로 방출될 수 있다.
- [0052] 화소 전극 제1층(114) 하부에 위치하는 버퍼층(11)과 제1절연층(13)은 굴절률이 서로 다른 물질이 교대로 구비되어, DBR(Distributed Bragg Reflector)로 기능함으로써 유기 발광층(118)에서 방출되는 빛의 광효율을 높일 수 있다. 이와 같은 버퍼층(11)과 제1절연층(13)으로는 SiO2, SiNx 등이 사용될 수 있다. 한편, 상기 도면에는 제1절연층(13)과 버퍼층(11)이 각각 하나의 층으로 형성된 것으로 도시되어 있으나 본 발명은 이에 한정되는 아니며, 제1절연층(13)과 버퍼층(11)은 각각 복수의 층으로 형성될 수 있다.

- [0053] 화소 전극 제2층(115) 외곽에는 제2절연층(15)이 형성되고, 제2절연층(15)에는 화소 전극 제1층(114)을 노출시키는 제1콘택홀(C1)이 형성된다. 제2절연층(15) 상에 제3절연층(17)이 형성되고, 제3절연층(17)에 화소 전극 제1층(114)을 노출시키는 제4콘택홀(C4)이 형성된다. 상기 제4콘택홀(C4) 내부에 유기 발광층(118)이 구비된다.
- [0054] 유기 발광층(118)은 저분자 유기물 또는 고분자 유기물일 수 있다. 유기 발광층(118)이 저분자 유기물일 경우, 유기 발광층(118)을 중심으로 홀 수송층(hole transport layer: HTL), 홀 주입층(hole injection layer: HIL), 전자 수송층(electron transport layer: ETL) 및 전자 주입층(electron injection layer: EIL) 등이 적층될 수 있다. 이외에도 필요에 따라 다양한 층들이 적층될 수 있다. 이때, 사용 가능한 유기 재료로 구리 프탈로시아닌(CuPc: copper phthalocyanine), N'-디(나프탈렌-1-일)-N(N'-Di(naphthalene-1-yl)-N), N'-디페닐-벤지딘(N'-diphenyl-benzidine: NPB), 트리스-8-하이드록시퀴놀린 알루미늄(tris-8-hydroxyquinoline aluminum)(Alq3) 등을 비롯하여 다양하게 적용 가능하다. 한편, 유기 발광층(118)이 고분자 유기물일 경우, 유기 발광층(118) 외에 홀 수송층(HTL)이 포함될 수 있다. 홀 수송층은 폴리에틸렌 디히드록시티오펜 (PEDOT: poly-(2,4)-ethylene-dihydroxy thiophene)이나, 폴리아닐린(PANI: polyaniline) 등을 사용할 수 있다. 이때, 사용 가능한 유기 재료로 PPV(Poly-Phenylenevinylene)계 및 폴리플루오렌(Polyfluorene)계 등의 고분자 유기물을 사용할 수 있다. 또한, 유기 발광층(118)과 화소 전극 제1층(114) 및 대향 전극(119) 사이에는 무기 재료가 더 구비될 수도 있다.
- [0055] 유기 발광층(118) 상에는 공통 전극으로 대향 전극(119)이 증착된다. 본 실시예에 따른 유기 발광 표시 장치(1)의 경우, 화소 전극 제1층(114)은 애노드로 사용되고, 대향 전극(119)은 캐소드로 사용된다. 물론 전극의 극성은 반대로 적용될 수 있음은 물론이다.
- [0056] 대향 전극(119)은 반사 물질을 포함하는 반사 전극으로 구성될 수 있다. 이때 상기 대향 전극(119)은 Al, Mg, Li, Ca, LiF/Ca, 및 LiF/Al에서 선택된 하나 이상의 물질을 포함할 수 있다.
- [0057] 대향 전극(119)이 반사 전극으로 구비됨으로써, 유기 발광층(118)에서 방출된 빛은 대향 전극(119)에 반사되어 투명도전물로 구성된 화소 전극 제1층(114)을 투과하여 기판(10) 측으로 방출될 수 있다.
- [0058] 커패시터 영역(CAP1)에는 기판(10) 및 버퍼층(11) 상에, 박막 트랜지스터의 활성층(212)과 동일 재료로 형성된 커패시터의 하부 전극(312a), 화소 전극 제1층(114)과 동일 재료로 형성된 투명도전물을 포함하는 커패시터의 상부 전극(314), 및 상기 하부 전극(312a)과 상부 전극(314) 사이에 제1절연층(13)이 구비된다.
- [0059] 하부 전극(312a)은 박막 트랜지스터의 활성층(212)의 소스 영역(212a) 및 드레인 영역(121b)과 동일 재료로서, 이온 불순물이 도핑된 반도체를 포함할 수 있다. 만약, 하부 전극을 이온 불순물 도핑이 안된 진성 반도체로 형성할 경우, 커패시터는 상부 전극(314)과 함께 MOS(Metal Oxide Semiconductor) CAP 구조가 된다. 그러나, 하부 전극을 본 실시예와 같이 이온 불순물이 도핑된 반도체로 형성할 경우, MOS CAP 구조보다 정전용량이 큰 MIM(Metal-Insulator-Metal) CAP 구조를 형성하므로 정전용량을 극대화시킬 수 있다. 따라서, MIM CAP 구조는 MOS CAP 구조보다 작은 면적으로도 동일한 정전용량을 구현할 수 있으므로, 커패시터의 면적을 줄일 수 있는 마진이 높아지는 만큼, 화소 전극 제1층(114)을 크게 형성하여 개구율을 높일 수 있다.
- [0060] 하부 전극(312a) 외곽에는 하부 전극(312a)과 동일층에 배치되고 하부 전극(312a)에 연결되어 신호(전류/전압)를 전달하는 배선(W1)이 위치한다. 배선(W1)은 하부 전극(312a)과 마찬가지로 이온 불순물이 도핑된 반도체를 포함할 수 있다.
- [0061] 제1절연층(13)은 하부 전극(312a) 상부에는 위치하지만, 하부 전극(312a)의 외곽에는 일부 형성되지 않는 영역이 존재한다. 상기 영역은 하부 전극(312a)에 연결되는 배선(W1)의 일부일 수도 있다. 일 예로, 하부 전극(312a)과 배선(W1)을 연결하는 연결부 일 수 있다.
- [0062] 본 실시예에서 제1절연층(13)이 형성되지 않는 영역을 배선(W1)의 일부를 예로 설명하겠지만, 제1절연층(13)이 형성되지 않는 영역이 배선(W1)의 일부에 한정되는 것은 아니다. 배선(W1)이 아닌 하부 전극(312a) 자체의 가장자리 일 수도 있다. 이는 커패시터 영역(CAP1)에서 하부 전극(312a)과 배선(W1)의 경계가 분명하게 설계되지 않을 수도 있기 때문이다. 본 실시예에서, 제1절연층(13)과 하부 전극(312a)의 외곽의 배선(W1) 사이에, 갭(G)을 형성하며 제1절연층(13)이 형성되지 않는 부분이 존재한다. 이는 후술할 제2절연층(15)의 식각 시, 배선(W1)에서 제1절연층(13)이 제2절연층(15)과 함께 식각되기 때문이다.
- [0063] 제1절연층(13) 상부에 상부 전극(314)이 구비된다. 상부 전극(314)은 화소 전극 제1층(114)과 동일 물질로 형성된다. 만약 화소 전극 제1층(114)이 투명 도전물을 포함한다면, 상부 전극(314)도 투명 도전물을 포함할 수 있

다.

- [0064] 제1절연층(13) 상부에 제2절연층(15)이 구비되고, 제2절연층(15)은 상부 전극(314)을 노출시키는 제2콘택홀(C2)을 구비한다. 제2콘택홀(C2)은 상부 전극(314)보다 큰 개구를 가질 수 있다. 또한 제2절연층(15)은 전술한 제1절연층(13)과 마찬가지로 하부 전극(312a) 외곽에는 배치되지 않는다.
- [0065] 제2절연층(15) 상에 제3절연층(17)이 구비된다. 제3절연층(17)은 유기 절연막으로 구비될 수 있다. 대향 전극(119)과 상부 전극(314) 사이에 유전율이 작은 유기 절연물을 포함하는 제3절연층(17)이 개재됨으로써, 대향 전극(119)과 상부 전극(314) 사이에 형성될 수 있는 기생 용량을 줄여, 기생 용량에 의한 신호 방해를 방지할 수 있다.
- [0066] 도 2는 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 커패시터 영역을 개략적으로 도시한 평면도이다.
- [0067] 도 2를 참조하면, 커패시터 영역(CAP1)의 제2절연층(15)에는 상부 전극(314)과, 겹(G)이 형성된 제1절연층(13)과, 하부 전극(312a) 외곽을 노출시키는 제2콘택홀(C2)이 형성된다.
- [0068] 하부 전극(312a)과, 하부 전극(312a)과 동일층에서 하부 전극(312a)에 연결된 배선(W1)은 제2절연층(15)에 형성된 제2콘택홀(C2)이 형성하는 영역의 크기에 따라 이온 불순물이 도핑되는 영역이 달라지게 된다. 이 때, 하부 전극(312a)과 배선(W1) 사이의 연결부에 반도체물질에 이온 도핑이 안 되는 영역이 발생할 수 있다(이에 대하여는 후술한다. 도 12 내지 도 14 참조). 이 경우, 이온 도핑이 안 된 영역에서 높은 저항 값을 가지기 때문에, 커패시터 용량이 감소하거나 신호 전달 품질이 나빠질 수 있다. 그러나, 본 실시예에서 제2콘택홀(C2)은 상부 전극(317) 보다 큰 개구를 가지기 때문에, 하부 전극(312a)과 배선(W1)은 모두 이온 불순물로 도핑된다. 따라서, 하부전극(312a)과 배선(W1) 사이에 이온 도핑이 안 되는 영역이 발생하지 않기 때문에, 정전 용량을 크게 하고 신호 전달 품질을 향상시킬 수 있다.
- [0069] 한편, 제2콘택홀(C2)을 형성하는 과정에서, 반도체 물질을 포함하는 하부 전극(312a)과 소스 전극(216a) 및 드레인 전극(216b)에 포함된 금속의 반응에 의해, 실리콘-금속 혼합물(silicon-metal compound)이 발생할 수 있다(도 7 및 도 8 참조). 그러나 본 실시예에서는 실리콘-금속 혼합물이 후술할 드라이 에칭(dry-etching) 공정에 의해 제거되기 때문에, 하부 전극(312a)과 상부 전극(314) 사이에 상기 실리콘-금속 혼합물에 의한 누설전류(leakage current)가 발생하는 것을 방지할 수 있다.
- [0070] 한편, 도 2에는 상부 전극(314)에 별도의 배선이 연결되지 않은 것으로 도시되어 있으나, 이는 발명을 간단하게 설명하기 위함이다. 따라서, 상기 도면에는 도시되어 있지 않으나 상부 전극(314)의 적어도 일 측에 하부 전극(312a)에 연결된 배선(W1)과 같은 배선이 더 연결될 수 있음은 물론이다.
- [0071] 이하, 도 3 내지 10을 참조하여 본 실시예에 따른 유기 발광 표시 장치(1)의 제조 방법을 설명한다.
- [0072] 도 3은 본 실시예에 따른 유기 발광 표시 장치(1)의 제1마스크 공정의 결과를 개략적으로 도시한 단면도이다.
- [0073] 도 3을 참조하면, 버퍼층(11)이 적층된 기판(10)에 박막 트랜지스터의 활성층(212), 및 커패시터 하부 전극(312c)이 형성된다. 제1 마스크 공정 시, 하부 전극(312c)에 연결되는 배선(W1)도 하부 전극(312c)과 같이 형성된다.
- [0074] 기판(10)은 SiO₂를 주성분으로 하는 투명 재질의 글라스재로 구비될 수 있다. 물론 글라스재뿐만 아니라 PET(Polyethylen terephthalate), PEN(Polyethylen naphthalate), 폴리이미드(Polyimide) 등을 포함하는 플라스틱 기판으로 구비될 수 있다.
- [0075] 기판(10) 상에는 기판(10)의 평활성과 불순 원소의 침투를 차단하기 위하여 SiO₂ 및/또는 SiN_x 등을 포함하는 버퍼층(11)이 더 구비될 수 있다.
- [0076] 상기 도면에는 도시되어 있지 않지만, 버퍼층(11) 상에는 반도체층(미도시)이 증착되고, 반도체층(미도시) 상에 포토레지스터(미도시)가 도포된 후, 제1포토마스크(미도시)를 이용한 포토리소그래피 공정에 의해 반도체층(미도시)이 패터닝되어, 박막 트랜지스터의 활성층(212), 커패시터 하부 전극(312c), 및 배선(W1)이 동시에 형성된다.
- [0077] 포토리소그래피에 의한 제1마스크 공정은 제1포토마스크(미도시)에 노광장치(미도시)로 노광 후, 현상(developing), 식각(etching), 및 스트립핑(stripping) 또는 에싱(ashing) 등과 같은 일련의 공정을 거쳐 진행

된다.

- [0078] 반도체층(미도시)은 비정질 실리콘(amorphous silicon) 또는 결정질 실리콘(poly silicon)으로 구비될 수 있다. 이때, 결정질 실리콘은 비정질 실리콘을 결정화하여 형성될 수도 있다. 비정질 실리콘을 결정화하는 방법은 RTA(rapid thermal annealing)법, SPC(solid phase crystallization)법, ELA(excimer laser annealing)법, MIC(metal induced crystallization)법, MILC(metal induced lateral crystallization)법, SLS(sequential lateral solidification)법 등 다양한 방법에 의해 결정화될 수 있다.
- [0079] 도 4는 본 실시예에 따른 유기 발광 표시 장치(1)의 제2마스크 공정의 결과를 개략적으로 도시한 단면도이다.
- [0080] 도 4를 참조하면, 도 3의 제1마스크 공정의 결과물 상에 제1절연층(13)이 적층되고, 제1절연층(13) 상에 투명도전물 및 제1금속을 포함하는 층들(미도시)이 순차로 적층된 후, 투명도전물 및 제1금속을 포함하는 층들이 동시에 패터닝된다.
- [0081] 패터닝 결과, 제1절연층(13) 상의 픽셀 영역(PXL1)에는 투명도전물을 포함하는 화소 전극 제1층(114) 및 금속을 포함하는 화소 전극 제2층(115)이 차례로 형성되고, 트랜지스터 영역(TFT1)에는 투명도전물을 포함하는 게이트 전극 제1층(214) 및 제1금속을 포함하는 게이트 전극 제2층(215)이 차례로 형성되며, 커패시터 영역(CAP1)에는 투명도전물을 포함하는 커패시터의 상부 전극 제1층(314) 및 제1금속을 포함하는 상부 전극 제2층(315)이 동시에 형성된다.
- [0082] 전술한 바와 같이 제1절연층(13)은 SiO₂, SiN_x 등을 단층 또는 복수층 포함할 수 있으며, 제1절연층(13)은 박막 트랜지스터의 게이트 절연막, 및 커패시터의 유전막 역할을 한다.
- [0083] 화소 전극 제1층(114), 게이트 전극 제1층(214) 및 상부 전극 제1층(314)은 동일한 투명도전물로 형성된다.
- [0084] 화소 전극 제2층(115), 게이트 전극 제2층(215), 및 상부 전극 제2층(315)은 동일한 금속 재료로 형성되며, 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 리튬(Li), 칼슘(Ca), 몰리브덴(Mo), 타이타늄(Ti), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속으로 단층 또는 다층으로 형성될 수 있다.
- [0085] 도 5는 본 실시예에 따른 유기 발광 표시 장치(1)의 제2마스크 공정 후 1차 도핑 결과를 개략적으로 도시한 단면도이다.
- [0086] 도 5를 참조하면, 도 4의 제2마스크 공정의 결과물 상에 이온 불순물이 1차 도핑(D1) 된다. 이온 불순물은 B 또는 P 이온을 도핑할 수 있는데, 1×10^{15} atoms/cm² 이상의 농도로 박막 트랜지스터의 활성층(212) 및 커패시터의 배선(W)을 타겟으로 하여 도핑(D1)한다.
- [0087] 이때, 게이트 전극 제1층 및 제2층(214, 215)을 셀프 얼라인(self align) 마스크로 사용하여 활성층(212)에 이온 불순물을 도핑함으로써 활성층(212)은 이온 불순물이 도핑된 소스 및 드레인 영역(212a, 212b)과, 그 사이에 채널 영역(212c)을 구비하게 된다. 즉, 게이트 전극 제1층 및 제2층(214, 215)을 셀프 얼라인 마스크로 사용함으로써, 별도의 포토 마스크를 추가하지 않고 소스 및 드레인 영역(212a, 212b)을 형성할 수 있다.
- [0088] 한편, 활성층(212)과 동일 재료로 형성된 하부 전극(312c)은 상부 전극 제1층 및 제2층(314, 315)이 차단 마스크 기능을 하기 때문에, 채널 영역(212c)과 마찬가지로 도핑되지 않는다. 그러나, 상부 전극 제1층 및 제2층(314, 315)이 위치하지 않는 하부 전극(312c)에 연결된 배선(W1, 312a)에는 이온 불순물이 도핑된다.
- [0089] 도 6은 본 실시예에 따른 유기 발광 표시 장치(1)의 제3마스크 공정의 결과를 개략적으로 도시한 단면도이다.
- [0090] 도 6을 참조하면, 도 5의 제2마스크 공정의 결과물 상에 제2절연층(15)이 적층되고, 제2절연층(15)을 패터닝하여 화소 전극 제2층(115)을 노출시키는 제1콘택홀(C1), 상부 전극 제1층 및 제2층(314, 315) 전체를 노출시키는 제2콘택홀(C2), 및 활성층(212)의 소스 영역(212a) 및 드레인 영역(212b)의 일부를 노출시키는 제3콘택홀(C3)이 형성된다.
- [0091] 제2콘택홀(C2)은 상부 전극 제1층 및 제2층(314, 315) 전체를 노출시키도록 형성되기 때문에, 상부 전극 제1층 및 제2층(314, 315)과 제2콘택홀(C2) 사이에 갭(G)이 형성된다. 이때, 상부 전극 제1층 및 제2층(314, 315)이 위치하지 않은 영역, 즉 하부 전극(312c) 외곽에 위치하는 제1절연층(13)이 제2절연층(15)과 함께 식각된다. 따라서, 제1절연층(13)과 제2절연층(15)은 동일한 식각면을 구비할 수 있으며, 상기 식각면과 하부 전극(312c) 사이에 상기 제1절연층(13) 및 제2절연층(15)이 형성되지 않는 갭(G)이 형성된다.

- [0092] 한편, 상기 도면에는 제1절연층(13) 및 제2절연층(15)에만 갭(G)이 형성된 예를 도시하였으나, 제1절연층(13) 하부의 버퍼층(11)에도 갭(G)이 형성될 수 있다. 이는 제2절연층(15), 제1절연층(13)의 식각 시 버퍼층(11)도 함께 식각 될 수 있기 때문이다.
- [0093] 도 7 내지 9는 본 실시예에 따른 유기 발광 표시 장치(1)의 제4마스크 공정을 개략적으로 도시한 단면도이다
- [0094] 도 7은 도 6의 제3마스크 공정의 결과물 상에 제2금속(16)이 적층된 상황을 도시한 것이다. 제2금속(16)은 제1 콘택홀(C1), 제2콘택홀(C2) 및 제3콘택홀(C3)을 메우며 제1절연층(13) 및 제2절연층(15)이 존재하지 않는 하부 전극(312c) 외곽 위에 적층된다. 제2금속(16)에 대한 열처리(annealing) 공정이 뒤따를 수 있다.
- [0095] 제2금속(16)은 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 니켈(Li), 칼슘(Ca), 몰리브덴(Mo), 타이타늄(Ti), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속으로 단층 또는 다층으로 형성될 수 있다.
- [0096] 이때, 제2금속(16)은 제1절연층(13) 및 제2절연층(15)이 형성되지 않은 하부 전극(312c)외곽의 배선(W1, 312a)에 직접 접촉하게 되는데, 이 과정에서 실리콘-금속 혼합물(SMC: silicon-metal compound)이 생성될 수 있다. 이 실리콘-금속 혼합물(SMC)이 제거되지 않고 남아 있을 경우 하부 전극(312c)과 상부 전극 제1층(314) 사이에 누설전류를 일으킬 수 있다.
- [0097] 한편 상기 도면에는 상세히 도시되어 있지 않으나, 제2금속(16) 상에 포토레지스터(미도시)가 구비되며, 소정의 포토 마스크(미도시)를 이용하여 제4포토마스크 공정을 진행한다.
- [0098] 도 8은 제4마스크 공정 결과를 개략적으로 도시한 도면이다. 도 8을 참조하면, 제2금속(16)이 패터닝되어 제2절연층(15) 상에 소스 전극(216a) 및 드레인 전극(216b)이 형성되고, 화소 전극 제2층(115) 및 상부 전극 2층(315)이 제거된다.
- [0099] 소스 및 드레인 전극(216a, 216b)을 형성하는 제2금속(16)과, 화소 전극 제2층(115) 및 상부 전극 제2층(315)을 형성하는 금속이 동일 재료일 경우에는, 동일한 식각액을 이용하여 한번의 식각 공정으로 화소 전극 제2층(115) 및 상부 전극 제2층(315)을 제거하고, 소스 및 드레인 전극(216a, 216b)을 패터닝할 수 있다. 만약, 제2금속(16)과, 화소 전극 제2층(115) 및 상부 전극 제2층(315)을 형성하는 금속이 서로 다른 재료일 경우에는, 1차 식각액으로 제2금속(16)을 식각하여 소스 및 드레인 전극(216a, 216b) 패턴을 형성하고, 2차 식각액으로 화소 전극 제2층(115) 및 상부 전극 제2층(315)을 제거한다. 이때, 제1절연층(13) 및 제2절연층(15)이 형성되지 않은 하부 전극(312c)의 외곽에 형성된 배선(W1, 312a)에 형성된 실리콘-금속의 혼합물(SMC)이 제거되지 않고 계속 잔류할 수 있다.
- [0100] 본 실시예에서는 제1절연층(13) 및 제2절연층(15)이 형성되지 않은 하부 전극(312c)의 외곽에 형성된 배선(W1, 312a)에 형성된 실리콘-금속의 혼합물(SMC)을 제거한다. 실리콘-금속의 혼합물(SMC)을 드라이 에칭(dry-etching)으로 제거할 수 있다. 실리콘-금속 혼합물(SMC)을 제거함으로써, 하부 전극(312c)과 상부 전극 제1층(314) 사이에 누설전류를 방지하여, 불량률을 줄일 있다.
- [0101] 도 9는 드라이 에칭 후의 제2도핑 공정을 개략적으로 도시한 도면이다.
- [0102] 도 9를 참조하면, 화소 전극 제2층(115) 및 상부 전극 제2층(315)의 제거 후, 이온 불순물은 B 또는 P 이온을 적절한 농도로 커패시터 하부 전극(312c)을 타겟으로 하여 도핑(D2)한다.
- [0103] 1차 도핑(D1)시 도핑되지 않았던 하부 전극(312c)이, 2차 도핑 후 이온 불순물이 도핑된 하부 전극(312a)으로 바뀔으로써, 하부 전극(312a)의 도전성이 증가하여 커패시터의 정전용량을 증가시킬 수 있다.
- [0104] 또한, 제2절연층(15)에 형성된 제2콘택홀(C2)이 상부 전극 제2층(315)보다 크게 형성되기 때문에, 하부 전극(312a)과 배선(W) 모두 이온 불순물로 도핑된다. 따라서, 정전 용량이 감소하거나 신호 전달 품질이 저하되는 문제를 방지할 수 있다.
- [0105] 한편, 도 8 및 도 9를 참조하면, 실리콘-금속 혼합물(SMC)을 제거하는 드라이 에칭 후 제2차 도핑(D2)이 시행되었지만, 본 발명은 이에 한정되지 않는다. 예를 들어, 순서를 바꾸어 제2차 도핑(D2)이 완료된 후 실리콘-금속 혼합물(SMC)을 제거하는 드라이 에칭을 시행할 수 있다.
- [0106] 도 10은 본 실시예에 따른 유기 발광 표시 장치(1)의 제5마스크 공정 과정을 개략적으로 도시한 단면도이다.
- [0107] 도 10을 참조하면, 제4마스크 공정의 결과물 상에, 제3절연층(18)이 형성되고, 상기 제3절연층(18)을 패터닝하

여 화소 전극(114) 제1층을 노출시키는 제4콘택홀(C4)이 형성된다.

- [0108] 제4콘택홀(C4)은 발광 영역을 정의해주는 역할 외에, 화소 전극(114, 115)의 가장자리와 대향 전극(119, 도 1 참조) 사이의 간격을 넓혀, 화소 전극(114, 115)의 가장자리에서 전계가 집중되는 현상을 방지함으로써 화소 전극(114, 115)과 대향 전극(119)의 단락을 방지하는 역할을 한다.
- [0109] 도 11은 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 커패시터 영역(CAP2)을 개략적으로 도시한 평면도이다.
- [0110] 도 11을 참조하면, 본 실시예에 따른 커패시터 영역(CAP2)은 전술한 실시예에 따른 커패시터 영역(CAP1)과 마찬가지로, 상부 전극(314, 315)보다 큰 개구를 가지도록 제2콘택홀(C2)이 형성되고, 하부 전극(312a) 외곽의 배선(W1)에는 제1절연층(13-2) 및 제2절연층(15)이 형성되지 않는다. 또한, 하부 전극(312a)과 배선(W1)은 모두 이온 불순물로 도핑된다.
- [0111] 그러나, 본 실시예에서는 제4마스크 공정 후, 하부 전극(312a) 외곽의 배선(W1) 상에 형성된 실리콘-금속 혼합물을 드라이 에칭(dry-etching)하는 공정에서, 제1절연층(13-2)의 조건이나 드라이 에칭의 조건에 따라 하부 전극(312a)과 상부 전극(314, 315) 사이에 형성된 제1절연층(13-2)의 식각면에 단차를 형성한 것이다. 이러한 단차는 특히, 제1절연층(13-2)의 식각면과 접촉하는 제3절연층(17)이 유기 절연막일 경우, 제1절연층(13-2)과 제3절연층(17)의 접촉 면에 발생할 수 있는 보이드(void) 불량을 줄일 수 있다.
- [0112] 도 12 내지 14는 본 발명의 비교예에 따른 유기 발광 표시 장치의 커패시터 영역(CAP3)을 개략적으로 도시한 단면도 및 평면도이다.
- [0113] 상기 도 12 및 도 13을 참조하면, 본 비교예에 따른 커패시터 영역(CAP3)에는 기관(10) 및 버퍼층(11) 상에, 하부 전극(312a)과 배선(W3), 하부 전극(312a)과 배선(W3)을 연속적으로 덮는 제1절연층(13-3), 상부 전극 제1층(314), 및 상부 전극 제1층(314) 외곽에 위치하는 상부 전극 제2층(315)이 형성되어 있다.
- [0114] 본 비교예에서, 제2절연층(15)에 형성되는 제2콘택홀(C2-3)은 상부 전극 제1층(314) 전체를 전부 노출시키지 않고, 상부 전극 제1층 및 제2층(314, 315)의 외곽을 일부 덮도록 형성된다. 그 결과, 제2콘택홀(C2-3)이 형성된 제2절연층(15) 하부에 상부 전극 제2층(315)이 일부 잔존하게 된다.
- [0115] 도 14를 참조하면, 본 비교예에 따른 유기 발광 표시 장치의 커패시터 영역(CAP3)의 제4마스크 공정 후 제2차 도핑(D2)하는 과정을 개략적으로 도시한 것이다.
- [0116] 도 14를 참조하면, 제2차 도핑(D2) 시 제2절연층(15)에 의해 덮여 일부 잔존하는 상부 전극 제2층(315)이 도핑 저지 마스크로 기능하기 때문에, 상부 전극 제2층(315)에 대응되는 영역의 하부 전극(312c)에는 이온 불순물이 도핑되지 않는다.
- [0117] 따라서, 비교예에 따른 유기 발광 표시 장치의 커패시터 영역(CAP3)에 의하면, 하부 전극(312a) 외곽에 이온 불순물이 도핑되지 않는 영역(312c)이 발생할 수 있다. 이 경우, 이온 도핑이 안 된 영역에서 높은 저항 값을 가지기 때문에, 커패시터 용량이 감소하거나 신호 전달 품질이 나빠질 수 있다.
- [0118] 본 발명은 도면에 도시된 실시 예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 당해 기술 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 다른 실시 예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

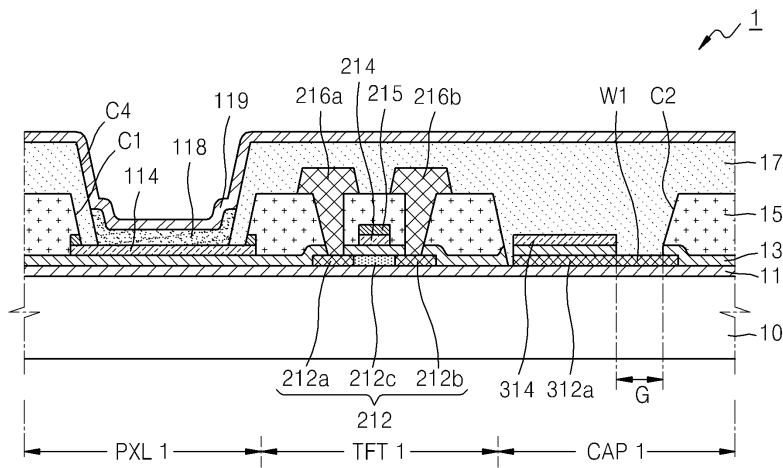
부호의 설명

- [0119] 1: 유기 발광 표시 장치
- | | |
|----------------|----------------|
| 10: 기관 | 11: 버퍼층 |
| 13: 제1절연층 | 15: 제2절연층 |
| 17: 제3절연층 | 114: 화소 전극 제1층 |
| 115: 화소 전극 제2층 | 118: 유기 발광층 |
| 119: 대향 전극 | 212: 활성층 |

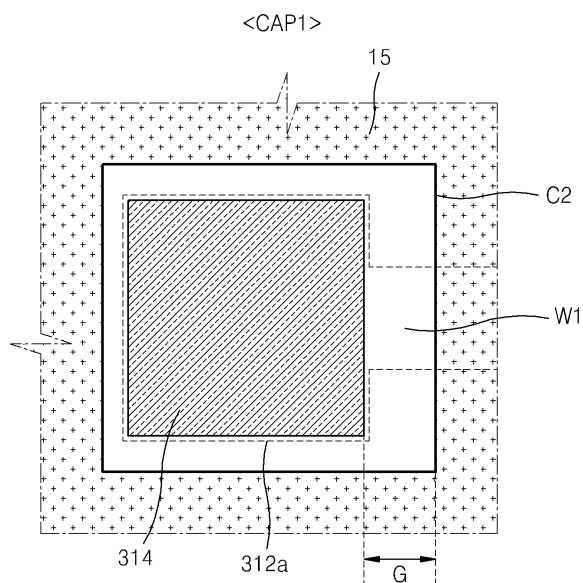
212a: 소스 영역	212b: 드레인 영역
212c: 채널 영역	214: 게이트 전극 제1층
215: 게이트 전극 제2층	216a: 소스 전극
216b: 드레인 전극	312a: 하부 전극
314: 상부 전극 제1층	315: 상부 전극 제2층
PXL: 픽셀 영역	TFT: 트랜지스터 영역
CAP: 커패시터 영역	C1, C2, C3, C4: 콘택홀
G: 갭	W1~W3: 배선

도면

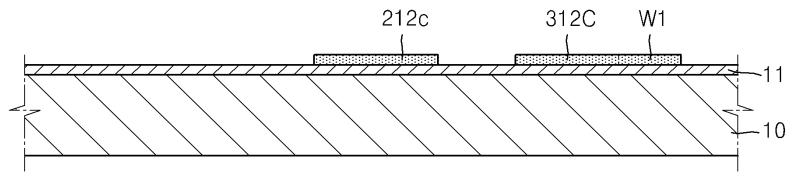
도면1



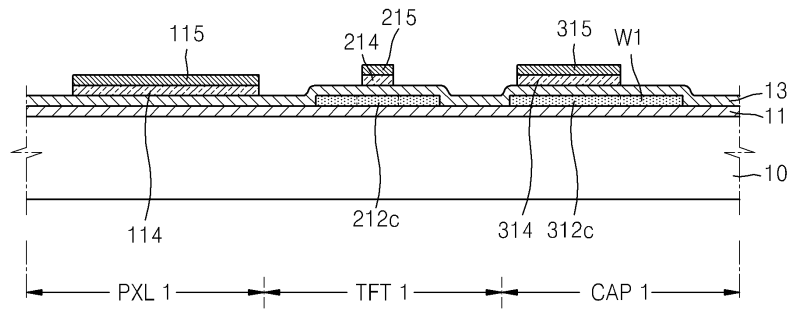
도면2



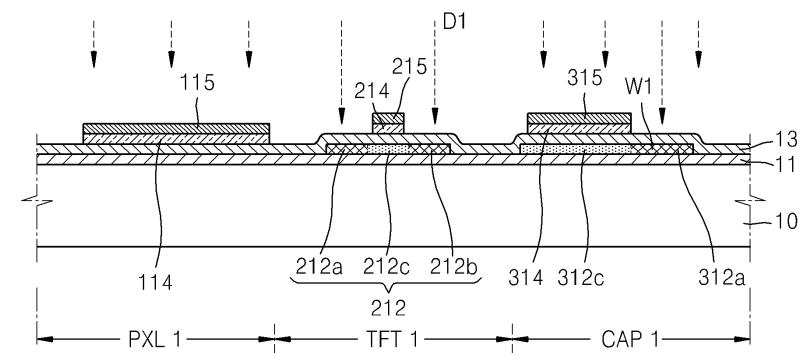
도면3



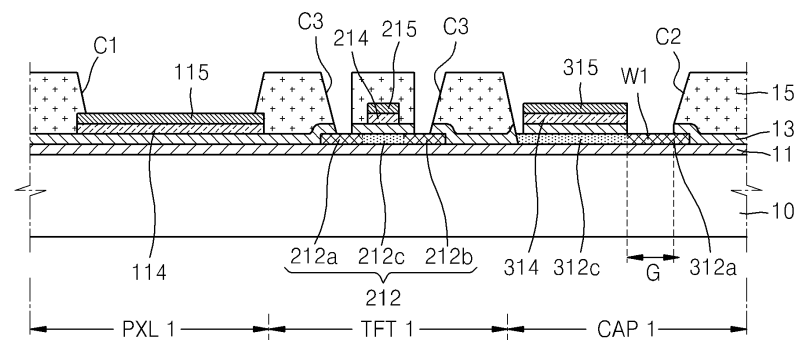
도면4



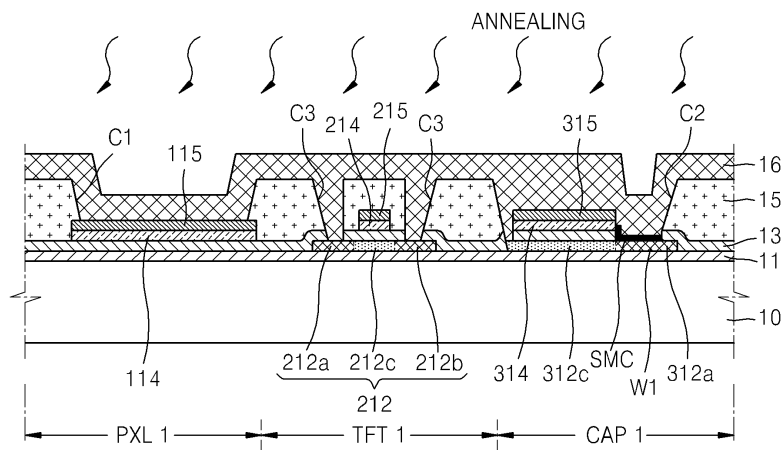
도면5



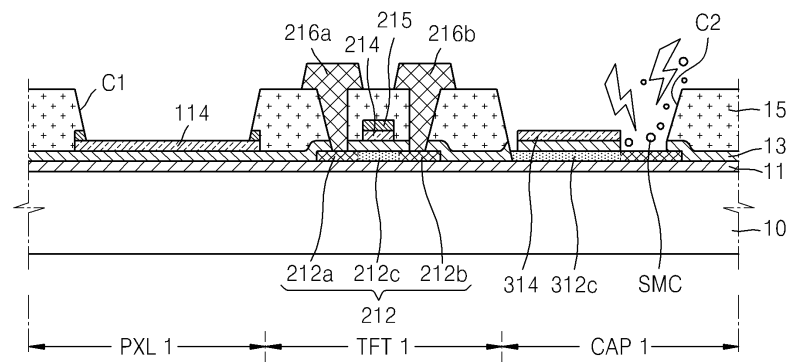
도면6



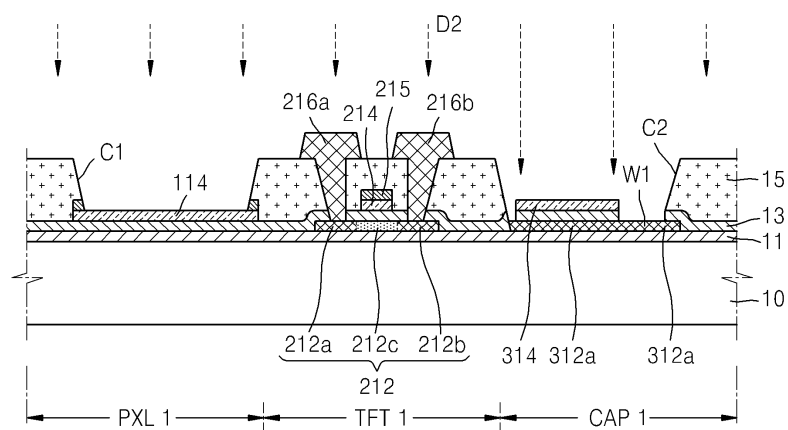
도면7



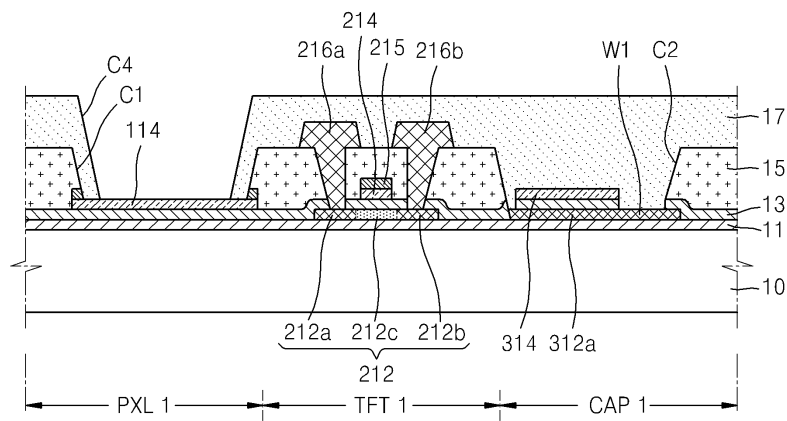
도면8



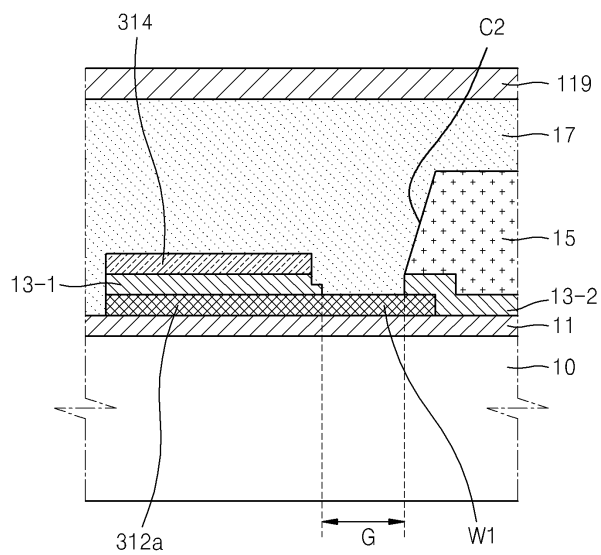
도면9



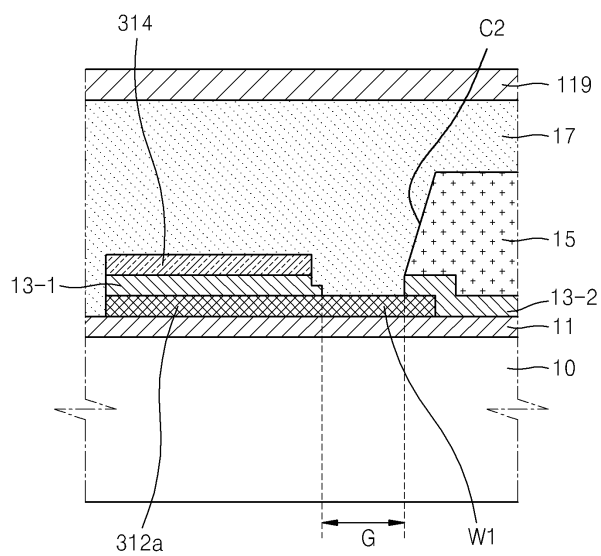
도면10



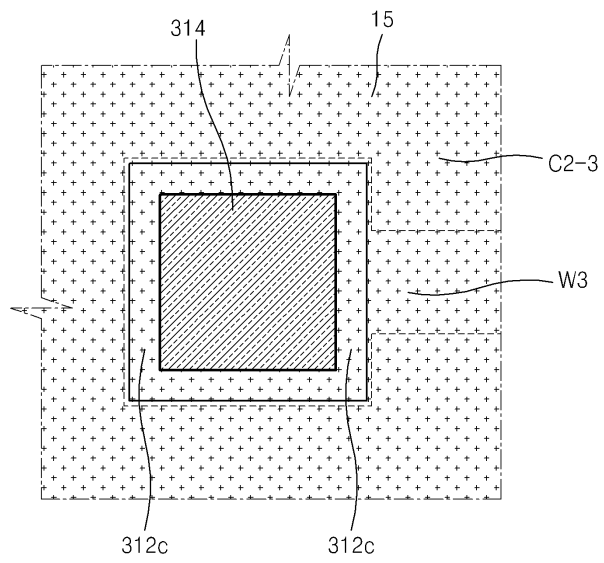
도면11



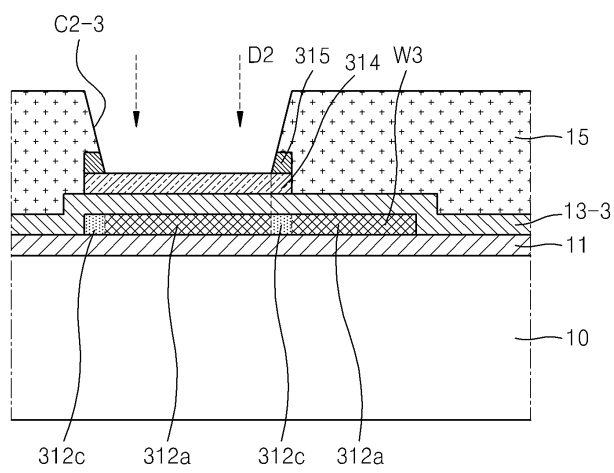
도면12



도면13



도면14



专利名称(译)	薄膜晶体管阵列基板，包括其的有机发光显示器及其制造方法		
公开(公告)号	KR1020130016936A	公开(公告)日	2013-02-19
申请号	KR1020110079147	申请日	2011-08-09
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	PARK JONG HYUN 박종현 YOU CHUN GI 유춘기 PARK SUN 박선 LEE YUL KYU 이율규 MOON SANG HO 문상호		
发明人	박종현 유춘기 박선 이율규 문상호		
IPC分类号	H01L51/56 H01L29/786 H01L H01L51/50		
CPC分类号	H01L27/3248 H01L27/3265 H01L27/3262 H01L27/1255 H01L51/5212 H01L27/3276 H01L27/124 H01L29/4908		
其他公开文献	KR101930845B1		
外部链接	Espacenet		

摘要(译)

根据本发明的一个方面，设置在衬底，具有有源层，栅电极，源电极和漏电极的薄膜晶体管上；一种电容器，其下电极设置在与有源层相同的层上，上电极设置在与栅电极相同的层上；像素电极设置在与栅电极和上电极相同的层上并连接到源电极和漏电极；第一绝缘层设置在有源层和栅电极之间，并且在下电极和上电极之间，第一绝缘层设置在下电极的外部；第二绝缘层设置在源电极和漏电极之间，第二绝缘层不设置在上电极和下电极的外周；并且第三绝缘层覆盖源电极和漏电极以及上电极并暴露像素电极。 专利文献10-2013-0016936

