



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2019년04월26일  
(11) 등록번호 10-1972574  
(24) 등록일자 2019년04월19일

- (51) 국제특허분류(Int. Cl.)  
*G09G 3/3233* (2016.01) *H01L 27/32* (2006.01)
- (52) CPC특허분류  
*G09G 3/3233* (2013.01)  
*H01L 27/3211* (2013.01)
- (21) 출원번호 10-2017-0136842
- (22) 출원일자 2017년10월20일  
심사청구일자 2017년10월20일
- (56) 선행기술조사문헌  
KR1020170073625 A\*

\*는 심사관에 의하여 인용된 문헌

- (73) 특허권자  
엘지디스플레이 주식회사  
서울특별시 영등포구 여의대로 128(여의도동)
- (72) 발명자  
장형옥  
경기도 파주시 월롱면 엘지로 245  
문선지  
경기도 파주시 월롱면 엘지로 245
- (74) 대리인  
특허법인 정안

전체 청구항 수 : 총 14 항

심사관 : 하정균

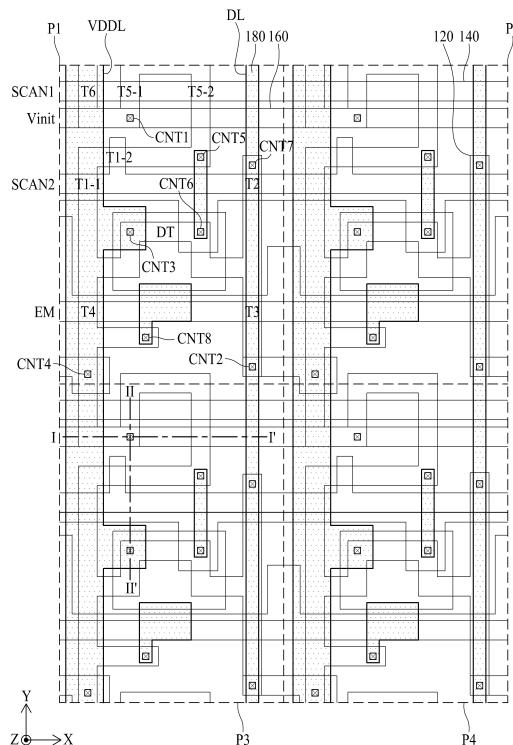
(54) 발명의 명칭 유기 발광 표시 장치

**(57) 요 약**

본 출원의 일 예는 화소의 크기 및 화소들 간의 간격이 감소하는 초고해상도 유기 발광 표시 장치에서도 화소 내 구동 트랜지스터와 스토리지 커패시터를 설계할 면적을 확보할 수 있는 유기 발광 표시 장치에 관한 것이다. 본 출원의 일 예에 따른 유기 발광 표시 장치는 유기 발광 소자, 및 유기 발광 소자에 흐르는 전류를 제어하기 위한

(뒷면에 계속)

**대 표 도** - 도8



구동 트랜지스터와 스토리지 커패시터를 포함하는 화소 회로를 갖는 복수의 화소, 제 1 방향을 따라 마련되고 복수의 화소들에 화소 구동 전원을 공급하는 복수의 구동 전원 라인, 및 제 1 방향과 교차하는 제 2 방향을 따라 마련되고 복수의 화소에 초기화 전압을 공급하는 복수의 초기화 라인을 포함하며, 복수의 초기화 라인은 복수의 구동 전원 라인을 이루는 소스/드레인층과 서로 다른 층인 제 1 금속층으로 이루어진다. 또한, 본 출원의 일 예에 따른 유기 발광 표시 장치는 복수의 구동 전원 라인과 복수의 데이터 라인은 임의의 화소 내에서 양 측으로 서로 이격되어 배치된다.

(52) CPC특허분류

*H01L 27/3258* (2013.01)

*H01L 27/3265* (2013.01)

*G09G 2300/0426* (2013.01)

*G09G 2330/028* (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

유기 발광 소자, 및 상기 유기 발광 소자에 흐르는 전류를 제어하기 위한 구동 트랜지스터와 스토리지 커패시터를 포함하는 화소 회로를 갖는 복수의 화소;

제 1 방향을 따라 마련되고 상기 복수의 화소들에 화소 구동 전원을 공급하는 복수의 구동 전원 라인;

상기 제 1 방향을 따라 마련되고 상기 복수의 화소에 데이터 전압을 공급하는 복수의 데이터 라인; 및

상기 제 1 방향과 교차하는 제 2 방향을 따라 마련되고 상기 복수의 화소에 초기화 전압을 공급하는 복수의 초기화 라인을 포함하며,

상기 복수의 초기화 라인은 상기 복수의 구동 전원 라인을 이루는 소스/드레인층과 서로 다른 층인 제 1 금속층으로 이루어지고,

상기 복수의 구동 전원 라인 중 하나의 구동 전원 라인과 상기 복수의 데이터 라인 중 하나의 데이터 라인은 상기 복수의 화소 중 임의의 화소 내에 배치된 상기 구동 트랜지스터와 상기 스토리지 커패시터의 양 측에 서로 이격되어 배치된 유기 발광 표시 장치.

#### 청구항 2

제 1 항에 있어서,

상기 복수의 화소 각각은 상기 구동 트랜지스터의 구동을 제어하기 위한 복수의 트랜지스터들을 더 포함하고,

상기 복수의 초기화 라인은 상기 복수의 트랜지스터들 중 구동 트랜지스터에 상기 초기화 전압을 공급하는 트랜지스터와 전기적으로 연결된, 유기 발광 표시 장치.

#### 청구항 3

제 1 항에 있어서,

상기 복수의 초기화 라인을 이루는 제 1 금속층은 제 1 컨택 홀을 통해 상기 구동 트랜지스터에 상기 초기화 전압을 공급하는 제 5 트랜지스터의 액티브층과 연결된, 유기 발광 표시 장치.

#### 청구항 4

제 3 항에 있어서,

상기 제 1 컨택 홀은 상기 액티브층의 상부에 마련된 게이트 절연막 및 상기 제 1 금속층의 하부에 배치된 제 1 층간 절연막을 관통하여 형성된, 유기 발광 표시 장치.

#### 청구항 5

제 1 항에 있어서,

상기 구동 전원 라인은 제 3 컨택 홀을 이용하여 상기 구동 트랜지스터를 이루는 액티브층과 연결된, 유기 발광 표시 장치.

#### 청구항 6

제 5 항에 있어서,

상기 제 3 컨택 홀은 상기 액티브층의 상부에 마련된 게이트 절연막과 상기 소스/드레인층의 하부에 배치된 제 1 및 제 2 층간 절연막을 관통하여 형성된, 유기 발광 표시 장치.

#### 청구항 7

삭제

### 청구항 8

제 1 항에 있어서,

상기 복수의 화소 중 임의의 화소는 상기 임의의 화소와 인접한 다른 화소를 지나는 구동 전원 라인으로부터 상기 화소 구동 전원을 공급받는, 유기 발광 표시 장치.

### 청구항 9

제 1 항에 있어서,

상기 복수의 화소 중 임의의 화소의 발광 제어 트랜지스터는 상기 임의의 화소와 인접한 다른 화소의 구동 전원 라인과 상기 제 1 금속층으로 연결된, 유기 발광 표시 장치.

### 청구항 10

제 9 항에 있어서,

상기 서로 인접한 화소들을 연결하는 제 1 금속층은 제 2 컨택 홀을 이용하여 상기 임의의 화소의 발광 제어 트랜지스터를 구성하는 액티브층과 연결된, 유기 발광 표시 장치.

### 청구항 11

제 10 항에 있어서,

상기 제 2 컨택 홀은 상기 액티브층의 상부에 마련된 게이트 절연막 및 상기 제 1 금속층의 하부에 배치된 제 1 층간 절연막을 관통하여 형성된, 유기 발광 표시 장치.

### 청구항 12

제 9 항에 있어서,

상기 서로 인접한 화소들을 연결하는 제 1 금속층은 제 4 컨택 홀을 이용하여 상기 다른 화소의 구동 전원 라인을 구성하는 소스/드레인층과 연결된, 유기 발광 표시 장치.

### 청구항 13

제 12 항에 있어서,

상기 제 4 컨택 홀은 상기 제 1 금속층의 상부에 배치된 제 2 층간 절연막을 관통하여 형성된, 유기 발광 표시 장치.

### 청구항 14

유기 발광 소자, 및 상기 유기 발광 소자에 흐르는 전류를 제어하기 위한 구동 트랜지스터와 스토리지 커패시터를 포함하는 화소 회로를 갖는 복수의 화소;

제 1 방향을 따라 마련되고 상기 복수의 화소들에 화소 구동 전원을 공급하는 복수의 구동 전원 라인; 및

상기 제 1 방향을 따라 마련되고 상기 복수의 화소에 데이터 전압을 공급하는 복수의 데이터 라인을 포함하며,

상기 복수의 구동 전원 라인 중 하나의 구동 전원 라인과 상기 복수의 데이터 라인 중 하나의 데이터 라인은 상기 복수의 화소 중 임의의 화소 내에 배치된 상기 구동 트랜지스터와 상기 스토리지 커패시터의 양 측에 서로 이격되어 배치된 유기 발광 표시 장치.

### 청구항 15

제 14 항에 있어서,

상기 구동 전원 라인을 이루는 소스/드레인층과 서로 다른 층인 제 1 금속층을 이용하여 상기 임의의 화소와 인접한 다른 화소의 발광 제어 트랜지스터에 상기 화소 구동 전원을 공급하는, 유기 발광 표시 장치.

## 발명의 설명

### 기술 분야

[0001] 본 출원의 일 예는 유기 발광 표시 장치에 관한 것이다.

### 배경기술

[0002] 최근, 표시 장치(Display Device)는 멀티미디어의 발달과 함께 그 중요성이 증대되고 있다. 이에 부응하여 액정 표시 장치, 플라즈마 표시 장치, 유기 발광 표시 장치 등 여러 가지 종류의 평판 표시 장치가 상용화되고 있다. 평판 표시 장치 중에서 유기 발광 표시 장치는 박형화, 경량화, 저 소비전력화 등의 우수한 특성으로 인하여 노트북 컴퓨터, 텔레비전, 태블릿 컴퓨터, 모니터, 스마트폰, 휴대용 표시 기기, 휴대용 정보 기기 등의 표시 장치로 널리 사용되고 있다.

[0003] 유기 발광 표시 장치에 사용되는 표시 패널은 박막 트랜지스터(Thin Film Transistor, TFT) 및 스토리지 커패시터(Storage Capacitor, Cst)를 필수 구성 요소로 포함하고 있다. 다수의 박막 트랜지스터와 스토리지 커패시터를 이용하여 하나의 화소를 이루는 화소 회로를 구현할 수 있다.

[0004] 표시 장치 화소의 수가 증가할수록 화소열의 개수가 증가하고, 화소의 크기 및 화소들 간의 간격은 감소한다. 특히, 플라스틱 유기 발광 소자(POLED)가 초고해상도(UHD)의 휴대용 단말기에 사용되는 경우, 화소의 크기 및 화소들 간의 간격이 감소한다.

[0005] 유기 발광 표시 장치는 초기화 전압을 공급하는 박막 트랜지스터에 소스/드레인층으로 이루어진 초기화 라인을 이용하여 초기화 전압을 공급하였다.

[0006] 초고해상도 유기 발광 표시 장치에서는 소스/드레인층으로 이루어진 초기화 라인을 이용하여 초기화 전압을 공급하는 경우 화소 내 구동 트랜지스터와 스토리지 커패시터를 설계할 면적이 부족한 문제가 발생한다.

[0007] 또한, 유기 발광 표시 장치는 화소들에 데이터 전압을 공급하는 데이터 라인 및 화소들에 화소 구동 전원을 공급하는 구동 전원 라인을 갖는다.

[0008] 구동 전원 라인 및 데이터 라인은 각각의 화소열마다 배치된다. 데이터 전압과 화소 구동 전원은 모두 구동 트랜지스터로 공급된다. 데이터 전압과 화소 구동 전원은 모두 구동 트랜지스터에 인접하게 배치되어, 하나의 화소 내에서 구동 전원 라인 및 데이터 라인은 서로 인접하여 배치되었다.

[0009] 초고해상도 유기 발광 표시 장치에서는 구동 전원 라인이 데이터 라인과 인접한 경우 화소 내 구동 트랜지스터와 스토리지 커패시터를 설계할 면적이 부족한 문제가 발생한다.

### 발명의 내용

#### 해결하려는 과제

[0010] 본 출원의 일 예는 화소의 크기 및 화소들 간의 간격이 감소하는 초고해상도 유기 발광 표시 장치에서도 화소 내 구동 트랜지스터와 스토리지 커패시터를 설계할 면적을 확보할 수 있는 유기 발광 표시 장치를 제공하고자 한다.

#### 과제의 해결 수단

[0011] 본 출원의 일 예에 따른 유기 발광 표시 장치는 유기 발광 소자, 및 유기 발광 소자에 흐르는 전류를 제어하기 위한 구동 트랜지스터와 스토리지 커패시터를 포함하는 화소 회로를 갖는 복수의 화소, 제 1 방향을 따라 마련되고 복수의 화소들에 화소 구동 전원을 공급하는 복수의 구동 전원 라인, 및 제 1 방향과 교차하는 제 2 방향을 따라 마련되고 복수의 화소에 초기화 전압을 공급하는 복수의 초기화 라인을 포함하며, 복수의 초기화 라인은 복수의 구동 전원 라인을 이루는 소스/드레인층과 서로 다른 충인 제 1 금속층으로 이루어진다.

[0012] 또한, 본 출원의 일 예에 따른 유기 발광 표시 장치는 복수의 구동 전원 라인과 복수의 데이터 라인은 임의의 화소 내에서 양 측으로 서로 이격되어 배치된다.

### 발명의 효과

[0013] 본 출원의 예들에 따른 유기 발광 표시 장치는 제 1 금속층으로 기존의 소스/드레인층으로 이루어진 초기화 라인을 대체할 수 있다. 이에 따라, 본 출원은 화소의 크기 및 화소들 간의 간격이 감소하는 초고해상도 유기 발광 표시 장치에서도 화소 내 구동 트랜지스터와 스토리지 커패시터를 설계할 면적을 확보할 수 있다.

[0014] 또한, 본 출원의 예들에 따른 유기 발광 표시 장치는 복수의 구동 전원 라인과 복수의 데이터 라인은 임의의 화소 내에서 양 측으로 서로 이격시켜 화소의 중앙부에 구동 트랜지스터와 스토리지 커패시터가 배치될 면적을 확보할 수 있다. 이에 따라, 본 출원은 화소의 크기 및 화소들 간의 간격이 감소하는 초고해상도 유기 발광 표시 장치에서도 화소 내 구동 트랜지스터와 스토리지 커패시터를 설계할 면적을 확보할 수 있다.

### 도면의 간단한 설명

[0015] 도 1은 본 출원의 일 예에 따른 유기 발광 표시 장치의 적용 예를 나타내는 사시도이다.

도 2는 본 출원의 일 예에 따른 유기 발광 표시 장치를 나타낸 블록도이다.

도 3은 본 출원의 일 예에 따른 유기 발광 표시 장치의 화소를 상세하게 나타낸 회로도이다.

도 4는 본 출원의 일 예에 따른 유기 발광 표시 장치의 화소의 구간별 입출력 신호들 및 전압들을 나타낸 파형도이다.

도 5는 본 출원의 일 예에 따른 유기 발광 표시 장치의 화소의 액티브층을 나타낸 평면도이다.

도 6은 본 출원의 일 예에 따른 유기 발광 표시 장치의 화소의 액티브층 및 게이트층을 나타낸 평면도이다.

도 7은 본 출원의 일 예에 따른 유기 발광 표시 장치의 화소의 액티브층, 게이트층, 및 제 1 금속층을 나타낸 평면도이다.

도 8은 본 출원의 일 예에 따른 유기 발광 표시 장치의 화소의 평면도이다.

도 9는 도 8의 I-I`를 나타낸 단면도이다.

도 10은 도 8의 II-II`를 나타낸 단면도이다.

### 발명을 실시하기 위한 구체적인 내용

[0016] 본 출원의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 일 예들을 참조하면 명확해질 것이다. 그러나 본 출원은 이하에서 개시되는 일 예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 출원의 일 예들은 본 출원의 개시가 완전하도록 하며, 본 출원이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 출원은 청구항의 범주에 의해 정의될 뿐이다.

[0017] 본 출원의 일 예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 출원이 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 출원을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 출원의 요지를 불필요하게 허릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다.

[0018] 본 명세서에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.

[0019] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.

[0020] 위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.

[0021] 시간 관계에 대한 설명일 경우, 예를 들어, '~후에', '~에 이어서', '~다음에', '~전에' 등으로 시간적 선후 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 연속적이지 않은 경우도 포함할 수 있다.

[0022] 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이

하에서 언급되는 제1 구성요소는 본 출원의 기술적 사상 내에서 제2 구성요소일 수도 있다.

[0023] "제1 수평 축 방향", "제2 수평 축 방향" 및 "수직 축 방향"은 서로 간의 관계가 수직으로 이루어진 기하학적인 관계만으로 해석되어서는 아니 되며, 본 출원의 구성이 기능적으로 작용할 수 있는 범위 내에서보다 넓은 방향성을 가지는 것을 의미할 수 있다.

[0024] "적어도 하나"의 용어는 하나 이상의 관련 항목으로부터 제시 가능한 모든 조합을 포함하는 것으로 이해되어야 한다. 예를 들어, "제 1 항목, 제 2 항목 및 제 3 항목 중에서 적어도 하나"의 의미는 제 1 항목, 제 2 항목 또는 제 3 항목 각각 뿐만 아니라 제 1 항목, 제 2 항목 및 제 3 항목 중에서 2개 이상으로부터 제시될 수 있는 모든 항목의 조합을 의미할 수 있다.

[0025] 본 출원의 여러 예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하고, 기술적으로 다양한 연동 및 구동이 가능하며, 각 예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시할 수도 있다.

[0026] 이하에서는 본 출원에 따른 전자 기기의 바람직한 예를 첨부된 도면을 참조하여 상세히 설명한다. 각 도면의 구성요소들에 참조부호를 부가함에 있어서, 동일한 구성요소들에 대해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 부호를 가질 수 있다.

[0027] 도 1은 본 출원의 일 예에 따른 유기 발광 표시 장치의 적용 예를 나타내는 사시도이다.

[0028] 본 출원의 일 예에 따른 유기 발광 표시 장치는 표시 영역(DA)과 비표시 영역(NDA)을 포함한다.

[0029] 표시 영역(DA)은 화상을 통하여 정보를 나타내거나 영상을 표현하는 영역이다. 표시 영역은 표시 패널을 갖는다. 표시 패널은 박막 트랜지스터(Thin Film Transistor, TFT) 및 스토리지 커패시터(Storage Capacitor, Cst)를 필수 구성 요소로 포함하고 있다. 다수의 박막 트랜지스터와 스토리지 커패시터를 이용하여 하나의 화소를 이루는 화소 회로를 구현할 수 있다. 또한, 유기 발광 표시 장치는 복수의 화소들에 화소 구동 전원을 공급하는 복수의 구동 전원 라인(VDDL)을 갖는다.

[0030] 비표시 영역(NDA)은 표시 영역(DA)의 외곽에 마련된다. 비표시 영역(NDA)은 표시 영역(DA)의 테두리 부분이 과손되는 것을 방지한다. 비표시 영역(NDA)은 유기 발광 표시 장치의 형태를 결정하는 하우징(Housing)으로서의 역할을 수행한다. 일 예로, 도 1과 같이 유기 발광 표시 장치가 휴대용 단말기인 경우, 비표시 영역(NDA)은 표시 영역의 네 모서리 중 X축 방향인 휴대용 단말기의 양 측 모서리 부분에는 극히 얇게 형성되어 베젤이 없는 엣지형 휴대용 단말기를 구현할 수 있고, Y축 방향인 휴대용 단말기의 상부 및 하부에는 상대적으로 두껍게 마련될 수 있다.

[0031] 본 출원의 일 예에 따른 유기 발광 표시 장치는 도 1에 나타낸 바와 같이 휴대용 단말기에 적용될 수 있다. 그러나 이에 한정되지 않고, 본 출원의 일 예에 따른 유기 발광 표시 장치는 화상을 통하여 정보를 나타내거나 영상을 표현하는 기능을 수행하는 다양한 종류의 전자 기기에 적용될 수 있다.

[0032] 도 2는 본 출원의 일 예에 따른 유기 발광 표시 장치를 나타낸 블록도이다.

[0033] 본 출원의 일 예에 따른 유기 발광 표시 장치는 표시 영역(DA), 제어부(10), 데이터 구동회로부(20), 및 스캔 구동회로부(30)를 포함한다. 도 2에서는 기능에 따른 블록도를 표현하였으나, 제어부(10), 데이터 구동회로부(20), 및 스캔 구동회로부(30)는 유기 발광 표시 장치의 표시 영역(DA) 외부 영역에 실장된 단일한 구동 칩인 구동 접적 회로(Driver IC)로 구현될 수 있다.

[0034] 표시 영역(DA)은 표시 영역과 표시 영역의 주변에 마련된 비표시 영역을 포함한다. 표시 영역(DA)은 화소(P)들이 마련되어 화상을 표시하는 영역이다. 표시 영역(DA)에는 스캔 신호들을 공급하는 스캔 라인들(SL1~SLp, p는 2 이상의 양의 정수), 데이터 전압들을 공급하는 데이터 라인들(DL1~DLq, q는 2 이상의 양의 정수), 및 구동 전원을 공급하는 구동 전원 라인들(RL1~RLq)이 마련된다. 데이터 라인들(DL1~DLq) 및 구동 전원 라인들(RL1~RLq)은 스캔 라인들(SL1~SLp)과 교차할 수 있다. 데이터 라인들(DL1~DLq)과 구동 전원 라인들(RL1~RLq)은 서로 평행할 수 있다. 표시 영역(DA)은 화소(P)들이 마련되는 하부 기판과 봉지(Encapsulation) 기능을 수행하는 상부 기판을 포함할 수 있다.

[0035] 화소(P)들 각각은 스캔 라인들(SL1~SLp) 중 어느 하나, 데이터 라인(DL)들(DL1~DLq) 중 어느 하나 및 구동 전원 라인들(RL1~RLq) 중 어느 하나에 접속될 수 있다. 화소(P)들 각각은 유기 발광 소자(organic light emitting diode, OLED)와 유기 발광 소자(OLED)에 전류를 공급하는 화소 회로를 포함할 수 있다.

- [0036] 제어부(10)는 유기 발광 표시 장치에 화상을 구현하기 위한 디지털 비디오 데이터(DATA)와 유기 발광 표시 장치를 구동시키는 타이밍을 제어하기 위한 타이밍 신호들을 생성한다. 타이밍 신호는 수직 동기 신호(Vertical sync signal), 수평 동기 신호(Horizontal sync signal), 데이터 인에이블 신호(Data Enable signal), 및 도트 클럭(Dot clock)을 포함한다.
- [0037] 제어부(10)는 타이밍 신호들을 이용하여 데이터 구동회로부(20)의 동작 타이밍을 제어하기 위한 데이터 제어 신호(DCS) 및 스캔 구동회로부(30)의 동작 타이밍을 제어하기 위한 스캔 제어 신호(SCS)를 생성한다. 제어부(10)는 디지털 비디오 데이터(DATA)와 데이터 제어 신호(DCS)를 데이터 구동회로부(20)로 출력한다. 제어부(10)는 스캔 제어 신호(SCS)를 스캔 구동회로부(30)로 출력한다.
- [0038] 데이터 구동회로부(20)는 제어부(10)로부터 데이터 제어 신호(DCS)를 공급받는다. 데이터 구동회로부(20)는 데이터 제어 신호(DCS)에 기초하여 데이터 전압들을 생성한다. 데이터 구동회로부(20)는 데이터 전압들을 데이터 라인(DL)들(DL1~DLq)에 공급한다.
- [0039] 스캔 구동회로부(30)는 제어부(10)로부터 스캔 제어 신호(SCS)를 공급받는다. 스캔 구동회로부(30)는 스캔 제어 신호(SCS)에 기초하여 스캔 신호들을 생성한다. 스캔 구동회로부(30)는 스캔 신호들을 스캔 라인들(SL1~SLp)에 공급한다.
- [0040] 상술한 바와 같이, 제어부(10), 데이터 구동회로부(20), 및 스캔 구동회로부(30)는 유기 발광 표시 장치의 표시 영역(DA) 외부 영역에 실장된다. 이 때, 제어부(10), 데이터 구동회로부(20), 및 스캔 구동회로부(30)는 게이트 드라이브 인 패널(Gate Drive in Panel, GIP) 방식으로 표시 영역(DA)을 둘러싸고 있는 외부 영역인 비표시 영역에 실장될 수 있다.
- [0041] 데이터 구동회로부(20), 및 스캔 구동회로부(30)를 실장하고 있는 Driver-IC는 연성 인쇄회로보드(FPCB)와 연결될 수 있다. 연성 인쇄회로보드는 유기 발광 표시 장치의 내부 중, 전면 가장자리와 배면 가장자리 영역에 부착될 수 있다.
- [0042] 이 경우, 연성 인쇄회로보드 상에 제어부(10)를 실장할 수 있으며, 제어 인쇄회로보드 상에서 구동 접적 회로(Driver IC)로 데이터 제어 신호(DCS) 및 스캔 제어 신호(SCS)를 전달할 수 있다. 연성 인쇄회로보드는 유기 발광 표시 장치의 내부에서 가장자리 영역에서 접힌 상태로 배치되어 있다. 따라서, 유기 발광 표시 장치의 내부에 별도의 공간을 마련하지 않고도 연성 인쇄회로보드를 실장할 수 있다. 또한, 연성 인쇄회로보드 상에 제어부(10)를 실장하는 경우, 구동 접적 회로 내부의 회로에서 수행하는 기능을 감소시킬 수 있어, 구동 접적 회로의 크기를 감소시킬 수 있다.
- [0043] 도 3은 본 출원의 일 예에 따른 화소(P)를 상세하게 나타낸 회로도이다. 본 출원의 일 예에 따른 화소(P)는 구동 트랜지스터(DT), 유기 발광 소자(OLED), 스토리지 커패시터(Cst), 및 제 1 내지 제 6 트랜지스터(T1~T6)을 포함한다.
- [0044] 구동 트랜지스터(DT)는 게이트 전극, 소스 전극 및 드레인 전극을 포함한다. 구동 트랜지스터(DT)의 게이트 전극은 커패시터(Cst)의 일 측 전극, 제 1 트랜지스터(T1)의 드레인 전극, 및 제 5 트랜지스터(T5)의 소스 전극이 연결된 제 1 노드(N1)에 접속된다. 구동 트랜지스터(DT)의 소스 전극은 화소 구동 전원(VDD)을 소스 전극으로 공급받는 제 3 트랜지스터(T3)의 드레인 전극과 연결된다. 구동 트랜지스터(DT)의 드레인 전극은 제 4 트랜지스터(T4)의 소스 전극과 연결된다.
- [0045] 구동 트랜지스터(DT)의 게이트 전극에 문턱 전압보다 큰 전압이 공급되는 경우 턴-온 된다. 구동 트랜지스터(DT)가 P형 MOSFET으로 구현되는 경우, 턴-온 된 구동 트랜지스터(DT)는 소스 전극에서 드레인 전극으로 구동 전류를 흘린다.
- [0046] 유기 발광 소자(OLED)는 애노드 전극 및 캐소드 전극을 포함한다. 유기 발광 소자(OLED)는 애노드 전극으로부터 캐소드 전극으로 구동 전류를 흘린다. 유기 발광 소자(OLED)의 애노드 전극은 제 4 트랜지스터(T4)의 드레인 전극이 연결된 제 2 노드(N2)에 접속된다. 유기 발광 소자(OLED)의 캐소드 전극은 기저 전압(VSS)이 형성된 접지 라인에 캐소드 전극이 연결된다. 유기 발광 소자(OLED)는 구동 트랜지스터(DT)로부터 흐르는 구동 전류에 대응하는 밝기로 발광한다.
- [0047] 유기 발광 소자(OLED)는 정공 수송층(hole transporting layer), 유기 발광층(organic light emitting layer), 및 전자 수송층(electron transporting layer)을 더 포함한다. 유기 발광 소자(OLED)는 애노드 전극과 캐소드 전극에 전압이 인가되면 정공과 전자가 각각 정공 수송층과 전자 수송층을 통해 유기 발광층으로 이동되며, 유

기 발광층에서 정공과 전자가 서로 결합하여 발광하게 된다.

[0048] 스토리지 커패시터(Cst)는 양 측 전극을 갖는다. 스토리지 커패시터(Cst)의 일 측 전극은 제 1 노드(N1)에 연결된다. 스토리지 커패시터(Cst)의 타 측 전극은 화소 구동 전원(VDD) 라인에 연결된다.

[0049] 스토리지 커패시터(Cst)는 제 1 노드(N1)에 연결된 제 5 트랜지스터(T5)가 턴-온 된 경우 화소 구동 전원(VDD)과 제 1 노드(N1)의 차전압을 저장한다. 스토리지 커패시터(Cst)는 제 5 트랜지스터(T5)가 턴-오프 된 경우 제 1 노드(N1)에 저장한 차전압을 유지한다. 또한, 스토리지 커패시터(Cst)는 저장되어 유지한 전압을 이용하여 구동 트랜지스터(DT)의 구동을 제어할 수 있다.

[0050] 제 1 트랜지스터(T1)의 게이트 전극은 제 2 스캔 신호(SCAN2)를 공급받는다. 제 1 트랜지스터(T1)의 소스 전극은 구동 트랜지스터(DT)의 드레인 전극과 연결된다. 제 1 트랜지스터(T1)의 드레인 전극은 제 1 노드(N1)와 연결된다. 제 1 트랜지스터(T1)는 제 2 스캔 신호(SCAN2)에 의해 턴-온 되어, 제 1 노드(N1)의 전압을 데이터 전압(VDATA)과 구동 트랜지스터(DT)의 문턱 전압(Vtp)의 합인 VDATA+Vtp까지 상승시킨다.

[0051] 제 2 트랜지스터(T2)의 게이트 전극은 제 2 스캔 신호(SCAN2)를 공급받는다. 제 2 트랜지스터(T2)의 소스 전극은 데이터 라인(DL)과 연결되어 데이터 전압(VDATA)을 공급받는다. 제 2 트랜지스터(T2)의 드레인 전극은 구동 트랜지스터(DT)의 소스 전극과 연결된다. 제 2 트랜지스터(T1)는 제 2 스캔 신호(SCAN2)에 의해 턴-온 되어, 구동 트랜지스터(DT)의 소스 전극에 데이터 전압(VDATA)을 공급한다.

[0052] 제 3 트랜지스터(T3)의 게이트 전극은 발광 제어 신호(EM)를 공급받는다. 제 3 트랜지스터(T3)의 소스 전극은 화소 구동 전원(VDD)을 공급받는다. 제 3 트랜지스터(T3)의 드레인 전극은 구동 트랜지스터(DT)의 소스 전극과 연결된다. 제 3 트랜지스터(T3)는 발광 제어 신호(EM)에 의해 턴-온 되어, 구동 트랜지스터(DT)에 화소 구동 전원(VDD)을 공급하여 구동 트랜지스터(DT)가 구동 전류를 흐르게 한다.

[0053] 제 4 트랜지스터(T4)의 게이트 전극은 발광 제어 신호(EM)를 공급받는다. 제 4 트랜지스터(T4)의 소스 전극은 구동 트랜지스터(DT)의 드레인 전극과 연결된다. 제 4 트랜지스터(T4)의 드레인 전극은 제 2 노드(N2)와 연결된다. 제 4 트랜지스터(T4)는 발광 제어 신호(EM)에 의해 턴-온 되어, 구동 전류가 유기 발광 소자(OLED)를 흐르게 하여 유기 발광 소자(OLED)를 발광시킨다.

[0054] 제 5 트랜지스터(T5)의 게이트 전극은 제 1 스캔 신호(SCAN1)를 공급받는다. 제 5 트랜지스터(T5)의 소스 전극은 초기화 전압(Vinit)을 공급받는다. 제 5 트랜지스터(T5)의 드레인 전극은 제 1 노드(N1)와 연결된다. 제 5 트랜지스터(T5)는 제 1 스캔 신호(SCAN1)에 의해 턴-온 되어, 제 1 노드(N1)의 전압을 초기화 전압(Vinit)으로 초기화시킨다.

[0055] 제 6 트랜지스터(T6)의 게이트 전극은 제 1 스캔 신호(SCAN1)를 공급받는다. 제 6 트랜지스터(T6)의 소스 전극은 초기화 전압(Vinit)을 공급받는다. 제 6 트랜지스터(T6)의 드레인 전극은 제 2 노드(N2)와 연결된다. 제 6 트랜지스터(T6)는 제 1 스캔 신호(SCAN1)에 의해 턴-온 되어, 제 2 노드(N2)의 전압을 초기화 전압(Vinit)으로 초기화시킨다.

[0056] 도 4는 본 출원의 일 예에 따른 유기 발광 표시 장치의 화소의 구간별 입출력 신호들 및 전압들을 나타낸 과정도이다. 본 발명의 일 예에 따른 유기 발광 표시 장치의 화소 내부의 구동 트랜지스터(DT) 및 제 1 내지 제 6 트랜지스터(T1~T6)는 P형 MOSFET으로 구현된다. 이에 따라, 구동 트랜지스터(DT) 및 제 1 내지 제 6 트랜지스터(T1~T6)의 게이트 전극에 하이 로직 레벨에 해당하는 제 1 로직 레벨(L1)이 공급되는 경우, 각각의 트랜지스터는 턴-오프 된다. 또한, 구동 트랜지스터(DT) 및 제 1 내지 제 6 트랜지스터(T1~T6)의 게이트 전극에 로우 로직 레벨에 해당하는 제 2 로직 레벨(L2)이 공급되는 경우, 각각의 트랜지스터는 턴-온 된다.

[0057] 제 1 구간(S1)에서는 제 1 스캔 신호(SCAN1), 제 2 스캔 신호(SCAN2), 및 발광 제어 신호(EM)가 모두 제 1 로직 레벨(L1)이다. 이에 따라, 모든 구동 트랜지스터(DT) 및 제 1 내지 제 6 트랜지스터(T1~T6)가 모두 턴-오프 된다. 또한 제 1 노드(N1)의 전압인 제 1 노드 전압(VN1)은 0인 상태이다.

[0058] 제 2 구간(S2)에서는 제 1 스캔 신호(SCAN1)가 제 2 로직 레벨(L2)이고, 제 2 스캔 신호(SCAN2) 및 발광 제어 신호(EM)는 제 1 로직 레벨(L1)이다. 이에 따라, 제 5 및 제 6 트랜지스터(T5, T6)가 턴-온 되고, 구동 트랜지스터(DT) 및 제 1 내지 제 4 트랜지스터(T1~T4)는 턴-오프 상태를 유지한다. 제 5 트랜지스터(T5)에 의해 제 1 노드 전압(VN1)은 초기화 전압(Vinit)으로 초기화된다. 이와 동시에 제 6 트랜지스터(T6)에 의해 제 2 노드(N2)의 전압 역시 초기화 전압(Vinit)으로 초기화된다.

[0059] 제 3 구간(S3)에서는 제 1 스캔 신호(SCAN1), 제 2 스캔 신호(SCAN2), 및 발광 제어 신호(EM)가 모두 제 1 로

직 레벨(L1)이다. 이에 따라, 모든 구동 트랜지스터(DT) 및 제 1 내지 제 6 트랜지스터(T1~T6)가 모두 턴-오프 된다. 이 때, 스토리지 커페시터(Cst)에 의해 제 1 노드 전압(VN1)은 초기화 전압(Vinit)을 유지한다. 또한, 데이터 전압(VDATA)은 입력 데이터(data)를 전달하기 위해 변동하게 된다.

[0060] 제 4 구간(S4)에서는 제 2 스캔 신호(SCAN2)가 제 2 로직 레벨(L2)이고, 제 1 스캔 신호(SCAN1) 및 발광 제어 신호(EM)는 제 1 로직 레벨(L1)이다. 이에 따라, 제 1 및 제 2 트랜지스터(T1, T2)가 턴-온 되고, 구동 트랜지스터(DT) 및 제 3 내지 제 6 트랜지스터(T3~T6)는 턴-오프 상태를 유지한다. 제 2 트랜지스터(T2)는 구동 트랜지스터(DT)의 소스 전극에 데이터 전압(VDATA)을 공급한다. 이와 동시에 제 1 트랜지스터(T1)에 의해 제 1 노드 전압(VN1)은 데이터 전압(VDATA)과 구동 트랜지스터의 문턱 전압(Vtp)의 합인 VDATA+Vtp까지 상승하게 된다.

[0061] 제 5 구간 내지 제 7 구간(S5~S7)에서는 제 1 스캔 신호(SCAN1), 제 2 스캔 신호(SCAN2), 및 발광 제어 신호(EM)가 모두 제 1 로직 레벨(L1)이다. 이에 따라, 모든 구동 트랜지스터(DT) 및 제 1 내지 제 6 트랜지스터(T1~T6)가 모두 턴-오프된다. 이 때, 스토리지 커페시터(Cst)에 의해 제 1 노드 전압(VN1)은 데이터 전압(VDATA)과 구동 트랜지스터의 문턱 전압(Vtp)의 합인 VDATA+Vtp을 유지한다. 또한, 데이터 전압(VDATA)은 입력 데이터(data)를 전달한 후 다시 원래 전압으로 복귀된다.

[0062] 제 8 구간(S8)에서는 발광 제어 신호(EM)가 제 2 로직 레벨(L2)이고, 제 1 스캔 신호(SCAN1) 및 제 2 스캔 신호(SCAN2)는 제 1 로직 레벨(L1)이다. 이에 따라, 제 3 및 제 4 트랜지스터(T3, T4)가 턴-온 되고, 구동 트랜지스터(DT), 제 1, 2, 5, 6 트랜지스터(T1, T2, T5, T6)는 턴-오프 상태를 유지한다. 제 3 트랜지스터(T3)는 구동 트랜지스터(DT)의 소스 전극에 화소 구동 전압(VDD)을 공급한다. 이와 동시에 제 4 트랜지스터(T4)에 의해 구동 전류가 유기 발광 소자(OLED)를 흐르게 되어 유기 발광 소자(OLED)가 발광하게 된다.

[0063] 도 5는 본 출원의 일 예에 따른 유기 발광 표시 장치의 화소의 액티브층(120)을 나타낸 평면도이다. 도 5 내지 도 8에서는 X축 및 Y축 방향으로 각각 인접한 2개의 화소들을 나타내었다. 이에 따라, 2×2의 구조로 총 4개의 화소(P1~P4)가 인접한 구조를 도시하였다. 또한, 하부 기판(110)은 평면도 상에 표현할 경우 혼동이 발생하여 도시하지 않았다.

[0064] 액티브층(120)은 좌측 상단에 형성되는 제 6 트랜지스터(T6)가 형성되는 좌측 상부 영역에서부터 배치된다. 액티브층(120)은 제 6 트랜지스터(T6)가 형성되는 좌측 상부 영역에서 시작하여 제 6 트랜지스터(T6)의 길이만큼 제 1 방향으로 연장된다. 제 1 방향은 Y축 방향으로, 화소 구동 전압(VDD)을 공급하는 구동 전원 라인(VDDL) 및 데이터 전압(VDATA)을 공급하는 데이터 라인(DL)이 배치된 방향과 평행한 방향이다.

[0065] 액티브층(120)은 제 1 방향으로 연장된 후, 제 5 트랜지스터(T5)가 형성되는 상단 중앙 영역까지 제 2 방향으로 연장된다. 제 5 트랜지스터(T5)는 상단 중앙 영역에서 형성되며, 2개의 영역 상에서 나뉘어서 형성된다. 2개의 영역은 각각 제 5-1 및 제 5-2 트랜지스터(T5-1, T5-2)로 나타낼 수 있다. 제 2 방향은 Y축 방향으로, 제 1 방향과 교차하는 방향이며, 제 1 및 제 2 스캔 신호(SCAN1, SCAN2)를 공급하는 스캔 라인들(SL1, SL2)이 배치된 방향과 평행한 방향이다.

[0066] 액티브층(120)은 제 5 트랜지스터(T5)가 형성되는 상단 중앙 영역에서 제 5 트랜지스터(T5)의 길이만큼 제 1 방향의 반대 방향로 연장된 후, 제 5 트랜지스터(T5)의 넓이만큼 제 2 방향으로 연장된다. 이후, 액티브층(120)은 제 1 트랜지스터(T1)가 형성되는 영역과 제 2 방향으로 평행한 직선상의 영역까지 제 1 방향으로 연장된다. 이후, 액티브층(120)은 제 2 방향의 반대 방향으로 연장되어, 제 1 트랜지스터(T1)가 형성되는 영역까지 연장된다. 제 1 트랜지스터(T1)는 좌측 중앙 영역에서 형성되며, 2개의 영역 상에서 나뉘어서 형성된다. 2개의 영역은 각각 제 1-1 및 제 1-2 트랜지스터(T1-1, T1-2)로 나타낼 수 있다. 이후, 액티브층(120)은 제 4 트랜지스터(T4)가 형성되는 좌측 하부 영역까지 제 1 방향으로 연장된다.

[0067] 또한, 액티브층(120)은 제 2 트랜지스터(T2)가 형성되는 영역인 우측 중앙 영역에서부터 제 3 트랜지스터(T3)가 형성되는 영역인 우측 하부 영역까지 제 1 방향으로 연장된다.

[0068] 또한, 액티브층(120)은 제 1 트랜지스터(T1)가 형성되는 영역과 제 4 트랜지스터(T4)가 형성되는 영역의 사이에서 제 2 방향으로 연장되며, 제 2 트랜지스터(T2)가 형성되는 영역과 제 3 트랜지스터(T3)가 형성되는 영역의 사이에서 제 2 방향의 반대 방향으로 연장된다. 액티브층(120)은 구동 트랜지스터(DT) 및 스토리지 커페시터(Cst)가 형성되는 영역에서 구동 트랜지스터(DT) 형상으로 배치된다.

[0069] 또한, 액티브층(120)은 제 4 트랜지스터(T4)가 형성되는 영역에서 제 2 방향으로 돌출된다.

[0070] 액티브층(120)은 Zinc Oxide, Tin Oxide, Ga-In-Zn Oxide, In-Zn Oxide, 또는 In-Sn Oxide 등의 금속 산화물로

이루어지거나, 금속 산화물에 Al, Ni, Cu, Ta, Mo, Zr, V, Hf 또는 Ti 등의 금속의 이온이 도핑된 합금 산화물로 이루어질 수 있다. 액티브층(120)은 채널층, 드레인층, 및 소스층으로 변화한다. 드레인층과 소스층 각각은 도체화 공정에 의해 도체화된다.

[0071] 도 6은 본 출원의 일 예에 따른 유기 발광 표시 장치의 화소의 액티브층(120) 및 게이트층(140)을 나타낸 평면도이다. 액티브층(120)과 게이트층(140) 간의 단락을 방지하는 역할을 수행하는 게이트 절연막(130)은 평면도 상에 표현할 경우 혼동이 발생하여 도시하지 않았다.

[0072] 게이트층(140)은 제 6 트랜지스터(T6)가 형성되는 영역과 제 5 트랜지스터(T5)가 형성되는 영역을 제 2 방향으로 가로지르면서 배치된다. 제 6 트랜지스터(T6)가 형성되는 영역과 제 5 트랜지스터(T5)가 형성되는 영역을 가로지르도록 배치된 게이트층(140)은 제 1 스캔 신호(SCAN1)를 공급하는 제 1 스캔 라인을 형성한다.

[0073] 또한, 게이트층(140)은 제 1 트랜지스터(T1)가 형성되는 영역과 제 2 트랜지스터(T2)가 형성되는 영역을 제 2 방향으로 가로지르면서 배치된다. 제 1 트랜지스터(T1)가 형성되는 영역과 제 2 트랜지스터(T2)가 형성되는 영역을 가로지르도록 배치된 게이트층(140)은 제 2 스캔 신호(SCAN2)를 공급하는 제 2 스캔 라인을 형성한다.

[0074] 또한, 게이트층(140)은 제 3 트랜지스터(T3)가 형성되는 영역과 제 4 트랜지스터(T4)가 형성되는 영역을 제 2 방향으로 가로지르면서 배치된다. 제 3 트랜지스터(T3)가 형성되는 영역과 제 4 트랜지스터(T4)가 형성되는 영역을 가로지르도록 배치된 게이트층(140)은 발광 제어 신호(EM)를 공급하는 발광 제어 라인을 형성한다.

[0075] 또한, 게이트층(140)은 구동 트랜지스터(DT)가 형성되는 영역 중 일부 영역에 배치된다. 구동 트랜지스터(DT)가 형성되는 영역 중 일부 영역에 배치된 게이트층(140)은 스토리지 커패시터(Cst)의 하부 전극을 형성한다.

[0076] 게이트층(140)은 제 1 및 제 2 스캔 라인들, 발광 제어 라인, 스토리지 커패시터(Cst)의 하부 전극을 형성하는 하부 게이트 금속층으로서의 역할을 수행한다. 게이트층(140)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오듐(Nd), 구리(Cu), 또는 그들의 합금으로 이루어질 수 있으며, 상기 금속 또는 합금의 단일층 또는 2층 이상의 다중층으로 이루어질 수 있다.

[0077] 도 7은 본 출원의 일 예에 따른 유기 발광 표시 장치의 화소의 액티브층(120), 게이트층(140), 및 제 1 금속층(160)을 나타낸 평면도이다. 게이트층(140)과 제 1 금속층(160) 간의 단락을 방지하는 역할을 수행하는 제 1 층 간 절연막(150)은 평면도 상에 표현할 경우 혼동이 발생하여 도시하지 않았다.

[0078] 제 1 금속층(160)은 구동 트랜지스터(DT)가 형성되는 영역 중 일부 영역에 배치된다. 구동 트랜지스터(DT)가 형성되는 영역 중 일부 영역에 배치된 제 1 금속층(160)은 스토리지 커패시터(Cst)의 상부 전극을 형성한다.

[0079] 또한, 제 1 금속층(160)은 제 6 트랜지스터(T6)가 형성되는 영역과 제 5 트랜지스터(T5)가 형성되는 영역을 제 2 방향으로 가로지르면서 배치된다. 제 6 트랜지스터(T6)가 형성되는 영역과 제 5 트랜지스터(T5)가 형성되는 영역을 가로지르도록 배치된 제 1 금속층(160)은 초기화 전압(Vinit)을 공급하는 초기화 라인을 형성한다.

[0080] 제 6 트랜지스터(T6)가 형성되는 영역과 제 5 트랜지스터(T5)가 형성되는 영역을 가로지르도록 배치된 제 1 금속층(160)은 제 6 트랜지스터(T6)가 형성되는 영역과 제 5 트랜지스터(T5)가 형성되는 영역을 가로지르도록 배치된 게이트층(140)과 중첩되지 않으면서 배치된다.

[0081] 또한, 제 5 트랜지스터(T5)가 형성되는 영역을 가로지르도록 배치된 제 1 금속층(160)은 제 5 트랜지스터(T5)가 형성되는 영역 상에서 제 1 컨택 홀(CNT1)을 통해 액티브층(120)과 전기적으로 연결된다. 제 1 컨택 홀(CNT1)은 게이트 절연막(130)을 관통하여 형성된다. 이를 위해, 게이트 절연막(130)을 형성한 후 컨택 홀 공정을 1회 추가하여, 제 1 컨택 홀(CNT1)을 통해 제 1 금속층(160)과 액티브층(120)을 직접 연결한다.

[0082] 본 출원에 따른 유기발광 표시장치는 제 1 컨택 홀(CNT1)을 이용하여 소스/드레인층(180)을 이용하지 않고 초기화 전압(Vint)을 공급하는 제 1 금속층(160)을 액티브층(120)과 직접 연결할 수 있다. 이에 따라, 초기화 전압(Vint)을 공급하기 위하여 배치하였던 소스/드레인층(180)을 생략할 수 있다. 초기화 전압(Vint)을 공급하기 위하여 배치하였던 소스/드레인층(180)을 생략하는 경우, 초고해상도 유기발광 표시장치 모델에 사용되는 화소를 설계할 때 설계의 자유도를 증가시킬 수 있으므로, 화소 회로를 용이하게 제작할 수 있다.

[0083] 또한, 제 1 금속층(160)은 임의의 화소의 제 3 트랜지스터(T3)가 형성되는 영역과, 임의의 화소와 인접한 다른 화소의 제 4 트랜지스터(T4)가 형성되는 영역을 연결한다. 일 예로, 제 1 금속층(160)은 제 1 화소(P1)의 제 3 트랜지스터(T3)가 형성되는 영역과 제 2 화소(P2)의 제 4 트랜지스터(T4)가 형성되는 영역을 연결한다.

[0084] 제 1 금속층(160)은 제 2 컨택 홀(CNT2)을 통해 제 3 트랜지스터(T3)가 형성되는 영역의 액티브층(120)과 전기

적으로 연결되어 있다. 제 1 금속층(160)은 임의의 화소의 제 3 트랜지스터(T3)가 형성되는 영역의 액티브층(120)으로 직접 전압을 공급할 수 있다.

[0085] 제 1 금속층(160)은 탑 메탈층, 즉 상부 금속층으로서의 역할을 수행한다. 제 1 금속층(160)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오듐(Nd), 구리(Cu), 또는 그들의 합금으로 이루어질 수 있으며, 상기 금속 또는 합금의 단일층 또는 2층 이상의 다중층으로 이루어질 수 있다.

[0086] 도 8은 본 출원의 일 예에 따른 유기 발광 표시 장치의 화소의 평면도이다.

[0087] 도 8 및 도 9를 참조하면, 본 출원의 일 예에 따른 유기 발광 표시 장치의 화소는 액티브층(120), 게이트층(140), 제 1 금속층(160), 및 소스/드레인층(180)을 포함한다. 제 1 금속층(160)과 소스/드레인층(180) 간의 단락을 방지하는 역할을 수행하는 제 2 층간 절연막(170)은 평면도 상에 표현할 경우 혼동이 발생하여 도시하지 않았다.

[0088] 소스/드레인층(180)은 제 6 트랜지스터(T6), 제 1 트랜지스터(T1), 및 제 4 트랜지스터(T4)가 형성되는 영역을 가로지르도록 제 1 방향으로 배치된다. 제 6 트랜지스터(T6), 제 1 트랜지스터(T1), 및 제 4 트랜지스터(T4)가 형성되는 영역을 가로지르도록 배치된 소스/드레인층(180)은 구동 전원 라인(VDDL)을 형성한다. 구동 전원 라인(VDDL)을 형성하는 소스/드레인층(180)은 데이터 구동회로부(20)로부터 화소 구동 전원(VDD)을 공급받는다.

[0089] 구동 전원 라인(VDDL)을 형성하는 소스/드레인층(180)은 제 1 트랜지스터(T1)가 형성되는 영역에서 제 2 방향으로 분기된다. 제 2 방향으로 분기된 소스/드레인층(180)은 구동 트랜지스터(DT)가 형성되는 영역의 액티브층(120)과 제 3 컨택 홀(CNT)을 통해 연결된다. 소스/드레인층(180)은 제 3 컨택 홀(CNT)을 통해 액티브층(120)에 화소 구동 전원(VDD)을 공급할 수 있다.

[0090] 또한, 구동 전원 라인(VDDL)을 형성하는 소스/드레인층(180)은 제 4 트랜지스터(T4)가 형성되는 영역에서 제 4 컨택 홀(CNT4)을 통해 제 1 금속층(160)과 연결된다. 구동 전원 라인(VDDL)을 형성하는 소스/드레인층(180)은 제 1 금속층(160)에 화소 구동 전원(VDD)을 공급한다. 이에 따라, 임의의 화소의 구동 전원(VDDL)을 형성하는 소스/드레인층(180)과 연결된 제 1 금속층(160)은 인접한 다른 화소의 제 3 트랜지스터(T3)로 화소 구동 전원(VDD)을 공급할 수 있다.

[0091] 인접한 다른 화소로 공급되는 화소 구동 전원(VDD)을 이용하는 경우, 임의의 화소 내에서 화소 구동 전원(VDD)을 공급하는 소스/드레인층(180)을 데이터 전압(VDATA)을 공급하는 소스/드레인층(180)과 이격하여 배치할 수 있다. 이에 따라, 초고해상도 유기발광 표시장치 모델에 사용되는 화소에서 스토리지 커패시터(Cst)가 배치될 수 있는 공간을 용이하게 확보할 수 있다.

[0092] 또한, 소스/드레인층(180)은 제 5 트랜지스터(T5)가 배치된 영역과 구동 트랜지스터(DT)가 배치된 영역을 연결한다. 제 5 트랜지스터(T5)가 배치된 영역과 구동 트랜지스터(DT)가 배치된 영역을 연결하는 소스/드레인층(180)은 아일랜드 타입으로 배치된다. 제 5 트랜지스터(T5)가 배치된 영역과 구동 트랜지스터(DT)가 배치된 영역을 연결하는 소스/드레인층(180)은 제 5 트랜지스터(T5)가 배치된 영역에 마련된 제 5 컨택 홀(CNT5) 및 구동 트랜지스터(DT)가 배치된 영역에 마련된 제 6 컨택 홀(CNT6)을 갖는다.

[0093] 또한, 소스/드레인층(180)은 제 2 트랜지스터(T2) 및 제 3 트랜지스터(T3)가 형성되는 영역을 가로지르도록 제 1 방향으로 배치된다. 제 2 트랜지스터(T2) 및 제 3 트랜지스터(T3)가 형성되는 영역을 가로지르도록 배치된 소스/드레인층(180)은 데이터 라인(DL)을 형성한다. 데이터 라인(DL)을 형성하는 소스/드레인층(180)은 화소에 데이터 전압(VDATA)을 공급한다. 데이터 라인(DL)을 형성하는 소스/드레인층(180)은 제 7 컨택 홀(CNT7)을 통해 제 2 트랜지스터(T2)가 배치된 영역의 액티브층(120)과 연결된다.

[0094] 또한, 소스/드레인층(180)은 제 4 트랜지스터(T4) 및 구동 트랜지스터(DT)와 인접한 영역에 배치된다. 제 4 트랜지스터(T4) 및 구동 트랜지스터(DT)와 인접한 영역에 배치된 소스/드레인층(180)은 아일랜드 타입으로 배치된다. 제 4 트랜지스터(T4) 및 구동 트랜지스터(DT)와 인접한 영역에 배치된 소스/드레인층(180)은 제 8 컨택 홀(CNT8)을 통해 제 4 트랜지스터(T4)가 배치된 영역의 액티브층(120)과 연결된다.

[0095] 도 9는 도 8의 I-I`를 나타낸 단면도이다. 본 출원에 따른 유기 발광 표시 장치는 하부 기판(110), 액티브층(120), 게이트 절연막(130), 제 1 층간 절연막(150), 제 1 금속층(160), 제 2 층간 절연막(170), 소스/드레인층(180), 평탄화막(190), 애노드 전극(200), 및 상부층(210)을 포함한다.

[0096] 하부 기판(110)은 유기 발광 표시 장치의 최하층을 형성한다. 하부 기판(110)은 유리로 형성될 수 있다. 또는,

하부 기판(110)은 가요성이 있는 플라스틱으로 형성되어, 유기 발광 표시 장치가 가요성이 있도록 할 수 있다.

[0097] 액티브층(120)은 하부 기판(110)의 상부에 배치된다. 액티브층(120)은 제 5 및 제 6 트랜지스터(T5, T6)가 형성되는 영역에 배치된다. 액티브층(120)은 제 5 및 제 6 트랜지스터(T5, T6)의 채널층, 드레인층, 및 소스층을 형성한다. 액티브층(120)은 Zinc Oxide, Tin Oxide, Ga-In-Zn Oxide, In-Zn Oxide, 또는 In-Sn Oxide 등의 금속 산화물로 이루어지거나, 금속 산화물에 Al, Ni, Cu, Ta, Mo, Zr, V, Hf 또는 Ti 등의 금속의 이온이 도핑된 합금 산화물로 이루어질 수 있다. 액티브층(120)은 채널층, 드레인층, 및 소스층으로 변화한다. 드레인층과 소스층 각각은 도체화 공정에 의해 도체화된다.

[0098] 게이트 절연막(130)은 하부 기판(110) 및 액티브층(120)의 상부에 배치된다. 게이트 절연막(130)은 액티브층(120)을 전체적으로 덮는다. 게이트 절연막(130)은 절연성이 우수한 재료로 형성된다. 게이트 절연막(130)은 액티브층(120)을 상부에 배치된 층으로부터 전기적으로 분리한다. 게이트 절연막(130)은 1300Å 이상 1500Å 이하의 두께로 형성된다.

[0099] 제 1 층간 절연막(150)은 게이트 절연막(130)의 상부에 배치된다. 제 1 층간 절연막(150)은 절연성이 우수한 재료로 형성된다. 제 1 층간 절연막(150)은 제 1 층간 절연막(150)의 상부에 배치된 층과 제 1 층간 절연막(150)의 하부에 배치된 층들을 전기적으로 분리한다. 제 1 층간 절연막(150)은 1200Å 이상 1300Å 이하의 두께로 형성된다.

[0100] 제 1 금속층(160)은 제 1 층간 절연막(150)의 상부에 배치된다. 제 1 금속층(160)은 제 2 방향으로 배열된 복수의 화소들에 마련된 제 5 및 제 6 트랜지스터(T5, T6)와 중첩된다. 제 1 금속층(160)은 제 5 트랜지스터(T5)가 배치된 영역에서 제 1 컨택 홀(CNT1)을 통해 액티브층(120)과 전기적으로 연결된다. 제 1 금속층(160)은 제 2 방향으로 배열된 복수의 화소들 내 제 5 트랜지스터(T5)에 초기화 전압(Vini)을 공급한다.

[0101] 제 1 컨택 홀(CNT1)은 게이트 절연막(130) 및 제 1 층간 절연막(150)을 관통하면서 형성된다. 제 1 컨택 홀(CNT1) 내부의 액티브층(120) 상부 및 제 1 컨택 홀(CNT1)의 측벽에는 제 1 금속층(160)이 배치된다. 제 1 컨택 홀(CNT1)은 2500Å 이상 2800Å 이하의 두께로 형성된다. 제 1 컨택 홀(CNT1)은 제 1 층간 절연막(150)을 형성한 후 제 1 금속층(160)을 형성하기 전 컨택 홀 공정을 추가하여 마련한다.

[0102] 제 2 층간 절연막(170)은 제 1 금속층(160)의 상부에 배치된다. 제 2 층간 절연막(170)은 절연성이 우수한 재료로 형성된다. 제 2 층간 절연막(170)은 제 2 층간 절연막(170)의 상부에 배치된 층과 제 2 층간 절연막(170)의 하부에 배치된 층들을 전기적으로 분리한다. 제 2 층간 절연막(150)은 5500Å 이상 6500Å 이하의 두께로 형성된다.

[0103] 소스/드레인층(180)은 제 2 층간 절연막(170)의 상부에 배치된다. 소스/드레인층(180)은 화소 구동 전원(VDD)을 공급하는 구동 전원 라인(VDDL) 및 데이터 전압(VDATA)을 공급하는 데이터 라인(DL)을 형성한다.

[0104] 평탄화막(190)은 제 2 층간 절연막(170) 및 소스/드레인층(180)의 상부에 배치된다. 평탄화막(190)은 상부의 높이 차이를 감소시킨다. 이에 따라, 평탄화막(190)은 하부 기판(110)을 기준으로 Z축 방향으로의 높이가 영역에 따라 편차가 발생하는 것을 해결할 수 있다.

[0105] 애노드 전극(200)은 평탄화막(190)의 상부에 배치된다. 애노드 전극(200)은 본 출원에 따른 유기 발광 다이오드(OLED)의 애노드 전극을 형성한다. 애노드 전극(200)은 화소 구동 전압(VDD) 및 데이터 전압(VDATA)을 공급받아 유기 발광 다이오드(OLED)에 공급한다.

[0106] 상부층(210)은 애노드 전극(200)의 상부에 배치된다. 상부층(210)은 유기 발광 다이오드(OLED)를 구성하는 유기 발광층 및 캐소드 전극을 포함한다. 상부층(210)은 애노드 전극(200)에 공급된 화소 구동 전압(VDD) 및 데이터 전압(VDATA)에 따라 내부의 유기 발광층이 소정의 밝기로 발광한다.

[0107] 도 10은 도 8의 Ⅱ-Ⅱ`를 나타낸 단면도이다. 본 출원에 따른 유기 발광 표시 장치는 하부 기판(110), 액티브층(120), 게이트 절연막(130), 게이트층(140), 제 1 층간 절연막(150), 제 1 금속층(160), 제 2 층간 절연막(170), 소스/드레인층(180), 평탄화막(190), 애노드 전극(200), 및 상부층(210)을 포함한다.

[0108] 게이트 절연막(130)은 하부 기판(110) 및 액티브층(120)의 상부에 배치된다. 게이트 절연막(130)은 제 1 및 제 3 컨택 홀(CNT1, CNT3)이 형성된 지점에서 제거된다. 게이트 절연막(130)은 1300Å 이상 1500Å 이하의 두께로 형성된다.

[0109] 게이트층(140)은 게이트 절연막(130) 상부에 배치된다. 게이트층(140)은 제 1 및 제 2 스캔 신호(SCAN1, SCAN

2)를 공급하는 제 1 및 제 2 스캔 라인을 구성한다. 제 1 스캔 라인을 구성하는 게이트층(140)은 제 5 트랜지스터(T5)가 형성된 영역 상에 배치된다. 제 2 스캔 라인을 구성하는 게이트층(140)은 제 1 트랜지스터(T1)와 인접한 영역 상에 배치된다.

[0110] 제 1 층간 절연막(150)은 게이트 절연막(130) 및 게이트층(140)의 상부에 형성된다. 제 1 층간 절연막(150)은 제 1 및 제 3 컨택 홀(CNT1, CNT3)이 형성된 지점에서 제거된다. 제 1 층간 절연막(150)은 제 1 층간 절연막(150)은 절연성이 우수한 재료로 형성된다. 제 1 층간 절연막(150)은 게이트층(140)을 상부에 배치된 층으로부터 전기적으로 분리한다. 제 1 층간 절연막(150)은 1200Å 이상 1300Å 이하의 두께로 형성된다.

[0111] 제 1 금속층(160)은 제 1 컨택 홀(CNT1)의 내부에 배치된다. 제 1 금속층(160)은 제 5 트랜지스터(T5)가 형성되는 영역 상에 배치된 액티브층(120)과 전기적으로 연결된다. 제 1 금속층(160)은 제 5 트랜지스터(T5)가 형성되는 영역 상에 배치된 액티브층(120)에 초기화 전압(Vinit)을 공급한다. 제 1 컨택 홀(CNT1)은 게이트 절연막(130) 및 제 1 층간 절연막(150)을 관통하므로, 2500Å 이상 2800Å 이하의 두께로 형성된다.

[0112] 제 2 층간 절연막(170)은 제 1 층간 절연막(150) 및 제 1 금속층(160)의 상부에 형성된다. 제 2 층간 절연막(170)은 절연성이 우수한 재료로 형성된다. 제 2 층간 절연막(170)은 제 1 금속층(160)을 상부에 배치된 층으로부터 전기적으로 분리한다. 제 2 층간 절연막(150)은 5500Å 이상 6500Å 이하의 두께로 형성된다.

[0113] 소스/드레인층(180)은 제 3 컨택 홀(CNT3)의 내부에 배치된다. 소스/드레인층(180)은 구동 트랜지스터(TD)가 형성되는 영역 상에 배치된 액티브층(120)과 전기적으로 연결된다. 소스/드레인층(180)은 구동 트랜지스터(TD)가 형성되는 영역 상에 배치된 액티브층(120)에 화소 구동 전압(VDD)을 공급한다. 제 3 컨택 홀(CNT3)은 게이트 절연막(130), 제 1 층간 절연막(150), 및 제 2 층간 절연막(170)을 관통하므로, 8000Å 이상 9300Å 이하의 두께로 형성된다.

[0114] 평탄화막(190)은 제 2 층간 절연막(170) 및 소스/드레인층(180)의 상부에 배치된다. 평탄화막(190)은 상부의 높이 차이를 감소시킨다. 이에 따라, 평탄화막(190)은 하부 기판(110)을 기준으로 Z축 방향으로의 높이가 영역에 따라 편차가 발생하는 것을 해결할 수 있다.

[0115] 애노드 전극(200)은 평탄화막(190)의 상부에 배치된다. 애노드 전극(200)은 본 출원에 따른 유기 발광 다이오드(OLED)의 애노드 전극을 형성한다. 애노드 전극(200)은 화소 구동 전압(VDD) 및 데이터 전압(VDATA)을 공급받아 유기 발광 다이오드(OLED)에 공급한다.

[0116] 상부층(210)은 애노드 전극(200)의 상부에 배치된다. 상부층(210)은 유기 발광 다이오드(OLED)를 구성하는 유기 발광층 및 캐소드 전극을 포함한다. 상부층(210)은 애노드 전극(200)에 공급된 화소 구동 전압(VDD) 및 데이터 전압(VDATA)에 따라 내부의 유기 발광층이 소정의 밝기로 발광한다.

[0117] 또한, 별도의 단면도를 부가하지는 않았으나, 도 8을 결부하여 설명한 바와 같이 본 출원의 제 1 금속층(160)은 임의의 화소의 제 3 트랜지스터(T3)가 배치되는 영역과 임의의 화소와 인접한 다른 화소의 제 4 트랜지스터(T4)가 배치되는 영역을 서로 연결한다. 임의의 화소의 제 3 트랜지스터(T3)가 배치되는 영역과 임의의 화소와 인접한 다른 화소의 제 4 트랜지스터(T4)가 배치되는 영역을 서로 연결하는 제 1 금속층(160)은 서로 인접한 화소들의 발광 트랜지스터 사이를 연결한다.

[0118] 서로 인접한 화소들의 발광 트랜지스터 사이를 연결하는 제 1 금속층(160)은 아일랜드 타입으로 형성된다. 이에 따라, 서로 인접한 화소들의 발광 트랜지스터 사이를 연결하는 제 1 금속층(160)은 화소 구동 전원(VDD) 및 발광 제어 신호(EM)에만 영향을 받는다. 서로 인접한 화소들의 발광 트랜지스터 사이를 연결하는 제 1 금속층(160)은 제 1 및 제 2 스캔 신호(SCAN1, SCAN2)의 영향 또는 데이터 전압(VDATA)의 영향을 받지 않는다.

[0119] 제 1 금속층(160)은 임의의 화소의 제 3 트랜지스터(T3)가 배치된 영역에서 제 2 컨택 홀(CNT2)을 통해 액티브층(120)과 연결된다. 제 2 컨택 홀(CNT2)은 제 1 금속층(160)과 액티브층(120)을 직접 연결시키는 구조를 갖는다. 이에 따라, 제 2 컨택 홀(CNT2)은 제 1 컨택 홀(CNT1)과 동일한 구조를 갖는다. 제 2 컨택 홀(CNT2)은 게이트 절연막(130) 및 제 1 층간 절연막(150)을 관통하므로, 2500Å 이상 2800Å 이하의 두께로 형성된다.

[0120] 또한, 제 1 금속층(160)은 임의의 화소와 인접한 다른 화소의 제 4 트랜지스터(T4)에 배치된 영역에서 제 4 컨택 홀(CNT4)을 통해 소스/드레인층(180)과 연결된다. 소스/드레인층(180)은 임의의 화소와 인접한 다른 화소에 화소 구동 전원(VDD)을 공급하는 구동 전원 라인(VDDL)이다. 제 1 금속층(160)은 구동 전원 라인(VDDL)으로부터 화소 구동 전원(VDD)을 공급받는다. 이에 따라, 제 1 금속층(160)은 임의의 화소의 제 3 트랜지스터(T3)에 화소 구동 전원(VDD)을 공급할 수 있다.

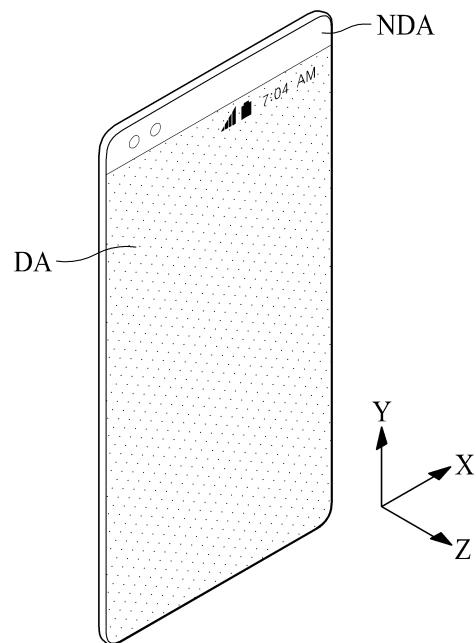
- [0121] 제 1 금속층(160)은 임의의 화소와 인접한 다른 화소의 제 4 트랜지스터(T4)에 배치된 영역에서는 소스/드레인 층(180)과 연결된다. 이에 따라, 제 4 컨택 훌(CNT4)은 제 2 층간 절연막(170)을 관통하여 형성된다. 제 4 컨택 훌(CNT4)은 제 2 층간 절연막(170)을 관통하므로, 5500Å 이상 6500Å 이하의 두께로 형성된다.
- [0122] 이에 따라, 제 1 금속층(160)을 이용하여 인접한 화소의 화소 구동 전원(VDD)을 이용할 수 있어, 임의의 화소 내부에서 구동 전원 라인(VDD)을 데이터 라인(DL)과 이격하여 배치할 수 있다. 이에 따라, 구동 전원 라인(VDD)과 데이터 라인(DL)을 화소의 양 측에 배치하고, 화소의 중앙 영역에 구동 트랜지스터(DT) 및 스토리지 커패시터(Cst)를 배치할 수 있다. 이에 따라, 초고해상도 유기 발광 표시 장치에 적용되어 화소의 물리적인 크기가 감소하는 경우에도 구동 트랜지스터(DT) 및 스토리지 커패시터(Cst)의 최소 크기를 확보할 수 있어, 초고해상도 유기 발광 표시 장치에 적용되는 화소의 설계를 용이하게 할 수 있다.
- [0123] 본 출원의 예들에 따른 유기 발광 표시 장치는 복수의 초기화 라인을 복수의 구동 전원 라인과 서로 다른 층인 제 1 금속층으로 이루어 기존의 소스/드레인층으로 이루어진 초기화 라인을 대체할 수 있다. 이에 따라, 본 출원은 화소의 크기 및 화소들 간의 간격이 감소하는 초고해상도 유기 발광 표시 장치에서도 화소 내 구동 트랜지스터와 스토리지 커패시터를 설계할 면적을 확보할 수 있다.
- [0124] 또한, 본 출원의 예들에 따른 유기 발광 표시 장치는 복수의 구동 전원 라인과 복수의 데이터 라인은 임의의 화소 내에서 양 측으로 서로 이격시켜 화소의 중앙부에 구동 트랜지스터와 스토리지 커패시터가 배치될 면적을 확보할 수 있다. 이에 따라, 본 출원은 화소의 크기 및 화소들 간의 간격이 감소하는 초고해상도 유기 발광 표시 장치에서도 화소 내 구동 트랜지스터와 스토리지 커패시터를 설계할 면적을 확보할 수 있다.
- [0125] 이상 설명한 내용을 통해 이 분야의 통상의 기술자는 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허청구범위에 의해 정하여져야만 할 것이다.

### 부호의 설명

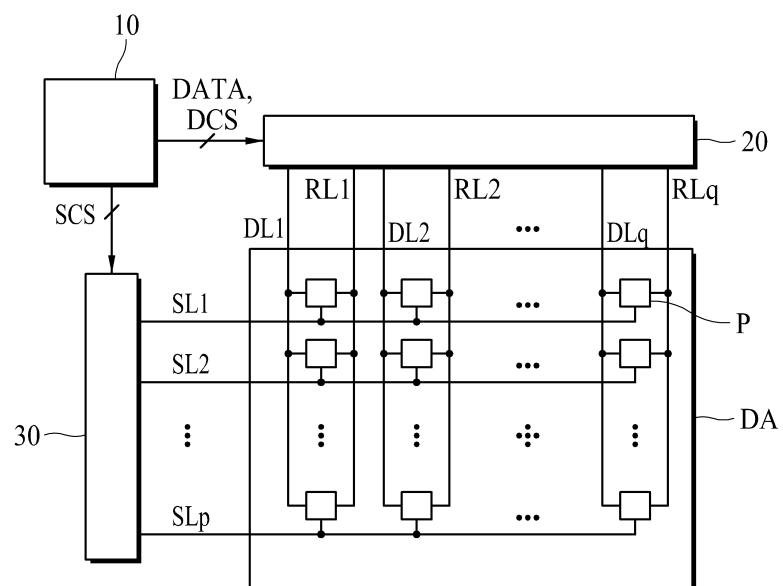
- |                         |                 |
|-------------------------|-----------------|
| DA: 표시 영역               | NDA: 비표시 영역     |
| 10: 제어부                 | 20: 데이터 구동회로부   |
| 30: 스캔 구동회로부            | P: 화소           |
| T1~T6: 제 1 내지 제 6 트랜지스터 | DT: 구동 트랜지스터    |
| Cst: 스토리지 커패시터          | OLED: 유기 발광 소자  |
| P1~P4: 제 1 및 제 4 화소     | 110: 하부 기판      |
| 120: 액티브층               | 130: 게이트 절연막    |
| 140: 게이트층               | 150: 제 1 층간 절연막 |
| 160: 제 1 금속층            | 170: 제 2 층간 절연막 |
| 180: 소스/드레인층            | 190: 평탄화마       |
| 200: 애노드 전극             | 210: 상부층        |

## 도면

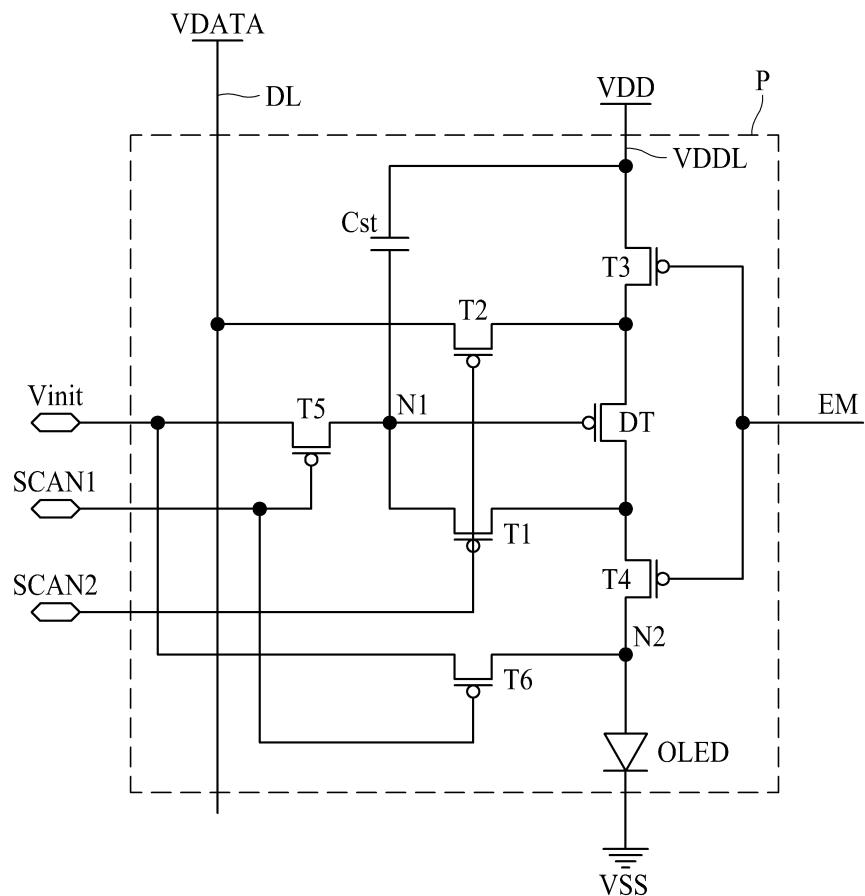
## 도면1



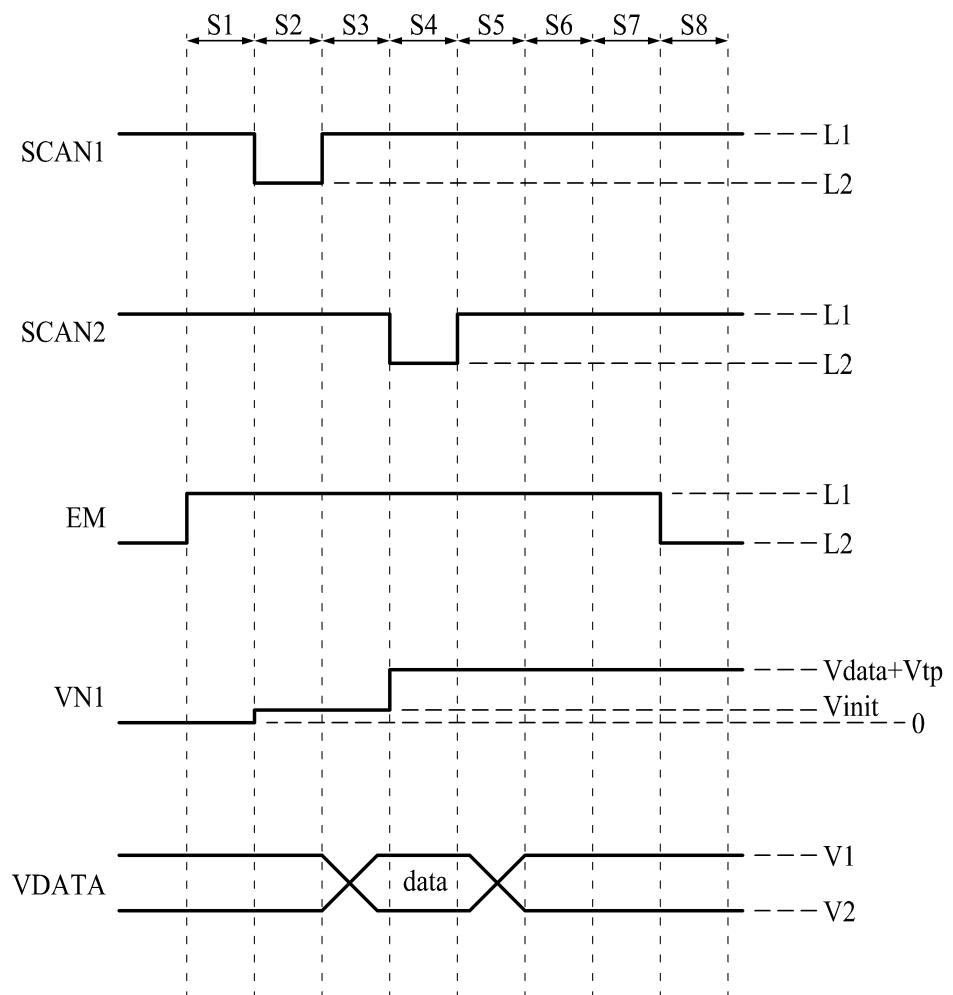
## 도면2



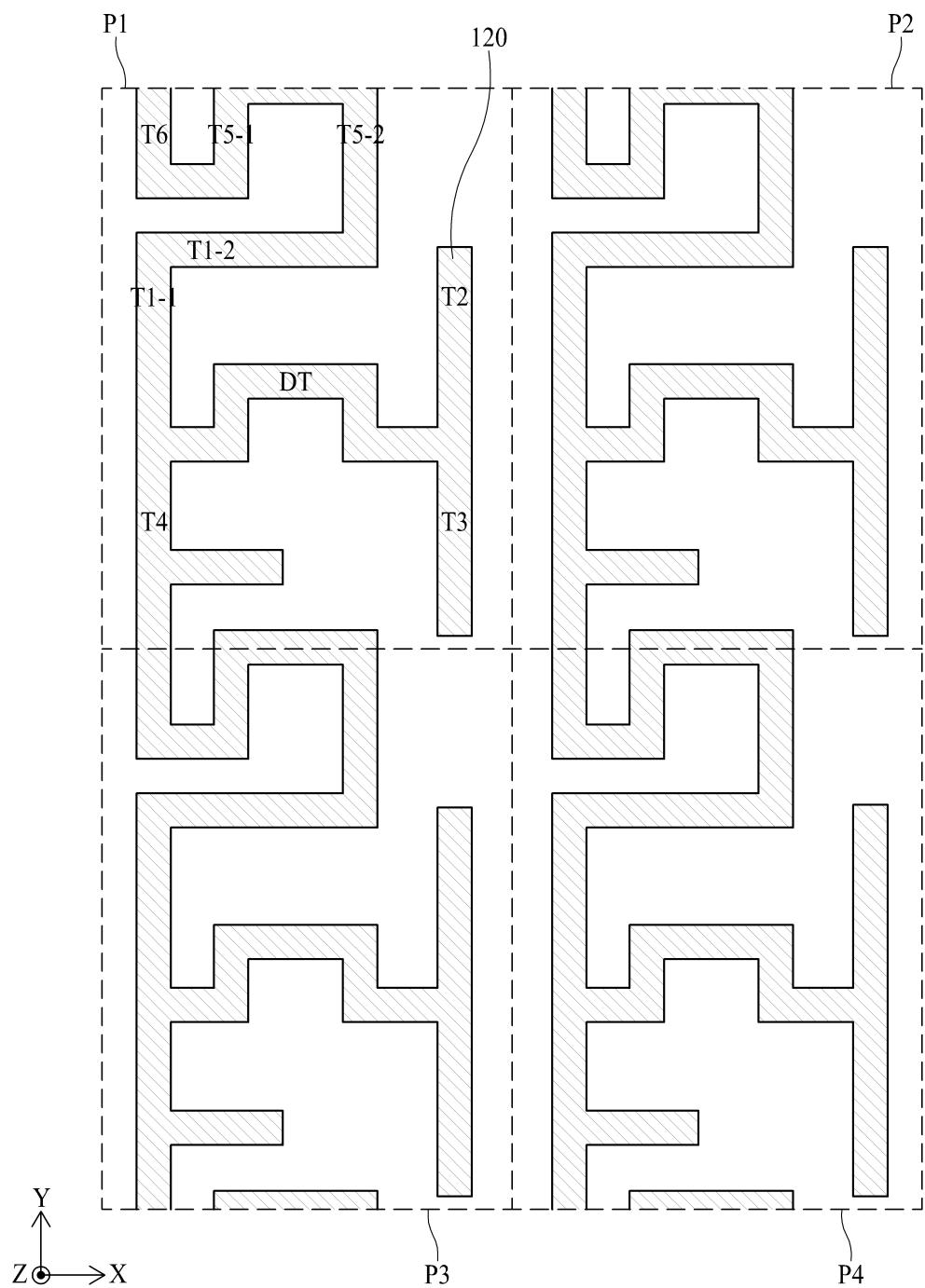
## 도면3



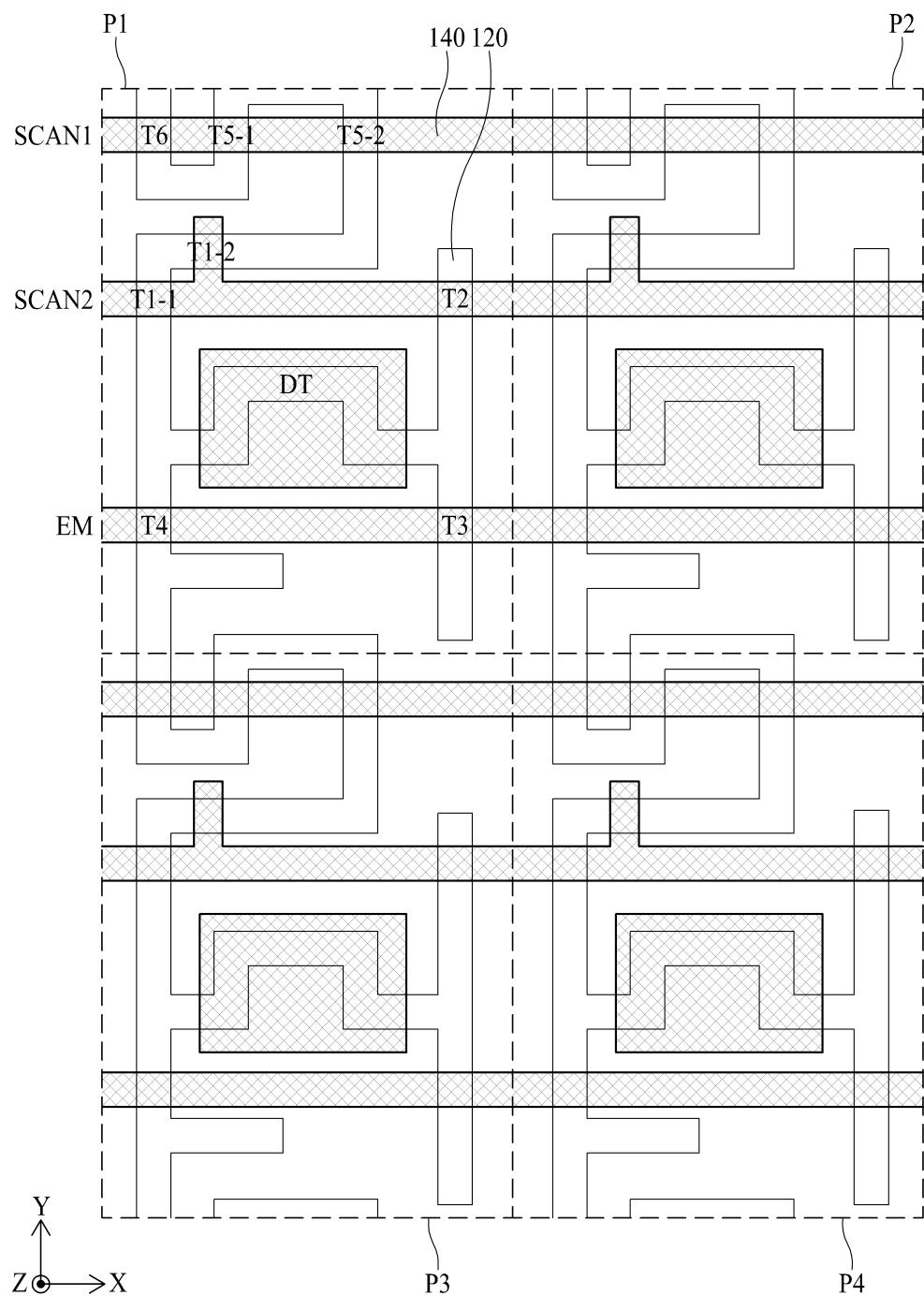
## 도면4



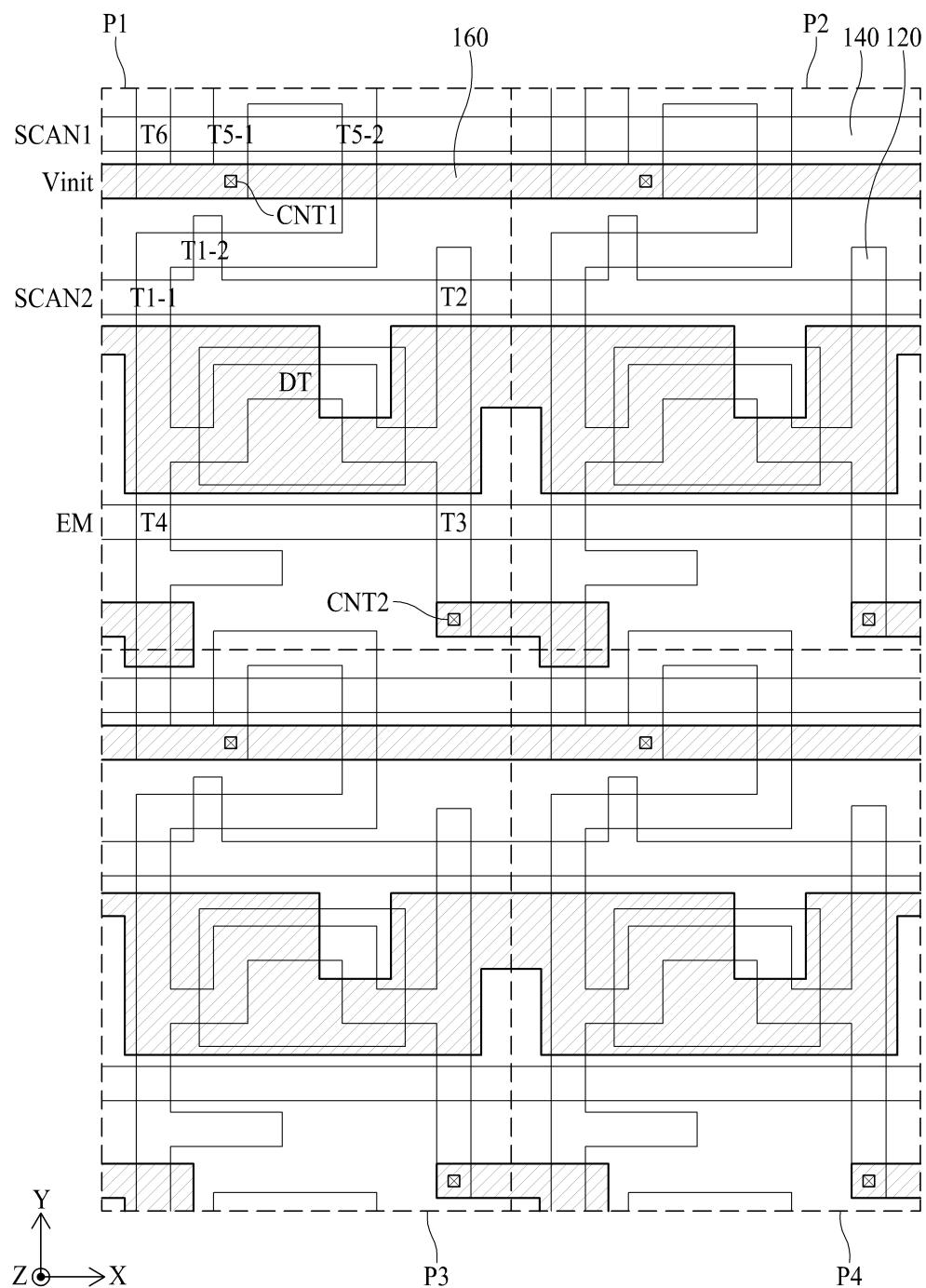
## 도면5



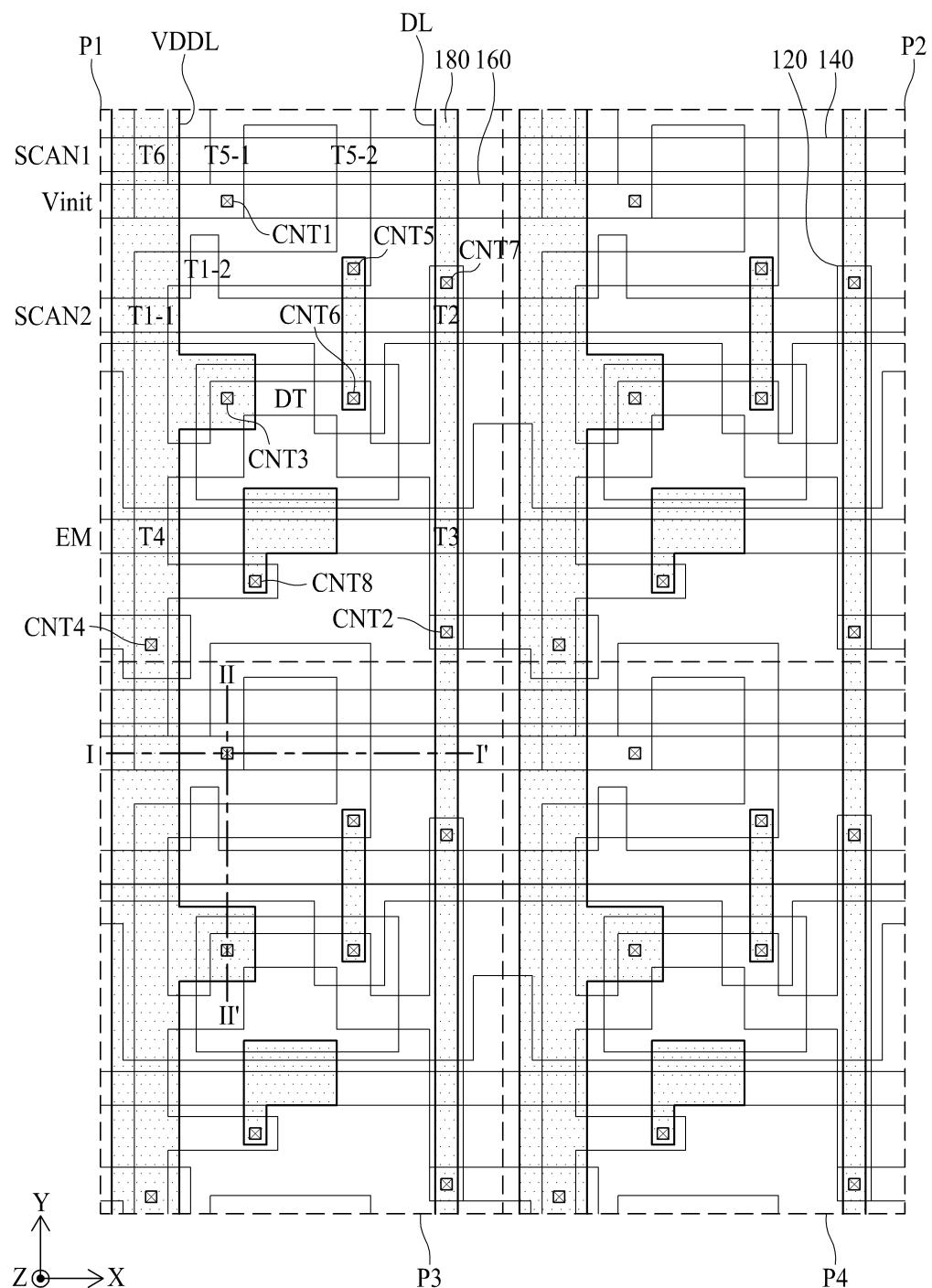
## 도면6



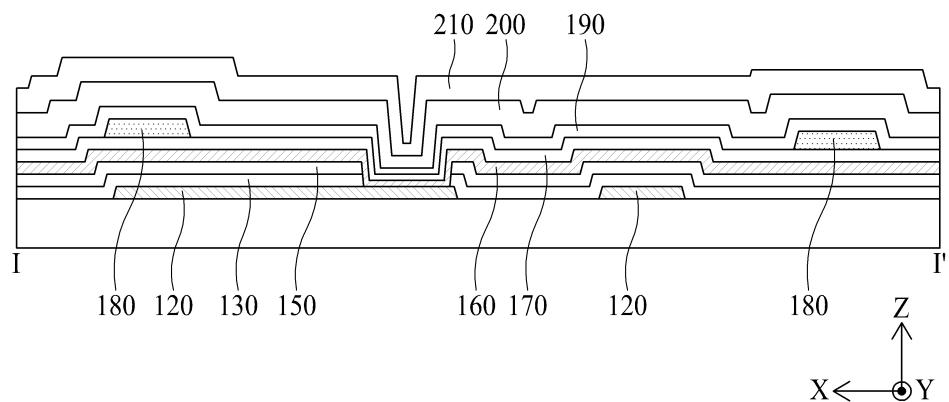
## 도면7



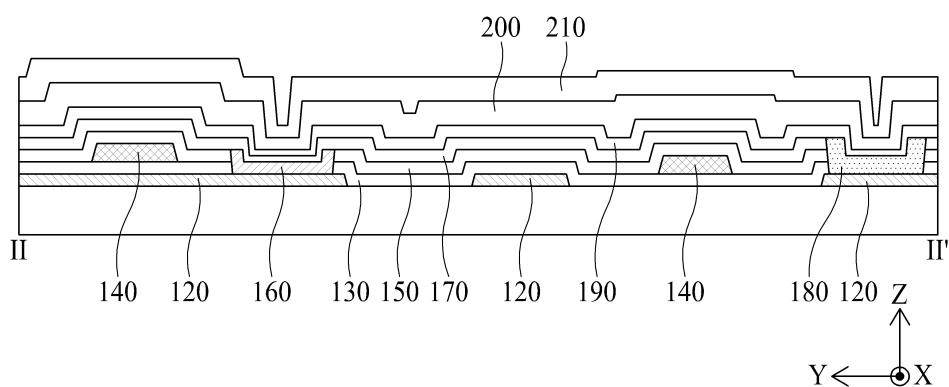
## 도면8



도면9



도면10



专利名称(译)	有机发光显示器		
公开(公告)号	<a href="#">KR101972574B1</a>	公开(公告)日	2019-04-26
申请号	KR1020170136842	申请日	2017-10-20
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	장형욱 문선지		
发明人	장형욱 문선지		
IPC分类号	G09G3/3233 H01L27/32		
CPC分类号	G09G3/3233 H01L27/3211 H01L27/3258 H01L27/3265 G09G2300/0426 G09G2330/028		
审查员(译)	贞菌		
外部链接	<a href="#">Espacenet</a>		

### 摘要(译)

有机发光显示装置技术领域本发明涉及一种有机发光显示装置，即使在其中像素尺寸和像素之间的间隔的超高分辨率有机发光显示装置中，也能够确保用于在像素中设计驱动晶体管和存储电容器的区域。减少。根据本发明的实施例，有机发光显示装置包括：多个像素，每个像素具有有机发光元件；以及像素电路，该像素电路包括用于控制流过有机光的电流的驱动晶体管和存储电容器。发射元件沿着第一方向设置并向多个像素提供像素驱动功率的多条驱动电源线；沿与第一方向相交的第二方向设置并向多个像素提供初始化电压的多条初始化线。多条初始化线由与构成多条驱动电源线的源/漏层不同的第一金属层构成。根据本发明的实施例的有机发光显示装置，多条驱动电源线和多条数据线被布置为在任意像素内的两侧彼此间隔开。

