



등록특허 10-2086404



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2020년03월09일

(11) 등록번호 10-2086404

(24) 등록일자 2020년03월03일

(51) 국제특허분류(Int. Cl.)

H01L 51/52 (2006.01) G09G 3/32 (2016.01)

(21) 출원번호 10-2013-0105881

(22) 출원일자 2013년09월04일

심사청구일자 2018년07월05일

(65) 공개번호 10-2015-0027486

(43) 공개일자 2015년03월12일

(56) 선행기술조사문헌

JP2006049853 A*

(뒷면에 계속)

전체 청구항 수 : 총 42 항

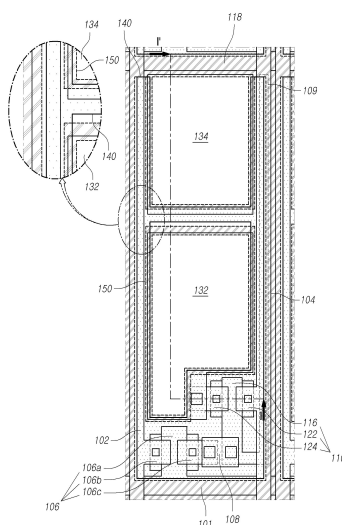
심사관 : 이옥우

(54) 발명의 명칭 유기전계발광 소자, 그 제조 방법 및 유기전계발광 표시장치

(57) 요약

본 발명은, 화소 영역이 정의된 기판 상에 형성된 트랜지스터, 화소 영역의 제1 서브 영역에 위치하며, 트랜지스터의 드레인 전극과 전기적으로 연결되는 제1 전극과, 제1 전극 상에 위치하는 제1 유기층과, 제1 유기층 상에 위치하는 제2 전극을 포함하는 제1 서브 화소, 및 화소 영역의 제2 서브 영역에 위치하며, 제2 전극과 전기적으로 연결되는 제3 전극과, 제3 전극 상에 위치하는 제2 유기층과, 제2 유기층 상에 위치하는 제4 전극을 포함하는 제2 서브 화소를 포함하는 유기전계발광 소자, 표시장치 및 그 제조 방법을 제공한다.

대표도 - 도5



(56) 선행기술조사문헌

KR1020060026243 A*

KR1020050105057 A

KR1020060025651 A

KR1020070052914 A

KR1020080075262 A

KR1020100068644 A

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

화소 영역이 정의된 기판 상에 형성된 트랜지스터;

상기 화소 영역의 제1 서브 영역에 위치하며, 상기 트랜지스터의 소스 전극 또는 드레인 전극과 전기적으로 연결되어 상기 트랜지스터로부터 구동전류를 공급받는 제1 전극과, 상기 제1 전극 상에 위치하는 제1 유기층과, 상기 제1 유기층 상에 위치하는 제2 전극을 포함하는 제1 서브 화소; 및

상기 화소 영역의 제2 서브 영역에 위치하며, 상기 제2 전극과 전기적으로 연결되어 상기 제1 서브 화소로부터 상기 구동전류를 전달받는 제3 전극과, 상기 제3 전극 상에 위치하는 제2 유기층과, 상기 제2 유기층 상에 위치하는 제4 전극을 포함하는 제2 서브 화소를 포함하고,

상기 제3 전극 상에 위치하며 상기 제1 서브 영역과 상기 제2 서브 영역 사이의 경계와 인접하는 절연구조물을 더 포함하며,

상기 절연구조물은 적어도 일부가 역테이퍼져 하부로 음영 구역을 형성하는 유기전계발광 소자.

청구항 2

제1 항에 있어서,

상기 제2 전극은 하나 이상의 도전성 물질층을 포함하고, 상기 하나 이상의 도전성 물질층 중 적어도 하나의 도전성 물질층의 일단부는 상기 제1 유기층보다 상기 제2 서브 영역 방향으로 더 연장되어 상기 제3 전극과 인접하거나 제3 전극 상에 위치하는 것을 특징으로 하는 유기전계발광 소자.

청구항 3

제2 항에 있어서,

상기 제3 전극과 접촉하는 상기 제2 전극의 상기 적어도 하나의 도전성 물질층은 상기 제3 전극과 동일한 도전성 물질로 구성되는 것을 특징으로 하는 유기전계발광 소자.

청구항 4

삭제

청구항 5

제1 항에 있어서,

상기 제3 전극의 가장자리 중 상기 제1 서브 영역과 상기 제2 서브 영역 사이의 경계 방향에 위치하는 상기 제3 전극의 가장자리 부분은 상기 절연구조물의 음영 구역 내에 위치하고,

상기 제2 전극의 일단부는 상기 절연구조물의 음영 구역 내에서 상기 제3 전극의 가장자리와 인접하거나 상기 제3 전극 상에 위치하는 것을 특징으로 하는 유기전계발광 소자.

청구항 6

제5 항에 있어서,

상기 제2 전극 중 상기 음영 구역으로 유입한 상기 일단부는 상기 제2 서브 영역으로 갈수록 두께가 연속 또는 불연속적으로 감소하는 형상으로 이루어진 것을 특징으로 하는 유기전계발광 소자.

청구항 7

제5 항에 있어서,

상기 제1 유기층은 상기 절연구조물을 마스크로 이용하여 상기 제3 전극과 이격되는 것을 특징으로 하는 유기전계발광 소자.

청구항 8

제1 항에 있어서,

상기 제1 유기층은 상기 제3 전극과 이격되어 위치하고,

상기 제3 전극의 가장자리 중 상기 제1 서브 영역과 상기 제2 서브 영역 사이의 경계 방향에 위치하는 상기 제3 전극의 가장자리 부분은 상기 절연구조물의 음영 구역 밖으로 위치하고,

상기 제2 전극의 일부는 상기 제3 전극의 가장자리 상으로 위치하는 것을 특징으로 하는 유기전계발광 소자.

청구항 9

제1 항에 있어서,

상기 제1 전극 및 상기 제3 전극 상으로 상기 제1 서브 영역을 둘러싸는 절연구조물을 더 포함하고,

상기 절연구조물은 적어도 일부 역테이퍼진 형상으로 상기 제2 전극이 상기 제2 서브 화소의 상기 제4 전극 및 다른 화소의 공통 전극과 단절되도록 하는 것을 특징으로 하는 유기전계발광 소자.

청구항 10

제1 항에 있어서,

상기 제3 전극 상에 위치하는 बैं크 및 격벽을 더 포함하고,

상기 제2 유기층과 접촉하는 상기 बैं크의 측면은 정테이퍼지고, 상기 격벽은 적어도 일부 역테이퍼진 것을 특징으로 하는 유기전계발광 소자.

청구항 11

제10 항에 있어서,

상기 격벽은 상기 बैं크 상에 위치하는 것을 특징으로 하는 유기전계발광 소자.

청구항 12

제11 항에 있어서,

상기 बैं크의 일부는 상기 격벽 상에 위치하는 것을 특징으로 하는 유기전계발광 소자.

청구항 13

제1 항에 있어서,

상기 제1 전극 및 상기 제3 전극 상으로 상기 제1 서브 영역을 둘러싸는 격벽이 위치하고,

상기 제1 전극 상에 상기 제1 서브 영역과 상기 제2 서브 영역 사이의 경계 방향을 제외한 나머지 방향으로 बैं크가 위치하는 것을 특징으로 하는 유기전계발광 소자.

청구항 14

화소 영역이 정의된 기판 위에 트랜지스터를 형성하는 단계;

상기 화소 영역을 둘 이상의 서브 영역으로 정의하고, 제1 서브 영역에 상기 트랜지스터의 소스 전극 혹은 드레인 전극과 전기적으로 연결되며 상기 트랜지스터로부터 구동전류를 공급받는 제1 전극을 형성하고 제2 서브 영역에 상기 제1 전극과 대응되는 제3 전극을 형성하는 단계;

상기 제1 전극 상으로 상기 제3 전극과 이격되는 제1 유기층을 형성하고 상기 제3 전극 상으로 상기 제1 유기층에 대응되는 제2 유기층을 형성하는 단계; 및

상기 제1 유기층 상으로 상기 제3 전극과 전기적으로 연결되는 제2 전극을 형성하고 상기 제2 유기층 상으로 상

기 제2 전극에 대응되는 제4 전극을 형성하는 단계를 포함하고,

상기 제1 유기층 및 상기 제2 유기층을 형성하는 단계 이전에,

상기 제3 전극 상으로 상기 제1 서브 영역과 상기 제2 서브 영역 사이의 경계와 인접하는 절연구조물을 형성하는 단계를 더 포함하며,

상기 절연구조물은 적어도 일부 역테이퍼져 하부로 음영 구역을 형성하는 유기전계발광 소자의 제조 방법.

청구항 15

제14 항에 있어서,

상기 트랜지스터 상으로 컨택홀이 형성된 보호층을 형성하는 단계를 더 포함하고,

상기 보호층을 형성한 후에, 상기 보호층 상으로 상기 제1 전극 및 상기 제3 전극을 형성하며,

상기 컨택홀을 통해 상기 트랜지스터의 소스 전극 또는 드레인 전극이 상기 제1 전극과 전기적으로 연결되는 것을 특징으로 하는 유기전계발광 소자의 제조 방법.

청구항 16

제14 항에 있어서,

상기 제2 전극은 하나 이상의 도전성 물질층을 포함하고, 상기 하나 이상의 도전성 물질층 중 적어도 하나의 도전성 물질층은 상기 제1 유기층보다 상기 제2 서브 영역 방향으로 더 연장되어 상기 제3 전극과 인접하거나 제3 전극 상에 위치하도록 형성하는 것을 특징으로 하는 유기전계발광 소자의 제조 방법.

청구항 17

제16 항에 있어서,

상기 제2 전극은 두 개의 서로 다른 도전성 물질층을 순차적으로 증착하여 형성하고,

상기 제3 전극과 접촉하는 상기 제2 전극의 상기 적어도 하나의 도전성 물질층은 상기 제3 전극과 동일한 도전성 물질로 형성하는 것을 특징으로 하는 유기전계발광 소자의 제조 방법.

청구항 18

삭제

청구항 19

제14 항에 있어서,

상기 절연구조물을 형성하는 단계에서,

상기 제3 전극의 가장자리 중 상기 제1 서브 영역과 상기 제2 서브 영역 사이의 경계 방향에 위치하는 상기 제3 전극의 가장자리 부분은 상기 절연구조물의 음영 구역 내에 위치하도록 상기 절연구조물을 형성하는 것을 특징으로 하는 유기전계발광 소자의 제조 방법.

청구항 20

제14 항에 있어서,

상기 제1 전극, 상기 제3 전극 및 상기 절연구조물 상으로 수직 열증착을 실시하여 상기 제1 유기층 및 상기 제2 유기층을 형성하는 것을 특징으로 하는 유기전계발광 소자의 제조 방법.

청구항 21

제20 항에 있어서,

상기 제2 전극 및 상기 제4 전극은 하나 이상의 도전성 물질층을 포함하고, 상기 하나 이상의 도전성 물질층 중 적어도 하나의 도전성 물질층은 상기 제1 유기층 및 상기 제2 유기층 상으로 스퍼터링 공정 혹은 화학 기상 증

착을 실시하여 형성하는 것을 특징으로 하는 유기전계발광 소자의 제조 방법.

청구항 22

제19 항에 있어서,

상기 제2 전극은 하나 이상의 도전성 물질층을 포함하고, 상기 하나 이상의 도전성 물질층 중 적어도 하나의 도전성 물질층은 증착 입자를 상기 기판에 대하여 비스듬히 입사시켜 일부가 상기 절연구조물의 음영 구역 내에서 상기 제3 전극과 접촉하도록 형성하는 것을 특징으로 하는 유기전계발광 소자의 제조 방법.

청구항 23

제14 항에 있어서,

상기 제3 전극의 일부 가장자리와 중첩되는 영역에 웨도우 마스크를 이용한 열증착을 실시하여 상기 제1 유기층이 상기 제3 전극과 이격되도록 형성하는 것을 특징으로 하는 유기전계발광 소자의 제조 방법.

청구항 24

제14 항에 있어서,

상기 제1 전극 및 상기 제3 전극 상으로 상기 제1 서브 영역을 둘러싸며 적어도 일부 역테이퍼진 형상의 절연구조물을 형성하는 단계를 더 포함하고,

상기 제2 전극 및 상기 제4 전극을 형성하는 단계에서,

상기 절연구조물을 마스크로 이용하여 상기 제2 전극을 형성하여 상기 제2 전극이 상기 제2 서브 영역의 상기 제4 전극 및 다른 화소의 공통 전극과 단절되도록 하는 것을 특징으로 하는 유기전계발광 소자의 제조 방법.

청구항 25

제14 항에 있어서,

상기 제1 유기층 및 상기 제2 유기층을 형성하는 단계 이전에,

상기 제3 전극 상에 बैं크 및 격벽을 형성하는 단계를 더 포함하되,

상기 बैं크는 상기 제2 유기층과의 접촉면이 정테이퍼지도록 형성하고, 상기 격벽은 적어도 일부 역테이퍼지도록 형성하는 것을 특징으로 하는 유기전계발광 소자의 제조 방법.

청구항 26

제25 항에 있어서,

상기 격벽은 상기 बैं크 상에 형성하는 것을 특징으로 하는 유기전계발광 소자의 제조 방법.

청구항 27

제25 항에 있어서,

상기 격벽을 상기 बैं크보다 먼저 형성하고, 상기 बैं크는 상기 격벽 상부면 상의 일부와 상기 역테이퍼진 형상 아래 공간을 점유하도록 형성하는 것을 특징으로 하는 유기전계발광 소자의 제조 방법.

청구항 28

제25 항에 있어서,

상기 격벽은 상기 제1 전극 및 상기 제3 전극 상의 가장자리에서 상기 제1 서브 영역을 둘러싸도록 형성하고,

상기 बैं크는 상기 제1 전극 상의 가장자리에서 상기 제1 서브 영역과 상기 제2 서브 영역 사이의 경계 방향을 제외한 나머지 방향에 형성하는 것을 특징으로 하는 유기전계발광 소자의 제조 방법.

청구항 29

둘 이상의 데이터 라인들과 둘 이상의 게이트 라인들이 교차하여 정의된 화소 영역들에 형성된 둘 이상의 화소

를 포함하는 표시패널;

상기 데이터 라인들을 통해 데이터신호를 전달하는 데이터 구동부;

상기 게이트 라인들을 통해 게이트신호를 전달하는 게이트 구동부; 및

상기 데이터 구동부 및 상기 게이트 구동부의 구동 타이밍을 제어하는 타이밍 제어부를 포함하되,

상기 화소 영역들 중 적어도 하나의 화소영역에 형성된 제1 화소는,

제1 트랜지스터;

상기 화소 영역의 제1 서브 영역에 위치하며, 상기 제1 트랜지스터의 소스 전극 또는 드레인 전극과 전기적으로 연결되어 상기 제1 트랜지스터로부터 구동전류를 공급받는 제1 전극과, 상기 제1 전극 상에 위치하는 제1 유기층과, 상기 제1 유기층 상에 위치하는 제2 전극을 포함하는 제1 서브 화소; 및

상기 화소 영역의 제2 서브 영역에 위치하며, 상기 제2 전극과 전기적으로 연결되어 상기 제1 서브 화소로부터 상기 구동전류를 전달받는 제3 전극과, 상기 제3 전극 상에 위치하는 제2 유기층과, 상기 제2 유기층 상에 위치하는 제4 전극을 포함하는 제2 서브 화소를 포함하고,

상기 제3 전극 상에 위치하며 상기 제1 서브 영역과 상기 제2 서브 영역 사이의 경계와 인접하는 절연구조물을 더 포함하며,

상기 절연구조물은 적어도 일부가 역테이퍼져 하부로 음영 구역을 형성하는 표시장치.

청구항 30

제29 항에 있어서,

상기 화소 영역들 중 적어도 하나의 다른 화소 영역에 형성된 제2 화소는,

제2 트랜지스터;

상기 제2 트랜지스터 상에 두 개의 전극들과 상기 두 개의 전극들 사이에 형성된 유기층을 포함하는 것을 특징으로 하는 표시장치.

청구항 31

제30 항에 있어서,

상기 제1 화소의 상기 제1 서브 화소의 제2 전극과 상기 제2 서브 화소의 제4 전극은 전기적으로 분리되어 있고,

상기 제2 화소의 상기 두 개의 전극들 중 하나는 상기 제4 전극과 전기적으로 연결된 것을 특징으로 하는 표시장치.

청구항 32

제30 항에 있어서,

상기 제1 화소와 상기 제2 화소의 휘도가 동일하고 상기 제1 화소의 상기 제1 트랜지스터의 구동전류가 상기 제2 화소의 상기 제2 트랜지스터의 구동전류보다 작은 것을 특징으로 하는 표시장치.

청구항 33

제32 항에 있어서,

상기 타이밍 제어부는 상기 데이터 구동부로 상기 제1 화소 및 상기 제2 화소에 대하여 서로 다른 데이터 제어신호를 전송하는 것을 특징으로 하는 표시장치.

청구항 34

제32 항에 있어서,

상기 데이터 구동부는 상기 제1 화소 및 상기 제2 화소에 대하여 서로 다른 데이터 전압을 각각의 화소에 연결

된 데이터 라인으로 공급하는 것을 특징으로 하는 표시장치.

청구항 35

제30 항에 있어서,

한 개 이상의 상기 제1 화소와 두 개 이상의 상기 제2 화소가 하나의 단위 화소를 구성하는 것을 특징으로 하는 표시장치.

청구항 36

제35 항에 있어서,

상기 제2 화소가 두 개이며, 상기 두 개의 제2 화소는 각각 적색 및 녹색 발광층을 포함하고 상기 제1 화소의 상기 제1 서브 화소와 상기 제2 서브 화소는 청색 발광층을 포함하는 것을 특징으로 하는 표시장치.

청구항 37

제35 항에 있어서,

상기 제2 화소가 세 개이며, 상기 세 개의 제2 화소는 각각 적색, 녹색 및 청색 발광층을 포함하고 상기 제1 화소의 상기 제1 서브 화소와 상기 제2 서브 화소 중 하나는 적색, 녹색, 청색 발광층들 중 하나를 포함하고 다른 하나는 백색 발광층을 포함하는 것을 특징으로 하는 표시장치.

청구항 38

제35 항에 있어서,

상기 제2 화소가 세 개이며, 상기 세 개의 제2 화소는 각각 적색, 녹색 및 청색 발광층을 포함하고,

상기 제1 화소는 상기 제4 전극과 전기적으로 연결되어 상기 제2 서브 화소로부터 상기 구동전류를 전달받는 제5 전극과, 상기 제5 전극 상에 위치하는 제3 유기층과, 상기 제3 유기층 상에 위치하는 제6 전극을 포함하는 제3 서브 화소를 더 포함하고, 상기 제1 화소의 상기 제1 서브 화소, 상기 제2 서브 화소 및 상기 제3 서브 화소는 각각 적색, 녹색 및 청색 발광층을 포함하는 것을 특징으로 하는 표시장치.

청구항 39

제30 항에 있어서,

상기 제1 화소의 상기 제1 트랜지스터의 채널영역의 폭(W)은 상기 제2 화소의 상기 제2 트랜지스터의 채널영역의 폭(W) 보다 좁은 것을 특징으로 하는 표시장치.

청구항 40

제29 항에 있어서,

상기 제1 서브 화소의 상기 제1 유기층과 상기 제2 서브 화소의 상기 제2 유기층은 서로 다른 발광층을 포함하는 것을 특징으로 하는 표시장치.

청구항 41

제29 항에 있어서,

상기 제1 유기층과 상기 제2 유기층의 발광층은 인광 발광물질을 포함하는 것을 특징으로 하는 표시장치.

청구항 42

제29 항에 있어서,

상기 제1 유기층과 상기 제2 유기층은 적색, 녹색 및 청색 발광재료들을 포함하는 발광층을 포함하는 것을 특징으로 하는 표시장치.

청구항 43

제29 항에 있어서,

상기 제1 유기층과 상기 제2 유기층은 청색, 녹색, 발광재료들을 포함하는 발광층을 포함하는 것을 특징으로 하는 표시장치.

청구항 44

제42 항 또는 제43 항에 있어서,

상기 제1 화소와 기관 사이 또는 상기 제1 화소 상에 칼라필터를 더 포함하는 표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 유기전계발광 소자, 그 제조 방법 및 유기전계발광 표시장치에 관한 것이다.

배경 기술

[0002] 유기전계발광 소자는 양 전극 사이로 전류가 흐를 때, 전극 사이에 위치한 유기화합물이 발광하는 전계발광 현상을 이용하여 빛을 발산하는 소자이다. 그리고, 이러한 유기화합물로 흐르는 전류의 양을 제어하여 발산되는 빛의 양을 조절함으로써 영상을 표시하는 장치가 유기전계발광 표시장치이다.

[0003] 유기전계발광 표시장치는 전극 사이의 얇은 유기화합물로 발광하기 때문에 경량화 및 박막화가 가능하다는 장점이 있다.

[0004] 도 1은 일반적인 유기전계발광 소자를 모델링한 회로도이다.

[0005] 도 1을 참조하면, 유기전계발광 소자(10)는 전원(VDD, 16)으로부터 공급되는 전류(IOLED) 혹은 전압(VOLED)을 제어하는 트랜지스터(12)와 유기전계발광 다이오드(14)로 구성된 회로로 모델링될 수 있다.

[0006] 트랜지스터(12)의 게이트 전극과 소스 전극 사이의 전압을 제어하면 유기전계발광 다이오드(14)로 공급되는 전류(IOLED) 혹은 전압(VOLED)을 조절할 수 있게 되는데, 이때, 트랜지스터(12)에는 VTFT의 전압이 형성되고 유기전계발광 다이오드(14) 양단에는 VOLED의 전압 차이가 형성된다.

[0007] 유기전계발광 소자(10)에 형성되는 이러한 전류와 전압 관계로부터 유기전계발광 소자(10)에서 소비되는 전력을 계산하면 다음과 같다.

[0008] < 수학식 1 >

$$[0009] P_{TFT} = I_{OLED} \times V_{TFT}, P_{OLED} = I_{OLED} \times V_{OLED}$$

$$[0010] P_{DEVICE} = P_{TFT} + P_{OLED}$$

[0011] 수학식 1을 참조하면, 유기전계발광 소자(10)에서 소비되는 전력(P_{DEVICE})은 트랜지스터에서 소비되는 전력(P_{TFT}) 및 유기전계발광 다이오드(14)에서 소비되는 전력(P_{OLED})의 합으로 구성된다.

[0012] 이때, 유기전계발광 소자(10)의 발광 정도에 직접적으로 기여하는 전력은 유기전계발광 다이오드(14)에서 소비되는 전력이고, 트랜지스터(12)에서 소비되는 전력(P_{TFT})은 유기전계발광 소자의 발광에 기여하지 않는 전력이다.

[0013] 트랜지스터(12)에서 소비되는 전력(P_{TFT})은 발광에 기여하지 않기 때문에 유기전계발광 소자(10)의 효율을 낮추는 요인이 된다. 더불어, 트랜지스터(12)에서 소비되는 전력(P_{TFT})에 따라 발생하는 열은 트랜지스터(12) 자체뿐만 아니라 유기전계발광 다이오드(14)의 수명을 저하시키는 요인이 된다.

발명의 내용

해결하려는 과제

- [0014] 이러한 배경에서, 본 발명의 목적은, 일측면에서, 유기전계발광 소자 혹은 표시장치의 소비전력을 저감시키는 기술을 제공하는 것이다.
- [0015] 다른 측면에서, 본 발명의 목적은, 동일한 회도를 유지하면서 유기전계발광 소자로 공급되는 전류량은 감소시키는 기술을 제공하는 것이다.
- [0016] 또 다른 측면에서, 본 발명의 목적은, 유기전계발광 소자 혹은 표시장치의 수명을 증가시키는 기술을 제공하는 것이다

과제의 해결 수단

- [0017] 전술한 목적을 달성하기 위하여, 일 측면에서, 본 발명은, 화소 영역이 정의된 기판 상에 형성된 트랜지스터; 상기 화소 영역의 제1 서브 영역에 위치하며, 상기 트랜지스터의 소스 전극 또는 드레인 전극과 전기적으로 연결되어 상기 트랜지스터로부터 구동전류를 공급받는 제1 전극과, 상기 제1 전극 상에 위치하는 제1 유기층과, 상기 제1 유기층 상에 위치하는 제2 전극을 포함하는 제1 서브 화소; 및 상기 화소 영역의 제2 서브 영역에 위치하며, 상기 제2 전극과 전기적으로 연결되어 상기 제1 서브 화소로부터 상기 구동전류를 전달받는 제3 전극과, 상기 제3 전극 상에 위치하는 제2 유기층과, 상기 제2 유기층 상에 위치하는 제4 전극을 포함하는 제2 서브 화소를 포함하는 유기전계발광 소자를 제공한다.
- [0018] 다른 측면에서, 본 발명은, 화소 영역이 정의된 기판 위에 트랜지스터를 형성하는 단계; 상기 화소 영역을 둘 이상의 서브 영역으로 정의하고, 제1 서브 영역에 상기 트랜지스터의 소스 전극 혹은 드레인 전극과 전기적으로 연결되며 상기 트랜지스터로부터 구동전류를 공급받는 제1 전극을 형성하고 제2 서브 영역에 상기 제1 전극과 대응되는 제3 전극을 형성하는 단계; 상기 제1 전극 상으로 상기 제3 전극과 이격되는 제1 유기층을 형성하고 상기 제3 전극 상으로 상기 제1 유기층에 대응되는 제2 유기층을 형성하는 단계; 및 상기 제1 유기층 상으로 상기 제3 전극과 전기적으로 연결되는 제2 전극을 형성하고 상기 제2 유기층 상으로 상기 제2 전극에 대응되는 제4 전극을 형성하는 단계를 포함하는 유기전계발광 소자의 제조 방법을 제공한다.
- [0019] 또 다른 측면에서, 본 발명은, 둘 이상의 데이터 라인들과 둘 이상의 게이트 라인들이 교차하여 정의된 화소 영역들에 형성된 둘 이상의 화소를 포함하는 표시패널; 상기 데이터 라인들을 통해 데이터신호를 전달하는 데이터 구동부; 상기 게이트 라인들을 통해 게이트신호를 전달하는 게이트 구동부; 및 상기 데이터 구동부 및 상기 게이트 구동부의 구동 타이밍을 제어하는 타이밍 제어부를 포함하되, 상기 화소 영역들 중 적어도 하나의 화소영역에 형성된 제1 화소는, 제1 트랜지스터; 상기 화소 영역의 제1 서브 영역에 위치하며, 상기 제1 트랜지스터의 소스 전극 또는 드레인 전극과 전기적으로 연결되어 상기 제1 트랜지스터로부터 구동전류를 공급받는 제1 전극과, 상기 제1 전극 상에 위치하는 제1 유기층과, 상기 제1 유기층 상에 위치하는 제2 전극을 포함하는 제1 서브 화소; 및 상기 화소 영역의 제2 서브 영역에 위치하며, 상기 제2 전극과 전기적으로 연결되어 상기 제1 서브 화소로부터 상기 구동전류를 전달받는 제3 전극과, 상기 제3 전극 상에 위치하는 제2 유기층과, 상기 제2 유기층 상에 위치하는 제4 전극을 포함하는 제2 서브 화소를 포함하는 표시장치를 제공한다.

발명의 효과

- [0020] 이상에서 설명한 바와 같이 본 발명에 의하면, 유기전계발광 소자 혹은 표시장치의 소비전력이 감소하는 효과가 있다.
- [0021] 또한, 본 발명에 의하면, 동일한 회도를 유지하면서 유기전계발광 소자로 공급되는 전류량은 감소하는 효과가 있다.
- [0022] 그리고, 본 발명에 의하면, 유기전계발광 소자 혹은 표시장치의 수명이 증가하는 효과가 있다.

도면의 간단한 설명

- [0023] 도 1은 일반적인 유기전계발광 소자를 모델링한 회로도이다.
- 도 2는 유기전계발광 다이오드의 발광원리를 설명하는 다이어그램이다.
- 도 3은 동일한 면적으로 동일한 회도를 발휘하는 서로 다른 구조의 유기전계발광 소자를 나타내는 도면이다.

도 4는 본 발명의 실시예들에 따른 유기전계발광 소자를 모델링한 회로도이다.

도 5는 제1 실시예에 따른 하나의 유기전계발광 소자를 포함하는 유기전계발광 표시장치의 개략적인 평면도이다.

도 6은 도 5의 I-I' 를 절단한 유기전계발광 소자의 개략적인 단면도이다.

도 7은 도 5의 평면도에서 격벽, बैं크 및 제1/제3 전극만 표시한 평면도이다.

도 8a 내지 도 8f는 제1 실시예에 따른 유기전계발광 소자의 일 제조 공정 단면도이다.

도 9는 도 8f의 공정을 다른 방법으로 수행하는 제1 실시예에 따른 유기전계발광 소자의 다른 제조 공정 단면도이다.

도 10은 제2 실시예에 따른 유기전계발광 소자의 개략적인 단면도이다.

도 11은 제3 실시예에 따른 유기전계발광 소자의 개략적인 단면도이다.

도 12a 및 도 12b는 제3 실시예에 따른 유기전계발광 소자의 일 제조 공정 단면도이다.

도 13은 제4 실시예에 따른 유기전계발광 소자의 개략적인 단면도이다.

도 14a 내지 도 14d는 제4 실시예에 따른 유기전계발광 소자의 일 제조 공정 단면도이다.

도 15는 제5 실시예에 따른 유기전계발광 소자의 개략적인 단면도이다.

도 16은 제5 실시예에 따른 유기전계발광 소자의 제1/제3 전극과 बैं크만 도시한 평면도이다.

도 17a 내지 도 17c는 제5 실시예에 따른 유기전계발광 소자의 일 제조 공정 단면도이다.

도 18은 제6 실시예에 따른 유기전계발광 소자의 개략적인 단면도이다.

도 19는 제6 실시예에 따른 유기전계발광 소자의 제1/제3 전극과 बैं크만 도시한 평면도이다.

도 20은 제7 실시예에 따른 유기전계발광 소자를 포함하는 유기전계발광 표시장치의 개략적인 평면도이다.

도 21은 실시예에 따른 유기전계발광 표시장치의 시스템 구성도이다.

도 22는 도 21의 P1, P2, P3 화소를 나타내는 제8 실시예에 따른 유기전계발광 표시장치의 부분 확대 평면도이다.

도 23은 도 21의 P1, P2, P3 화소를 나타내는 제9 실시예에 따른 유기전계발광 표시장치의 부분 확대 평면도이다.

도 24는 도 21의 P1, P2, P3, P4 화소를 나타내는 제10 실시예에 따른 유기전계발광 표시장치의 부분 확대 평면도이다.

도 25는 도 21의 P1, P2, P3, P4 화소를 나타내는 제11 실시예에 따른 유기전계발광 표시장치의 부분 확대 평면도이다.

도 26은 도 21의 P1 및 P2 화소를 모델링한 회로도이다.

도 27은 도 26의 P1 및 P2에 대하여 서로 다른 데이터 전압을 생성하는 과정을 도식화한 도면이다.

도 28은 내부 소자 온도 상승에 따른 수명 감소 그래프(도 28의 (a)) 및 전류밀도 증가에 따른 수명 감소 그래프(도 28의 (b))이다.

발명을 실시하기 위한 구체적인 내용

[0024] 이하, 본 발명의 일부 실시예들을 예시적인 도면을 통해 상세하게 설명한다. 각 도면의 구성요소들에 참조부호를 부가함에 있어서, 동일한 구성요소들에 대해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 부호를 가지도록 하고 있음에 유의해야 한다. 또한, 본 발명의 실시예들을 설명함에 있어, 관련된 공지 구성 또는 기능에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명은 생략한다.

[0025] 또한, 발명의 구성 요소를 설명하는 데 있어서, 제 1, 제 2, A, B, (a), (b) 등의 용어를 사용할 수 있다. 이러한 용어는 그 구성 요소를 다른 구성 요소와 구별하기 위한 것일 뿐, 그 용어에 의해 해당 구성 요소의 본질이

나 차례 또는 순서 등이 한정되지 않는다. 어떤 구성 요소가 다른 구성요소에 "연결", "결합" 또는 "접속"된다고 기재된 경우, 그 구성 요소는 그 다른 구성요소에 직접적으로 연결되거나 또는 접속될 수 있지만, 각 구성 요소 사이에 또 다른 구성 요소가 "연결", "결합" 또는 "접속"될 수도 있다고 이해되어야 할 것이다. 같은 맥락에서, 어떤 구성 요소가 다른 구성 요소의 "상"에 또는 "아래"에 형성된다고 기재된 경우, 그 구성 요소는 그 다른 구성요소에 직접 또는 또 다른 구성 요소를 개재하여 간접적으로 형성되는 것을 모두 포함하는 것으로 이해되어야 할 것이다.

- [0026] 도 2는 유기전계발광 다이오드의 발광원리를 설명하는 다이어그램이다.
- [0027] 도 2를 참조하면, 유기전계발광 다이오드(20)는 화소전극인 양극(anode, 21)과 공통전극인 음극(cathode, 22) 사이에 형성된 유기층(23, 24, 25, 26, 27)을 포함한다. 유기층은 예를 들어 정공주입층(hole injection layer, 23), 정공수송층(hole transport layer, 24), 발광층(emission layer, 25), 전자수송층(electron transport layer, 26) 및 전자주입층(electron injection layer, 27)을 포함할 수 있다.
- [0028] 이러한 유기전계발광 다이오드(20)는 양극(21)과 음극(22)에 구동전류 혹은 구동전압이 인가되면 정공수송층을 통과한 정공과 전자수송층을 통과한 전자가 발광층으로 이동되어 여기자를 형성하고, 이 여기자가 다시 기저상태로 복귀하면서 에너지를 빛으로 변환하여 발광하게 된다.
- [0029] 진술한 발광 과정을 통해 알 수 있는 바와 같이, 빛을 생산하기 위해서는 여기자가 먼저 형성되어야 하며 이러한 여기자를 형성하기 위해서는 정공과 전자가 발광층으로 유입되어야 한다. 결국, 유기전계발광 다이오드(20)는 발광층(25)으로 유입되어 여기자를 형성하는 정공과 전자의 양에 따라 빛으로 변환되는 에너지의 양이 결정된다.
- [0030] 정공과 전자의 양은 유기전계발광 다이오드(20)의 양극(21)으로 공급되는 전류량으로 표현될 수 있기 때문에 결과적으로 유기전계발광 다이오드(20)의 휘도는 유기전계발광 다이오드로 공급되는 전류량에 비례하는 것으로 표현될 수 있다.
- [0031] 다만, 유기전계발광 다이오드(20)의 특성상 단위면적당 여기자 형성 확률이 포화될 수 있기 때문에 전류량의 증가에 따라 계속해서 유기전계발광 다이오드(20)의 휘도가 증가하는 것은 아니다. 오히려, 유기전계발광 다이오드(20)로 공급되는 전류밀도를 일정 한도 이상으로 증가시켜 휘도를 높이는 방법은 유기전계발광 다이오드(20)의 수명을 감소시킬 수 있다.
- [0032] 본 발명은 동일한 휘도를 유지하면서 유기전계발광 소자로 공급되는 전류량을 감소시키는 기술을 제공한다.
- [0033] 도 3은 동일한 면적으로 동일한 휘도를 발휘하는 서로 다른 구조의 유기전계발광 소자를 나타내는 도면이다.
- [0034] 이하에서는 설명의 편의를 위해 면적 단위로 평방미터(m^2)를, 전류 단위로 암페어(A)를 사용한다.
- [0035] 도 3의 (a)를 참조하면, 제1 유기전계발광 소자(10)는 전원(VDD1, 16)으로부터 공급되는 전류를 제어하는 트랜지스터(12) 및 $2A^2m^2$ 의 면적으로 이루어진 유기전계발광 다이오드(14)를 포함하고 있다.
- [0036] $2A^2m^2$ 의 면적으로 이루어진 유기전계발광 다이오드(14)로는 $2 \cdot I_{OLED}(A)$ 의 전류가 공급되고 있다.
- [0037] 유기전계발광 다이오드(14)의 특성에 따라 단위면적으로 공급되는 전류당 $B(cd/A \cdot m^2)$ 의 휘도가 발휘된다고 할 때, 유기전계발광 다이오드(14)와 제1 유기전계발광 소자(10)의 휘도는 다음과 같다.
- [0038] < 수학식 2 >
- [0039] 유기전계발광 다이오드(14)의 휘도 = $B(cd/A \cdot m^2) \times 2 \cdot I_{OLED}(A/m^2) = 2 \cdot B \cdot I_{OLED}(cd)$
- [0040] 제1 유기전계발광 소자(10)의 휘도 = 유기전계발광 다이오드(14)의 휘도 = $2 \cdot B \cdot I_{OLED}(cd)$

- [0041] 도 3의 (b)를 참조하면, 제2 유기전계발광 소자(31)는 전원(VDD2, 38)으로부터 공급되는 전류를 제어하는 트랜지스터(32) 및 $2A_m^2$ 의 면적을 평면상으로 둘로 분할되어 각각 $1A_m^2$ 의 면적을 가진 두 개의 유기전계발광 다이오드(35, 36)를 포함하고 있다.
- [0042] 먼저, 트랜지스터(32)와 전기적으로 연결되어 있는 제1 유기전계발광 다이오드(35)로 $I_{OLED}(A)$ 의 전류가 공급되고 있다. 제1 유기전계발광 다이오드(35)를 통과한 전류는 다시 직렬로 연결된 제2 유기전계발광 다이오드(36)로 전달되어 제2 유기전계발광 다이오드(36)로 $I_{OLED}(A)$ 의 전류가 계속해서 공급되고 있다.
- [0043] 이때, 두 개의 유기전계발광 다이오드(35, 36)의 특성에 따라 단위면적으로 공급되는 전류당 $B(cd/A \cdot m^2)$ 의 휘도가 발휘된다고 하면, 각각의 유기전계발광 다이오드(35, 36)의 휘도와 제2 유기전계발광 소자(31)의 휘도는 다음과 같다.
- [0044] < 수학식 3 >
- [0045] 제1 유기전계발광 다이오드(35)의 휘도 = $B(cd/A \cdot m^2) \times I_{OLED}(A/m^2) \times 1(m^2) = B \cdot I_{OLED}(cd)$
- [0046] 제2 유기전계발광 다이오드(36)의 휘도 = $B(cd/A \cdot m^2) \times I_{OLED}(A/m^2) \times 1(m^2) = B \cdot I_{OLED}(cd)$
- [0047] 제2 유기전계발광 소자(31)의 휘도 = 제1 유기전계발광 다이오드(36)의 휘도 + 제2 유기전계발광 다이오드(36)의 휘도 = $2 \cdot B \cdot I_{OLED}(cd)$
- [0048] 수학식 2와 수학식 3을 비교하면, 도 3의 (a)에 도시된 제1 유기전계발광 소자(10)와 도 3의 (b)에 도시된 제2 유기전계발광 소자(31)가 구조는 다르지만 동일한 휘도를 발휘하고 있는 것을 알 수 있다. 또한, 도 3의 (b)의 유기전계발광 다이오드(35, 36)는 도 3의 (a)의 유기전계발광 다이오드(14)를 평면상으로 분할한 후 직렬로 연결시킨 것으로 전체 면적상으로 두 구조 모두 동일한 면적을 가진다. 결국, 도 3의 (a)의 유기전계발광 소자(10)와 도 3의 (b)의 유기전계발광 소자(31)는 동일한 면적으로 동일한 휘도를 발휘한다.
- [0049] 다만, 두 구조의 차이는 도 3의 (a)의 경우, $2 \cdot I_{OLED}(A)$ 의 전류가 유기전계발광 소자(10)로 공급되고 있고, 도 3의 (b)의 경우, $I_{OLED}(A)$ 의 전류가 유기전계발광 소자(31)로 공급되고 있다는 것이다. 따라서, 도 3의 (b)에 해당하는 유기전계발광 소자(31) 구조를 가질 경우, 동일한 면적으로 동일한 휘도를 발휘하면서 전류량은 절반으로 줄일 수 있게 된다.
- [0050] 도 4는 본 발명의 실시예들에 따른 유기전계발광 소자를 모델링한 회로도이다.
- [0051] 도 4를 참조하면, 유기전계발광 소자(31)는 전원(VDD, 38)으로부터 공급되는 전류($1/2 \cdot I_{OLED}$) 혹은 전압($2 \cdot V_{OLED}$)을 제어하는 트랜지스터(32)와 둘로 분할된 유기전계발광 다이오드(35, 36)로 구성된 회로로 모델링될 수 있다.
- [0052] 트랜지스터(32)의 게이트 전극과 소스 전극 사이의 전압을 제어하면 유기전계발광 다이오드(35, 36)로 공급되는 전류($1/2 \cdot I_{OLED}$) 혹은 전압($2 \cdot V_{OLED}$)을 조절할 수 있게 되는데, 이때, 트랜지스터(32)에는 V_{TFT} 의 전압이 형성되고 유기전계발광 다이오드(35, 36)에는 $2 \cdot V_{OLED}$ 의 전압이 형성되게 된다.
- [0053] 유기전계발광 소자(31)에 형성되는 이러한 전류와 전압 관계로부터 유기전계발광 소자(31)에서 소비되는 전력을 계산하면 다음과 같다.
- [0054] < 수학식 4 >
- [0055] $P_{TFT} = 1/2 \times I_{OLED} \times V_{TFT}$

- [0056] $P_{OLED1} = 1/2 \times I_{OLED} \times V_{OLED}$
- [0057] $P_{OLED2} = 1/2 \times I_{OLED} \times V_{OLED}$
- [0058] $P_{OLED} = P_{OLED1} + P_{OLED1} = I_{OLED} \times V_{OLED}$
- [0059] $P_{DEVICE} = P_{TFT} + P_{OLED}$
- [0060] 수학적 식 4를 참조하면, 유기전계발광 소자에서 소비되는 전력(P_{DEVICE})은 트랜지스터(32)에서 소비되는 전력(P_{TFT}) 및 유기전계발광 다이오드(35, 36)에서 소비되는 전력(P_{OLED})의 합으로 구성되고, 유기전계발광 다이오드(35, 36)에서 소비되는 전력(P_{OLED})은 각각의 유기전계발광 다이오드에서 소비되는 전력의 합($P_{OLED1} + P_{OLED1}$)으로 구성된다.
- [0061] 이때, 수학적 식 1과 수학적 식 4를 비교하면, 유기전계발광 다이오드에서의 소비전력($P_{OLED} = I_{OLED} \times V_{OLED}$)은 동일하나 도 4의 유기전계발광 소자 구조에서 트랜지스터(32)의 소비전력($P_{TFT} = 1/2 \times I_{OLED} \times V_{TFT}$)이 도 1의 유기전계발광 소자 구조에서 트랜지스터(12)의 소비전력($P_{TFT} = I_{OLED} \times V_{TFT}$)의 절반으로 감소한 것을 확인할 수 있다.
- [0062] 따라서, 도 4의 본 발명의 실시예에 따른 회로 모델을 가지는 유기전계발광 소자(31)는 도 1을 참조하여 설명한 유기전계발광 소자(10)에 비해 트랜지스터의 소비전력을 줄여 유기전계발광 소자 전체의 소비전력을 저감시키게 된다.
- [0063] 도 4에서는 설명의 편의를 위해, 유기전계발광 다이오드가 둘로 분할된 구조를 일례로 도시하였으나 본 발명은 이로 제한되는 것은 아니며 유기전계발광 다이오드는 셋 이상으로 분할될 수 있다. 유기전계발광 다이오드가 더 많은 횟수로 분할될 경우, 유기전계발광 다이오드로 공급되는 전류가 더 감소하여 트랜지스터의 소비전력을 더 감소시킬 수 있고, 이를 통해 전체 유기전계발광 소자의 소비전력이 더 낮아지는 효과가 있다.
- [0064] 이하에서는 도 4를 참조하여 설명한 회로로 모델링될 수 있는 유기전계발광 소자 및 이러한 유기전계발광 소자를 포함하는 표시장치의 실시예들에 대해 설명한다.
- [0065] <제1 실시예>
- [0066] 도 5는 제1 실시예에 따른 하나의 유기전계발광 소자를 포함하는 유기전계발광 표시장치의 개략적인 평면도이고, 도 6은 도 5의 I-I'를 절단한 유기전계발광 소자의 개략적인 단면도이다.
- [0067] 유기전계발광 표시장치는 다수의 배선 라인을 포함할 수 있으며, 도 5를 참조하면, 다수의 배선 라인은 기판(100) 상에 제1 방향(도 5에서 가로방향)으로 게이트 신호를 전달하는 게이트 라인(101)과 제2 방향(도 5에서 세로방향)으로 서로 이격하여 데이터 신호 전달용 데이터 라인(102)과 고전압전원 공급용 전원 라인(104)을 포함할 수 있다. 이때, 전원 라인(104)은 게이트 라인(101)과 이격하며 나란히 형성될 수도 있다. 게이트 라인(101)은 기판(100) 상에서 가로방향으로 게이트 패드(미도시)까지 길게 연장되어 있고, 데이터 라인(102)은 기판(100) 상에서 세로방향으로 데이터 패드(미도시)까지 길게 연장되어 있다.
- [0068] 게이트 라인(101), 데이터 라인(102) 및 전원 라인(104)은 저저항 특성을 갖는 금속물질, 예를 들어 구리(Cu), 구리 합금, 알루미늄(Al), 알루미늄 합금(AlNd), 몰리브덴(Mo) 및 몰리브덴 합금(MoTi) 중 선택된 하나 또는 둘 이상의 물질을 증착함으로써 단일층 또는 다층 구조를 가질 수 있다.
- [0069] 유기전계발광 표시장치는 게이트 라인(101)과 데이터 라인(102)의 교차로 정의된 화소 영역에서 전극과 유기층을 포함하고 있으면서 기판(100) 상에 형성된 트랜지스터로부터 공급되는 전류에 따라 발광하는 유기전계발광 소자를 포함한다.
- [0070] 유기전계발광 소자는 게이트 라인(101)에 게이트 전극(106a)이 연결되고 데이터 라인(102)에 일단(106b)이 연결되며 제1 노드(108)에 타단(106c)이 연결된 스위칭 트랜지스터(106)와, 제1 노드(108)에 게이트 전극(116)이 연결되고 전원 라인(104)에 일단(122)이 연결된 구동 트랜지스터(110)와, 전원 라인(104)과 제1 노드(108) 사이에

연결된 커패시터(109)를 포함할 수 있다.

- [0071] 또한, 유기전계발광 소자는 하나의 화소가 둘로 분할되어 형성된 제1 서브 화소와 제2 서브 화소를 포함할 수 있다. 제1 서브 화소는 제1 전극(132), 제2 전극(170, 도 6 참조) 및 제1 전극(132)과 제2 전극(170) 사이에 위치한 제1 유기층(160, 도 6 참조)을 포함하고 있고, 제2 서브 화소는 제3 전극(134), 제4 전극(175, 도 6 참조) 및 제3 전극(134)과 제4 전극(175, 도 6 참조) 사이에 위치한 제2 유기층(162, 도 6 참조)을 포함하고 있다.
- [0072] 전기적 연결 관계에 있어서, 제1 서브 화소의 제1 전극(132)은 구동 트랜지스터(110)의 타단(124)과 연결되어 있고, 제1 서브 화소의 제2 전극(170)은 제2 서브 화소의 제3 전극(134)과 연결되어 있다. 또한, 제2 서브 화소의 제4 전극(175)은 공통전극(미도시)과 전기적으로 연결되어 있다.
- [0073] 전술한 제1 실시예에서는 두 개의 트랜지스터들과 하나의 캐패시터를 포함하는 2T1C 화소 구조를 바탕으로 설명하나, 본 발명은 이로 제한되지 않고 화소 구조는 두 개 이상의 트랜지스터와 하나 이상의 캐패시터를 포함하는 모든 경우를 포괄한다.
- [0074] 유기전계발광 표시장치의 전기적 기능을 살펴보면, 먼저, 스위칭 트랜지스터(106)는 게이트 라인(101)을 통해 공급되는 게이트 신호에 의해 턴온되어 데이터 라인(102)을 통해 공급되는 데이터 신호를 구동 트랜지스터(110)의 게이트 전극(116)으로 전달하는 기능을 수행한다. 그리고 커패시터(109)는 스위칭 트랜지스터(106)를 통해 공급되는 데이터 신호를 저장하여 구동 트랜지스터(110)가 일정 시간 이상 턴온상태를 유지하도록 한다. 또한, 구동 트랜지스터(110)는 커패시터(109)에 저장된 데이터 신호에 대응하여 구동한다. 구동 트랜지스터(110)는 데이터 신호에 대응하여 제1 서브 화소 및 제2 서브 화소로 공급되는 구동전류 혹은 구동전압을 제어하여 제1 서브 화소 및 제2 서브 화소의 휘도를 조절하게 된다.
- [0075] 구동 트랜지스터(110)가 구동되면, 제1 서브 화소와 제2 서브 화소는 전원 라인(104)을 통해 공급되는 전류에 의해 발광한다. 구동 트랜지스터(110)를 통해 공급되는 구동전류는 먼저 제1 서브 화소의 제1 전극(132)으로 전달되어 제1 유기층(160)을 통해 흐르면서 제1 서브 화소를 발광시킨다. 그리고, 제1 서브 화소의 제2 전극(170)으로 흘러나오는 전류는 다시 제2 서브 화소의 제3 전극(134)으로 전달되어 제2 유기층(162) 및 제4 전극(175)을 통해 흐르면서 제2 서브 화소를 발광시키게 된다. 제2 서브 화소의 제4 전극(175)으로 흐르는 전류는 최종적으로 공통전극(미도시)으로 흘러나가게 된다.
- [0076] 도 6을 참조하여 유기전계발광 소자에 대하여 단층 구조를 중심으로 설명한다.
- [0077] 기관(100) 상에는 구동 트랜지스터(110)의 소스 영역(112b), 채널 영역(112a) 및 드레인 영역(112c)을 포함하는 반도체층(112)이 형성되어 있다.
- [0078] 기관(100)과 반도체층(112) 상에는 버퍼층(미도시)이 더 형성될 수 있다. 이때 버퍼층은 기관(100)에서 발생하는 수분 또는 불순물의 확산을 방지하거나, 결정화시 열의 전달 속도를 조절함으로써 후공정에서 형성될 반도체층의 결정화가 잘 이루어질 수 있도록 하는 역할을 할 수 있다.
- [0079] 반도체층(112)은 P형 불순물 또는 N형 불순물을 도핑하여 소오스 영역(112b) 및 드레인 영역(112c)을 형성하고, 이와 동시에 소오스 영역(112b) 및 드레인 영역(112c) 사이에 개재된 채널영역(112a)을 정의할 수 있다. P타입 트랜지스터의 경우는 도핑되는 불순물로 붕소(B), 알루미늄(Al), 갈륨(Ga) 및 인듐(In) 등의 3족의 원소가 사용될 수 있으며, N타입 트랜지스터의 경우는 도핑되는 불순물로 인(P), 비소(As) 및 안티몬(Sb) 등의 5족의 원소가 사용될 수 있다. P타입의 트랜지스터는 캐리어로서 정공이 이용되며, N타입의 트랜지스터는 캐리어로서 전자가 이용된다. 구동 트랜지스터(110)의 타입에 따라 유기전계발광 소자의 회로 모델이 달라질 수 있다. 도 3의 실시예는 P타입 트랜지스터가 적용된 경우의 회로 모델이다.
- [0080] 반도체층(112)이 형성된 기관(100) 상에 게이트 절연막(114)이 형성되어 있다. 게이트 절연막(114)은 무기절연물질, 예를 들면 산화실리콘, 질화실리콘 또는 이들의 다중층으로부터 선택된 하나일 수 있다. 게이트 절연막(114) 상에는 반도체층(112)과 대응되는 위치에 게이트 전극(116)이 형성되어 구동 트랜지스터(110)를 구성하게 된다. 게이트 전극(116)이 형성될 때, 게이트 라인(101, 118)도 함께 형성될 수 있다.
- [0081] 한편, 게이트 전극(116) 상에는 무기절연물질, 예를 들면 질화실리콘(SiNx)으로 이루어지며, 일정 두께 예를 들어 6000Å 내지 8000Å 정도의 두께를 갖는 층간절연막(120)이 형성되어 있다. 이때, 층간절연막(120)에는 반도체층(112)의 채널 영역(112a) 양측면에 위치한 소스 영역(112b) 및 드레인 영역(112c)을 노출시키는 반도체층(112) 콘택홀이 구비되고 있다. 또한, 층간절연막(120) 상에는 금속물질로 이루어지며, 콘택홀을 통해 노출된

소스/드레인 영역(112b, 112c)과 각각 전기적으로 접촉하는 소스 전극(122) 및 드레인 전극(124)이 형성되어 있다.

- [0082] 소스 전극(122) 및 드레인 전극(124)이 형성된 구동 트랜지스터(110) 상에는 보호층(130)이 위치한다. 이때 보호층(130)에는 구동 트랜지스터(110)의 소스 전극(122) 또는 드레인 전극(124)을 노출시키는 콘택홀(혹은 비아홀, 도 8a의 131 참조)이 형성되어 있다.
- [0083] 보호층(130)은 무기절연물질인 실리콘 산화막, 실리콘 질화막 또는 실리콘 게이트 온 글래스(silicate on glass) 중에서 선택되는 어느 하나 또는 유기절연물질인 폴리이미드(polyimide), 벤조사이클로부틴계 수지(benzocyclobutene series resin) 또는 아크릴레이트(acrylate) 중에서 선택되는 어느 하나로 형성되거나 이들의 다층구조로 형성될 수도 있다.
- [0084] 한편, 보호층(130)은 화소영역에 대응하는 위치에 칼라필터(미도시)를 포함할 수도 있다. 이 칼라필터는 화소영역에 형성된 제1 서브 화소 또는 제2 서브 화소의 색을 다른 색으로 색변환하는 물질을 포함할 수 있다. 예를 들어 제1 서브 화소 또는 제2 서브 화소가 백색 발광하는 경우 보호층(130)에 형성된 칼라필터가 해당 화소의 색으로 변환하는 색변환 물질을 포함하여 원하는 색으로 변환할 수 있다. 다른 예를 들어 제1 서브 화소 또는 제2 서브 화소가 청색 발광하는 경우 칼라필터가 적색이나 녹색으로 색변환할 수 있다. 제1 서브 화소 또는 제2 서브 화소가 청색으로 표시되어야 할 경우 별도의 칼라필터를 포함하지 않고 그대로 청색으로 표시할 수도 있다. 본 명세서에서 원발광색을 그대로 외부로 표시하는 것도 넓은 의미의 색변환으로 해석할 수 있다.
- [0085] 전술한 예에서, 칼라필터가 화소와 기판(100) 사이인 보호층(130)에 형성되는 것을 예로 들어 설명하였으나, 칼라필터는 화소 상(예를 들어 기판과 봉지필름 사이 또는 봉지기판 내)에 위치할 수도 있다. 이때, 제1 서브 화소와 제2 서브 화소를 포함하는 화소의 발광은 상측에 위치하는 칼라필터 방향으로 이루어진다.
- [0086] 한편, 도 5 및 도 6의 실시예에서는 폴리실리콘을 반도체층(112)으로 하여 3족 또는 5족 원소가 도핑된 소스 영역(112b) 및 드레인 영역(112c)을 포함하는 탑 게이트 타입을 갖는 구동 트랜지스터(110)를 도시하고 있으나, 다른 예로서 순수 및 불순물 비정질 실리콘 또는 산화물반도체를 반도체층으로 하는 바텀 게이트 타입의 구동 트랜지스터가 형성될 수도 있다. 다만, 본 발명이 이러한 특정 구동 트랜지스터 구조로 한정되는 것은 아니다.
- [0087] 도 6을 계속해서 참조하면, 보호층(130) 상에는 제1 서브 영역(180)에서 구동 트랜지스터(110)의 소스 전극(122) 혹은 드레인 전극(124)과 콘택홀을 통해 접촉되는 제1 전극(132)이 형성되어 있고, 제2 서브 영역(182)에서 제1 전극(132)과 이격되어 제3 전극(134)이 형성되어 있다.
- [0088] 제1 전극(132) 및 제3 전극(134)은 구동 트랜지스터(110)가 P타입인 경우, 애노드 전극의 역할을 하도록 일함수 값이 비교적 크며 투명한 도전성 물질, 예를 들면 인듐-틴-옥사이드(ITO) 또는 인듐-징크-옥사이드(IZO)와 같은 금속 산화물, ZnO:Al 또는 SnO₂:Sb와 같은 금속과 산화물의 조합; 폴리(3-메틸티오펜), 폴리[3,4-(에틸렌-1,2-디옥시)티오펜](PEDT), 폴리피롤 및 폴리아닐린과 같은 전도성 고분자 등으로 이루어질 수 있다. 한편, 제1 전극(132)과 제3전극(134)은 탄소나노튜브, 그래핀, 은나노와이어, 투명전도성산화물 등일 수도 있다.
- [0089] 유기전계발광 소자가 탑 에미션 방식일 경우, 반사효율 향상을 위해 제1 전극(132) 및 제3 전극(134) 하부에 반사효율이 우수한 금속물질, 예를 들면 알루미늄(Al) 또는 은(Ag)으로써 반사판(미도시)이 보조전극으로 더 형성될 수도 있다.
- [0090] 한편, 구동 트랜지스터(110)가 N타입인 경우, 제1 전극(132) 및 제3 전극(134)은 캐소드 전극으로 기능하도록 일함수 값이 비교적 작은 금속물질, 예를 들면 알루미늄(Al), 알루미늄 합금, 은(Ag), 마그네슘(Mg), 금(Au) 중 어느 하나 이상의 물질로 이루어질 수 있다. 유기전계발광 소자가 탑 에미션 방식일 경우, 제1 전극(132) 및 제3 전극(134)이 일정 두께, 예를 들어 500Å(옴스트롱) 이상의 두께를 갖도록 형성하면 투과도가 거의 0%에 가깝게 되어 별도의 반사판을 구비할 필요가 없다.
- [0091] 전술한 예에서 구동 트랜지스터(110)가 P타입인 경우, 제1 전극(132) 및 제3 전극(134)이 애노드의 역할을 하는 것으로 설명하고, 구동 트랜지스터(110)가 N타입인 경우, 제1 전극(132) 및 제3 전극(134)이 캐소드의 역할을 하는 것으로 설명하였으나, 본 발명이 이로 제한되는 것은 아니다. 유기전계발광 소자의 회로 모델 설계 방법에 따라 보호층(130)을 사이에 두고 P타입의 구동 트랜지스터(110) 상에 형성되는 제1 전극(132) 및 제3 전극(134)이 캐소드로 기능할 수 있다. 이때, 제1 전극(132)은 P타입 구동 트랜지스터(110)의 소스 전극과 전기적으로 접촉할 수 있다.

- [0092] 제1 전극(132) 및 제3 전극(134)의 가장자리에는 절연구조물(또는 화소정의막, 화소구분부)인 뱅크(150) 혹은 뱅크(150)/격벽(140)이 형성되어 있다. 이하 절연구조물인 뱅크(150)/격벽(140)의 위치 및 형상, 넓이, 두께를 예시적으로 설명하나 본 발명은 이에 제한되지 않는다.
- [0093] 구체적으로 하나의 화소 영역이 둘로 분할된 제1 서브 영역(180)과 제2 서브 영역(182)에는 제1 서브 화소의 제1 전극(132)과 제2 서브 화소의 제3 전극(134)의 가장자리 상에 형성되는 절연구조물로서의 뱅크(150)가 위치한다.
- [0094] 일반적으로 화소 영역을 정의하기 위해 스위칭 트랜지스터, 구동 트랜지스터 그리고 각종 배선들이 형성된 비발광영역과 유기전계발광 다이오드가 형성되는 발광 영역을 구분하는 뱅크를 형성한다. 뱅크는 각종 트랜지스터 및 각종 배선들이 형성되어 표면이 매끄럽지 못하고, 울퉁불퉁하게 단차가 형성된 표면 위에 유기막을 형성할 경우, 단차진 부분에서 유기물이 열화되는 것을 방지하기 위한 것이다. 즉, 스위칭 트랜지스터, 구동 트랜지스터 및 각종 배선들이 형성된 비 발광영역과, 평탄한 기판 위에 단순히 박막들만 적층되어 평탄한 발광 영역을 구분하기 위해 비 발광 영역 위에 뱅크가 형성된다.
- [0095] 뱅크(150)는 가장자리에서 정테이퍼 형상으로 형성될 수 있다. 이는 제1 전극(132) 및 제3 전극(134) 상에 형성되는 유기층 및 금속층이 뱅크(150)의 정테이퍼진 형상으로 인해 단차지지 않고 형성되도록 한다. 이렇게 유기층 및 금속층이 단차지지 않게 형성되는 경우, 스텝 커버리지(Step Coverage)가 좋아진다.
- [0096] 뱅크(150)는 질화막(SiN_x), 실리콘 산화막(SiO_2)과 같은 무기절연물질 또는 벤조사이클로부텐(benzocyclobutene)이나 아크릴 수지(acrylic resin)와 같은 유기절연물질로 이루어질 수 있다.
- [0097] 제1 서브 영역(180)에 위치하는 제1 격벽(140a)과 인접해 있는 제1 뱅크(150a)는 하부면이 제1 전극(132) 상에 위치하고, 제1 서브 영역(180)에서 제1 격벽(140a)과 인접하지 않는 제2 뱅크(150b)는 하부면이 제1 전극(132)의 테두리를 감싸도록 형성된다.
- [0098] 제2 서브 영역(182)에서 제1 서브 영역(180)과의 경계(187)와 접해 있는 제2 격벽(140b)과 인접하는 제3 뱅크(150c)는 하부면이 제3 전극(134) 상에 위치하고, 제2 서브 영역(182)에서 제2 격벽(140b)과 인접하지 않는 제4 뱅크(150d)는 하부면이 제3 전극(134)의 테두리를 감싸도록 형성된다.
- [0099] 제1 전극(132) 및 제3 전극(134)의 가장자리 중 일부에는 격벽(140)이 위치한다. 제1 서브 영역(180)에서 제1 격벽(140a)은 제1 전극(132)의 가장자리에 형성되되, 제2 서브 영역(182)과 경계를 이루는 방향에서는 형성되지 않는다. 제1 격벽(140a)의 하부면은 제1 전극(132)의 가장자리를 감싸도록 형성된다.
- [0100] 제2 서브 영역(182)에서 제1 서브 영역(180)과의 경계(187)와 접해 있는 부분에는 제2 격벽(140b)이 위치한다. 제2 격벽(140b)의 하부면은 제3 전극(134) 상에 위치한다.
- [0101] 격벽(140)은 측면에서 적어도 일부가 역테이퍼진 구조를 가지고 있다. 측면의 역테이퍼진 형상으로 인해 격벽(140)의 하부면 외곽으로 수직 입사물에 대한 음영 구역(189)이 형성된다. 이러한 구조에서 격벽(140) 상부면에 증착 입자를 수직 열증착시키면 증착물은 격벽(140)이 마스크 역할을 하여 음영 구역(189)과 경계를 공유하면서 경계 외곽에 쌓이게 되고 음영 구역(189) 내로는 증착되지 않는다.
- [0102] 격벽(140)은, 일 예로서, 보호층(130)과 제1 전극(132) 및 제3 전극(134) 상에 감광성 물질을 스핀코팅법으로 도포하고, 감광성 물질 상에 차단부, 반투과부 및 투과부로 이루어진 하프톤 마스크를 위치시킨 후, 노광 및 현상하는 공정을 거치면 전술한 바와 같은 역테이퍼 형상(역상구조)을 가질 수 있다. 이때, 격벽(140)은 감광성 물질로 아크릴계 수지, 폴리이미드계 수지 또는 폴리에스테르계 수지로 이루어진 군에서 선택된 하나를 사용할 수 있다.
- [0103] 한편, 제1 전극(132) 상에 위치하는 제1 격벽(140a)은 하부면이 제1 전극(132)의 가장자리를 감싸도록 형성되어 제1 전극(132)이 제1 격벽(140a) 외부로 노출되지 않게 하고, 제3 전극(134) 상에 위치하는 제2 격벽(140b)은 하부면이 제3 전극(134) 상에 위치하여 역테이퍼진 구조의 하부에서 제3 전극(134)의 단부가 노출되고 이렇게 노출된 제3 전극(134)의 단부로 제2 전극(170)이 접촉할 수 있도록 한다.
- [0104] 도 6에서, 격벽(140)의 일측면에 인접하여 뱅크(150a, 150c)가 격벽(140)의 하부에 주로 위치하며, 또한 일부는 격벽(140)의 상부면 상에 위치하는 실시예를 도시하고 있는데, 본 발명이 이러한 구조로 제한되는 것은 아니며 다른 실시예로서 뱅크(150)는 스텝 커버리지 효과를 유지하면서 소자의 전체 두께가 두꺼워 지지 않도록 격벽(150)의 높이보다 일정한 정도, 예를 들어, 1/3 내지 1/4배 정도 얇게 형성될 수 있다.

- [0105] बैंक(150)/격벽(140)이 형성된 제1 전극(132) 상에는 발광층을 포함하는 제1 유기층(160) 및 제2 전극(170)이 위치하고, 제3 전극(134) 상에는 발광층을 포함하는 제2 유기층(162) 및 제4 전극(175)이 위치한다.
- [0106] 이때, 제1 전극(132) 및 제3 전극(134)이 애노드 전극의 역할을 하는 경우, 제1 유기층(160) 및 제2 유기층(162)은 정공주입층(hole injection layer, 190) / 정공수송층(hole transporting layer, 191) / 유기발광층(192) / 전자수송층(electron transporting layer, 193) / 전자주입층(electron injection layer, 194)을 순차적으로 포함 하는 다층 구조일 수 있으나 이에 한정되지 않고 단층 구조일 수도 있다. 또한, 제1 전극(132) 및 제3 전극(134)이 캐소드 전극의 역할을 하는 경우, 제1 유기층(160) 및 제2 유기층(162)은 전자주입층(194) / 전자수송층(193) / 유기발광층(192) / 정공수송층(191) / 정공주입층(190)을 순차적으로 포함하는 다층 구조일 수 있으나 이에 한정되지 않고 단층 구조일 수도 있다.
- [0107] 제2 전극(170)은 하나 이상의 도전성 물질층을 포함할 수 있다. 구체적으로 제2 전극(170)은 제1 도전성 물질층, 예를 들어, 금속 도전성 물질층(171) 및 제2 도전성 물질층, 예를 들어, 투명 도전성 물질층(172)을 포함할 수 있다.
- [0108] 이때, 제2 전극(170)의 금속 도전성 물질층(171)은 제1 유기층(160)과 함께 제2 격벽(140b)의 음영 구역(189)과 경계를 공유하지만, 제2 전극(170)의 투명 도전성 물질층(172)의 일단부는 제1 유기층(160)보다 제2 서브 영역(182) 방향으로 더 연장되어 제2 격벽(140b) 아래의 음영 구역(189) 내로 진입한다. 또한, 제3 전극(134)의 가장자리 중 제1 서브 영역(180)과 제2 서브 영역(182) 사이의 경계(187) 방향에 위치하는 제3 전극(134)의 가장자리 부분은 격벽(140b)의 음영 구역(189) 내에 위치하고 있다. 이러한 위치 관계에 따라 제2 전극(170)의 금속 도전성 물질층(171)과 제1 유기층(160)은 제3 전극(134)으로부터 이격되지만 제2 전극(170)의 투명 도전성 물질층(172)은 격벽(140b)의 음영 구역(189) 내에서 제3 전극(134)의 가장자리와 접촉할 수 있다. 이에 따라 제2 전극(170)의 투명 도전성 물질층(172)은 제3 전극(134)과 전기적으로 연결된다.
- [0109] 도 6의 제1 서브 화소와 제2 서브 화소의 경계 영역의 확대 단면을 살펴보면, 제3 전극(134)의 단부에 형성된 제2 격벽(140b)의 음영 구역(189)으로 제2 전극의 투명 도전성 물질층(172)이 유입되어 제3 전극(134)과 전기적으로 접촉한다. 이때 제2 전극의 투명 도전성 물질층(172) 중 음영 구역(189)으로 유입한 부분의 가장자리(173)는 두께가 연속적으로 감소하는 형상이며, 제2 전극의 투명 도전성 물질층(172)의 단면과 제3 전극(134)의 단면이 인접하거나 제2 전극의 투명 도전성 물질층(172)의 일부가 제3 전극(134) 상에 위치할 수 있다.
- [0110] 제2 전극(170)의 투명 도전성 물질층(172)은 제1 전극(132) 및 제3 전극(134)과 동일한 도전성 물질일 수 있고, 제4 전극(175)은 제2 전극(170)의 금속 도전성 물질층(171)과 동일한 도전성 물질일 수 있다.
- [0111] 제2 전극(170) 및 제4 전극(175)이 캐소드 전극으로 기능할 경우, 제4 전극(175)과 제2 전극의 금속 도전성 물질층(171)은 일함수 값이 비교적 작은 금속물질, 예를 들면 주석, 마그네슘, 인듐, 칼슘, 나트륨, 리튬, 알루미늄, 은 등의 적당한 금속, 또는 그들의 적절한 합금이 사용되거나 리튬플루오라이드와 알루미늄, 산화리튬과 알루미늄, 스트론튬산화물과 알루미늄 등의 2 층 구조로 이루어질 수 있다. 한편, 제2전극(170)과 제4전극(175)은 탄소나노튜브, 그래핀, 은나노와이어, 투명 전도성 산화물 등일 수도 있다.
- [0112] 또한, 제2 전극(170) 및 제4 전극(175)이 애노드 전극으로 기능할 경우, 제4 전극(175)과 제2 전극(170)은 일함수 값이 비교적 크며 투명한 도전성 물질, 예를 들면 인듐-틴-옥사이드(ITO) 또는 인듐-징크-옥사이드(IZO)과 같은 금속 산화물, ZnO:Al 또는 SnO₂:Sb와 같은 금속과 산화물의 조합; 폴리(3-메틸티오펜), 폴리[3,4-(에틸렌-1,2-디옥시)티오펜](PEDT), 폴리피롤 및 폴리아닐린과 같은 전도성 고분자 등으로 이루어질 수 있다.
- [0113] 제2 전극(170)은 제3 전극(134)과 전기적으로 연결되지만 제1 서브 영역(180)을 둘러싸고 있는 격벽(140)으로 인해 동일한 기능을 수행하는 제2 서브 화소의 제4 전극(175) 및 다른 화소의 공통전극(제2 전극이 캐소드 전극인 경우, 다른 화소의 캐소드 전극)과는 단절된다. 이에 반해 제4 전극(175)은 제2 서브 영역(182)에서 격벽이 형성되지 않은 부분을 통해 다른 화소의 공통전극과 전기적으로 연결된다.
- [0114] 도 7은 도 5의 평면도에서 격벽, बैंक 및 제1/제3 전극만 표시한 평면도로, 도 7의 (a)는 격벽과 제1/제3 전극만 표시하고 있으며, 도 7의 (b)는 बैंक와 제1/제3 전극만 표시하고 있고, 도 7의 (c)는 격벽과 बैंक만 표시하고 있다.
- [0115] 도 7을 참조하여 유기전계발광 표시장치의 화소 영역에서의 평면 구조에 대하여 설명한다.
- [0116] 제1 서브 화소 및 제2 서브 화소가 각각 위치하는 제1 서브 영역(180) 및 제2 서브 영역(182)은 बैंक(150) 혹은 격벽(140)에 의해 구분/정의된다.

- [0117] 도 7의 (a)를 참조하면, 제1 서브 영역(180)에서 제1 전극(132)의 가장자리를 따라 “ㄷ”자 모양의 제1 격벽(140a)이 위치한다. 이때, 제1 격벽(140a)은 제1 전극(132) 상에서 제2 서브 영역(182)과의 경계(도 6의 187) 방향에는 형성되지 않는다. 제2 서브 영역(182)에서는 제3 전극(134)의 가장자리 상에서 제1 서브 영역(180)과의 경계(도 6의 187) 방향으로 제2 격벽(140b)이 위치한다. 또한, 제2 서브 영역(182)에서는 제3 전극(134) 가장자리 상에서 세로방향(데이터 라인과 평행한 방향, 도 5의 102 참조)으로 제3 격벽(140c)이 위치한다.
- [0118] 제1 격벽(140a), 제2 격벽(140b) 및 제3 격벽(140c)은 서로 연결되어 있으면서 화소 영역 전체적에서 대략 “ㄴ”자 형상을 이룬다. 이때, 제1 서브 영역(180)의 제1 서브 화소는 제1 격벽(140a) 및 제2 격벽(140b)으로 둘러싸이게 되지만 제2 서브 영역(182)의 제2 서브 화소는 격벽이 형성되지 않은 부분을 통해 다른 화소와 연결되는 구조를 가진다.
- [0119] 도 7의 (b)를 참조하면, 제1 전극(132) 및 제3 전극(134)의 가장자리에는 뱅크(150)가 위치한다.
- [0120] 구체적으로, 제1 전극(132) 상에서 제1 뱅크(150a)는 제1 격벽(140a)과 일부 중첩되도록 위치하고, 격벽이 형성되지 않은 위치에서 제1 전극(132)의 가장자리를 따라 제2 뱅크(150b)가 위치한다. 제3 전극(134) 상에서 제2 격벽(140b)과 일부 중첩되도록 제3 뱅크(150c)가 위치하고, 뱅크가 형성되지 않은 위치에서 제3 전극(134)의 가장자리를 따라 제4 뱅크(150d)가 위치한다. 또한, 제3 전극 가장자리 상에서 제3 격벽(140c)과 일부 중첩되도록 제5 뱅크(150d)가 위치한다. 그리고, 다른 화소와 경계를 이루는 부분에도 뱅크(150f)가 위치할 수 있다.
- [0121] 뱅크(150)는 전면 도포 후 일부 개구되는 형식으로 형성될 수 있는데, 이때, 제1 서브 화소의 발광 영역(184) 및 제2 서브 화소의 발광 영역(186)이 개구된다.
- [0122] 격벽(140)과의 관계에서 일부 개구되는 영역이 존재하는데, 도 7의 (b) 및 (c)를 참조하면, 제1 서브 영역(180)과 제2 서브 영역(182)의 경계(도 6의 187) 부분에서 제2 격벽(140b)과 제2 뱅크(150b) 사이에 개구 영역(188)이 위치하고, “ㄴ”자 형상의 격벽(140)과 다른 화소와 경계를 이루는 뱅크(150f) 사이에도 개구 영역(185)이 위치한다.
- [0123] 발광 영역(184, 186)이 개구된 제1 전극(132) 및 제3 전극(134) 상에 유기층 및 전극이 순차적으로 적층되어 제1 서브 화소 및 제2 서브 화소를 구성한다. 다시 말해 제1 서브 영역(180)에 제1 서브 화소가 형성되고 제2 서브 영역(182)에 제2 서브 화소를 형성되고 제1 서브 영역(180)과 제2 서브 영역(182)으로 하나의 단위 화소 영역을 구성할 수 있다.
- [0124] 화소 영역에 전면에서 형성되는 유기층은 격벽(140)의 역테이퍼진 형상으로 인해 제1 유기층(160) 및 제2 유기층(162)으로 분리되어 형성된다. 또한, 금속층 역시 격벽(140)의 역테이퍼진 형상으로 인해 제2 전극(170) 및 제4 전극(175)으로 분리되어 형성된다.
- [0125] 이때, 제2 전극(170)은 제1 격벽(140a) 및 제2 격벽(140b)에 의해 둘러싸이기 때문에 동일한 기능을 수행하는 다른 화소의 공통전극 및 제2 서브 화소의 제4 전극(175)과 단절되어 섬구조를 이룬다. 이에 반해, 제4 전극(175)은 격벽이 형성되지 않은 부분을 통해 다른 화소의 공통전극과 전기적으로 연결된다.
- [0126] 전술한 실시예에서, 제1 내지 제3 격벽(140a, 140b, 140c)을 포함하는 격벽(140)이 “ㄴ”자 형상으로 형성되는 것을 예로 들어 설명하였으나 격벽(140)은 다른 형태로 형성될 수 있다. 실질적으로 “ㄴ”자 형상의 격벽(140)은 제1 서브 영역에서 형성되는 “ㄷ”자 형상의 제1 격벽(140a)과 제2 서브 영역에서 형성되는 “ㄷ”자 형상의 제2 격벽(140b) 및 제3 격벽(140c)이 결합된 형상이다. 이때, 제2 서브 영역에서 형성되는 격벽은 제1 서브 영역과의 경계(187)와 인접하여 형성되고 그 외 방향에는 형성되지 않을 수 있다. 이 경우, 제2 격벽(140b)은 제2 서브 영역에서 제1 서브 영역과의 경계(187)와 나란한 방향으로 “|”자 형상으로 형성될 수 있고, 제3 격벽(140c)은 형성되지 않을 수 있다. 격벽(140)은 화소 영역 전체로 볼 때, “口”자 형상을 이룰 수 있다.
- [0127] 제1 및 제2 격벽(140a, 140b)만을 포함하는 격벽(140)이 “口”자 형상으로 형성되는 경우, 제2 서브 화소의 제4 전극(175)은 격벽(140)이 형성되지 않은 부분(제1 서브 영역과 경계를 이루는 부분을 제외한 나머지 부분)을 통해 다른 화소의 동일한 전극들과 연결되어 유기전계발광 표시장치의 공통전극을 형성할 수 있다. 하지만 제1 전극(132)과 제3 전극(134) 상에서 “口”자 형상으로 형성된 격벽(140)은 제1 서브 영역(180)을 둘러싸게 되면서 제2 전극(170)이 제2 서브 화소의 제4 전극(175)뿐만 아니라 다른 화소의 공통 전극과도 단절되도록 한다. 다시말해, 제2 전극(170)은 제4 전극(175)과 달리 섬구조로 격벽(140)에 의해 공통전극과 전기적으로 분리된다.
- [0128] 도 5 내지 도 7에서, 전원 라인(104)은 도 4에 도시된 전원(VDD, 38)에 해당되고, 구동 트랜지스터(110)는 도 4의 트랜지스터(32)에 해당된다. 또한, 도 4의 두 개의 유기전계발광 다이오드(35, 36)에 있어서, 트랜지스터

(32)에 인접한 유기전계발광 다이오드(35)는 도 5 내지 도 7에서 제1 서브 화소에 해당되고, 나머지 유기전계발광 다이오드(36)는 제2 서브 화소에 해당된다.

- [0129] 따라서, 도 5 내지 도 7에 도시된 유기전계발광 소자는 도 4의 회로로 모델링될 수 있으며, 구동 시 도 4를 참조하여 설명한 바와 같이 구동전류 크기가 작아지고 이로 인해 소비전력이 개선된다.
- [0130] 도 8a 내지 도 8f는 제1 실시예에 따른 유기전계발광 소자의 일 제조 공정 단면도이다.
- [0131] 도 8a를 참조하면, 기판(100) 상에 구동 트랜지스터(110)의 소스 영역(112b), 채널 영역(112a) 및 드레인 영역(112c)을 포함하는 반도체층(112)을 형성한다.
- [0132] 기판(100)은 소자를 형성하기 위한 재료로 기계적 강도나 치수 안정성이 우수한 것을 선택할 수 있으며, 유리판, 금속판, 세라믹판 또는 플라스틱판(폴리카보네이트 수지, 아크릴 수지, 염화비닐 수지, 폴리에틸렌테레프탈레이트 수지, 폴리이미드 수지, 폴리에스테르 수지, 에폭시 수지, 실리콘 수지, 불소수지 등) 등을 사용하여 형성할 수 있다.
- [0133] 반도체층(112)은 폴리실리콘으로 구성될 수 있으나, 이에 제한되지 않고 산화물반도체 또는 순수 및 불순물 비정질 실리콘 중 하나로 구성될 수 있다.
- [0134] 반도체층(112)은 폴리실리콘의 경우, 예를 들어 기판(100) 상에 비정질 실리콘층을 형성한 후, 비정질 실리콘층을 결정화하여 다결정 또는 단결정 실리콘층을 형성하고, 패터닝하여 형성될 수 있다. 비정질 실리콘은 화학 기상 증착법(Chemical Vapor Deposition) 또는 물리 기상 증착법(Physical Vapor Deposition)을 이용하여 형성될 수 있다. 또한 비정질 실리콘을 형성할 때 또는 형성한 후에 탈수소처리하여 수소의 농도를 낮추는 공정을 진행할 수 있다. 또한 비정질 실리콘층을 결정화하는 방법은 RTA(Rapid Thermal Annealing) 공정, SPC법(Solid Phase Crystallization), MIC법(Metal Induced Crystallization), MILC법(Metal Induced Lateral Crystallization), SGS법(Super Grain Silicon), ELA법(Excimer Laser Crystallization) 또는 SLS법(Sequential Lateral Solidification) 중 어느 하나 이상을 이용할 수 있다.
- [0135] 반도체층(112)이 형성된 기판(100) 상에 게이트 절연막(114)을 형성하고, 게이트 절연막(114) 상에 게이트 전극 물질을 형성한다. 다음으로, 게이트 전극 물질을 패터닝하여 게이트 전극(116)과 게이트라인(118), 게이트패드(미도시)를 형성한다.
- [0136] 다음으로 게이트 전극(116)과 게이트라인(118)을 포함하는 기판(100) 전면에 걸쳐 층간절연막(120)을 형성하고, 게이트 절연막(114) 및 층간절연막(120)을 식각하여 소스/드레인 영역(112b, 112c)을 노출시키는 콘택홀을 형성한다.
- [0137] 이어서, 콘택홀이 형성된 층간절연막(120)/게이트 절연막(114) 및 게이트 전극(116)을 마스크로 사용하여 반도체층(112)에 도전형의 불순물 이온을 일정량 주입하여 반도체층(112) 내에 소스 영역(112b)과 드레인 영역(112c) 및 채널 영역(112a)을 형성한다. 이러한 방법에서는 콘택홀이 형성된 층간절연막(120)/게이트 절연막(114) 및 게이트 전극(116)을 마스크로 이용하여 반도체층(112)에 소스 및 드레인 영역(112b, 112c)을 형성하기 위한 도전형의 불순물 도핑 공정을 진행함으로써, 도핑을 위한 별도의 마스크를 필요로 하지 않게 되어 제조 비용을 절감할 수 있고 공정을 단순화할 수 있다.
- [0138] 구동 트랜지스터(110)가 P타입인 경우는 도핑되는 불순물로 3족의 원소, 예를 들면 붕소(B)가 사용될 수 있으며, N타입인 경우는 도핑되는 불순물로 5족의 원소, 예를 들면 인(P)이 사용될 수 있다. 도 5에 도시한 스위칭 트랜지스터(106)는 구동 트랜지스터(110)와 동일한 타입일 수도 있고, 반대의 타입일 수도 있다.
- [0139] 계속해서 층간절연막(120)의 콘택홀을 통하여 소스/드레인 영역(112b, 112c)과 연결되는 소스/드레인 전극(122, 124)을 형성한다. 소스/드레인 전극(122, 124)을 형성하는 공정에서 게이트 라인(101, 118)과 교차하며 화소영역을 정의하는 데이터라인(102) 및 전원 라인(104)을 동시에 형성할 수 있다.
- [0140] 이렇게 반도체층(112), 게이트 전극(116) 및 소스/드레인 전극(122, 124)을 포함하는 구동 트랜지스터(110)를 형성한 후 구동 트랜지스터(110)를 포함하는 기판(100) 전면에 보호층(130)을 형성한다. 그리고, 보호층(130)에는 식각 공정을 통해 소스 또는 드레인 전극(122, 124)을 노출하는 콘택홀(131)을 형성한다.
- [0141] 계속해서 도 8b를 참조하면, 보호층(130) 상의 제1 서브 영역(180)에서 구동 트랜지스터(110)의 드레인 전극(124)과 콘택홀(131)을 통해 접촉하여 드레인 전극(124)과 전기적으로 연결되며 이를 통해 구동 트랜지스터

(110)으로부터 구동전류를 공급받는 제1 전극(132)을 형성하고 제2 서브 영역(182)에서 제1 전극(132)과 이격하여 제1 전극(132)에 대응되는 제3 전극(134)을 형성한다..

[0142] 제1 전극(132) 및 제3 전극(134)은 구동 트랜지스터(110)가 P타입인 경우, 애노드 전극의 역할을 하도록 일함수 값이 비교적 큰 투명 도전성 물질, 예를 들면 인듐-틴-옥사이드(ITO) 또는 인듐-징크-옥사이드(IZO)로 이루어질 수 있다. 유기전계발광 소자가 탑 에미션 방식일 경우, 반사효율 향상을 위해 제1 전극(132) 및 제3 전극(134) 하부에 반사효율이 우수한 금속물질 예를 들면 알루미늄(Al) 또는 은(Ag)으로써 반사판(미도시)이 더욱 형성될 수도 있다.

[0143] 한편, 구동 트랜지스터(110)가 N타입인 경우, 제1 전극(132) 및 제3 전극(134)은 캐소드 전극으로 기능하도록 일함수 값이 비교적 작은 금속물질, 예를 들면 알루미늄(Al), 알루미늄 합금, 은(Ag), 마그네슘(Mg), 금(Au) 중 어느 하나 이상의 물질로 이루어질 수 있다. 유기전계발광 소자가 탑 에미션 방식일 경우, 제1 전극(132) 및 제3 전극(134)이 일정 두께 예를 들어 500Å(옴스트롱) 이상의 두께를 갖도록 형성하면 투과도가 거의 0%에 가깝게 되어 별도의 반사판을 구비할 필요가 없다.

[0144] 이하 구동 트랜지스터(110)가 P타입으로 제1 전극(132) 및 제3 전극(134)이 애노드의 역할을 하는 것으로 설명하고, 제1 전극(132) 및 제3 전극(134)은 일함수 값이 비교적 큰 투명 도전성 물질, 예를 들면 인듐-틴-옥사이드(ITO) 또는 인듐-징크-옥사이드(IZO)와 같은 금속 산화물, ZnO:Al 또는 SnO₂:Sb와 같은 금속과 산화물의 조합, 폴리(3-메틸티오펜), 폴리[3,4-(에틸렌-1,2-디옥시)티오펜](PEDT), 폴리피롤 및 폴리아닐린과 같은 전도성 고분자 등으로 이루어지는 것으로 설명하나 본 발명은 이에 제한되지 않는다. 전술한 바와 같이 제1전극(132)과 및 제3전극(134)은 탄소나노튜브, 그래핀, 은나노와이어, 투명 전도성 산화물 등일 수도 있다.

[0145] 제1 전극(132) 및 제3 전극(134) 증착에 있어서, 스퍼터링(sputtering)이나 전자빔 증착(e-beam evaporation)과 같은 PVD(physical vapor deposition) 방법을 이용하여, 기판(100) 상에 금속 또는 전도성을 가지는 금속 산화물 또는 이들의 합금을 증착시킬 수 있다.

[0146] 도 8c를 참조하면, 보호층(130) 상에서 제1 전극(132) 및 제3 전극(134) 상에 격벽(140)을 형성한다. 이때, 격벽(140)은 제1 전극(132) 상에서 제2 서브 영역(182)과의 경계(187) 방향을 제외한 나머지 부분의 제1 전극(132) 테두리를 덮고, 제3 전극(134) 상에서 게이트 라인(101)과 인접한 부분을 제외한 나머지 부분의 제3 전극(134) 테두리를 덮는다. 또한, 격벽(140)은 데이터 라인(102)의 일부와 게이트 라인(101)의 일부, 전원 라인(104)의 일부까지 덮는다. 격벽(140)은 단면의 형상으로서 적어도 일부가 역테이퍼진 형상을 이룬다.

[0147] 격벽(140)은 여러 가지 방법으로 형성될 수 있다.

[0148] 먼저, 보호층(130)과 제1 전극(132) 및 제3 전극(134) 상에 네거티브 감광성 물질을 스핀코팅법으로 도포하고, 감광성 물질 상에 차단부, 반투과부 및 투과부로 이루어진 하프톤 마스크를 위치시키고, 노광 및 현상하게 되면 역테이퍼 형상(역상구조)의 격벽(140)을 형성할 수 있다. 이때, 이 감광성 물질로 아크릴계 수지, 폴리이미드계 수지 또는 폴리에스테르계 수지로 이루어진 군에서 선택된 하나를 사용할 수 있다.

[0149] 다른 방법으로, 이러한 역테이퍼 구조를 갖는 격벽(140)은 네거티브(negative)의 감광성 특징을 갖는 유기절연 물질을 이용함으로써 형성할 수 있다. 빛을 받은 부분이 현상 시 남게 되는 네거티브(negative) 감광성 물질은 조사되는 영역에 있어 빛이 조사되는 량과 시간에 따라 빛과의 화학적 반응이 강하게 발생하여 현상 시에 제거되지 않게 되는 것인데, 유기절연물질층에 빛이 조사되는 경우 그 표면과 그 저면에 도달하는 광량의 차이가 발생한다. 따라서 이러한 특성에 의해 보호층(130)과 제1 전극(132) 및 제3 전극(134) 상에 도포된 네거티브 감광성 물질을 노광 후 현상하면 빛과의 반응 정도 차에 의해 그 단면 구조가 역테이퍼 구조를 갖게 되는 것이다.

[0150] 또 다른 방법으로, 격벽(140)은 오버 에칭 방법을 통해 형성될 수 있다. 먼저, 보호층(130)과 제1 전극(132) 및 제3 전극(134) 상에 격벽 물질층을 형성하고, 격벽 물질층 상으로 네거티브 감광성 물질을 도포한다. 그리고, 도포한 기판(100) 상에 마스크(미도시)를 이용하여 광을 선택적으로 조사하여 노광하고, 현상한다. 그후, 현상된 네거티브 감광막과 격벽 물질층을 습식 식각하는데, 습식 식각 공정을 통해 네거티브 감광막의 광조사되지 않은 부분이 녹아 없어지게 되고, 그 하부에 격벽 물질층을 오버 에칭(OverEtching)함으로써, 밑변의 길이가 윗변의 길이보다 짧은 역사다리꼴 형상의 격벽을 형성할 수 있다. 마지막으로 네거티브 감광막을 제거하면, 역사다리꼴 형상의 격벽이 형성된다.

[0151] 다음으로, 도 8d를 참조하면, 제1 전극(132)과 제3 전극(134), 격벽(140) 상에 제1 서브 영역(180)과 제2 서브 영역(182)의 발광영역(184, 186)과 격벽(140)과 인접한 부분(188)으로 개구부가 형성되는 뱅크(150)가

형성된다.

- [0152] 구체적으로, 제1 전극(132)과 제3 전극(134), 격벽(140) 상에 बैं크 물질을 전면 도포하고, 제1 전극(132) 및 제3 전극(134) 상에 제1 서브 영역(180)과 제2 서브 영역(182)의 발광영역(184, 186)을 노출시켜 개구부를 형성하고 격벽(140)이 노출되도록 개구부를 형성한다. 격벽이 노출되는 개구부는 격벽 보다 넓어 개구부의 일부(188)에서 보호층(130)이 노출된다.
- [0153] 이때, बैं크(150)는 유기층(제1 유기층 및 제2 유기층)과 접촉하는 면이 정테이퍼지도록 형성한다. 그리고, बैं크(150)는 격벽(140)과 접촉하는 면에 있어서, 격벽(140)의 역테이퍼진 형상 아래 공간을 점유하도록 형성하되 बैं크(150)의 일부는 격벽(140) 상부면 상의 일부에 위치하도록 형성할 수 있다.
- [0154] 제1 전극(132)과 접해 있는 제1/제2 बैं크(150a, 150b) 및 제1 격벽(140a)은 제1 전극(132)의 단부와 중첩되는 형태로 형성되고, 제3 전극(134)과 접해 있는 제3/제4 बैं크(150c, 150d) 및 제2 격벽(140b)은 역테이퍼진 구조의 하부에서 제3 전극(134)의 단부가 노출되도록 형성된다.
- [0155] 8e를 참조하면, 제1 전극(132), 제3 전극(134), बैं크(150)와 격벽(140)이 형성된 기판(100) 상에 유기층 물질을 전면 형성하고, 그 위에 금속 도전성 물질을 전면 형성한다. 이때 역테이퍼진 격벽(140)의 형상 때문에 전면 제1 유기층(160)과 제2 유기층(162)이 분리되어 형성되고, 제2 전극의 금속 도전성 물질층(171)과 제4 전극(175)이 분리된다. 이에 따라, 제1 전극(132) 상에 형성되는 제1 유기층(160)은 제3 전극(134)과 이격되어 형성되고, 제3 전극(134) 상으로 제1 유기층(160)에 대응되는 제2 유기층(162)이 형성된다. 또한, 제1 유기층(160) 상으로는 제3 전극(134)과 전기적으로 연결되는 제2 전극(170)이 형성되고, 제2 유기층(162) 상으로는 제2 전극(170)과 대응되는 제4 전극(175)이 형성된다.
- [0156] 유기층(160, 162)은 정공주입층(190), 정공수송층(191), 발광층(192), 전자수송층(193) 및 전자주입층(194) 등을 포함하는 다층 구조일 수도 있으나, 이에 한정되지 않고 단층 구조일 수 있다. 또한, 유기층은 다양한 고분자 소재를 사용하여 증착법이 아닌 솔벤트 프로세스(solvent process), 예를 들어 스핀 코팅, 딥 코팅, 닥터 블레이딩, 스크린 프린팅, 잉크젯 프린팅 또는 열 전사법(예를 들어, Laser Induced Thermal Imaging(LITI)) 등의 방법에 의하여 더 적은 수의 층으로 제조할 수 있다.
- [0157] 정공주입층(190)의 정공주입 물질로는 낮은 전압에서 양극으로부터 정공을 잘 주입 받을 수 있는 물질로서, 이러한 정공주입 물질의 HOMO(highest occupied molecular orbital)는 양극 물질의 일함수와 주변 유기물층의 HOMO 사이일 수 있다. 정공주입 물질의 구체적인 예로는 금속 포피린(porphyrine), 올리고티오펜, 아릴아민 계열의 유기물, 헥사니트릴 헥사아자트리페닐렌, 퀴나크리돈(quinacridone) 계열의 유기물, 페릴렌(perylene) 계열의 유기물, 안트라퀴논 및 폴리아닐린과 폴리티오펜 계열의 전도성 고분자 등이 있으나, 이들에만 한정되는 것은 아니다.
- [0158] 정공주입층(190) 위에는 정공수송층(191)이 형성된다. 이러한 정공수송층(191)은 정공주입층(190)으로부터 정공을 전달받아 그 위에 위치되는 발광층(192)으로 정공을 수송하는 역할을 하며, 높은 정공 이동도와 정공에 대한 안정성 및 전자를 막아주는 역할을 한다. 이러한 일반적 요구 이외에 차체 표시용으로 응용할 경우 소자에 대한 내열성이 요구되며, 유리 전이 온도(Tg)가 70 °C 이상의 값을 갖는 재료일 수 있다. 이와 같은 조건을 만족하는 물질들로는 NPD, NPB, 스피로-아릴아민계화합물, 페릴렌-아릴아민계화합물, 아자시클로헥타트리엔화합물, 비스(디페닐비닐페닐)안트라센, 실리콘게르마늄옥사이드화합물, 아릴아민 계열의 유기물(예를 들어 실리콘계아릴아민화합물), 전도성 고분자, 공액부분과 비공액부분이 함께 있는 블록 공중합체 등일 수 있으나 이에 제한되지 않는다.
- [0159] 정공수송층(191) 위에는 발광층(192)이 위치된다. 이러한 발광층(192)은 양극과 음극으로부터 각각 주입된 정공과 전자가 재결합하여 발광을 하는 층이며, 양자효율이 높은 물질로 이루어져 있다. 발광 물질로는 정공수송층(191)과 전자수송층(193)으로부터 정공과 전자를 각각 수송받아 결합시킴으로써 가시광선 영역의 빛을 낼 수 있는 물질로서, 형광이나 인광에 대한 양자효율이 좋은 물질이 바람직하다.
- [0160] 이와 같은 조건을 만족하는 발광 물질 또는 화합물로는, 예를 들어 8-히드록시-퀴놀린 알루미늄 착물(AlQ_3), 카르바졸 계열 화합물; 이량체화 스티릴(dimerized styryl) 화합물, BAQ; 10-히드록시벤조 퀴놀린-금속 화합물, 벤조사졸, 벤즈티아졸 및 벤즈이미다졸 계열의 화합물, 폴리(p-페닐렌비닐렌)(PPV) 계열의 고분자, 스피로(spiro) 화합물, 폴리플루오렌, 루브렌 등이 있으나, 이들에만 한정되는 것은 아니다.
- [0161] 발광층(192)은 저분자 또는 고분자의 호스트물질에 소량의 게이트물질(도펀트)을 도핑하여 호스트 분자의 여기

에너지가 게스트 분자로 이동하여 양자 효율이 높은 게스트로부터 발광할 수 있다.

[0162] 예를 들어, 녹색 발광물질의 경우 Alq_3 가, 청색 발광물질의 경우 BALq (8-hydroxyquinoline beryllium salt), DPVBi (4,4'-bis(2,2-diphenylethenyl)-1,1'-biphenyl) 계열, 스피로(Spiro) 물질, 스피로-DPVBi(Spiro-4,4'-bis(2,2-diphenylethenyl)-1,1'-biphenyl), LiPBO (2-(2-benzoxazoyl)-phenol lithium salt), 비스(디페닐비닐페닐비닐)벤젠, 알루미늄-퀴놀린 금속착체, 이미다졸, 티아졸 및 옥사졸의 금속착체 등이 있으며, 청색 발광 효율을 높이기 위해 페틸렌, 및 BczVBi (3,3'[(1,1'-biphenyl)-4,4'-diylidene-2,1-ethenediyl]bis(9-ethyl)-9H-carbazole; DSA(distyrylamine)류)를 소량 도핑하여 사용할 수 있다. 적색 발광물질의 경우는 녹색 발광 물질에 DCJTb ([2-(1,1-dimethylethyl)-6-[2-(2,3,6,7-tetrahydro-1,1,7,7-tetramethyl-1H,5H-benzo(ij)quinolizin-9-yl)ethenyl]-4H-pyran-4-ylidene]-propanedinitrile)와 같은 물질을 소량 도핑하여 사용할 수 있다. 잉크젯프린팅, 롤코팅, 스펀코팅 등의 공정을 사용하여 발광층을 형성할 경우에, 폴리페닐렌비닐렌(PPV) 계열의 고분자나 폴리 플루렌(poly fluorene) 등의 고분자를 발광층에 사용할 수 있다.

[0163] 다른 예를 들어 호스트물질로 카바졸(carbazole) 유도체(예를 들어, 4,4'-bis(9-carbazolyl)biphenyl (CBP)) 또는 트리페닐아민(triphenylamine) 유도체, 옥사디아졸(oxadiazole) 유도체, 1,2,4-triazole 유도체 또는 1,3,5-triazine 유도체 중 하나이고, 게스트물질로 금속착체, 예를 들어 이리듐 착체 또는 플라타늄 착체일 수 있다.

[0164] 발광층(192) 위에는 전자수송층(193)이 위치된다. 이러한 전자수송층(193)으로는 그 위에 위치되는 음극으로부터 전자주입 효율이 높고 주입된 전자를 효율적으로 수송할 수 있는 물질이 필요하다. 이를 위해서 전자 친화력과 전자 이동속도가 크고 전자에 대한 안정성이 우수한 물질이 사용된다. 이와 같은 조건을 충족시키는 전자수송 물질로는 구체적인 예로 8-히드록시퀴놀린의 Al 착물, Alq_3 를 포함한 착물, 유기 라디칼 화합물, 히드록시플라톤-금속 착물 등이 있으나, 이들에만 한정되는 것은 아니다.

[0165] 전자수송층(193) 위에는 전자주입층(194)이 적층된다. 전자주입층(194)은 BALq , Alq_3 , Be(bq)_2 , Zn(BTZ)_2 , Zn(phq)_2 , PBD, spiro-PBD, TPBI, Tf-6P 등과 같은 금속착체 화합물, 이미다졸 고리(imidazole ring)를 갖는 아마로틱(aromatic) 화합물이나 보론(boron) 화합물 등을 포함하는 저분자 물질을 이용하여 제작할 수 있으나 이에 제한되지 않는다.

[0166] 이때, 발광층(192)을 제외한 나머지 층들이 형성되지 않을 수 있다. 한편 유기층(160, 162)은 정공저지층, 전자저지층, 발광보조층, 정공수송보조층 또는 버퍼층 등을 더 포함할 수도 있고, 전자수송층 등이 정공저지층의 역할을 할 수도 있다.

[0167] 제2 전극(170) 및 제4 전극(175)은 캐소드 전극으로 기능할 경우, 제2 전극의 금속 도전성 물질층(171)과 제4 전극(175)은 일함수 값이 비교적 작은 금속물질, 예를 들면 알루미늄(Al), 알루미늄 합금, 은(Ag), 마그네슘(Mg), 금(Au) 중 어느 하나 이상의 물질로 이루어질 수 있다.

[0168] 이때, 도 8e에 도시된 바와 같이 제1 유기층(160)과 제2 전극의 금속성 물질층(171)은 제3 전극(134)과 소정의 거리를 두고 이격된다. 또한, 제1 유기층(160)과 제2 전극의 금속 도전성 물질층(171)은 사방의 격벽(140)에 의해 섬구조로 분리된다.

[0169] 제4 전극(175)은 제3 전극(134) 상에 형성된 역테이퍼진 제2 격벽(140b)에 의해 제2 전극(170)과 분리되나 도 7의 (a)에 도시된 “ㅂ”자 형상의 격벽이 형성되지 않은 부분을 통해 다른 화소들의 동일한 전극들과 연결되어 유기전계발광 표시장치의 공통전극을 형성할 수 있다. 하지만, 제1 전극(132)과 제3 전극(134) 상에서 “ㅂ”자 형상으로 형성되며 제1 서브 영역(180)을 둘러싸는 격벽(140)은 제2 전극(170)의 형성에 있어서 마스크로 이용되어 제2 전극(170)이 제2 서브 화소의 제4 전극(175) 및 다른 화소의 공통전극과 단절되도록 한다. 다시 말해 제2 전극(170)과 제4 전극(175)은 동일한 층에 형성되나, 제1 서브 화소의 제2 전극(170)은 섬구조의 제1 서브 영역(180)의 격벽(140)에 의해 공통전극과 전기적으로 분리되고, 제4 전극(175)은 격벽(140)이 형성되지 않은 부분을 통해 다른 화소의 공통전극과 전기적으로 연결된다.

[0170] 유기층(160, 162)과 제2 전극 및 제4 전극의 금속 도전성 물질층(171, 176)은 열증착 방법으로 증착될 수 있다. 열증착법에 의하면 챔버 내에 기관(100)을 위치시키고, 진공 상태에서 증발원에 열을 가해 기화시키면서 증착하여 균일한 박막을 형성할 수 있다. 본 발명의 실시예에서는 기관(100) 상에 격벽(140)이 형성되어 있어, 유기층을 수직 열증착 시킬 경우에, 격벽(140)이 마스크의 역할을 하므로 격벽(140)의 하부에는 유기층이 형성되지 않는다. 또한, 유기층 상으로 전면 증착되는 금속 도전성 물질층도 수직 열증착 시킬 경우에도, 격벽(140)이 마

스크의 역할을 하므로 격벽(140)의 하부에는 금속 도전성 물질층이 형성되지 않는다. 이렇게 격벽(140)이 형성된 상태에서 열증착법에 의해 유기층 및 금속 도전성 물질층을 형성함으로써 별도의 마스크를 사용하지 않고 제1 유기층(160)과 제2 유기층(162)을 분리시킬 수 있으며 또한 제2 전극(170)과 제4 전극(175)을 분리시킬 수 있다.

[0171] 도 8f를 참조하면, 제2 전극(170)의 금속 도전성 물질층(171)과 제4 전극(175)의 금속 도전성 물질층(176)이 형성된 기판 상에 제2 전극(170)의 투명 도전성 물질(172)을 전면에서 형성한다. 이때 제4전극(175)의 투명 도전성 물질(177)도 동시에 형성된다.

[0172] 이때 제2 전극의 투명 도전성 물질층(172)을 화학기상증착법으로 형성할 수 있으며, 또한 스퍼터링 공정으로 형성할 수 있다.

[0173] 구체적으로, 제2 전극의 투명 도전성 물질층(172)은 스퍼터링 공정에 의해 형성될 수 있다. 스퍼터링 방법으로는 DC(Direct Current)스퍼터링, RF(Radio Frequency) 스퍼터링법 등이 있으며, 도전성 물질을 양호하게 증착할 수 있고, 단차 특성도 좋기 때문에 박막 증착에 많이 사용되는 방법 중 하나이다. 스퍼터링 방법은 챔버 내에 기판을 위치시키고, 아르곤(Ar) 또는 반응성가스를 주입하고, 전기장을 가속하면, 높은 에너지를 갖는 입자들이 박막재료(source material)에 강하게 충돌하여 에너지를 전달해줌으로써 원자들이 분리되어 나오며, 이 원자들이 날아가서 원하는 기판 표면에 붙게 되는 방법이다. 따라서, 입자들이 원하는 기판 표면에 붙게 되는 스퍼터링 공정의 특성상 제1 실시예에서는 격벽(140)의 전면뿐만 아니라 격벽의 아래 부분까지 제2 전극의 재료인 투명 도전성 물질이 용이하게 형성될 수 있고, 단차 특성도 양호하게 형성될 수 있다는 장점이 있다.

[0174] 이러한 공정을 통해 제2 전극의 투명 도전성 물질층(172)은 제3 전극(134) 상에 형성된 격벽(140b) 아래 부분(음영 구역, 189)으로 유입되어 제3 전극(134)과 인접되고 전기적으로 연결된다.

[0175] 투명 도전성 물질은, 예를 들면 인듐-틴-옥사이드(ITO) 또는 인듐-징크-옥사이드(IZO)과 같은 금속 산화물, ZnO:Al 또는 SnO₂:Sb와 같은 금속과 산화물의 조합; 폴리(3-메틸티오펜), 폴리[3,4-(에틸렌-1,2-디옥시)티오펜](PEDT), 폴리피롤 및 폴리아닐린과 같은 전도성 고분자 등으로 이루어질 수 있다. 투명 도전성 물질은, 탄소 나노튜브, 그래핀, 은나노와이어, 투명 전도성 산화물 등일 수도 있다.

[0176] 도 8f의 제1 서브 화소와 제2 서브 화소의 경계 영역의 확대 단면을 살펴보면, 제3 전극(134)의 단부에 형성된 제2 격벽(140b)의 음영 구역(189)으로 제2 전극의 투명 도전성 물질층(172)이 유입되어 제3 전극(134)과 전기적으로 접촉한다. 이때 제2 전극의 투명 도전성 물질층(172) 중 음영 구역(189)으로 유입한 부분의 가장자리(173)는 두께가 연속 또는 불연속적으로 감소하는 형상이며, 제2 전극의 투명 도전성 물질층(172)의 단면과 제3 전극(134)의 단면이 측면 접촉하거나 제2 전극의 투명 도전성 물질층(172)의 일부가 제3 전극(134) 상에 형성되어 상면 접촉할 수 있다.

[0177] 한편, 제1 실시예에 대한 일 제조 공정에서 제2 전극(170)이 금속 도전성 물질층(171)과 투명 도전성 물질층(172)으로 이루어진 구조에 대해 설명하였다. 도 8f를 참조하여 설명한 바와 같이 제2 전극의 투명 도전성 물질층(172)은 스퍼터링으로 증착할 수 있는데, 유기층 상으로 스퍼터링에 의한 입자가 직접 증착되는 경우 유기층에 손상이 발생할 수 있다. 이때 미리 형성된 제2 전극의 금속 도전성 물질층(171)은 이러한 스퍼터링 입자로부터 제1 유기층(160)을 보호하는 기능을 수행할 수 있다.

[0178] 한편, 전술한 실시예에서 트랜지스터의 반도체층(112)이 폴리실리콘으로 형성되는 것을 예시적으로 설명하였으나 본 발명은 이로 제한되는 것은 아니다. 구체적으로 트랜지스터는 비정질실리콘 박막트랜지스터 또는 산화물 반도체 박막트랜지스터 또는 유기물 박막트랜지스터일 수 있다.

[0179] 트랜지스터가 산화물반도체 박막트랜지스터인 경우, 바텀게이트 박막트랜지스터의 형태를 가질 수 있다. 이때, 게이트 전극이 형성된 기판 전면에서 형성된 게이트 절연막 상에 게이트 전극에 대응하여 산화물반도체 물질인 징크 옥사이드(ZnO) 계열의 산화물, 예를 들어 IGZO(Indium Gallium Zinc Oxide), ZTO(Zinc Tin Oxide), ZIO(Zinc Indium Oxide) 중 어느 하나로 이루어진 산화물 반도체층이 아일랜드 형태로 형성될 수 있다. 산화물 반도체를 열증착 이외에 코팅 장치, 예를 들어 스핀 코팅장치, 슬롯 코팅장치, 잉크 젯 프린팅 장치, 분무장치 중 어느 하나의 장치를 이용하여 도포하여 산화물 반도체 물질층을 형성할 수도 있다.

[0180] 산화물 반도체층 상에는 서로 이격하는 형태로 소스 전극과 드레인 전극을 형성한다. 이렇게 산화물 반도체층의 상면이 소스 및 드레인 전극의 하면과 접촉하는 구조를 갖는 박막트랜지스터를 탑 콘택 방식(Top contact type) 박막트랜지스터라 한다. 이러한 방식으로 게이트 전극, 게이트 절연막, 반도체층 및 소스/드레인 전극을

순차적으로 증차하면 하나의 산화물반도체 박막트랜지스터가 형성된다.

- [0181] 도 9는 도 8f의 공정을 다른 방법으로 수행하는 제1 실시예에 따른 유기전계발광 소자의 다른 제조 공정 단면도이다.
- [0182] 본 제조 공정 예시에서, 도 8a 내지 도 8e에 도시된 공정이 선택적으로 실시된 후에, 도 8f에서 설명한 공정과 다른 도 9에 도시된 공정이 수행될 수 있다.
- [0183] 도 9를 참조하면, 제2 전극의 금속 도전성 물질층(171)과 제4 전극(175)의 금속 도전성 물질층(176)이 형성된 기판 상에 제2 전극(170) 및 제4 전극(175)의 투명 도전성 물질을 전면에서 형성한다. 이때 제2 전극의 투명 도전성 물질은 도 9에 도시된 바와 같이, 열증착이 이루어지는 기판(100)면에 대해 입자가 수직하게 입사되는 것이 아니라 비스듬하게 입사되도록 한다(도면번호 910 참조). 즉 열증착될 입자들의 운동방향(910)에 대해 기판(100)면이 소정의 각도를 가져 증착될 입자가 기판(100)면에 대해 비스듬히 입사되도록 한다. 따라서, 기판(100)면과의 입사 각도에 따라 제2 전극의 투명 도전성 물질층(972)이 격벽 아래의 음영 구역(189)으로 유입된다.
- [0184] 입사되는 각도는 격벽(140)의 역테이퍼진 측면이 기판(100)과 이루는 각도보다 클 수 있다. 이때, 입사되는 각도가 역테이퍼진 측면의 각도보다 작은 경우 입자가 제2 격벽(140b)의 측면에 증착되어 제2 전극(170)과 제4 전극(175)이 전기적으로 연결될 수도 있다.
- [0185] 이때, 제2 전극의 투명 도전성 물질층(972)은 열증착 또는 이온 빔 증착의 방법으로 증착될 수 있다. 이와 같이 제2 전극(132)과 제4 전극(134)의 투명 도전성 물질층(972)은 유기층 및 제2 전극 및 제4 전극의 금속 도전성 물질층(171, 176)과 동일하게 열증착 공정을 통해 형성하므로 동일한 증착 장비를 이용하여 공정 효율을 향상시킬 수 있다.
- [0186] 제1 실시예에서의 제2 전극(170)을 이루는 두 개의 층은 모두 도전성 물질층으로 전기적으로 제2 전극(170)의 면저항을 낮추는 효과가 있다. 또한, 서로 다른 제질과 공정을 통해 하나(예를 들어, 금속 도전성 물질층(171))는 제1 유기층(160)으로 전자 주입이 수월하게 이루어지도록 하는 기능을 수행하고 다른 하나(예를 들어, 투명 도전성 물질층(172))는 제3 전극(134)과의 전기적 연결 경로를 형성하는 기능을 수행할 수 있다. 다만, 제2 전극(170) 형성을 위해 서로 다른 물질 혹은 공정이 필요하고, 두 개의 층 모두 도전성 물질층으로 제2 전극(170)과의 전기적인 결합이 가능한 바 이중 하나의 층이 생략되는 구조가 제2 전극(170)에 사용될 수 있다. 이때, 제4 전극(175)도 제2 전극(170)과 동일하게 하나의 층이 생략되는 구조일 수 있다.
- [0187] <제2 실시예>
- [0188] 도 10은 제2 실시예에 따른 유기전계발광 소자의 개략적인 단면도이다.
- [0189] 도 10을 참조하면, 제2 실시예에 따른 유기전계발광 소자는 제1 실시예에 따른 유기전계발광 소자를 도시한 도 6과 제2 전극(1071) 및 제4 전극(1076) 아래의 층에서 동일한 구조를 가질 수 있다. 제2 실시예를 따른 유기전계발광 소자에서 제1 실시예에 따른 유기전계발광 소자와 동일한 구성요소들을 이하 동일한 도면번호를 사용한다.
- [0190] 제2 전극(1071)은 하나의 도전성 물질층으로 이루어져 있으면서, 제1 유기층(160) 상에 형성되고 또한, 제3 전극(134) 상에 형성된 제2 격벽(140b)의 음영 구역(189)으로 유입되어 제3 전극(134)과 인접되고 전기적으로 연결된다. 형태 상으로는 도 6의 실시예에서 제2 전극의 금속 도전성 물질층이 생략된 구조와 유사하다.
- [0191] 다만, 도 10에 도시된 실시예에서 제2 전극(1071)은 캐소드 전극으로 기능하도록 일함수 값이 비교적 작은 금속 물질, 예를 들면 주석, 마그네슘, 인듐, 칼슘, 나트륨, 리튬, 알루미늄, 은 등의 적당한 금속, 또는 그들의 적절한 합금이 사용되거나 리튬플루오라이드와 알루미늄, 산화리튬과 알루미늄, 스트론튬산화물과 알루미늄 등의 2 층 구조로 이루어질 수 있다.
- [0192] 제2 전극(1071)은 화학기상증착법 혹은 스퍼터링 공정으로 형성될 수 있다. 이러한 공정으로 형성되는 경우, 도 10에 도시된 바와 같이 제2 전극(1071)은 제3 전극(134) 상에 형성된 제2 격벽(140b)의 음영 구역(189)으로 유입되어 제3 전극(134)과 인접되고 전기적으로 연결된다.

- [0193] 또한, 제2 전극(1071)은 도 9를 참조하여 설명한 것과 같이 증착 공정에서 증착 입자를 기판 면과 소정의 각도를 가지고 비스듬히 입사시켜 제2 전극(1071)의 일부가 제2 격벽(140b)의 음영 구역(189)으로 유입되면서 제3 전극(134)과 인접되도록 할 수 있다. 제2 전극(971)과 제4 전극(1076)은 열증착 또는 이온 빔 증착의 방법으로 증착될 수 있다.
- [0194] <제3 실시예>
- [0195] 도 11은 제3 실시예에 따른 유기전계발광 소자의 개략적인 단면도이다.
- [0196] 도 11에 도시된 유기전계발광 소자는 도 5 및 도 6에 도시된 제1 실시예에 따른 유기전계발광 소자와 유기층 혹은 제3 전극 아래의 층에서 동일한 구조를 가질 수 있다.
- [0197] 도 11을 참조하면, 보호층(130) 상에 제1 전극(1132)과 제3 전극(1134)이 형성되고, 제1 전극(1132) 및 제3 전극(1134)의 가장자리에는 절연구조물인 बैं크(1150a, 1150b, 1150c, 1150d) 혹은 격벽(1140a, 1140b)이 형성되어 있다.
- [0198] 제1 전극(1132) 상에 위치하는 제2 बैं크(1150b) 및 제1 격벽(1140a)은 제1 전극(1132)의 단부와 중첩되는 형태로 형성되어 제1 전극(1132)이 제2 बैं크(1150b) 혹은 제1 격벽(1140a) 외부로 노출되지 않게 하고, 제3 전극(1134) 상에 위치하는 제2 격벽(1140b)은 역테이퍼진 구조의 하부에서 제3 전극(1134)의 단부가 노출되어 제2 전극(1170)과 접촉할 수 있도록 한다. 이때, 제3 전극(1134)의 가장자리는 제1 전극(1132) 방향에서 제2 격벽(1140b)의 음영 구역(1189) 밖으로 더 연장될 수 있다.
- [0199] 제1 전극(1132) 상으로는 제1 बैं크(1150a) 및 제2 बैं크(1150b)를 사이에 두고 발광층을 포함하는 제1 유기층(1160) 및 제2 전극(1170)이 순차적으로 형성되어 있다.
- [0200] 제1 유기층(1160)은 제3 전극(1134)과 소정의 거리를 두고 이격되어 있으나, 제2 전극(1170)은 일부가 제3 전극(1134)과 접촉하면서 제3 전극(1134)과 전기적으로 연결된다. 이때 제1 유기층(1160)은 사방의 격벽(1140)에 의해 섬구조로 분리되어 있다.
- [0201] 그리고 제3 전극(1134) 상으로는 제3 बैं크(1150c) 및 제4 बैं크(1150d)를 사이에 두고 발광층을 포함하는 제2 유기층(1162) 및 제4 전극(1175)이 순차적으로 형성되어 있다. 제4 전극(1175)은 제3 전극(1134) 상에 형성된 역테이퍼진 제2 격벽(1140b)에 의해 제2 전극(1170)과 분리되나 “ㅍ” 자 형상의 격벽(1140)이 형성되지 않은 부분을 통해 다른 화소들의 동일한 전극들과 연결되어 유기전계발광 표시장치의 공통전극을 형성할 수 있다.
- [0202] 도 12a 및 도 12b는 제3 실시예에 따른 유기전계발광 소자의 일 제조 공정 단면도이다.
- [0203] 본 제조 공정 예시에서 유기층 혹은 제3 전극(1134)이 형성되기 전단계의 공정들은 도 8a 내지 도 8d를 참조하여 설명한 실시예들이 적용될 수 있다.
- [0204] 도 12a를 참조하면, 기판(100) 상에 형성된 구동 트랜지스터(110) 상으로 보호층(130)이 위치하고 있다. 보호층(130) 상에는 제1 서브 영역(1180)에서 구동 트랜지스터(110)의 소스 전극(122) 혹은 드레인 전극(124)과 콘택홀을 통해 접촉되는 제1 전극(1132)이 형성되어 있고, 제2 서브 영역(1182)에서 제1 전극(1132)과 이격되어 제3 전극(1134)이 형성되어 있다.
- [0205] 제1 전극(1132) 및 제3 전극(1134)의 가장자리에는 절연구조물인 बैं크(1150a, 1150b, 1150c, 1150d) 혹은 격벽(1140a, 1140b)이 형성되어 있다. 그리고, बैं크(1150)는 제1 전극(1132)과 제3 전극(1134)의 발광 영역(1184, 1186)에서 개구하여 제1 전극(1132)과 제3 전극(1134)을 노출시킴과 동시에 제2 격벽(1140b)과 제2 बैं크(1150b) 사이에서 개구영역(1188)을 형성한다.
- [0206] 제1 전극(1132) 상에 위치하는 제2 बैं크(1150b) 및 제1 격벽(1140a)은 제1 전극(1132)의 단부와 중첩되는 형태로 형성되어 제1 전극(1132)이 제2 बैं크(1150b) 혹은 제1 격벽(1140a) 외부로 노출되지 않게 하고, 제3 전극(1134) 상에 위치하는 제2 격벽(1140b)은 역테이퍼진 구조의 하부에서 제3 전극(1134)의 단부가 노출되어 제2 전극(1170)과 접촉할 수 있도록 한다. 이때, 제3 전극(1134)의 가장자리는 제1 전극(1132) 방향에서 제2 격벽(1140b)의 음영 구역(1189) 밖으로 더 연장되어 있는 것이 특징이다.
- [0207] 도 12b를 참조하면, बैं크(1150)와 격벽(1140)이 형성된 기판 상으로 유기층 물질이 전면에서 형성된다. 이때, 제3

전극(1134) 중 제2 격벽(1140b)의 음영 구역(1189) 밖으로 더 연장되어 있는 부분과 중첩되면서, 제2 격벽(1140b)과 제2 뱅크(1150b) 사이에 형성된 개구영역(1188) 일부를 가리는 섀도우 마스크(1220)가 이용된다.

[0208] 이러한 섀도우 마스크(1220)를 이용하여 유기층 물질을 전면에 증착(1210)하면 마스크(1220)를 사이에 두고 제1 유기층(1160)과 제2 유기층(1162)이 분리되어 형성된다. 또한, 마스크(1220)는 제2 격벽(1140b)의 음영 구역(1189) 밖으로 연장되어 있는 제3 전극(1134) 부분을 가리고 있어 제1 유기층(1160)이 제3 전극(1134)과 중첩되지 않으며, 제1 전극(1132)과 제3 전극(1134) 사이에서 뱅크 및 격벽이 형성되지 않은 개구영역(1188) 일부를 가리기 때문에 제1 유기층(1160)은 제3 전극(1134)과 소정 거리 이격되어 형성된다.

[0209] 일반적으로 적색, 녹색, 청색 화소를 별도로 형성하는 경우, 각각의 색에 대하여 별도의 마스크를 사용하여 형성하기 때문에 전술한 마스크가 별도의 공정으로서 요구되는 것은 아니다.

[0210] 마스크(1220)를 이용하여 유기층 물질을 전면에 증착함으로써 제1 유기층(1160)과 제2 유기층(1162)을 형성한 후에는 도 12c에 도시된 바와 같이, 금속 도전성 물질을 전면에 형성한다. 이때, 역테이퍼진 제2 격벽(1140b)의 형상 때문에 전면에 제2 전극(1170)과 제4 전극(1175)이 분리된다.

[0211] 또한, 제3 전극(1134)의 가장자리는 제1 전극(1132) 방향에서 격벽(1140b)의 음영 구역(1189) 밖으로 더 연장되어 있어 제2 전극(1170)은 제3 전극(1134)의 가장자리와 일부 중첩되어 형성된다. 이에 따라, 제2 전극(1170)은 그 일부가 제3 전극(1134) 상에서 제3 전극(1134)과 접촉하게 되어 제3 전극(1134)과 전기적으로 연결되게 된다.

[0212] 도 12b를 참조하여 설명한 유기층과 도 12c를 참조하여 설명한 금속 도전성 물질층은 열증착 방법으로 증착될 수 있다. 유기층 상에 형성되는 금속 도전성 물질층이 스퍼터링 공정에 의해 형성되는 경우, 스퍼터링에 의한 입자가 유기층을 손상시키는 문제가 발생할 수 있다. 그런데, 전술한 바와 같이 유기층과 금속 도전성 물질층을 모두 열증착 방법으로 증착하는 경우, 스퍼터링 입자에 의한 유기층의 손상은 발생하지 않게 된다.

[0213] <제4 실시예>

[0214] 도 13은 제4 실시예에 따른 유기전계발광 소자의 개략적인 단면도이다.

[0215] 도 13에 도시된 유기전계발광 소자는 도 5 및 도 6에 도시된 제1 실시예에 따른 유기전계발광 소자와 격벽/뱅크 아래의 층에서 동일한 구조를 가질 수 있다.

[0216] 도 13을 참조하면, 보호층(130) 상에 제1 전극(1332)과 제3 전극(1334)이 형성되고, 제1 전극(1332) 및 제3 전극(1334)의 가장자리에는 절연구조물인 뱅크(1350a, 1350b, 1350c, 1350d)가 형성되어 있다. 구체적으로, 하나의 화소 영역이 둘로 분할된 제1 서브 영역(1380)과 제2 서브 영역(1382) 각각의 경계에는 제1 서브 화소의 제1 전극(1332)과 제2 서브 화소의 제3 전극(1334)의 테두리 상에 형성되는 절연구조물로서 뱅크(1350a, 1350b, 1350c, 1350d)가 위치한다.

[0217] 뱅크(1350a, 1350b, 1350c, 1350d)는 제1 전극(1332)과 제3 전극(1334)의 발광 영역(1384, 1386)에서 개구하여 제1 전극(1332)과 제3 전극(1334)을 노출시킴과 동시에 제2 격벽(1340b)이 형성되는 방향에서 제1 전극(1332) 및 제3 전극(1334)의 외곽으로 개구영역(1388)을 형성한다.

[0218] 제1 서브 영역(1380)에 형성되는 제1/제2 뱅크(1350a, 1350b)는 보호층(130)의 일부와 제1 전극(1332)의 일부 상에 위치하면서 제1 전극(1332)의 테두리를 둘러싸는 형상으로 형성된다. 또한 제2 서브 영역(1382)에 형성되는 제3 뱅크(1450c)는 제1 서브 영역과 경계(1387)를 이루는 방향에서 하부면이 제3 전극(1334) 상에 위치되도록 형성되고, 그 외의 방향에서의 제4 뱅크(1350d) 및 제5 뱅크(미도시)는 보호층(130)의 일부와 제3 전극(1334)의 일부 상에 위치하면서 제3 전극(1334)의 테두리를 둘러싸는 형상으로 형성된다.

[0219] 격벽(1340)은 뱅크(1350) 상에 위치한다. 구체적으로 격벽(1340a, 1340b)의 하부면이 뱅크(1350) 상부면 내에 위치한다. 또한, 제1 격벽(1340a)은 제1 서브 영역(1380)에서 제2 서브 영역(1382)과 경계(1387)를 이루지 않는 방향에 형성되고, 제2 격벽(1340b)은 제2 서브 영역(1382)에서 제1 서브 영역(1380)과 경계를 이루는 방향에서 형성되어 제1 실시예에 따른 유기전계발광 소자에서의 격벽(140)의 평면상 배치와 동일하거나 실질적으로 동일한 배치를 이룰 수 있다.

[0220] 격벽(1340a, 1340b)은 측면에서 적어도 일부가 역테이퍼진 구조를 가지고 있다. 제1 전극(1332) 상에서는 제1/제2 뱅크(1350a, 1350b)가 제1 전극(1332)의 가장자리(테두리)를 둘러싸고 있지만 제3 전극(1334) 상에서는 제3

뱅크(1350c)가 제1 서브 영역과 경계(1387)를 이루는 방향에서 하부면이 제3 전극(1334) 상에 위치함으로써, 제3 전극(1334)이 제1 서브 영역과 경계(1387)를 이루는 방향에서 제3 뱅크(1350c) 외곽으로 연장되는 형상을 이루게 된다. 그리고, 제3 뱅크(1350c) 외곽으로 연장된 제3 전극(1334)의 단부는 제2 격벽(1340b)의 음영 구역(1389) 내에 위치한다.

[0221] 제1 전극(1332) 상으로는 제1 뱅크(1350a) 및 제2 뱅크(1350b)를 사이에 두고 발광층을 포함하는 제1 유기층(1360) 및 제2 전극(1370)이 순차적으로 형성되어 있다.

[0222] 제1 유기층(1360)과 제2 전극(1370)의 금속성 물질층(1371)은 제3 전극(1334)과 소정의 거리를 두고 이격되어 있으나, 제2 전극(1370)의 투명 도전성 물질층(1372)은 제3 전극(1334) 상에 형성된 제2 격벽(1340b)의 음영 구역(1389)으로 유입되어 제3 전극(1334)과 인접되면서 전기적으로 연결된다. 이때 제1 유기층(1360)과 제2 전극(1370)의 금속성 물질층(1371)은 사방의 격벽(1340)에 의해 섬구조로 분리되어 있다.

[0223] 그리고 제3 전극(1334) 상으로는 제3 뱅크(1350c) 및 제4 뱅크(1350d)를 사이에 두고 발광층을 포함하는 제2 유기층(1362) 및 제4 전극(1375)이 순차적으로 형성되어 있다. 제2 전극(1370)과 제4 전극(1375)은 동일한 층에 형성되나, 제1 서브 화소의 제2 전극(1370)은 격벽(1340)에 의해 섬구조로 되면서 공통전극과 전기적으로 분리되고, 제4 전극(1375)은 격벽(1340)이 형성되지 않은 부분을 통해 다른 화소의 공통전극과 전기적으로 연결된다.

[0224] 제2 격벽(1340b) 상에 형성되는 유기층(1381)은 제1 유기층(1360) 및 제2 유기층(1362)과 연결되지 않으며, 제2 격벽(1340b) 상에 형성되는 전극 층(1382, 1383)은 제2 전극(1370) 및 제4 전극(1375)과 연결되지 않고 고립된 형태로 더미층을 형성한다.

[0225] 도 14a 내지 도 14d는 제4 실시예에 따른 유기전계발광 소자의 일 제조 공정 단면도이다.

[0226] 본 제조 공정 예시에서 제1 전극 및 제3 전극이 형성되는 단계까지의 공정들은 도 8a 내지 도 8b를 참조하여 설명한 실시예들이 동일하게 적용될 수 있다.

[0227] 도 14a를 참조하면, 기관(100) 상에 형성된 구동 트랜지스터(110) 상으로 보호층(130)이 위치하고 있다. 보호층(130) 상에는 제1 서브 영역(1380)에서 구동 트랜지스터(110)의 소스 전극(122) 혹은 드레인 전극(124)과 콘택홀을 통해 접촉되는 제1 전극(1332)이 형성되고, 제2 서브 영역(1382)에서 제1 전극(1332)과 이격되어 제3 전극(1334)이 형성된다.

[0228] 제1 전극(1332) 및 제3 전극(1334)의 가장자리에는 절연구조물인 뱅크(1350a, 1350b, 1350c, 1350d)가 형성된다. 뱅크(1350)는 전면에 도포되는 뱅크 물질층에 대하여 일부 영역을 개구시킴으로써 형성되는데, 제1 서브 화소와 제2 서브 화소의 발광 영역(1384, 1386)이 개구되고, 제2 격벽(1340b)이 형성되는 방향에서 제1 전극(1332) 및 제3 전극(1334)의 외곽으로 개구영역(1388)을 형성한다.

[0229] 제1 서브 영역(1380)에서 제1/제2 뱅크(1350a, 1350b)는 보호층(130)의 일부와 제1 전극(1332)의 가장자리 상에 형성하여 제1 전극(1332)의 테두리를 둘러싸는 형상으로 형성한다. 또한, 제2 서브 영역(1382)에 형성되는 제3 뱅크(1450c)는 제1 서브 영역(1380)과 경계를 이루는 방향에서 하부면이 제3 전극(1334) 상에 위치하도록 형성하고, 그 외의 방향에서의 제4 뱅크(1350d) 및 제5 뱅크(미도시)는 보호층(130)의 일부와 제3 전극(1334)의 가장자리 상에 형성하여 제3 전극(1334)의 테두리를 둘러싸는 형상으로 형성한다.

[0230] 도 14b를 참조하면, 격벽(1340)은 뱅크(1350) 상에 형성한다. 격벽(1340)은 도 8c를 참조하여 설명한 것과 같이 네거티브 감광성 물질을 뱅크(1350)가 형성된 기관(100)의 전면에 도포하고 빛의 투과도에 따라 혹은 에칭의 강도에 따라 하부면이 더 많이 식각되는 방법으로 형성할 수 있다. 이때, 격벽(1340)은 측면의 적어도 일부가 역테이퍼진 형상으로 형성된다.

[0231] 제1 격벽(1340a)은 제1 서브 영역(1380)에서 제2 서브 영역(1382)과 경계를 이루지 않는 방향에 형성하고, 제2 격벽(1340b)은 제2 서브 영역(1382)에서 제1 서브 영역(1380)과 경계를 이루는 방향에 형성한다.

[0232] 뱅크(1350)와 격벽(1340)이 제1 전극(1332) 및 제3 전극(1334)과 이루는 형상을 살펴보면, 제1 전극(1332) 상에서는 제1/제2 뱅크(1350a, 1350b)가 제1 전극(1332)의 가장자리(테두리)를 둘러싸고 있지만 제3 전극(1334) 상에서는 제3 뱅크(1350c)가 제1 서브 영역(1380)과 경계를 이루는 방향에서 하부면이 제3 전극(1334) 상에 위치함으로써, 제3 전극(1334)이 제1 서브 영역(1380)과 경계를 이루는 방향에서 제3 뱅크(1350c) 외곽으로 연장

되는 형상을 이루게 된다. 그리고, 제3 बैं크(1350c)의 좌측으로 연장된 제3 전극(1334)의 단부는 제2 격벽(1340b)의 음영 구역(1389) 내에 위치한다.

[0233] 도 14c를 참조하면, बैं크(1350)와 격벽(1340)이 형성된 기판(100) 상에 유기층 물질을 전면에서 형성하고, 그 위에 금속 도전성 물질을 전면에서 형성한다. 이때 역테이퍼진 격벽(1340)의 형상 때문에 전면에서 제1 유기층(1360)과 제2 유기층(1362)이 분리되어 형성되고, 제2 전극(1370)의 금속 도전성 물질층(1371)과 제4 전극(1375)이 분리된다.

[0234] 제1 유기층(1360)과 제2 전극(1370)의 금속 도전성 물질층(1371)은 제3 전극(1334)과 소정의 거리를 두고 이격된다. 이때 제1 유기층(1360)과 제2 전극(1370)의 금속 도전성 물질층(1371)은 사방의 격벽(1340)에 의해 섬구조로 분리된다.

[0235] 제4 전극(1375)은 제3 전극(1334)상에 형성된 역테이퍼진 제2 격벽(1340b)에 의해 제2 전극(1370)과 분리되거나 격벽이 형성되지 않은 부분을 통해 다른 화소들의 동일한 전극들과 연결되어 유기전계발광 표시장치의 공통전극을 형성할 수 있다.

[0236] 유기층과 제2 전극(1370) 및 제4 전극(1375)의 금속 도전성 물질층(1371, 1376)은 열증착 방법으로 증착될 수 있다. 유기층을 열증착 시킬 경우에, 격벽(1340)이 마스크의 역할을 하므로 격벽(1340)의 하부에는 유기층이 형성되지 않는다. 또한, 유기층 상으로 전면에서 증착되는 금속 도전성 물질층도 열증착 시킬 경우에, 격벽(1340)이 마스크의 역할을 하므로 격벽(1340)의 하부에는 금속 도전성 물질층이 형성되지 않는다. 이렇게 격벽(1340)이 형성된 상태에서 열증착법에 의해 유기층 및 금속 도전성 물질층을 형성함으로써 별도의 마스크를 사용하지 않고 제1 유기층(1360)과 제2 유기층(1362)을 분리시킬 수 있으며 또한 제2 전극(1370)과 제4 전극(1375)을 분리시킬 수 있다.

[0237] 도 14d를 참조하면, 제2 전극(1370)의 금속 도전성 물질층(1371)과 제4 전극(1375)이 형성된 기판(100) 상에 제2 전극(1370)의 투명 도전성 물질층(1372)을 전면에서 형성한다. 이때 제4 전극(1375)에도 투명 도전성 물질층(1377)이 함께 형성될 수 있다.

[0238] 이때 제2 전극(1370)의 투명 도전성 물질을 화학기상증착법으로 형성하거나, 스퍼터링 공정에 의해 형성할 수 있다. 일 예로서 스퍼터링 공정에 의해 투명 도전성 물질을 형성할 때, 증착 입자들을 원하는 기판(100) 표면에 붙게 하여 증착할 수 있는데, 이러한 방법으로 증착할 경우, 기판(100)의 전면뿐만 아니라 격벽(1340)의 아래 부분까지 용이하게 입자를 증착시킬 수 있다.

[0239] 이러한 공정을 통해 제2 전극(1370)의 투명 도전성 물질층(1372)은 제3 전극(1334) 상에 형성된 격벽(1340) 아래 부분(음영 구역)으로 유입되어 제3 전극(1334)과 인접되고 전기적으로 연결된다.

[0240] <제5 실시예>

[0241] 도 15는 제5 실시예에 따른 유기전계발광 소자의 개략적인 단면도이고, 도 16은 제5 실시예에 따른 유기전계발광 소자의 제1/제3 전극과 बैं크만 도시한 평면도이다.

[0242] 도 15 및 도 16에 도시된 유기전계발광 소자는 도 5 및 도 6을 참조하여 설명한 실시예들이 적용될 수 있다.

[0243] 도 15를 참조하면, 제1 실시예(도 5, 도 6 참조)와 비교할 때 제5 실시예에서는 제1 전극(1532) 상에서 제1 서브 영역(1580)에서 제2 서브 영역(1582)과 경계(1587)를 이루는 방향에 बैं크가 형성되어 있지 않다.

[0244] 구체적으로 살펴보면, 제1 서브 영역(1580)에서 보호층(130) 상으로 제1 전극(1532)이 형성되어 있고, 제2 서브 영역(1582)에서 제1 전극(1532)과 이격되어 제3 전극(1534)이 형성되어 있다.

[0245] 제1 전극(1532) 및 제3 전극(1534)의 가장자리에는 절연구조물인 बैं크(1550a, 1550c, 1550d, 1550e, 1550f) 혹은 격벽(1540a, 1540b)이 형성되어 있는데, 제2 서브 영역(1582)에서 제3 बैं크(1550c), 제4 बैं크(1550d) 및 제5 बैं크(1550e)는 제3 전극(1534)의 사방으로 형성되어 있다. 하지만, 제1 서브 영역(1580)에서 제1 बैं크(1550a)는 제2 서브 영역(1582)과 경계(1587)를 이루는 방향에서 형성되어 있지 않아, 도 16의 평면도 상으로 “ㄷ”자 형상을 이루고 있다.

[0246] बैं크(1550a, 1550c, 1550d, 1550e, 1550f) 및 격벽(1540a, 1540b)이 형성되어 있는 제1 전극(1532) 및 제3 전극(1534) 상으로는 제1/제2 유기층(1560, 1562) 및 제2/제4 전극(1570, 1575)이 순차적으로 형성되어 있다.

- [0247] 도 5 및 도 6을 참조하여 설명한 실시예와 비교할 때, 제1 전극(1532)의 일측에서 뱅크가 없기 때문에 제1 전극(1532)은 뱅크가 제거된 부분으로 확장되어 제1 실시예의 제1 전극(132) 보다 넓은 면적으로 형성될 수 있다. 또한, 제1 전극(1532) 상에 형성된 뱅크의 일부가 제거되어 제1 서브 화소의 발광 영역(1584)을 넓히는 효과도 있다. 결국, 도 15 및 도 16의 제5 실시예에 따르면 제1 전극(1532)이 넓어지고 일부 뱅크가 제거되어 전체적으로 발광 영역이 넓어지게 된다.
- [0248] 제1 서브 화소의 발광 영역이 전술한 바와 같이 넓어지는 효과가 발생함으로 제1 서브 화소와 제2 서브 화소의 발광 영역의 균형을 맞추기 위해 제1 전극(1532)의 면적과 제3 전극(1534)의 면적이 실질적으로 동일하도록 제1 전극(1532), 제3 전극(1534) 및 격벽(1540) 등을 형성할 수 있다.
- [0249] 도 17a 내지 도 17c는 제5 실시예에 따른 유기전계발광 소자의 일 제조 공정 단면도이다.
- [0250] 도 17a를 참조하면, 기판(100) 상에 형성된 구동 트랜지스터(110) 상으로 보호층(130)이 위치하고 있다. 보호층(130) 상에는 제1 서브 영역(1580)에서 구동 트랜지스터(110)의 소스 전극(120) 혹은 드레인 전극(124)과 콘택홀을 통해 접촉되는 제1 전극(1532)이 형성되어 있고, 제2 서브 영역(1582)에서 제1 전극(1532)과 이격되어 제3 전극(1534)이 형성되어 있다.
- [0251] 제1 전극(1532) 및 제3 전극(1534) 상으로는 격벽(1540)을 형성한다. 이때, 격벽(1540)은 측면의 적어도 일부가 역테이퍼진 형상으로 형성된다.
- [0252] 뱅크(1550)는 격벽(1540)이 형성되어 있는 기판(100) 상에 전면으로 도포되는 뱅크(1550) 물질층에 대하여 일부 영역을 개구시킴으로써 형성되는데, 제1 서브 화소와 제2 서브 화소의 발광 영역(1584, 1586)이 개구되고, 격벽(1540)이 형성되는 방향에서 제1 전극(1532) 및 제3 전극(1534)의 외곽으로 개구영역(1588)을 형성한다. 이때, 제1 전극(1532)은 제2 서브 영역(1582)과의 경계에서 뱅크를 가지지 않도록 제1 서브 화소의 발광 영역(1584)과 두 서브 영역의 경계에 있는 개구영역(1588)은 서로 연결되어 있도록 형성한다.
- [0253] 도 17b를 참조하면, 뱅크(1550a, 1550c, 1550d)와 격벽(1540)이 형성된 기판(100) 상에 유기층 물질을 전면에서 형성하고, 그 위에 금속 도전성 물질을 전면에서 형성한다. 이때, 역테이퍼진 격벽(1540)의 형상 때문에 전면에서 제1 유기층(1560)과 제2 유기층(1562)이 분리되어 형성되고, 제2 전극(1570)의 금속 도전성 물질층(1571)과 제4 전극(1575)이 분리된다.
- [0254] 제1 유기층(1560)과 제2 전극(1570)의 금속성 물질층(1571)은 제3 전극(1534)과 소정의 거리를 두고 이격된다. 이때 제1 유기층(1560)과 제2 전극(1570)의 금속 도전성 물질층(1571)은 사방의 격벽(1540)에 의해 섬구조로 분리된다.
- [0255] 제4 전극(1575)은 제3 전극(1534)상에 형성된 역테이퍼진 격벽(1540)에 의해 제2 전극(1570)과 분리되나 격벽이 형성되지 않은 부분을 통해 다른 화소들의 동일한 전극들과 연결되어 유기전계발광 표시장치의 공통전극을 형성할 수 있다.
- [0256] 제1 전극(1532) 상에서 두 서브 영역의 경계 방향으로 뱅크가 형성되지 않으므로, 유기층 및 금속 도전성 물질층이 전면에서 도포되어, 제1 유기층(1560) 및 제2 전극(1570)의 금속 도전성 물질층(1571)이 형성될 때, 제1 유기층(1560)과 제2 전극(1570)의 금속 도전성 물질층(1571)은 제1 전극(1532)의 가장자리를 직접적으로 둘러싸면서 형성된다.
- [0257] 유기층 및 금속 도전성 물질층은 격벽(1540)이 형성된 상태에서 열증착법에 의해 형성되어 별도의 마스크를 사용하지 않고 제1 유기층(1560)과 제2 유기층(1562)을 분리시킬 수 있으며 또한 제2 전극(1570)과 제4 전극(1575)을 분리시킬 수 있다.
- [0258] 도 17c를 참조하면, 제2 전극(1570)의 금속 도전성 물질층(1571)과 제4 전극(1575)의 금속 도전성 물질층(1576)이 형성된 기판(100) 상에 제2 전극(1570)의 투명 도전성 물질층(1572)을 전면에서 형성한다. 이때, 제4 전극에도 투명 도전성 물질층(1577)이 함께 형성될 수 있다.
- [0259] 이때 제2 전극(1570)의 투명 도전성 물질층(1572)을 화학기상증착법으로 형성하거나, 스퍼터링 공정에 의해 형성할 수 있다. 이러한 공정을 통해 제2 전극(1570)의 투명 도전성 물질층(1572)은 제3 전극(1534) 상에 형성된 격벽(1540) 아래 부분(음영 구역)으로 유입되어 제3 전극(1534)과 인접되고 전기적으로 연결된다.

- [0260] <제6 실시예>
- [0261] 도 18은 제6 실시예에 따른 유기전계발광 소자의 개략적인 단면도이고, 도 19는 제6 실시예에 따른 유기전계발광 소자의 제1/제3 전극과 बैं크만 도시한 평면도이다.
- [0262] 도 18 및 도 19에 도시된 유기전계발광 소자는 도 15 및 도 16에서 도시된 유기전계발광 소자와 비교할 때, 제3 전극(1534) 상에서 제1 서브 영역과 제2 서브 영역 사이의 경계(1587)에 형성된 제3 बैं크(1550c)가 제거된 구조를 가지는 점이 특징이다. 이와 관련하여, 도 18 및 도 19에 도시된 유기전계발광 소자에는 도 5, 6, 16 및 17을 참조하여 설명한 실시예들이 적용될 수 있다.
- [0263] 도 19를 참조하면, 도 15와 비교할 때, 제3 전극(1834) 상에서 제1 서브 영역(1880)과 제2 서브 영역(1882) 사이의 경계(1887) 방향으로 형성된 제3 बैं크가 제거되어 있다. 이를 통해, 제3 बैं크가 형성되었던 면적만큼 제2 서브 화소의 발광 영역(1886)이 넓어지고 있다.
- [0264] 또한, 도 19의 단면 구조상으로 볼 때, 제2 서브 영역(1882)에 형성된 제2 격벽(1840b) 상으로 형성된 유기층(1881) 및 도전성 물질층(1882, 1883)이 발광 영역에 형성된 제1 유기층(1860), 제2 유기층(1862), 제2 전극(1870(1871, 1872)) 및 제4 전극(1875(1876, 1877))과 단절되어 더미층을 형성하고 있다.
- [0265] 이렇게 제2 서브 영역(1882)에 형성된 बैं크의 일부가 제거되면, 제2 서브 화소의 발광 영역(1886)이 넓어진다. 이에 따라 제1 서브 화소의 발광 영역(1884)과 제2 서브 화소의 발광 영역(1886)의 균형을 맞추기 위해 제1 전극(1832)과 제3 전극(1834)의 면적을 조절할 수 있다.
- [0266] <제7 실시예>
- [0267] 도 20은 제7 실시예에 따른 유기전계발광 소자를 포함하는 유기전계발광 표시장치의 개략적인 평면도이다.
- [0268] 도 20에 도시된 유기전계발광 표시장치에는 도 5 내지 도 19를 참조하여 설명한 유기전계발광 소자에 대한 실시예들이 적용될 수 있다. 여기서는 다른 실시예들과 구별되는 특징을 중심으로 설명한다.
- [0269] 유기전계발광 표시장치는 기판(100), 기판(100) 상에 위치하는 다수의 배선 라인 및 유기전계발광 소자를 포함할 수 있다.
- [0270] 기판(100) 상에 제1 방향(도 20에서 가로방향)으로 게이트 신호를 전달하는 게이트 라인(2002)이 형성되어 있다. 그리고, 제2 방향(도 20에서 세로방향)으로 데이터 신호를 전달하는 데이터 라인들(2004, 2006)과 고전압 전원을 공급하는 전원 라인들(2008, 2010)이 서로 이격하여 형성되어 있다. 이때, 전원 라인들(2008, 2010)은 게이트 라인(2002)과 이격하며 나란히 형성될 수도 있다. 게이트 라인(2002)은 기판(100) 상에서 가로방향으로 게이트 패드(미도시)까지 길게 연장되어 있고, 데이터 라인들은 기판(100) 상에서 세로방향으로 데이터 패드(미도시)까지 길게 연장되어 있다.
- [0271] 유기전계발광 소자는 게이트 라인(2002)과 데이터 라인(2004, 2006)의 교차로 정의된 각각의 화소 영역에서 전극들과 유기층을 포함하고 있으면서 기판(100) 상에 형성된 박막트랜지스터로부터 공급되는 전류에 따라 발광하는 각각의 화소를 포함한다.
- [0272] 유기전계발광 표시장치는 서로 다른 화소 구조를 가지는 두 개의 유기전계발광 소자를 포함하고 있다. 도 20의 평면도상으로 좌측에 도시된 화소에 위치하는 제1 유기전계발광 소자는 발광 영역이 하나로 이루어진 단일 화소 구조를 가지고 있으며, 도 20의 평면도상으로 우측에 도시된 화소에 위치하는 제2 유기전계발광 소자는 제1 서브 화소와 제2 서브 화소를 포함하는 구조로 도 4를 참조하여 설명한 회로로 모델링될 수 있다.
- [0273] 제1 유기전계발광 소자는 게이트 라인(2002)에 게이트 전극(2021a)이 연결되고 제1 데이터 라인(2004)에 일단(2021b)이 연결되며 제1 노드(2020)에 타단(2021c)이 연결된 제1 스위칭 트랜지스터(2021)와, 제1 노드(2020)에 게이트 전극(2030)이 연결되고 제1 전원 라인(2008)에 일단이 연결된 제1 구동 트랜지스터(2023)를 포함할 수 있다.
- [0274] 제2 유기전계발광 소자는 게이트 라인(2002)에 게이트 전극(2024a)이 연결되고 제2 데이터 라인(2006)에 일단(2024b)이 연결되며 제2 노드(2022)에 타단(2024c)이 연결된 제2 스위칭 트랜지스터(2024)와, 제2 노드(2022)에 게이트 전극(2032)이 연결되고 제2 전원 라인(2010)에 일단이 연결된 제2 구동 트랜지스터(2025)를 포함할

수 있다. 또한, 제2 유기전계발광 소자는 두 개의 서브 화소를 포함하는데, 제1 서브 화소는 각각 애노드 전극과 캐소드 전극으로 기능하는 제1 전극과 제2 전극을 포함하고 제1 전극과 제2 전극 사이에 발광층을 포함하는 제1 유기층을 포함한다. 그리고, 제2 서브 화소는 각각 애노드 전극과 캐소드 전극으로 기능하는 제3 전극과 제4 전극을 포함하고 제3 전극과 제4 전극 사이에 발광층을 포함하는 제2 유기층을 포함한다.

[0275] 도 20에 도시한 트랜지스터들의 구조나 이들의 연결관계들은 하나의 예시일 뿐 본 발명은 이에 제한되지 않고 제조시 적절하게 설계변경할 수 있다.

[0276] 또한, 제1 서브 화소의 제1 전극은 구동전류를 공급받기 위해 제2 구동 트랜지스터(2025)의 타단과 전기적으로 연결되어 있으며, 제2 전극은 제2 서브 화소의 제3 전극과 전기적으로 연결되어 있어서 제1 서브 화소와 제2 서브 화소가 직렬 구조로 연결되도록 한다. 제2 서브 화소의 제4 전극은 다른 화소의 공통전극과 연결되어 있으면서 구동전류를 배출하는 기능을 한다.

[0277] 전술한 화소 구조에 따라 보면, 제1 화소는 도 1을 참조하여 설명한 단일 유기전계발광 다이오드로 이루어진 구조를 가지면, 제2 화소는 도 4를 참조하여 설명한 두 개의 유기전계발광 다이오드를 포함하는 구조를 가진다.

[0278] 이에 따라, 도 4를 참조하여 설명한 바와 같이 동일한 휘도 조건에서 제2 화소로 공급되는 구동전류의 크기는 제1 화소로 공급되는 구동전류의 크기의 1/2일 수 있다.

[0279] 구동 박막트랜지스터에서 드레인 전극과 소스 전극 사이에 흐르는 구동전류와 전류구동능력 혹은 트랜지스터의 채널영역의 폭과의 관계는 아래 수식과 같다.

[0280] < 수학적식 5 >

$$[0281] I_{DS} = K(V_{GS} - V_{TH})^2$$

$$[0282] K = 1/2u_{eff}C_GW/L$$

[0283] 수학적식 5에서 I_{DS} 는 구동전류이고, K 는 전류구동능력이며, V_{GS} 는 게이트와 소스 전극 사이의 전압이고, V_{TH} 는 문턱전압이다. 또한, 트랜지스터에 있어서 u_{eff} 는 전계효과 전자이동도(field effect electron mobility)이고, C_G 는 채널영역의 게이트 전극의 단위면적당 정전용량이며, W 와 L 은 채널의 폭과 길이를 의미한다.

[0284] 수학적식 5를 참조하면, 구동전류(I_{DS})는 전류구동능력(K)에 비례하게 되고, 이러한 전류구동능력(K)은 트랜지스터 채널의 폭(W)에 비례하는 것을 알 수 있다.

[0285] 도 20에 도시된 실시예에서, 제1 구동 트랜지스터(2023)의 게이트 전극(2030)은 제1 전원 라인(2008)과 나란한 방향으로 화소 전극(2050)의 길이만큼 길게 연장되어 형성되어 있다. 또한, 화면에는 미도시되었으나 게이트 전극(2030)의 크기에 대응하는 크기로 반도체층의 채널영역이 형성되어 있다. 제1 전원 라인(2008)과 나란한 방향이 채널영역의 폭(W)방향으로서 도 20과 같은 트랜지스터 구조는 채널영역의 폭(W)을 넓게 하여 전류구동능력(K)을 크게 하기 위함이다.

[0286] 도 20을 계속해서 참조하면, 제2 구동 트랜지스터(2025)의 게이트 전극(2032)은 제2 전원 라인(2010)과 나란한 방향으로 제1 서브 화소(2052) 전극의 길이만큼 연장되어 형성되어 있다. 또한, 화면에는 미도시되었으나 게이트 전극(2032)의 크기에 대응하는 크기로 반도체층의 채널영역이 형성되어 있다.

[0287] 제1 구동 트랜지스터(2023)와 제2 구동 트랜지스터(2025)의 채널영역 폭(W)의 크기를 보면, 제2 구동 트랜지스터(2025)의 채널영역 폭(W)이 제1 구동 트랜지스터(2023)의 채널영역 폭보다 대략 1/2만큼 좁은 것을 알 수 있다. 이렇게 작은 채널영역 폭으로 인해 제2 구동 트랜지스터(2025)의 전류구동능력 또한 제1 구동 트랜지스터(2023)의 전류구동능력의 대략 1/2에 해당되는 값을 갖게 된다.

[0288] 앞서 설명한 바와 같이 제2 화소의 구동전류 값이 제1 화소의 구동전류 값의 1/2에 해당되기 때문에 이렇게 제2 구동 트랜지스터(2025)의 전류구동능력이 제1 구동 트랜지스터(2023)의 전류구동능력 값보다 작아도 두 화소는 동일한 구동능력을 발휘할 수 있다.

[0289] 제2 화소는 하나의 화소 영역이 둘로 분할되어 제1 서브 화소와 제2 서브 화소를 이루면서 두 서브 화소의 경계

에서 비발광 영역이 형성된다. 이때, 도 20에 도시된 바와 같이 제1 서브 화소로 구동전류를 공급하는 구동 트랜지스터의 채널영역 폭 및 게이트 전극의 크기를 줄이면서 그 감소한 면적만큼 발광 영역을 증가시킴으로써 두 서브 화소의 경계 사이에서 비발광 영역이 증가하는 문제를 해소할 수 있다.

[0290] 이상에서는 유기전계발광 소자의 실시예를 중심으로 설명하였다. 이하에서는 유기전계발광 표시장치의 실시예를 중심으로 설명한다. 후술하는 유기전계발광 표시장치의 실시예에는 전술한 유기전계발광 소자에 대한 실시예가 모두 적용될 수 있다. 따라서, 여기서는 전술한 유기전계발광 소자에 대한 실시예와 구별되는 부분을 중심으로 설명한다.

[0291] 도 21은 실시예에 따른 유기전계발광 표시장치의 시스템 구성도이다.

[0292] 도 21을 참조하면, 실시예에 따른 유기전계발광 표시장치는 타이밍 제어부(2110), 데이터 구동부(2130), 게이트 구동부(2120) 및 표시패널(2140)을 포함할 수 있다.

[0293] 타이밍 제어부(2110)는 호스트 시스템(2100)으로부터 입력되는 수직/수평 동기신호(Vsync, Hsync)와 영상신호(RGB), 클럭신호(CLK) 등의 외부 타이밍 신호에 기초하여 데이터 구동부(2130)를 제어하기 위한 데이터 제어신호(DCS)와 게이트 구동부(2120)를 제어하기 위한 게이트 제어신호(GCS)를 출력한다. 또한, 타이밍 제어부(2110)는 호스트 시스템(2100)로부터 입력되는 영상신호(RGB)를 데이터 구동부(2130)에서 사용하는 데이터 신호 형식으로 변환하여 변환된 영상신호(R' G' B')를 데이터 구동부(2130)로 공급할 수 있다. 일 예로, 타이밍 제어부(2110)는, 표시패널(2140)의 해상도 혹은 화소 구조에 맞게 변환하여 변환된 영상신호(R' G' B')를 데이터 구동부(2130)에 공급할 수 있다. 여기서, 영상신호(RGB), 변환된 영상신호(R' G' B')는 영상 디지털 데이터, 영상 데이터, 또는 데이터라고도 한다.

[0294] 데이터 구동부(2130)는 타이밍 제어부(2110)로부터 입력되는 데이터 제어신호(DCS) 및 변환된 영상신호(R' G' B')에 응답하여, 변환된 영상신호(R' G' B')를 계조 값에 대응하는 전압 값인 아날로그 화소신호(데이터 신호 혹은 데이터 전압)로 변환하여 데이터 라인에 공급한다.

[0295] 게이트 구동부(2120)는 타이밍 제어부(2110)로부터 입력되는 게이트 제어신호(GCS)에 응답하여 게이트 라인에 스캔펄스(게이트 펄스 또는 게이트 온신호)를 순차적으로 공급한다.

[0296] 표시패널(2140)은 복수의 게이트 라인(GL1 내지 GLm)과 복수의 데이터 라인(DL1 내지 DLn)의 교차로 복수의 화소를 정의하는데, 각 화소에는 양극(anode), 음극(cathode) 및 유기층을 포함하는 적어도 하나의 유기전계발광 다이오드가 연결되어 있고, 각 유기전계발광 다이오드에 포함된 유기층은 적, 녹, 청 및 백색용 발광층 중 적어도 하나 이상의 발광층 또는 백색 발광층을 포함할 수 있다.

[0297] <제8 실시예>

[0298] 도 22는 도 21의 P1, P2, P3 화소를 나타내는 제8 실시예에 따른 유기전계발광 표시장치의 부분 확대 평면도이다.

[0299] 도 22를 참조하면, 각 화소에는 게이트 라인(GLy), 데이터 라인(DLx 내지 DLx+2) 및 고전위전압을 공급하기 위한 고전위전압라인(VDDx 내지 VDDx+2)이 형성되어 있다. 또한, 각 화소에는 게이트 라인(GL) 및 데이터 라인(DL) 사이에서 스위칭 트랜지스터가 형성되어 있고, 스위칭 트랜지스터의 소스 전극 혹은 드레인 전극, 고전위전압라인(VDD)과 유기전계발광 다이오드 사이에서 구동 트랜지스터가 형성되어 있다.

[0300] P1(2210), P2(2220), P3(2230) 화소 중 적어도 하나의 화소는 도 2 내지 도 20을 참조하여 설명한 본 발명의 실시예에 따른 유기전계발광 소자가 적용될 수 있다. 설명의 편의를 위하여, 도 22에서는 P3(2230) 화소만 두 개의 서브 화소로 분할된 것으로 도시하였으나, P1(2210) 혹은 P2(2220) 화소도 두 개 이상의 서브 화소로 분할될 수 있다.

[0301] 도 22를 참조하면, P1(2210) 및 P2(2220) 화소는 구동 트랜지스터 및 두 개의 전극들과 이러한 두 개의 전극들 사이에 형성된 유기층을 포함하는 단일 화소 구조로서, 유기전계발광 다이오드를 하나 포함하고 있다. 이에 반해, P3(2230) 화소는 본 발명의 실시예에 따른 유기전계발광 소자가 적용되어, 두 개의 서브 화소를 포함하며

각각의 서브 화소는 직렬로 연결되어 있는 구조를 가지고 있다.

- [0302] 각 화소의 구동을 살펴보면, P1(2210) 및 P2(2220) 화소는 구동 트랜지스터의 게이트 전극과 소스 전극 사이의 전압을 제어하여 단일 화소를 이루고 있는 유기전계발광 다이오드로 구동전류를 공급하게 된다. P1(2210) 및 P2(2220) 화소에서는 이러한 구동전류에 따라 유기전계발광 다이오드가 발광하게 된다.
- [0303] P3(2230) 화소의 경우, 구동 트랜지스터의 게이트 전극과 소스 전극 사이의 전압을 제어하여 드레인 전극과 연결되어 있는 제1 서브 화소(2230a)의 유기전계발광 다이오드로 먼저 구동전류를 공급하게 된다. 이러한 구동전류는 다시 직렬로 연결된 제2 서브 화소(2230b)의 유기전계발광 다이오드로 공급되어 제1 서브 화소(2230a) 및 제2 서브 화소(2230b)의 유기전계발광 다이오드가 발광하게 된다. 이때, 도 4를 참조하여 설명한 바와 같이 유기전계발광 소자로 공급되는 구동전류의 크기는 P3(2230)가 단일 화소로 구성될 때의 절반이 된다.
- [0304] 결국, P1(2210), P2(2220), P3(2230) 화소에서 P3(2230)만 소비전력의 개선 효과가 발생하게 된다. 이러한 구조는 특히 적색, 녹색, 청색 화소를 이용하는 유기전계발광 표시장치에 잘 적용될 수 있다. 구체적인 예로서, P1(2210)은 적색용 발광층을 포함하는 적색 화소(R)이고, P2(2220)는 녹색용 발광층을 포함하는 녹색화소(G)이며, P3(2230)는 청색용 발광층을 포함하는 청색 화소(B)인 경우에 적용될 수 있다. 적색 화소(R)과 녹색화소(G), 청색화소(B)를 형성할 때 유기층의 적, 녹, 청색 발광층을 형성하는 단계에서 적색 화소(R)과 녹색화소(G), 청색화소(B)에 대응하는 위치가 개구된 각각 별개의 웨도우 마스크 또는 파인 메탈 마스크(Fine Metal Mask)를 사용하여 증착공정에 의해 RGB를 패터닝할 수 있다. RGB 패터닝 방법으로 웨도우 마스크를 사용한 증착 공정 뿐만 아니라 다양한 고분자 소재를 사용하여 증착법이 아닌 솔벤트 프로세스(solvent process), 예를 들어 스핀 코팅, 딥 코팅, 닥터 블레이딩, 스크린 프린팅, 잉크젯 프린팅 또는 열 전사법 등의 방법을 사용할 수도 있다.
- [0305] 일반적으로 청색 화소의 발광 효율이 낮은 것으로 알려져 있다. 이런 경우, P3(2230)는 다른 화소 보다 많은 전력을 소비하게 되어 화소 간 소비전력의 불균형이 발생하게 된다. 또한, 과도한 소비전력에 의한 발열로 P3(2230) 부분의 수명만 빠르게 단축될 수 있다.
- [0306] 이때, P1(2210) 및 P2(2220)는 단일 유기전계발광 다이오드를 포함하고, P3(2230)는 본 발명의 실시예에 따른 두 개 이상의 유기전계발광 다이오드를 포함하는 경우, P3(2230)에서의 소비전력이 상대적으로 감소하여 화소 간 소비전력의 불균형을 해소할 수 있으며 또한 수명의 불균형으로 인한 특정 화소 불량 현상을 개선할 수 있게 된다.
- [0307] 전술한 실시예에서 P3(2230)에 해당되는 화소가 청색 화소인 경우에 대하여 설명하였으나, 본 발명이 이로 제한되는 것은 아니며 발광층에 사용되는 소자의 특성에 따라 다른 색 화소(적색 화소 또는 녹색 화소)의 발광 효율이 상대적으로 낮을 수 있다. 이 경우, P3(2230) 화소에 발광 효율이 낮은 화소를 적용할 수 있다.
- [0308] 통상적으로 적색 화소(R)과 녹색화소(G), 청색화소(B)의 발광재료로 삼중항 여기자가 발광에 기여하여 발광효율이 뛰어난 인광재료들을 사용하는 것이 바람직하나 인광재료들은 열적 안정성 또는 내구성성이 떨어져 수명이 짧은 문제점이 있다. 특히 청색 인광재료는 다른 색의 인광재료들과 동일한 구동전류를 사용할 경우 특히 수명이 짧아 현실적으로 청색 인광재료를 사용하지 못하고 청색 형광재료를 사용한다.
- [0309] 제8 실시예에 따른 유기전계발광 표시장치는 하나의 화소영역에 직렬로 연결된 두 개의 서브화소들을 형성하여 소비전력을 낮출 수 있으므로 동일한 휘도를 갖는 청색 인광재료로 청색 화소를 구현하더라도 다른 색의 화소들과 동일하거나 긴 수명을 유지할 수 있다.
- [0310] 한편, 제1 내지 제7 실시예를 통해 설명한 바와 같이 제8 실시예에서 P3 화소의 제2 서브 화소(2230b)의 제4 전극은 제1 서브 화소(2230a)의 제2 전극과 전기적으로 분리되어 있지만 다른 화소(P1, P2)의 두 개의 전극 중 하나의 전극과 전기적으로 연결되어 있으면서 공통전극을 형성할 수 있다.
- [0311] 도 22에 있어서, P1(2210), P2(2220) 및 P3(2230a, 2230b)는 단위 화소를 구성할 수 있다. 단위 화소는 영상 처리에 있어서의 한 화소를 의미하며, 일 예로서 적색, 녹색, 청색의 화소가 각각의 발광색을 조합하여 천연색을 연출할 수 있는데 이러한 세 개의 화소를 합쳐 단위 화소로 정의할 수 있다. 후술하는 실시예에 있어서, P1, P2, P3 및 P4 중 적어도 하나 이상의 화소가 결합하여 하나의 단위 화소를 구성할 수 있다.

[0312] <제9 실시예>

- [0313] 도 23은 도 21의 P1, P2, P3 화소를 나타내는 제9 실시예에 따른 유기전계발광 표시장치의 부분 확대 평면도이다.
- [0314] 도 23을 참조하면, 도 22와 마찬가지로 각 화소에는 게이트 라인(GLy), 데이터 라인(DLx 내지 DLx+2), 고전위전압라인(VDDx 내지 VDDx+2), 스위칭 트랜지스터 및 구동 트랜지스터가 형성되어 있다.
- [0315] 도 23에서 P1(2310), P2(2320), P3(2330) 화소는 모두 도 2 내지 도 20을 참조하여 설명한 본 발명의 실시예에 따른 유기전계발광 소자가 적용될 수 있다.
- [0316] 도 23을 참조하면, P1(2310), P2(2320), P3(2330) 화소는 모두 본 발명의 실시예에 따른 유기전계발광 소자가 적용되어 두 개의 서브 화소(P1에 대하여, 2310a, 2310b, P2에 대하여, 2320a, 2320b, P3에 대하여, 2330a, 2330b)를 포함하며 각각의 서브 화소는 직렬로 연결되어 있는 구조를 가지고 있다.
- [0317] 각 화소의 구동을 살펴보면, 각 화소는, 구동 트랜지스터의 게이트 전극과 소스 전극 사이의 전압을 제어하여 드레인 전극과 연결되어 있는 제1 서브 화소의 유기전계발광 다이오드로 먼저 구동전류를 공급하게 된다. 이러한 구동전류는 다시 직렬로 연결된 제2 서브 화소의 유기전계발광 다이오드로 공급되어 제1 서브 화소 및 제2 서브 화소의 유기전계발광 다이오드가 발광하게 된다. 이때, 도 4를 참조하여 설명한 바와 같이 유기전계발광 소자로 공급되는 구동전류의 크기는 각 화소가 단일 화소로 구성될 때의 절반이 된다.
- [0318] 이렇게 모든 화소에 대해 실시예들에 따른 유기전계발광 소자를 적용하는 경우, 모든 화소가 균일하게 소비전력을 개선할 수 있게 된다. 이러한 구조는 특히 모든 화소가 동일한 발광층으로 이루어진 실시예에 잘 적용될 수 있다. 구체적인 예로서, P1(2310), P2(2320), P3(2330)가 모두 백색 화소(W)인 경우에 적용될 수 있다.
- [0319] 백색 화소(W)는 발광층을 서로 보색 관계로 만들어 적색과 청색 또는 녹색과 청색 등 2성분의 발광을 이용하거나 적녹청(RGB) 3성분의 발광을 이용하여 백색 발광을 실현할 수 있다. 이에 따르면, P1(2310a, 2410b), P2(2320a, 2420b), P3(2330a, 2330b) 화소가 백색 화소인 경우, 각 화소의 제1 서브 화소의 제1 유기층 및 제2 서브 화소의 제2 유기층은 적색, 녹색 및 청색 발광재료들을 포함하는 발광층을 포함하거나 청색 및 녹색 발광재료들을 포함하는 발광층을 포함할 수 있다.
- [0320] 이러한 백색화소(W)를 형성하기 위해 2성분 또는 3성분의 발광층들을 전면 증착하므로 별도의 웨도우마스크를 사용한 RGB 패터닝없이 화소들을 형성할 수 있다. 이때 일반적으로 백색 화소(W)의 발광에 의한 백색광을 화소 내부 또는 외부에 형성된 칼라 필터 또는 색변환물질(예를 들어, 적색, 녹색, 청색 필터)로 처리하여 천연색을 구현할 수 있다.
- [0321] 다시 말해 백색 화소(W)는, 유기층 형성시 양극과 음극 사이의 각 층을 마스크 없이 증착시키는 것으로, 유기발광층을 포함한 유기층들의 형성을 차례로 그 성분을 달리하여 진공 상태에서 증착할 수 있다.
- [0322] 한편 백색 화소는 제1 서브 화소에 있어서, 서로 대향된 제1 전극과 제2 전극과, 제1 전극과 제2 전극 사이에 형성된 전하 생성층과, 제1 전극과 전하 생성층 사이의, 청색을 발광하는 제1 발광층을 포함하는 제1 스택 및 전하 생성층과 제2 전극 사이의, 하나 또는 둘 이상의 호스트에, 청색보다 장파장의 광을 발광하는 인광 도펀트(인광 발광물질)를 도핑한 제2 발광층을 포함하는 제2 스택을 포함하여 이루어질 수 있다. 제2 서브 화소도 제1 서브 화소와 동일한 전극 및 유기층 구조를 가지고 있을 수 있는데, 이러한 구조에 따라 제1 유기층과 제2 유기층은 인광 발광물질을 포함하는 발광층을 포함하게 된다.
- [0323] 이러한 백색 유기 발광 표시 장치는 제1 스택의 제1 발광층으로부터 발광되는 청색광과 제2 스택으로부터 발광되는 인광의 혼합 효과에 의해 백색광이 구현된다. 제2 스택의 발광색은 제2 발광층에 포함되는 인광 도펀트에 의해 결정되며, 예를 들어, 단일의 옐로우 그린(yellow green) 인광 도펀트를 사용하거나, 혹은 황색(yellow) 인광 도펀트와 녹색(green) 인광 도펀트의 혼합 혹은 적색 인광 도펀트와 녹색 인광 도펀트의 혼합을 이용할 수 있다. 어느 경우이나, 제1 스택의 청색 발광과 함께 혼합 효과로 백색을 발광할 수 있다면 다른 색상의 인광 도펀트로 대체할 수도 있다.
- [0324] 일반적으로 백색 화소(W)의 발광에 의한 백색광을 칼라 필터 또는 색변환물질(예를 들어, 적색, 녹색, 청색 필터)로 처리해야 하므로, 화소에서 발생하는 빛 중 일부가 차단되기 때문에 발광효율이 낮을 수 있다. 이런 경우, 전체적으로 표시장치의 소비전력이 증가할 수 있다.
- [0325] 이때, 전체 화소에 대하여 실시예들에 따른 유기전계발광 소자를 적용하는 경우, 전체 화소들의 소비전력이 감소하게 된다.

- [0326] 전술한 실시예에서 P1(2310), P2(2320), P3(2330)에 해당되는 화소가 백색 화소(W)인 경우에 대하여 설명하였으나, 본 발명은 이로 제한되는 것은 아니며 P1(2310), P2(2320), P3(2330) 각각에 적용되는 화소의 종류에 무관하게 각각의 화소를 두 개 이상의 서브 화소로 분할하여 적용하는 경우 소비전력을 전체적으로 낮출 수 있다.
- [0327] 전술한 본 발명의 실시예들에서, 유기전계발광 소자에 포함되는 제1 서브 화소(2440b)와 제2 서브 화소는 동일한 발광층으로 이루어지는 것으로 설명하였으나 본 발명이 이로 제한되는 것은 아니다.
- [0328] <제10 실시예>
- [0329] 도 24 및 도 25는 유기전계발광 소자의 서브 화소에 서로 다른 발광층이 형성되는 실시예이다.
- [0330] 도 24는 도 21의 P1, P2, P3, P4 화소를 나타내는 제10 실시예에 따른 유기전계발광 표시장치의 부분 확대 평면도이다.
- [0331] 도 24를 참조하면, 도 22와 마찬가지로 각 화소에는 게이트 라인(GLy), 데이터 라인(DLx 내지 DLx+3), 고전위전압라인(VDDx 내지 VDDx+3), 스위칭 트랜지스터 및 구동 트랜지스터가 형성되어 있다.
- [0332] P1(2410), P2(2420), P3(2430), P4(2440) 화소 중 적어도 하나의 화소는 도 2 내지 도 20을 참조하여 설명한 본 발명의 실시예에 따른 유기전계발광 소자가 적용될 수 있다. 설명의 편의를 위하여, 도 24에서는 P4(2440) 화소만 두 개의 서브 화소(2440a, 2440b)로 분할된 것으로 도시하였으나, P1(2410), P2(2420) 혹은 P3(2430) 화소도 두 개 이상의 서브 화소로 분할될 수 있다.
- [0333] 도 24를 계속해서 참조하면, P1(2410) 내지 P3(2430) 화소는 유기전계발광 다이오드가 하나로 이루어져 있는 단일 화소 구조를 가지고 있다. 구체적으로 P1(2410) 화소는 적색 발광층을 포함하는 적색 화소(R)이고, P2(2420) 화소는 녹색 발광층을 포함하는 녹색 화소(G)이며, P3(2430)는 청색 발광층을 포함하는 청색 화소(B)이다. P1(2410) 내지 P3(2430) 화소는 적, 녹, 청색 발광층에 따라 그 두께를 다르게 형성하여 마이크로 컵비티(micro cavity) 효과에 따른 광경로 최적화로 휘도 특성을 향상시킬 수 있다.
- [0334] P4(2440) 화소는 본 발명의 실시예에 따른 유기전계발광 소자가 적용되어, 두 개의 서브 화소를 포함하며 각각의 서브 화소는 직렬로 연결되어 있는 구조를 가지고 있다. 또한, P4(2440) 화소는 제1 서브 화소(2440a)와 제2 서브 화소(2440b)에서 발광층을 다르게 하여, 제1 서브 화소(2440a)에서는 백색(W)으로 발광하며, 제2 서브 화소(2440b)에서는 청색(B')으로 발광한다.
- [0335] 적색 화소(R)과 녹색화소(G), 청색화소(B), 백색/청색화소(W/B')를 형성할 때 유기층의 적, 녹, 청색 발광층을 형성하는 단계에서 적색 화소(R)과 녹색화소(G), 청색화소(B)에 대응하는 위치가 개구된 각각 별개의 웨도우 마스크 또는 파인 메탈 마스크(Fine Metal Mask)를 사용하여 증착공정에 의해 RGB를 패터닝할 수 있다. 이때 RGB 웨도우 마스크들에는 백색 제1 서브 화소(2440a)(W)에 대응하는 위치에 개구들이 모두 형성되어, RGB 발광층이 적층되어 백색 발광층을 구현하고, B 웨도우 마스크에는 청색 제2 서브 화소(2440b)(B')에 대응하는 위치에 개구가 형성되어 청색화소(B)와 동일한 공정으로 청색 제2 서브 화소(2440b)를 형성할 수 있다.
- [0336] 전술한 바와 같이 적색 화소(R)와 녹색화소(G), 청색화소(B), 백색/청색화소(W/B')의 RGB 패터닝 방법으로 웨도우 마스크를 사용한 증착공정 뿐만 아니라 다양한 고분자 소재를 사용하여 증착법이 아닌 솔벤트 프로세스(solvent process), 예를 들어 스핀 코팅, 딥 코팅, 닥터 블레이딩, 스크린 프린팅, 잉크젯 프린팅 또는 열 전사법 등의 방법을 사용할 수도 있다.
- [0337] 이러한 구조에서, P4(2440) 화소의 제2 서브 화소(2440b)는 P3(2430) 화소와 인접하면서 동일한 색으로 발광하여 P3(2430) 화소의 휘도를 보완하는 역할을 할 수 있다. 또한, P4(2440) 화소의 제1 서브 화소(2440a)는 P1(2410) 내지 P4(2440) 화소에서의 화이트 밸런스를 조절하는 역할을 할 수 있다.
- [0338] 한편, 백색광을 발광하는 P4(2440) 화소의 제1 서브 화소(2440a)가 적, 녹, 청색 발광층을 모두 포함할 수 있는데, 이러한 경우, 마이크로 컵비티(micro cavity) 효과에 따라 P1(2410) 내지 P3(2430) 화소의 적, 녹, 청색 발광층 각각의 두께를 다르게 형성하는 것과 마찬가지로 제1 서브 화소(2440a)의 적, 녹, 청색 발광층 각각의 두께를 다르게 형성할 수 있다. 다시 말해, 파장의 길이에 비례하여 적색 발광층을 가장 두껍게 형성하고, 청색 발광층을 가장 얇게 형성하며, 녹색 발광층을 중간 두께로 형성할 수 있다.

- [0339] <제11 실시예>
- [0340] 도 25는 도 21의 P1, P2, P3, P4 화소를 나타내는 제11 실시예에 따른 유기전계발광 표시장치의 부분 확대 평면도이다.
- [0341] 도 25를 참조하면, 도 22와 마찬가지로 각 화소에는 게이트 라인(GLy), 데이터 라인(DLx 내지 DLx+3), 고전위전압라인(VDDx 내지 VDDx+3), 스위칭 트랜지스터 및 구동 트랜지스터가 형성되어 있다.
- [0342] 도 25를 참조하면, 도 24와 마찬가지로 P1(2510) 내지 P3(2530) 화소는 유기전계발광 다이오드가 하나로 이루어져 있는 단일 화소 구조로, P1(2510) 화소는 적색 발광층을 포함하는 적색 화소(R)이고, P2(2520) 화소는 녹색 발광층을 포함하는 녹색 화소(G)이며, P3(2530) 화소는 청색 발광층을 포함하는 청색 화소(B)이다.
- [0343] 이에 반해, P4(2540) 화소는 세 개의 서브 화소를 포함하며 각각의 서브 화소는 직렬로 연결되어 있는 구조를 가지고 있다. 또한, P4(2540) 화소는 발광층이 다른 제1 내지 제3 서브 화소를 가지고 있는데, 구체적으로 제1 서브 화소(2540a)는 청색 발광층을 포함하여 청색(B)으로 발광하고, 제2 서브 화소(2540b)는 녹색 발광층을 포함하여 녹색(G)으로 발광하며, 제3 서브 화소(2540c)는 적색 발광층을 포함하여 적색(R)으로 발광하고 있다.
- [0344] 전기적 연결 관계로 볼 때, 제1 서브 화소의 제1 전극은 구동 트랜지스터의 소스 전극 혹은 드레인 전극과 전기적으로 연결되어 있고, 제1 서브 화소의 제2 전극은 제2 서브 화소의 제3 전극과 전기적으로 연결되어 있다. 제3 서브 화소는 제5 전극, 제5 전극 상의 제3 유기층 및 제3 유기층 상의 제6 전극을 포함하고 있는데, 제5 전극은 제4 전극과 전기적으로 연결되어 있으면서 제2 서브 화소로부터 구동전류를 전달받는다.
- [0345] 일반적으로 백색 화소는 적색/녹색/청색 발광층을 순차적으로 적층하여 형성된다. 이때, 여러 발광층을 적층해야 하기 때문에 화소의 두께가 두꺼워질 수 있다.
- [0346] 그런데, 도 25의 실시예와 같이 화소를 형성하는 경우, 백색광을 만드는 적색/녹색/청색 서브 화소를 평면으로 배치하게 되어 화소의 두께를 낮출 수 있게 된다. 또한, 이러한 화소 배치를 사용하면, RGB 패터닝 공정시 P1(2510)의 적색 발광층을 형성할 때 제3 서브 화소(2540c)의 적색 발광층을 형성하고, P2(2520)의 녹색 발광층을 형성할 때 제2 서브 화소(2540b)의 녹색 발광층을 형성하며, P3(2530)의 청색 발광층을 형성할 때 제1 서브 화소(2540a)의 청색 발광층을 형성할 수 있어, 별도의 추가 공정없이 백색 화소를 형성할 수 있게 된다.
- [0347] 한편, 실시예에 따른 유기전계발광 소자를 적용하는 유기전계발광 표시장치는 구동에 있어서, 단일 화소로 이루어진 유기전계발광 소자의 구동과는 다른 구동 실시예가 적용될 수 있다.
- [0348] 도 21 및 도 26을 참조하여, 본 발명의 실시예에 따른 유기전계발광 표시장치의 구동 실시예에 대해 설명한다.
- [0349] 도 26은 도 21의 P1 및 P2 화소를 모델링한 회로도이다.
- [0350] 도 26을 참조할 때, P1은 유기전계발광 다이오드(2620)가 하나로 이루어져 있는 단일 화소 구조를 가지고 있고, P2는 두 개의 유기전계발광 다이오드(2640a, 2640b)가 각각 서브 화소를 이루며 서로 직렬로 연결되어 있는 구조를 가지고 있다. 설명의 편의상 P1과 P2의 발광층은 동일한 재질로 이루어진 것으로 한다.
- [0351] 유기전계발광 소자는 데이터 라인(DLx 및 DLx+1)을 통해 공급되는 데이터 전압에 따라 구동 박막트랜지스터를 제어하여 유기전계발광 다이오드로 구동전류 혹은 구동전압을 공급한다.
- [0352] 구체적으로 보면, 데이터 전압은 구동 트랜지스터(2610, 2630)의 게이트 전극과 소스 전극 사이에 전계(Vgs1, Vgs2)를 형성하여 소스 전극과 드레인 전극 사이의 액티브층(반도체층)에 채널을 만들게 되고, 이러한 채널을 통해 구동전류가 유기전계발광 다이오드 쪽으로 전달되게 된다.
- [0353] 이러한 과정에서, 구동 트랜지스터는 게이트 전극과 소스 전극 사이의 전압을 제어하여 드레인 전극과 소스 전극 사이에 흐르는 전류의 양을 결정한다. 전술한 바와 같이, 게이트 전극과 소스 전극 사이의 전압은 데이터 라인으로 전달되는 데이터 전압에 따라 결정됨으로 결국 데이터 전압의 제어에 따라 유기전계발광 다이오드로 공급되는 구동전류 혹은 구동전압이 결정되게 된다.
- [0354] 구동 트랜지스터의 게이트 전극과 소스 전극의 전압에 따른 드레인 전극과 소스 전극 사이의 전류에 관한 식은 다음과 같다.

- [0355] < 수학식 6 >
- [0356]
$$I_{DS} = K \cdot (V_{GS} - V_{TH})^2$$
- [0357] 수학식 6에서 I_{DS} 는 구동 트랜지스터의 드레인 전극과 소스 전극 사이의 전류, K 는 전류구동능력 계수, V_{GS} 는 구동 트랜지스터의 게이트 전극과 소스 전극 사이의 전압이고, V_{TH} 는 구동 트랜지스터의 문턱전압이다.
- [0358] 수학식 6을 참조하면, V_{GS} 가 V_{TH} 보다 커지면 V_{GS} 와 V_{TH} 의 차이가 증가함에 따라 I_{DS} 가 증가하는 것을 알 수 있다. 같은 원리로 I_{DS} 를 줄이기 위해서는 V_{GS} 를 작게 해야 한다.
- [0359] 도 26의 (a)를 참조하면, 단일 화소 구조(P1)에서 유기전계발광 소자의 구동전류는 I_{OLED} 이다. 이에 반해 도 26의 (b)를 참조하면, 두 개의 서브 화소를 포함하는 유기전계발광 소자의 구동전류는 동일한 휘도 조건에서 $1/2 \cdot I_{OLED}$ 가 된다. 이에 따라, 두 개의 서브 화소 구조(P2)에서의 V_{GS2} 는 단일 화소 구조에서의 V_{GS1} 보다 낮게 제어된다. 데이터 전압에 따라 V_{GS} 가 결정되는 바, DL_{x+1} 의 데이터 전압은 V_{GS2} 가 V_{GS1} 보다 작아지도록 제어된다.
- [0360] 구동전압 관점에서 유기전계발광 표시장치의 구동 실시예에 대해 좀더 살펴본다.
- [0361] 동일한 재질로 이루어진 두 개의 유기전계발광 다이오드에 동일한 전류밀도로 된 전류를 공급하면 두 개의 유기전계발광 다이오드에 걸리는 구동전압은 실질적으로 동일하다고 볼 수 있다.
- [0362] 도 26에 도시된 유기전계발광 소자에 흐르는 구동전류의 전류밀도가 실질적으로 동일함으로 각각의 유기전계발광 다이오드에 걸리는 구동전압은 실질적으로 동일하다.
- [0363] 이러한 이유로, 도 26의 (a)에 도시된 단일 화소 구조의 경우, 구동시 유기전계발광 다이오드에 V_{OLED} 의 전압이 형성되지만 도 26의 (b)에 도시된 두 개의 서브 화소 구조의 경우, 구동시 유기전계발광 다이오드 전체에 $2 \cdot V_{OLED}$ 의 전압이 형성된다.
- [0364] 유기전계발광 소자로 구동전류를 공급하는 전원(VDD1, VDD2)의 전압은 구동 트랜지스터의 소스 전극과 드레인 전극 사이의 전압(V_{TFT1} , V_{TFT2}) 및 유기전계발광 다이오드 전체에 걸리는 전압(V_{OLED} , $2 \cdot V_{OLED}$)의 합으로 이루어진다.
- [0365] < 수학식 7 >
- [0366]
$$VDD1 = V_{TFT1} + V_{OLED}, VDD2 = V_{TFT2} + 2 \cdot V_{OLED}$$
- [0367] 수학식 7을 참조할 때, 도 26의 (a)에 도시된 단일 화소 구조로 공급되는 전원(VDD1)의 전압과 도 26의 (b)에 도시된 두 개의 서브 화소 구조로 공급되는 전원(VDD2)의 전압은 서로 다른 값을 가지도록 제어될 수 있다.
- [0368] 소스 전극과 드레인 전극 사이로 흐르는 전류에 따라 소스 전극과 드레인 전극 사이의 전압이 달라지기 때문에 구동전류가 큰 V_{TFT1} 이 V_{TFT2} 보다 큰 값을 가질 수 있으나 두 전압의 차이가 V_{OLED} 값 보다 작은 경우, 전체적으로 VDD2의 전압이 VDD1의 전압 보다 높게 제어된다.
- [0369] 도 26을 참조하여 데이터 라인으로 공급되는 데이터 전압을 통해 단일 화소 구조의 유기전계발광 소자와 두 개 이상의 서브 화소를 포함하는 유기전계발광 소자의 구동전류 혹은 구동전압을 다르게 제어하는 실시예에 대해 설명하였다.
- [0370] 계속해서 도 21 및 26을 참조하여 호스트 시스템(2100)으로부터 전달되는 영상신호(RGB)를 데이터 라인으로 공급되는 데이터 전압으로 변환하는 실시예에 대해 설명한다. 도 21에서 P1 및 P2는 도 26에 도시된 것과 같이 각각 단일 화소 구조의 유기전계발광 소자 및 두 개의 서브 화소를 포함하는 유기전계발광 소자라고 가정한다.

- [0371] 타이밍 제어부(2110)는 호스트 시스템(2100)으로부터 영상신호(RBG)를 수신하는데, 이때 영상신호는 P1 및 P2 화소를 통해 동일한 빛을 발광하도록 하는 제어정보가 포함되어 있을 수 있다.
- [0372] 이때(P1 및 P2를 통해 동일한 빛을 발광하려고 할 때), P1 및 P2가 동일한 화소 구조를 가지고 있다면, 타이밍 제어부(2110)는 P1 및 P2에 대하여 동일한 영상신호(변환된 영상신호, R' G' B')를 출력하고, 데이터 구동부(2130)는 이러한 동일한 영상신호(변환된 영상신호, R' G' B')에 따라 동일한 데이터 전압(동일한 데이터 전압 레벨, 예를 들어, V_{GS} 가 동일함)을 출력하여 P1 및 P2 화소를 제어하게 된다.
- [0373] 이에 반해, P1 및 P2 화소가 도 26에 도시된 바와 같이 서로 다른 구조의 화소인 경우, 동일한 휘도 조건에서도 26의 (b)에 해당되는 유기전계발광 소자의 구동전류가 더 작으므로, P1 및 P2에 대하여 호스트 시스템(2100)으로부터 동일한 빛을 발광하도록 하는 영상신호를 수신하더라도 타이밍 제어부(2110) 혹은 데이터 구동부(2130)에서는 이를 변환하여 각각의 화소 구조에 맞는 데이터 전압을 생성한다.
- [0374] 도 27은 도 26의 P1 및 P2에 대하여 서로 다른 데이터 전압을 생성하는 과정을 도식화한 도면이다.
- [0375] 도 27의 (a)는 동일한 빛을 발광하도록 하는 영상신호(RGB)에 대하여 타이밍 제어부(2110)에서 화소 구조에 맞는 데이터 혹은 신호 변환을 수행하는 것을 도시한 도면이다.
- [0376] 도 27의 (a)를 참조하면, 호스트 시스템(2100)은 P1 및 P2에 대해 각각의 화소에 표시할 영상신호(RGB)를 타이밍 제어부(2110)로 송부한다. 이때, P1 및 P2 화소에 표시할 영상이 실질적으로 동일(예를 들어, 동일한 빛을 발광하도록 하는 경우)할 수 있다.
- [0377] 타이밍 제어부(2110)는 영상신호(RGB)를 표시패널(2140)의 해상도 및 화소 구조에 맞게 변환할 수 있는데, 이때, P1 및 P2의 화소 구조가 서로 다르기 때문에 서로 다른 화소 구조에 맞도록 영상신호(RGB)를 변환하여야 한다. 예를 들어, P2 화소의 구동전류가 P1 화소의 구동전류보다 작아지도록 영상신호(RGB)를 변환할 수 있다. 이에 따라, 타이밍 제어부(2110)는 호스트 시스템(2100)으로부터 동일한 영상을 표시하는 동일한 영상신호(RGB)를 수신하였지만 각각의 화소(P1, P2)에 대하여는 서로 다른 변환된 영상신호(R' G' B' , R" G" B")를 송부하게 된다.
- [0378] 서로 다른 변환된 영상신호(R' G' B' , R" G" B")를 수신한 데이터 구동부(2130)는 수신된 영상신호에 따라 서로 다른 데이터 전압(V_1 , V_2)을 생성하여 각각의 화소(P1, P2)에 연결된 데이터 라인으로 공급하게 된다. 이때, 타이밍 제어부(2110)으로부터 수신하는 영상신호(R' G' B' , R" G" B")가 화소 구조에 따라 서로 다른 값을 갖고 있으므로, 데이터 구동부(2130)에서 화소 구조를 고려한 별도의 변환 작업을 수행하지는 않는다.
- [0379] 도 27의 (b)는 동일한 빛을 발광하도록 하는 영상신호(RGB)에 대하여 데이터 구동부(2130)에서 화소 구조에 맞는 데이터 혹은 신호 변환을 수행하는 것을 도시한 도면이다.
- [0380] 도 27의 (b)를 참조하면, 호스트 시스템(2100)은 P1 및 P2에 대해 각각의 화소에 표시할 영상신호(RGB)를 타이밍 제어부(2110)로 송부한다. 이때, P1 및 P2 화소에 표시할 영상이 실질적으로 동일(예를 들어, 동일한 빛을 발광하도록 하는 경우)할 수 있다.
- [0381] 타이밍 제어부(2110)는 영상신호(RGB)를 표시패널(2140)의 해상도에 맞게 변환할 수 있는데, 이때, 도 27의 (a)에 도시된 실시예와 달리 P1 및 P2의 화소 구조를 고려한 변환은 이루어지지 않는다. 결국, 타이밍 제어부(2110)는 동일하게 변환된 영상신호(R' G' B')를 데이터 구동부(2130)로 송부할 수 있다.
- [0382] 타이밍 제어부(2110)로부터 동일한 변환된 영상신호(R' G' B')를 수신한 데이터 구동부(2130)는 수신된 영상신호에 따라 데이터 전압을 생성하는데, 이때 각각의 화소(P1, P2)가 다르기 때문에 데이터 구동부(2130)는 각각의 화소(P1, P2) 구조에 맞도록 서로 다른 데이터 전압(V_1 , V_2)을 생성하여 각각의 화소(P1, P2)에 연결된 데이터 라인으로 공급하게 된다.
- [0383] 이상에서, 본 발명의 실시예에 따른 유기전계발광 소자 및 표시장치, 그리고 이러한 유기전계발광 소자의 제조 방법에 대하여 설명하였다.
- [0384] 본 발명의 실시예에 따른 유기전계발광 소자는 동일한 면적의 화소를 두 개 이상의 서브 화소로 분할하고 각각의 서브 화소들을 직렬로 연결함으로써 유기전계발광 소자의 구동전류를 줄일 수 있다.

- [0385] 이렇게 화소를 구성하는 유기전계발광 소자의 구동전류가 감소할 경우 다음과 같은 효과가 발생할 수 있다.
- [0386] 먼저, 유기전계발광 다이오드로 구동전류를 공급하는 구동 트랜지스터의 소비전력이 감소한다. 도 4를 참조하여, 전술한 바와 같이 단일 화소 구조와 비교할 때, 두 개의 서브 화소를 포함하는 구조에서 구동 트랜지스터는 최대 50%의 소비전력 감축 효과가 발생할 수 있다.
- [0387] 다음으로, 구동 트랜지스터의 채널을 통해 전달되는 전류의 양이 줄어들면, 구동 트랜지스터의 크기도 줄어들 수 있다. 구동 트랜지스터의 소스 전극, 드레인 전극 및 액티브층(반도체층)의 면적 혹은 두께는 채널을 통해 전달되는 전류의 양에 비례하게 되는데, 이러한 전류의 양이 줄어들면 그 면적 혹은 두께를 줄일 수 있게 된다. 유기전계발광 소자에서 구동 트랜지스터가 위치하는 영역은 비발광 영역으로 설정되는데, 구동 트랜지스터의 크기가 줄어들면 그 만큼 발광 영역을 넓힐 수 있는 효과가 발생한다(도 20에 대한 설명 참조).
- [0388] 그 다음으로, 본 발명의 실시예에 따른 유기전계발광 소자는 소비전력 감소로 소자 내부의 발열량이 줄어들어 수명이 개선되는 효과가 있다.
- [0389] 도 28은 내부 소자 온도 상승에 따른 수명 감소 그래프(도 28의 (a)) 및 전류밀도 증가에 따른 수명 감소 그래프(도 28의 (b))이다.
- [0390] 본 발명의 실시예에 따른 유기전계발광 소자는 동일한 휘도에 대해 단일 화소 구조의 유기전계발광 소자와 실질적으로 동일한 전류밀도를 가지고 있어 도 28의 (b)에 도시된 전류밀도 상승에 따른 수명 감소의 문제가 발생하지 않는다. 대신에, 도 28의 (a) 그래프를 통해 유추할 수 있는 바와 같이, 본 발명의 실시예에 따른 유기전계발광 소자는 소비전력 감소로 인한 발열 감소로 단일 화소 구조의 유기전계발광 소자 보다 수명이 개선되는 효과가 있다.
- [0391] 특히, TV 소비전력 규제 강화로 국제적 소비전력 기준을 달성하기 어려운데 실시예들에 따른 유기전계발광 표시장치는 소비전력을 낮추게 됨으로 국제적 소비전력 기준을 만족시킬 수 있는 효과가 있다.
- [0392] 이상 도면을 참조하여 실시예들을 설명하였으나 본 발명은 이에 제한되지 않는다.
- [0393] 전술한 실시예에서 유기층에 포함되는 발광층의 발광물질은 유기물인 것으로 기재하였으나, 발광층의 발광물질로 그래핀 양자점과 같은 양자점을 포함할 수 있다. 넓은 의미에서 발광층로 양자점을 포함하는 표시장치/표시소자도 본 명세서에서 유기전계발광 표시장치/표시소자에 포함될 수 있다.
- [0394] 이상에서 기재된 "포함하다", "구성하다" 또는 "가지다" 등의 용어는, 특별히 반대되는 기재가 없는 한, 해당 구성 요소가 내재될 수 있음을 의미하는 것이므로, 다른 구성 요소를 제외하는 것이 아니라 다른 구성 요소를 더 포함할 수 있는 것으로 해석되어야 한다. 기술적이거나 과학적인 용어를 포함한 모든 용어들은, 다르게 정의되지 않는 한, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가진다. 사전에 정의된 용어와 같이 일반적으로 사용되는 용어들은 관련 기술의 문맥 상의 의미와 일치하는 것으로 해석되어야 하며, 본 발명에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- [0395] 이상의 설명은 본 발명의 기술 사상을 예시적으로 설명한 것에 불과한 것으로서, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 다양한 수정 및 변형이 가능할 것이다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

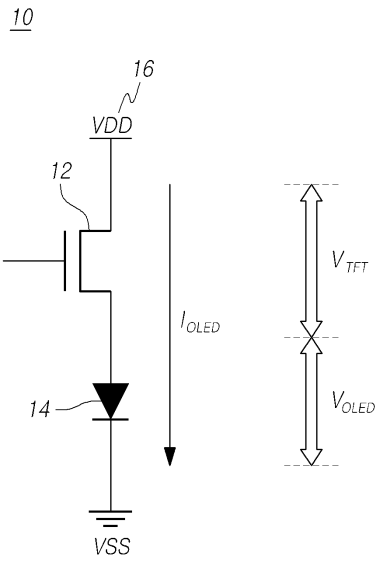
부호의 설명

- | | | |
|--------|-----------------|----------------|
| [0396] | 100 : 기판 | 101 : 게이트 라인 |
| | 102 : 데이터 라인 | 104 : 제1 전원 라인 |
| | 106 : 스위칭 트랜지스터 | 110 : 구동 트랜지스터 |
| | 112 : 반도체층 | 114 : 게이트 절연막 |

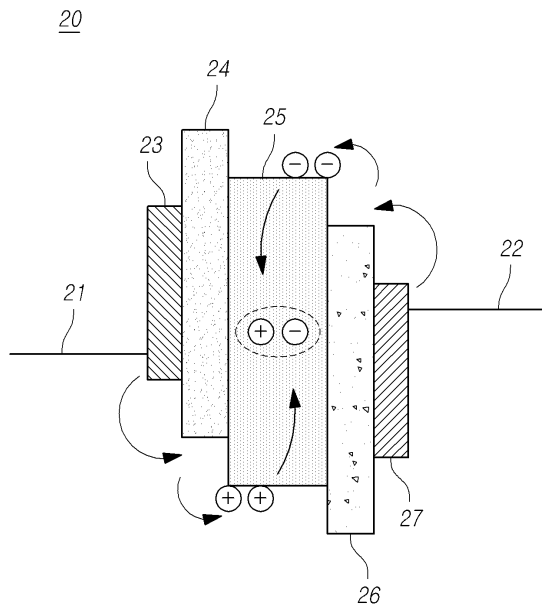
- | | |
|----------------|----------------|
| 116 : 게이트 전극 | 120 : 층간절연막 |
| 122 : 소스 전극 | 124 : 드레인 전극 |
| 130 : 보호층 | 132 : 제1 전극 |
| 134 : 제3 전극 | 140 : 격벽 |
| 150 : बैं크 | 160 : 제1 유기층 |
| 162 : 제2 유기층 | 170 : 제2 전극 |
| 175 : 제4 전극 | 180 : 제1 서브 영역 |
| 182 : 제2 서브 영역 | 189 : 음영 구역 |

도면

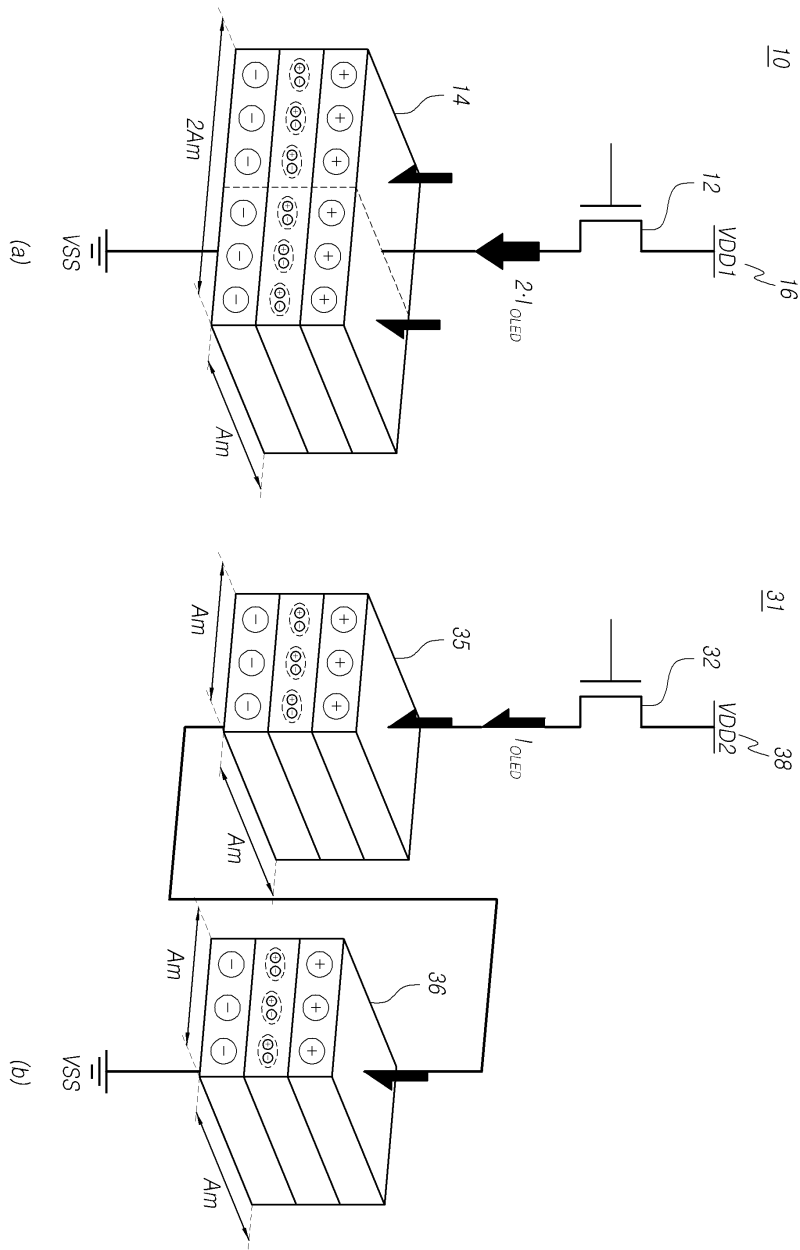
도면1



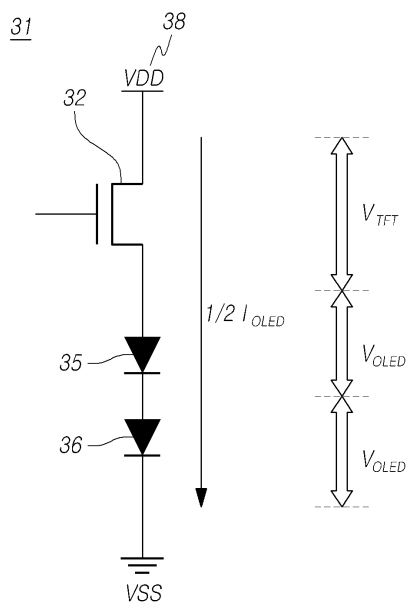
도면2



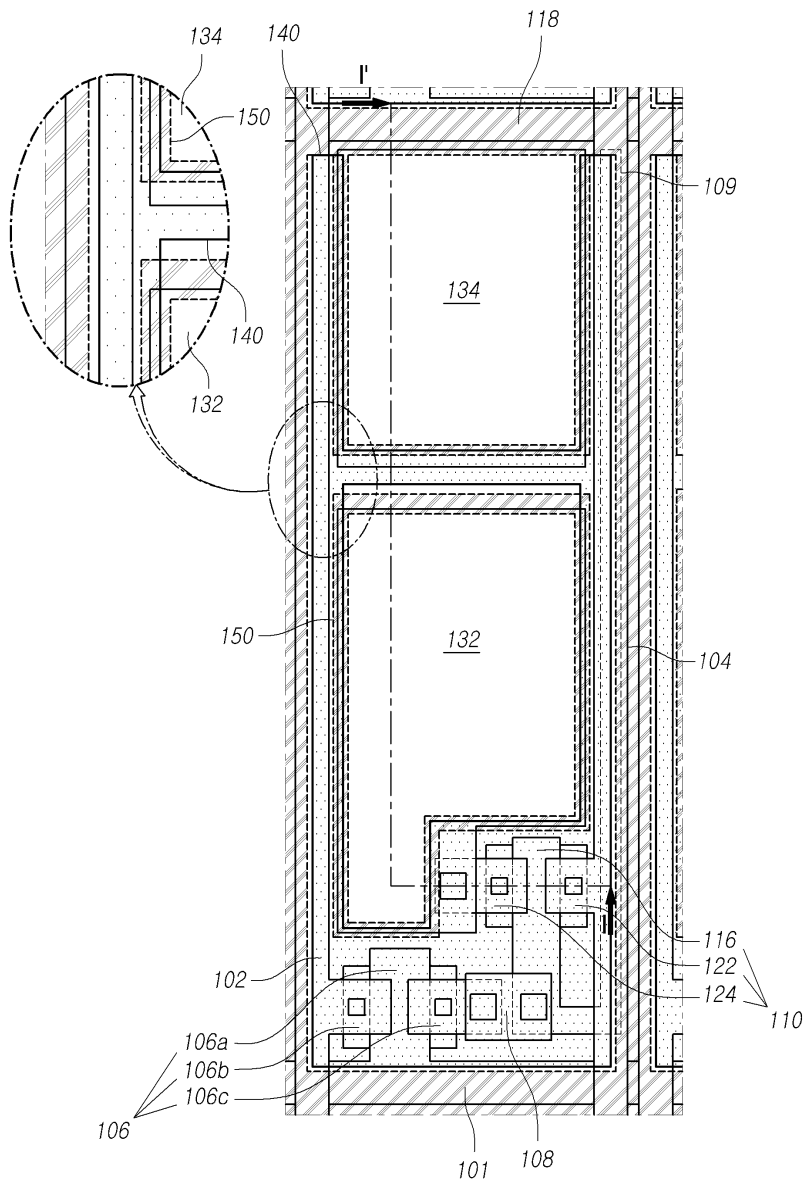
도면3



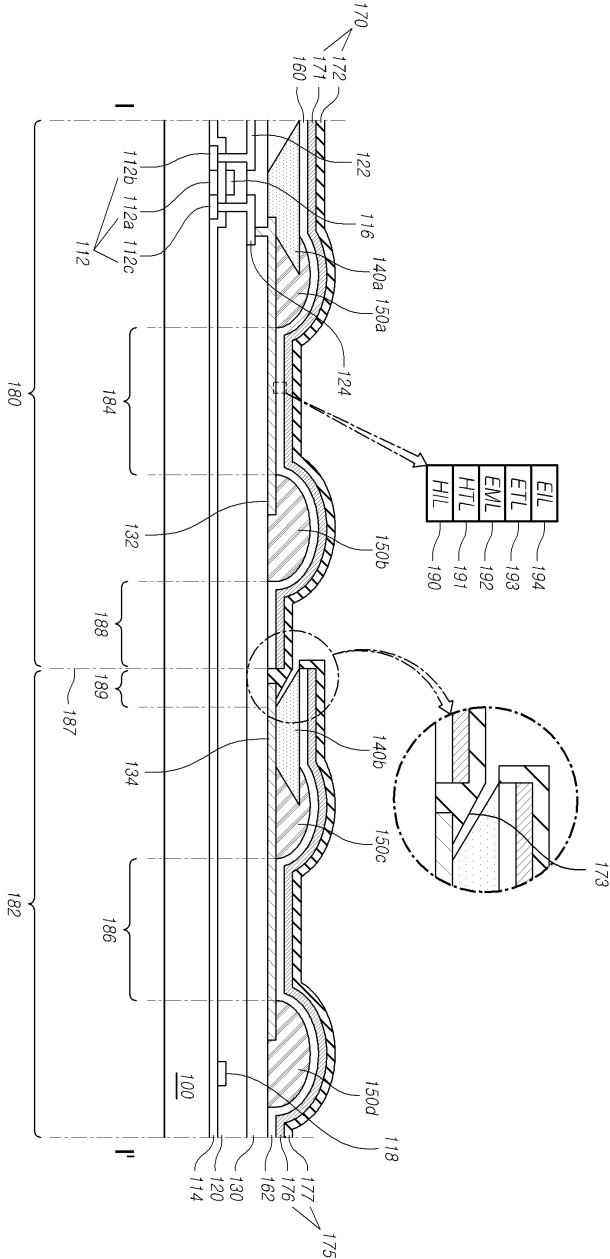
도면4



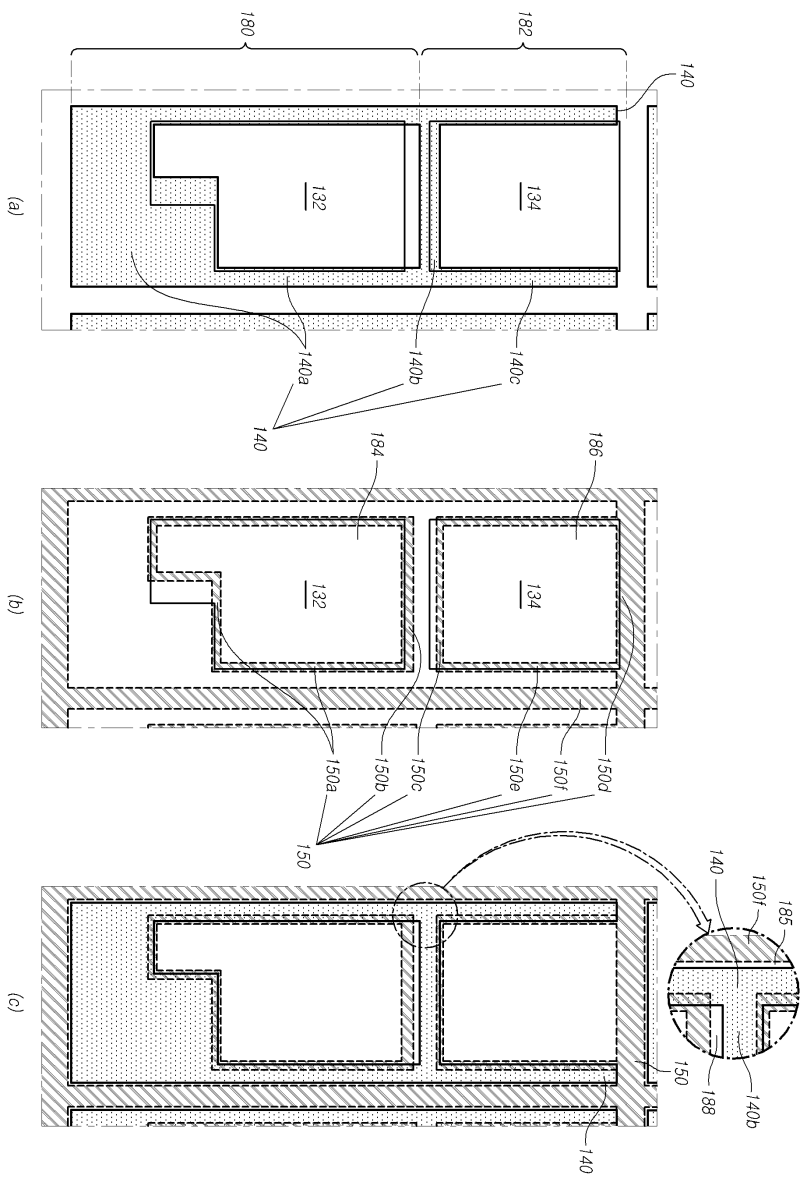
도면5



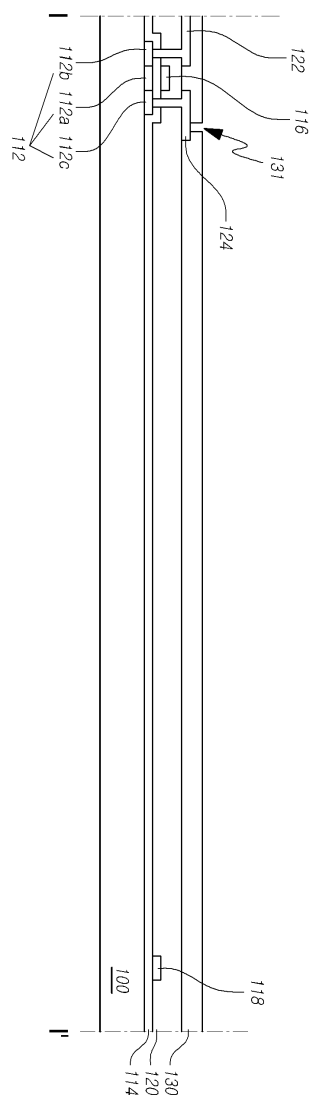
도면6



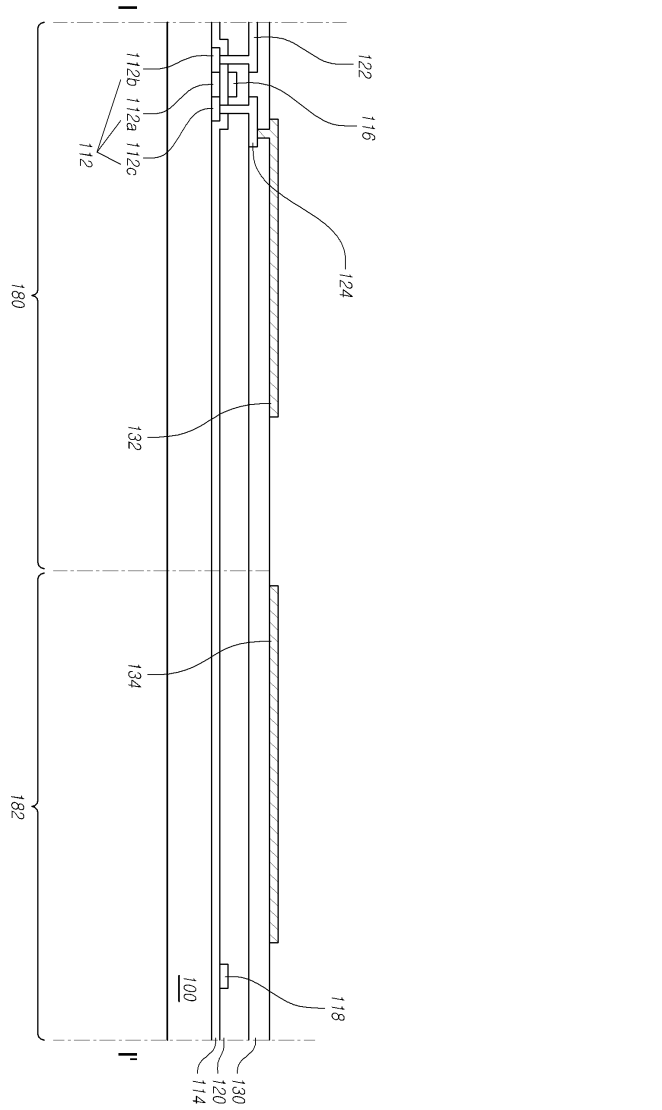
도면7



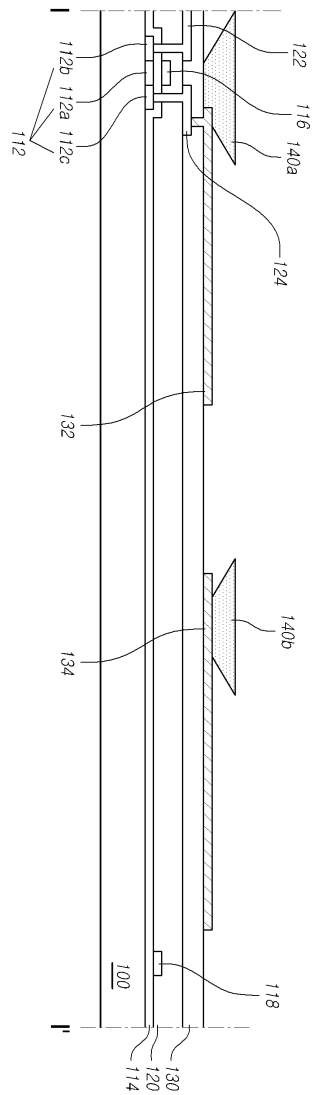
도면8a



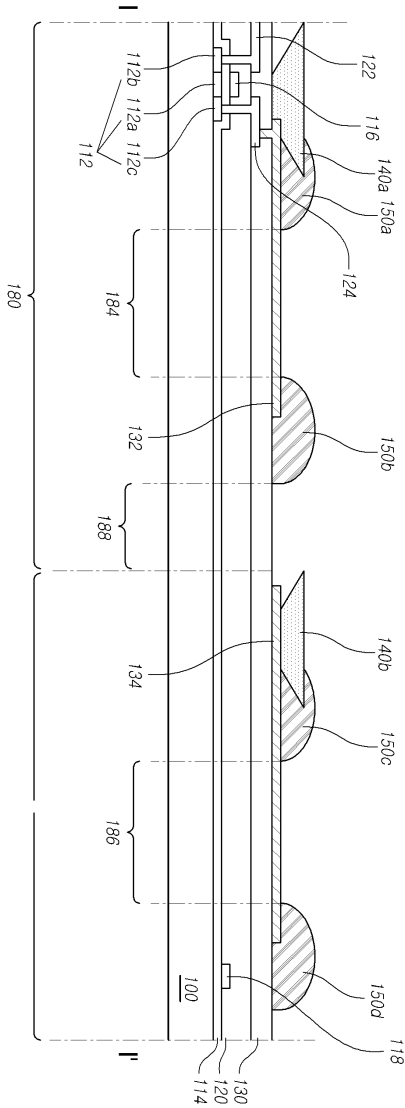
도면8b



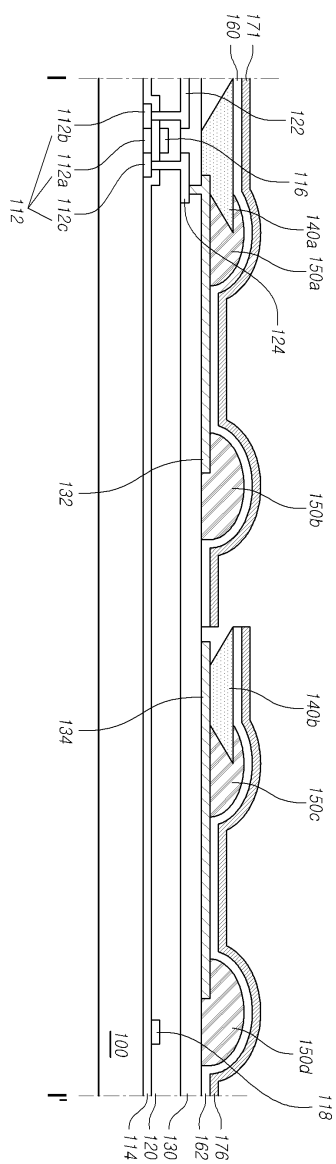
도면8c



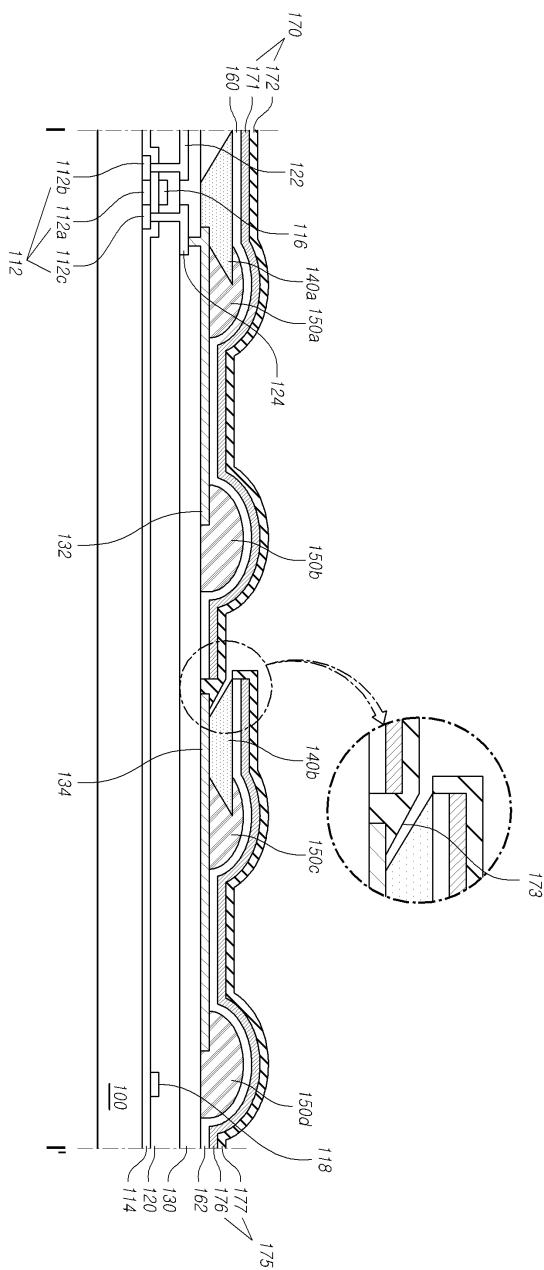
도면8d



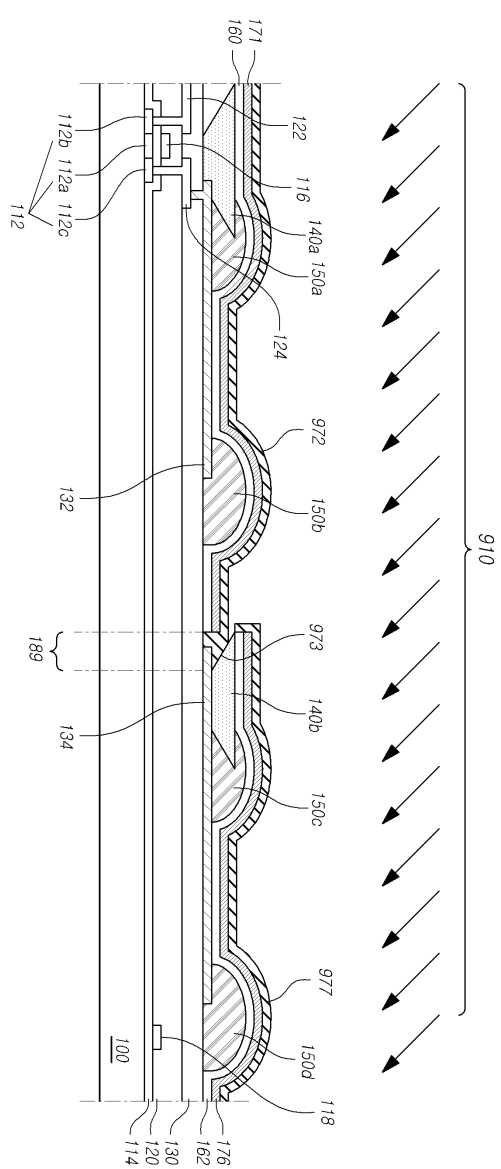
도면8e



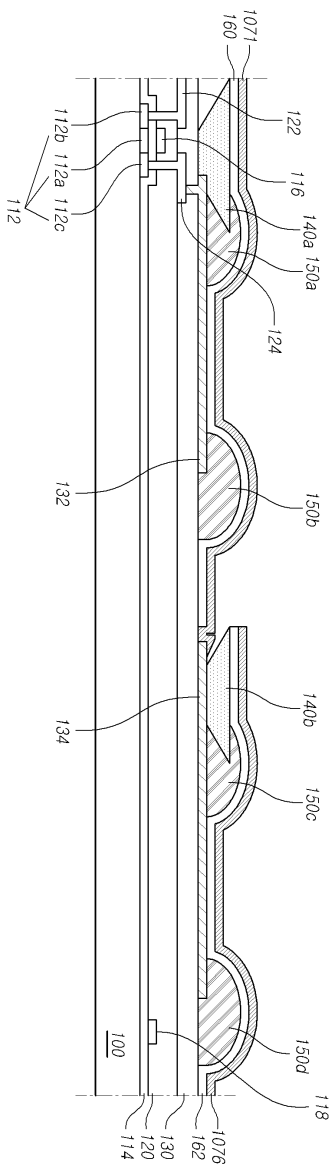
도면8f



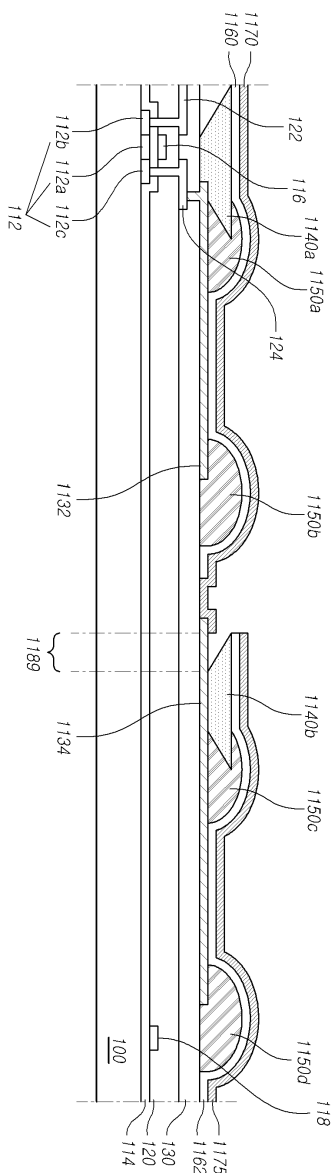
도면9



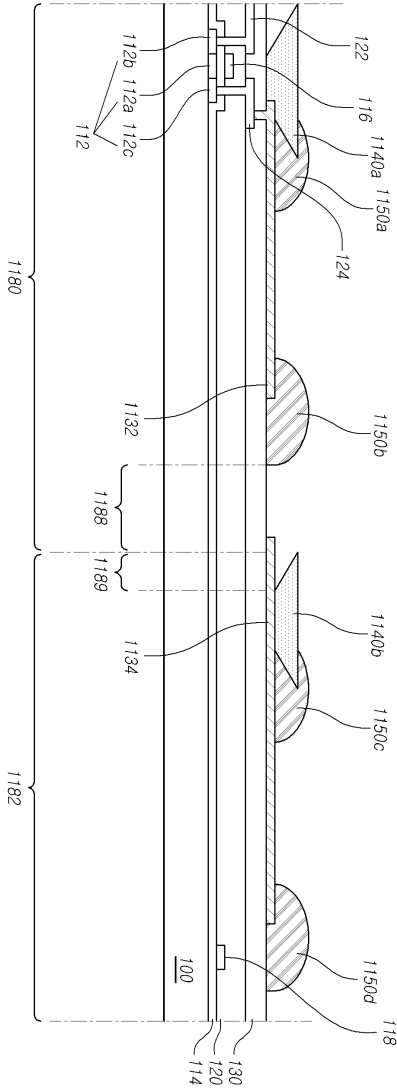
도면10



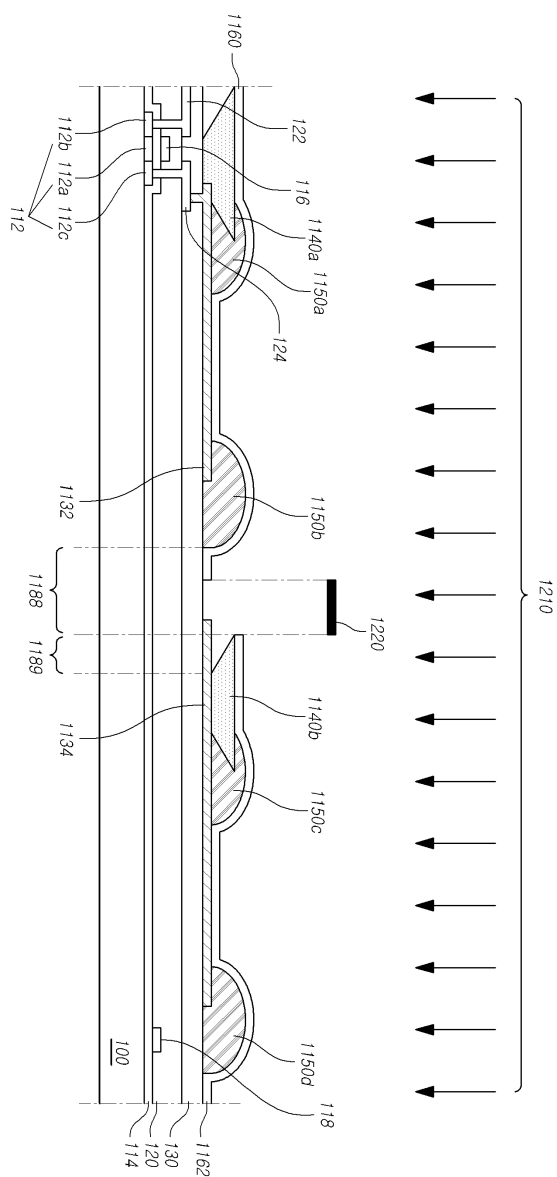
도면11



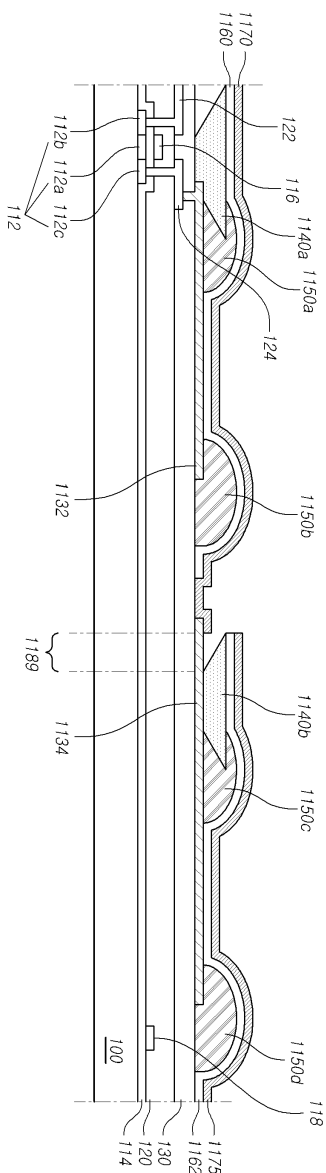
도면12a



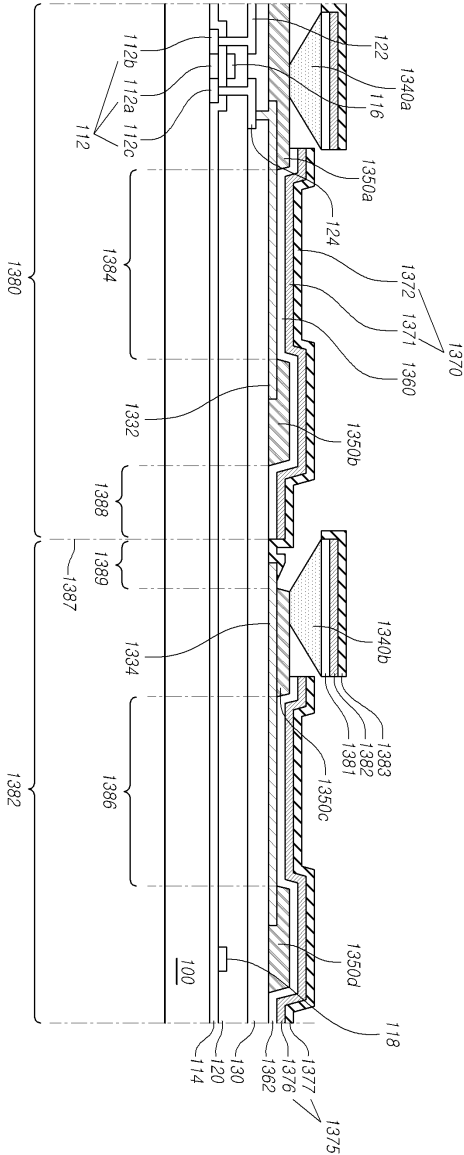
도면12b



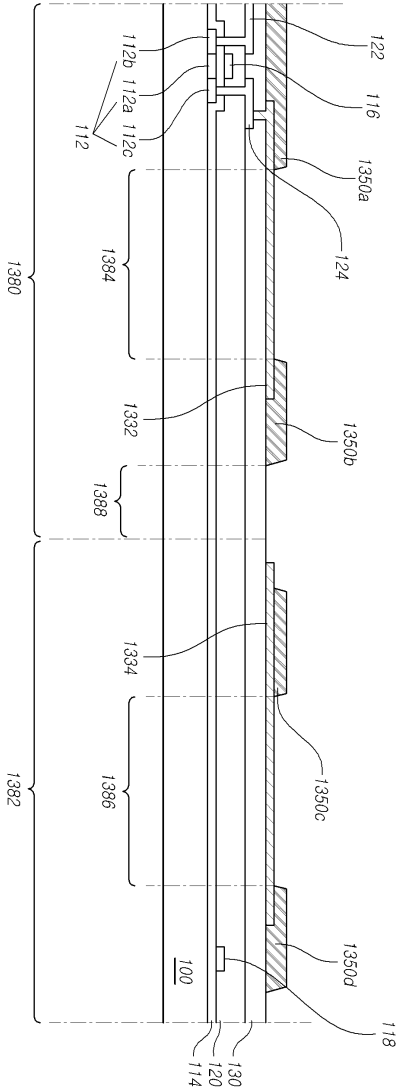
도면12c



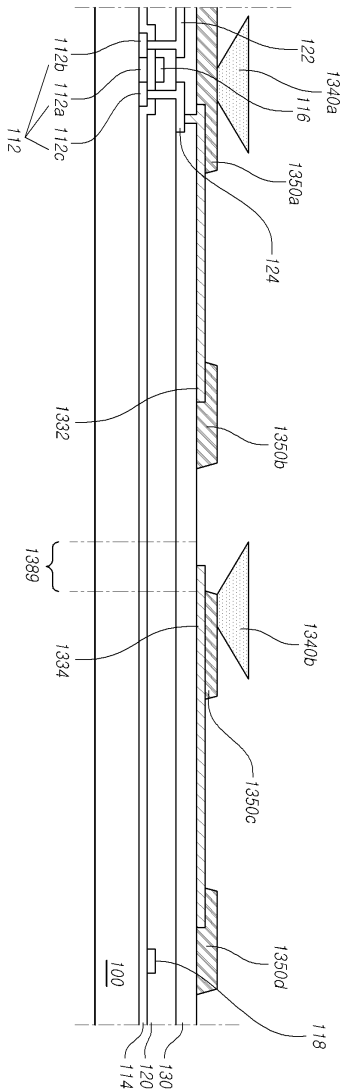
도면13



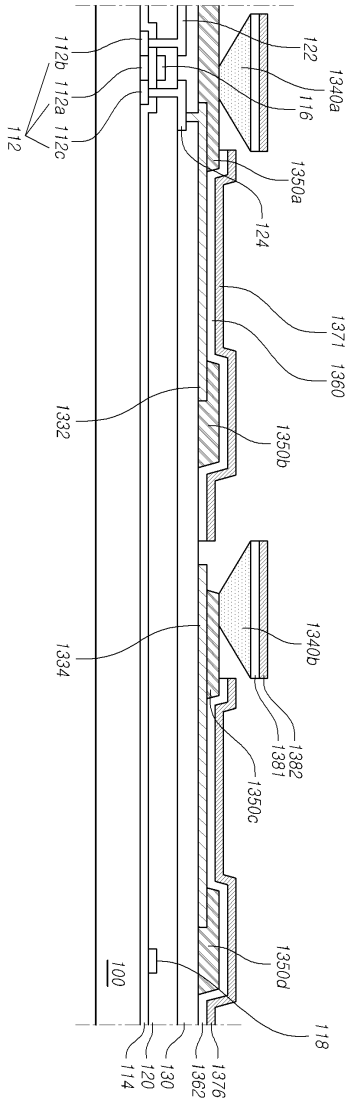
도면14a



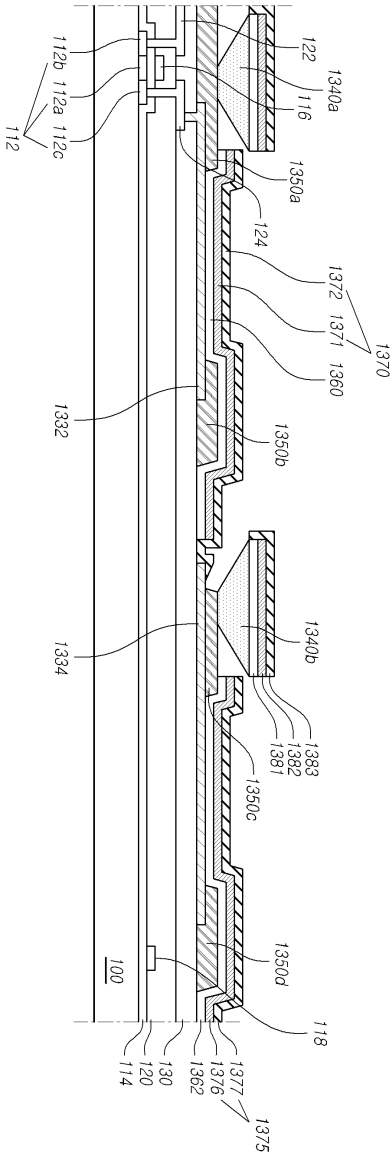
도면14b



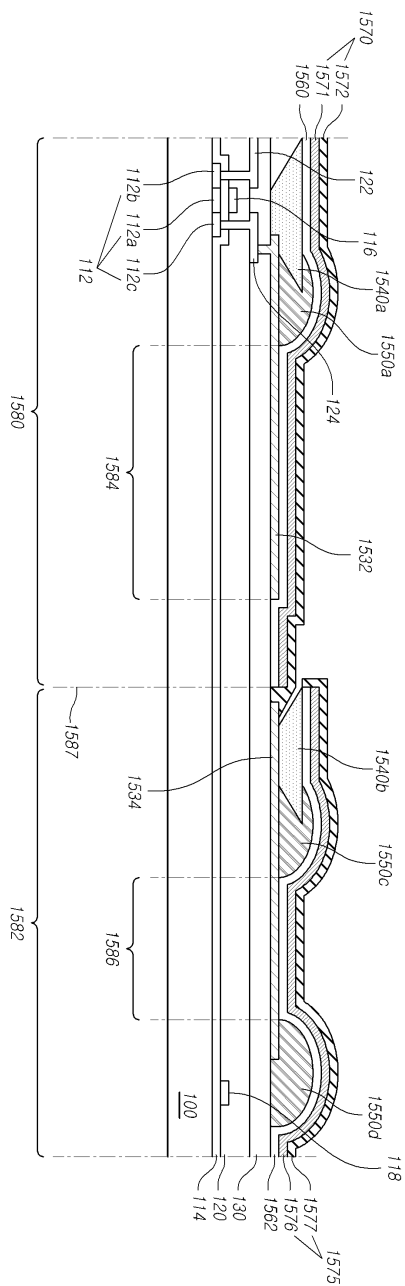
도면14c



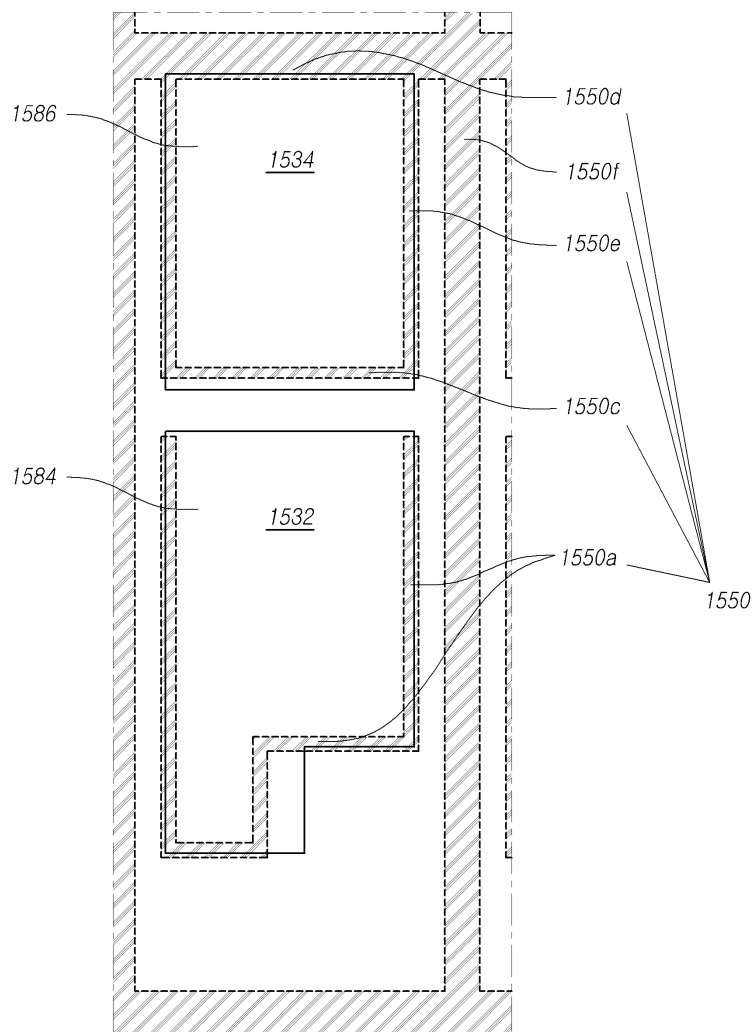
도면14d



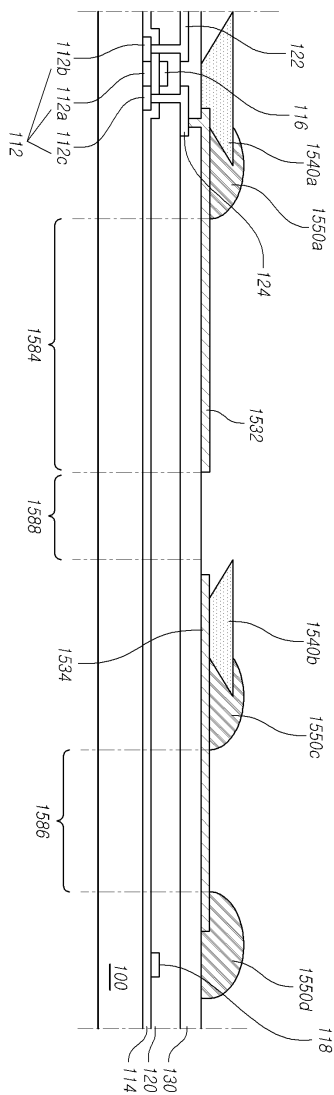
도면15



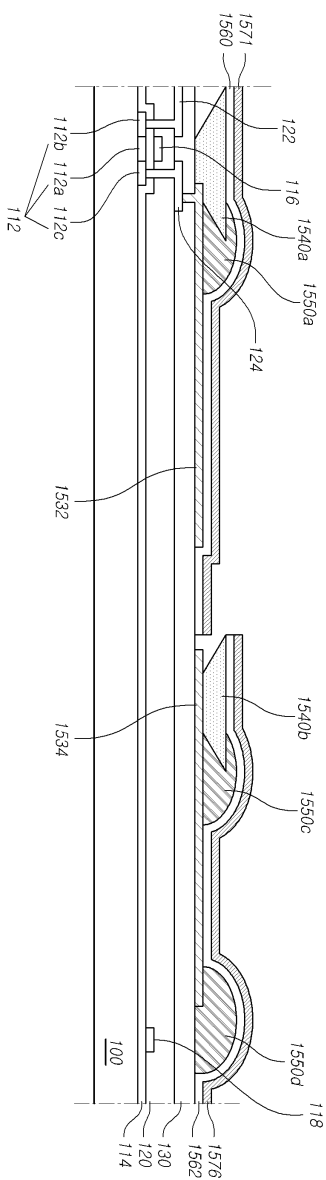
도면16



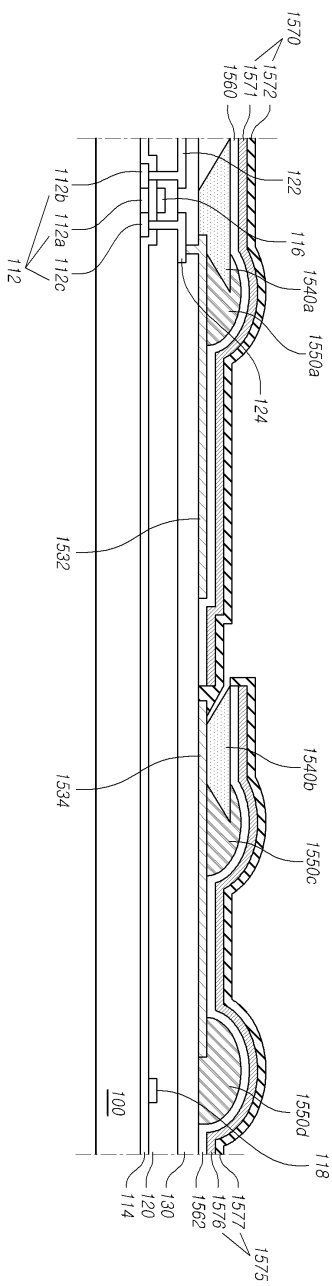
도면17a



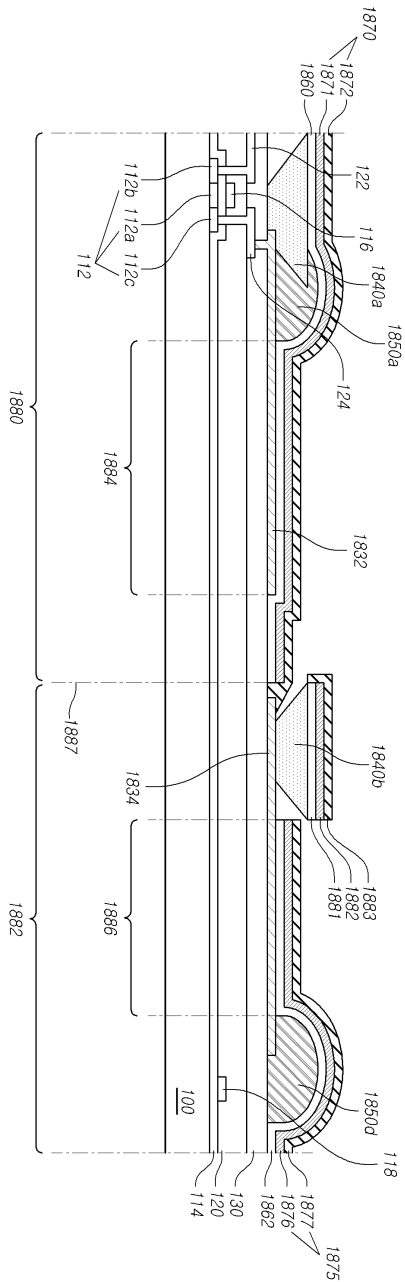
도면17b



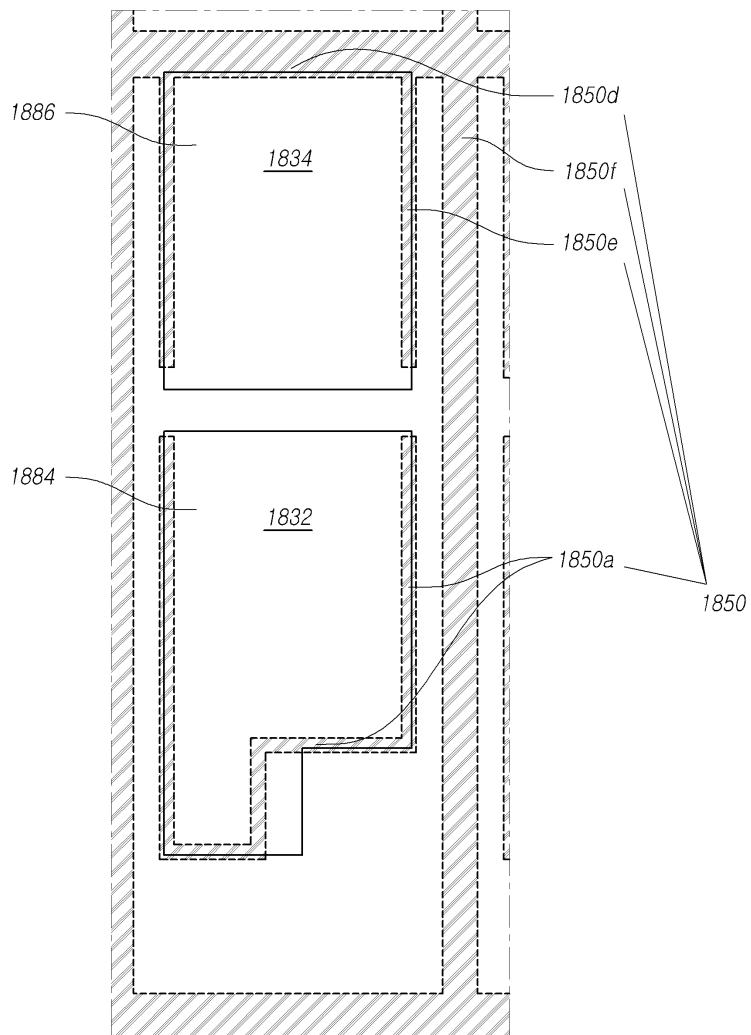
도면17c



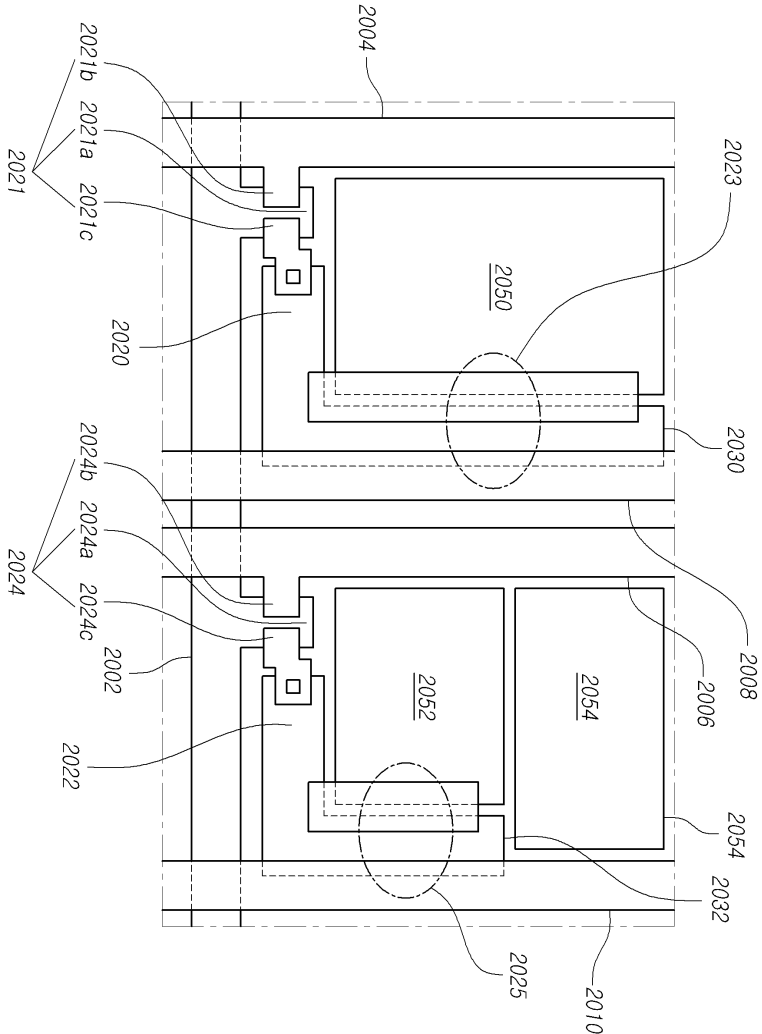
도면18



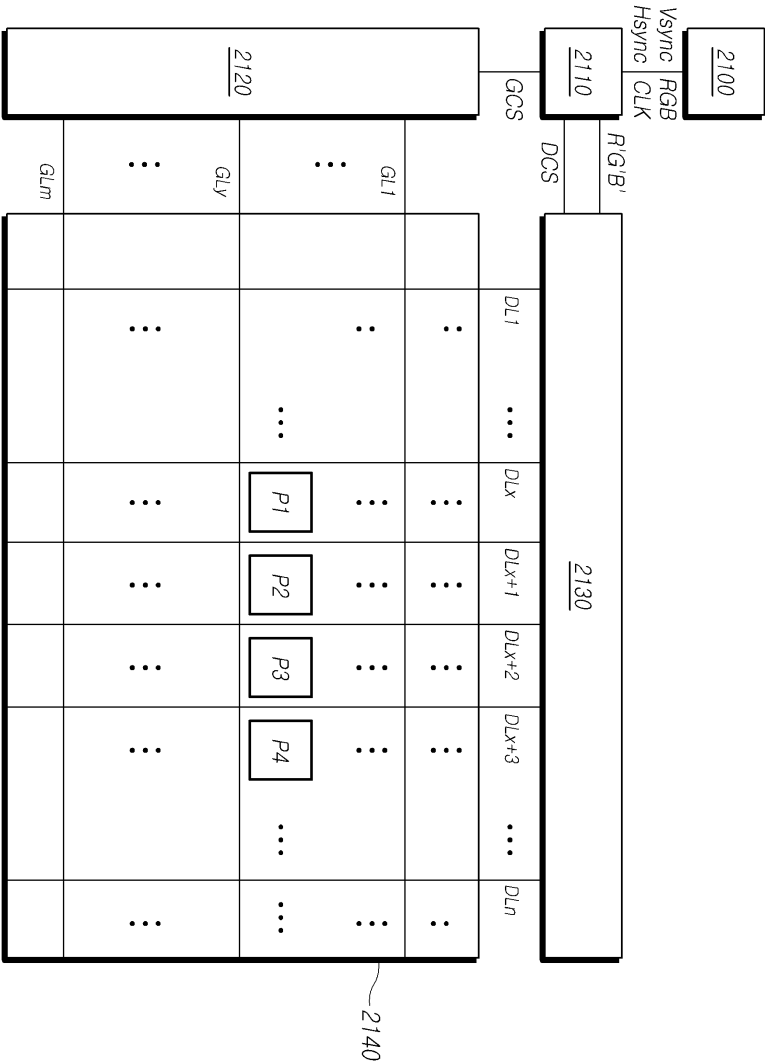
도면19



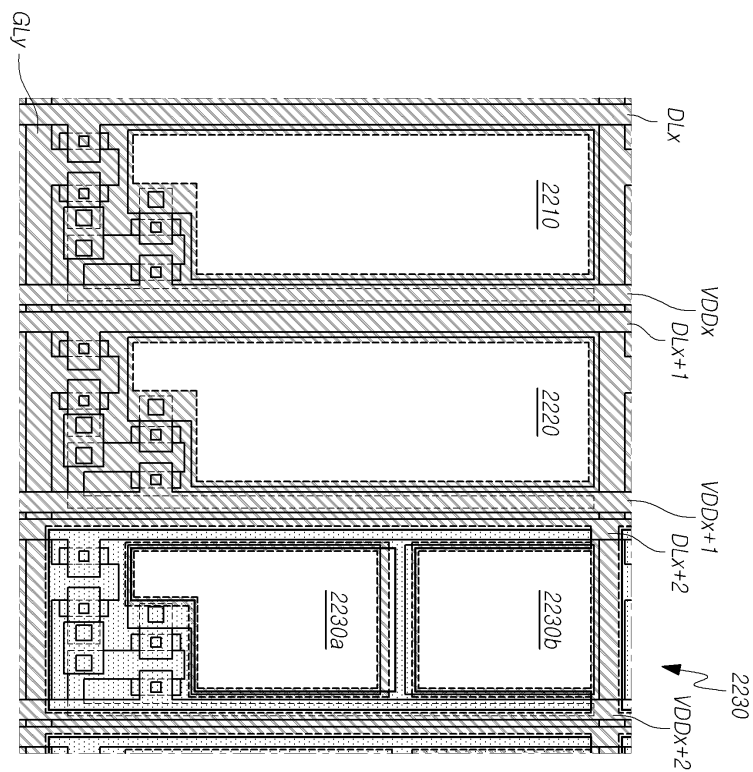
도면20



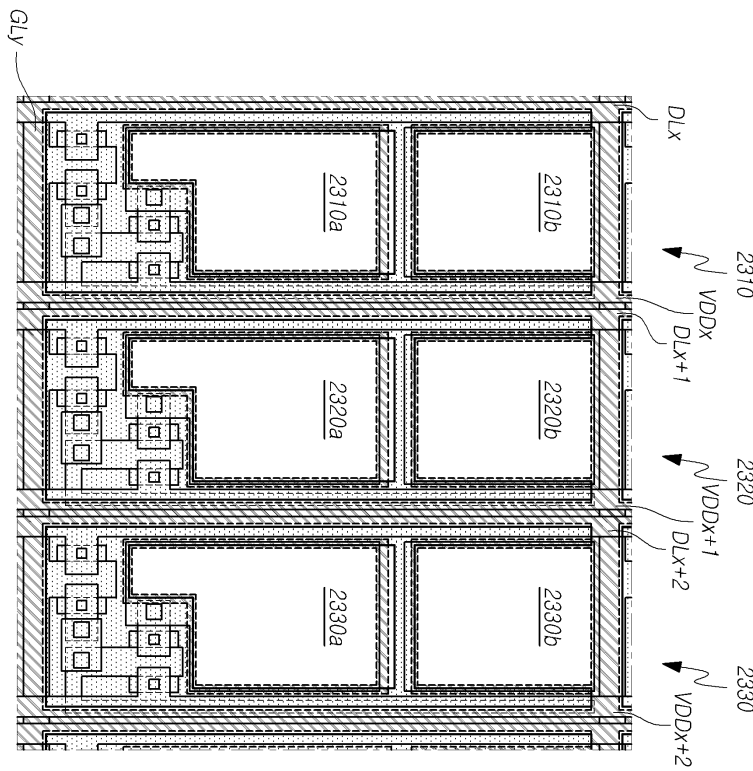
도면21



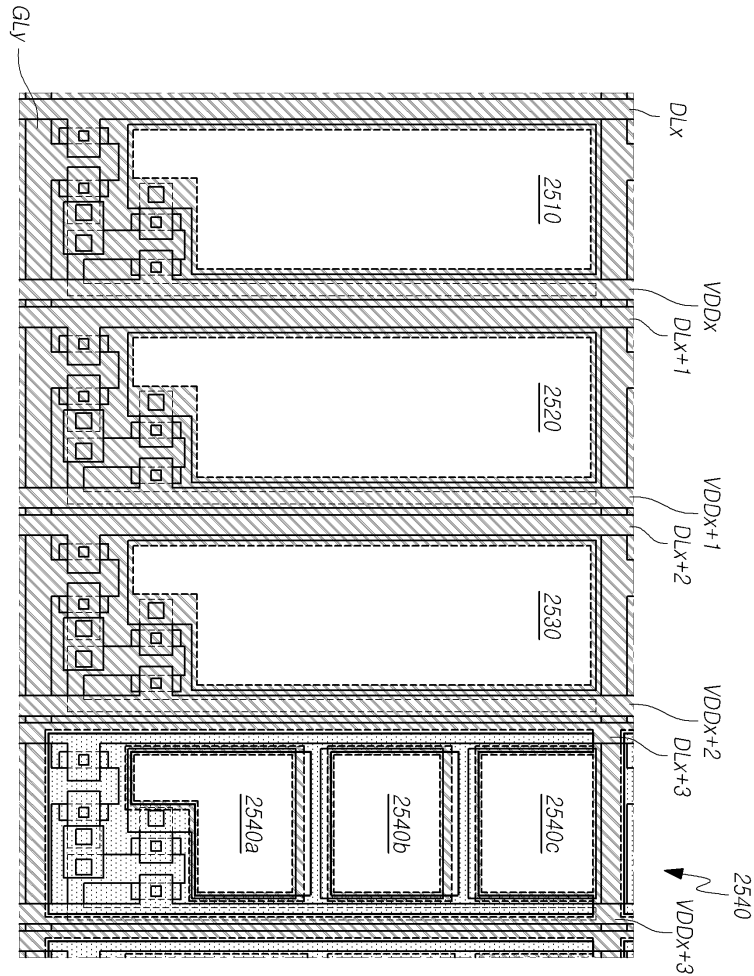
도면22



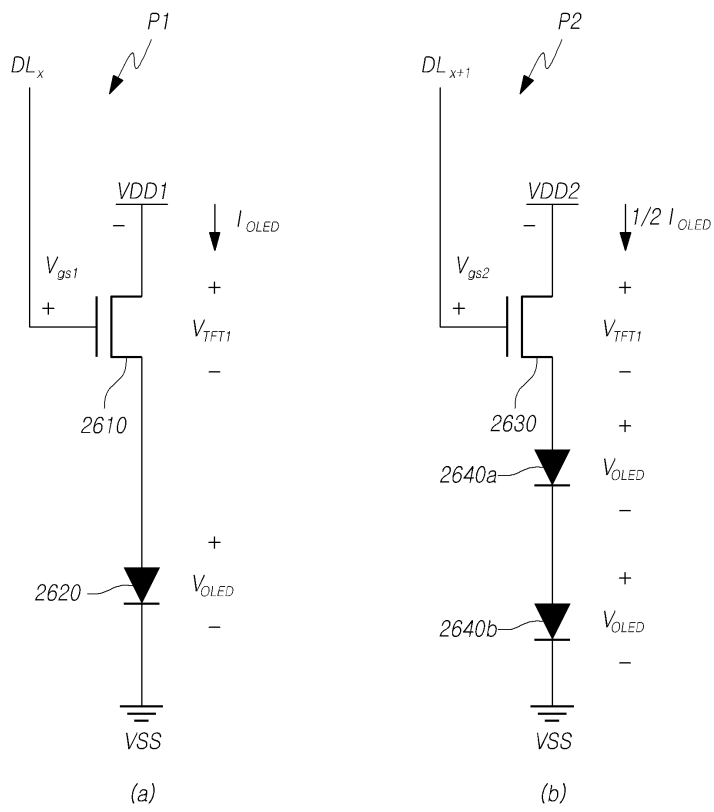
도면23



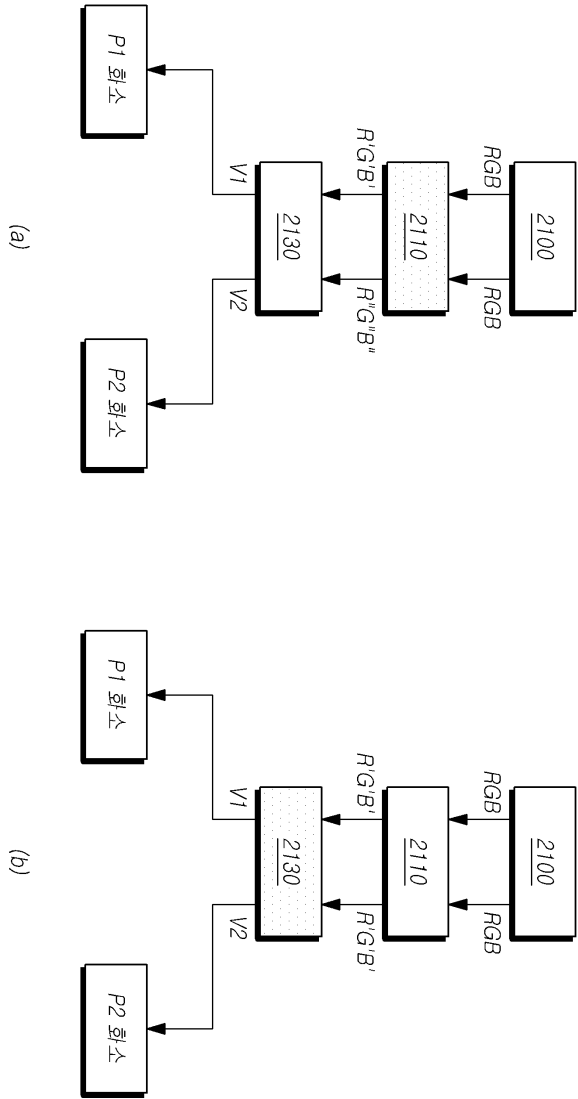
도면25



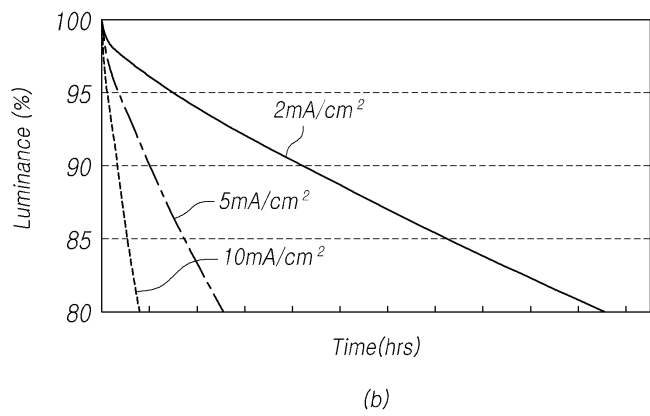
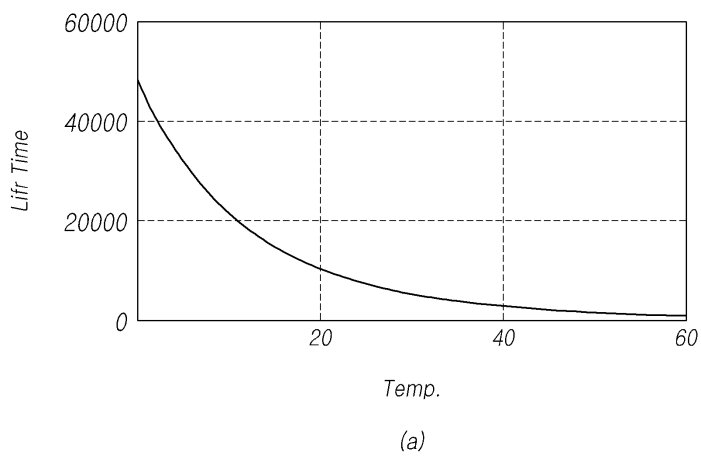
도면26



도면27



도면28



专利名称(译)	有机电致发光器件，其制造方法和有机电致发光显示器		
公开(公告)号	KR102086404B1	公开(公告)日	2020-03-09
申请号	KR1020130105881	申请日	2013-09-04
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	허준영		
发明人	허준영		
IPC分类号	H01L51/52 G09G3/32		
CPC分类号	G09G3/3233 H01L27/3246 H01L51/5203 H01L51/56		
审查员(译)	这蓬莱		
其他公开文献	KR1020150027486A		
外部链接	Espacenet		

摘要(译)

本发明提供了一种有机电致发光器件，显示器件及其制造方法。有机电致发光器件包括：晶体管，其形成在其上限定像素区域的基板上；第一子像素，其位于像素区域的第一子区域上，并且包括电连接至漏极的第一电极。晶体管的第一电极位于第一电极上，第二电极位于第一有机层上，第二子像素位于子像素的第二子区域上并包括第三电连接至第二电极的电极，位于第三电极上的第二有机层和位于第二有机层上的第四电极。

