



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2019년11월05일

(11) 등록번호 10-2023185

(24) 등록일자 2019년09월11일

(51) 국제특허분류(Int. Cl.)

H01L 51/52 (2006.01)

(21) 출원번호 10-2013-0079535

(22) 출원일자 2013년07월08일

심사청구일자 2018년06월19일

(65) 공개번호 10-2015-0006151

(43) 공개일자 2015년01월16일

(73) 특허권자

삼성디스플레이 주식회사

경기도 용인시 기흥구 삼성로 1 (농서동)

(72) 발명자

윤주원

경기 화성시 동탄반석로 207, 207동 1101호 (반송동, 시범한빛마을삼부르네상스아파트)

심수연

서울 성동구 매봉길 17, 래미안 옥수 리버젠 111동 107호 (옥수동)

(뒷면에 계속)

(74) 대리인

팬코리아특허법인

전체 청구항 수 : 총 15 항

심사관 : 김우영

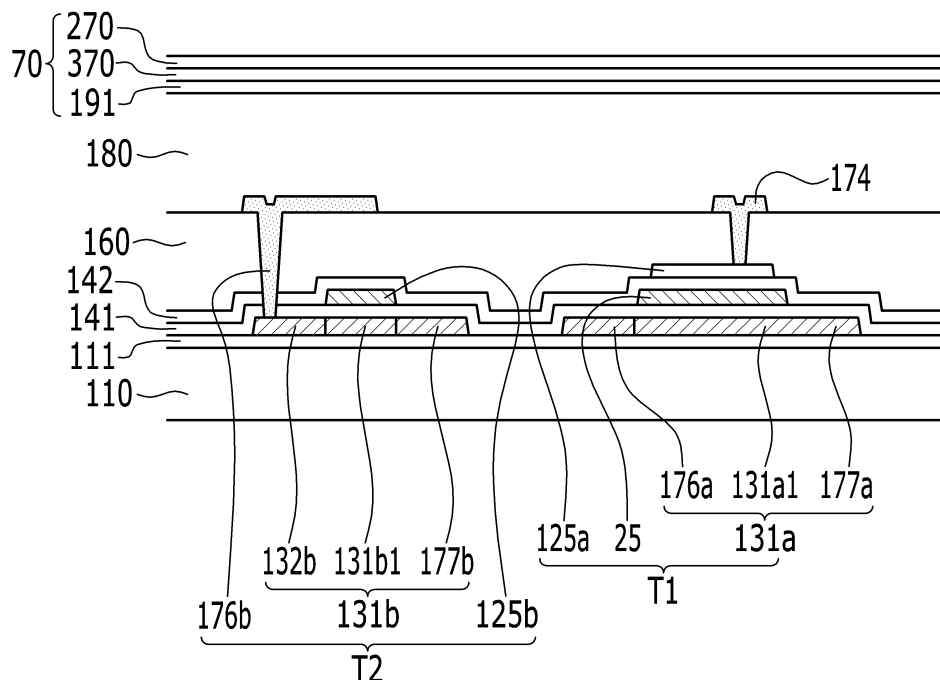
(54) 발명의 명칭 유기 발광 표시 장치

(57) 요약

본 발명의 실시예에 따른 유기 발광 표시 장치는 기판, 기판 위에 배치되어 있으며 스캔 신호를 전달하는 스캔선, 스캔선과 교차하며 데이터 신호 및 구동 전압을 각각 전달하는 데이터선 및 구동 전압선, 스캔선 및 상기 데이터선과 연결되어 있는 스위칭 박막 트랜지스터, 스위칭 박막 트랜지스터 및 구동 전압선과 연결되어 있는

(뒷면에 계속)

대표도 - 도5



구동 박막 트랜지스터, 구동 박막 트랜지스터에 연결되어 있는 유기 발광 다이오드를 포함하고, 구동 박막 트랜지스터는 구동 채널 영역 및 구동 채널 영역의 양측면에 각각 배치되어 있는 구동 소스 영역 및 구동 드레인 영역을 포함하는 구동 반도체층, 구동 반도체층을 덮고 있는 제1 게이트 절연막, 제1 게이트 절연막 위에 배치되어 있으며 구동 채널 영역에 대응하는 위치에 배치되어 있는 플로팅 게이트 전극, 제1 게이트 절연막 및 플로팅 게이트 전극을 덮고 있는 제2 게이트 절연막, 제2 게이트 절연막 위에 배치되어 있으며 플로팅 게이트 전극에 대응하는 위치에 배치되어 있는 구동 게이트 전극을 포함하고, 제2 게이트 절연막의 유전율은 10 내지 100 이다.

(72) 발명자

이승민

제주 제주시 용담로17길 15-1, (용담일동)

이일정

서울 강남구 남부순환로 2912, 12동 909호 (대치동, 우성아파트)

이정호

서울 마포구 마포대로10길 22, 104동 404호 (공덕동, 마포공덕한화꿈에그린아파트)

임충열

경기 용인시 기흥구 기흥로116번길 77, 607동 1403호 (신갈동, 산양마을푸르지오)

안진성

서울 동대문구 한천로 224, 13동 105호 (장안동, 현대아파트)

명세서

청구범위

청구항 1

기관,

상기 기관 위에 배치되어 있으며 스캔 신호를 전달하는 스캔선,

상기 스캔선과 교차하며 데이터 신호 및 구동 전압을 각각 전달하는 데이터선 및 구동 전압선,

상기 스캔선 및 상기 데이터선과 연결되어 있는 스위칭 박막 트랜지스터,

상기 스위칭 박막 트랜지스터 및 상기 구동 전압선과 연결되어 있는 구동 박막 트랜지스터,

상기 구동 박막 트랜지스터에 연결되어 있는 유기 발광 다이오드를 포함하고,

상기 구동 박막 트랜지스터는

구동 채널 영역 및 상기 구동 채널 영역의 양측면에 각각 배치되어 있는 구동 소스 영역 및 구동 드레인 영역을 포함하는 구동 반도체층,

상기 구동 반도체층을 덮고 있는 제1 게이트 절연막,

상기 제1 게이트 절연막 위에 배치되어 있으며 상기 구동 채널 영역에 대응하는 위치에 배치되어 있는 플로팅 게이트 전극,

상기 제1 게이트 절연막 및 플로팅 게이트 전극을 덮고 있는 제2 게이트 절연막,

상기 제2 게이트 절연막 위에 배치되어 있으며 상기 플로팅 게이트 전극에 대응하는 위치에 배치되어 있는 구동 게이트 전극을 포함하고,

상기 제2 게이트 절연막의 유전율은 10 내지 100인 유기 발광 표시 장치.

청구항 2

제1항에서,

상기 제2 게이트 절연막의 두께는 100Å 내지 1000Å 인 유기 발광 표시 장치.

청구항 3

제2항에서,

상기 제2 게이트 절연막은 산화 지르코늄, 금속이 도핑된 산화 지르코늄, 산화 하프늄, 금속이 도핑된 산화 하프늄, 산화 티타늄, 금속이 도핑된 산화 티타늄, 산화 알루미늄 및 금속이 도핑된 산화 알루미늄 중 어느 하나로 이루어진 단층 구조인 유기 발광 표시 장치.

청구항 4

제2항에서,

상기 제2 게이트 절연막은 복수 층의 구조이며,

상기 각 층은 각각 산화 지르코늄, 금속이 도핑된 산화 지르코늄, 산화 하프늄, 금속이 도핑된 산화 하프늄, 산화 티타늄, 금속이 도핑된 산화 티타늄, 산화 알루미늄 및 금속이 도핑된 산화 알루미늄 중 어느 하나로 이루어진 유기 발광 표시 장치.

청구항 5

제2항에서,

상기 제2 게이트 절연막은 산화 지르코늄, 금속이 도핑된 산화 지르코늄, 산화 하프늄, 금속이 도핑된 산화 하프늄, 산화 티타늄, 금속이 도핑된 산화 티타늄, 산화 알루미늄 및 금속이 도핑된 산화 알루미늄 중 어느 하나로 이루어진 층과 실리콘 산화막 또는 실리콘 질화막으로 이루어진 층을 포함하는 복수 층의 구조인 유기 발광 표시 장치.

청구항 6

제1항에서,

상기 스위칭 박막 트랜지스터는

스위칭 채널 영역 및 상기 스위칭 채널 영역의 양측면에 각각 배치되어 있는 스위칭 소스 영역 및 스위칭 드레인 영역을 포함하는 스위칭 반도체층,

상기 스위칭 반도체층을 덮고 있는 상기 제1 게이트 절연막 위에 배치되어 있으며 상기 스위칭 채널 영역에 대응하는 위치에 배치되어 있는 스위칭 게이트 전극을 포함하는 유기 발광 표시 장치.

청구항 7

제6항에서,

상기 스위칭 소스 영역, 상기 스위칭 드레인 영역, 상기 구동 소스 영역 및 상기 구동 드레인 영역의 불순물 도핑 농도는 서로 동일한 유기 발광 표시 장치.

청구항 8

제7항에서,

상기 플로팅 게이트 전극은 상기 스위칭 게이트 전극, 상기 스캔선과 동일한 층에 배치되어 있는 유기 발광 표시 장치.

청구항 9

제8항에서,

상기 스위칭 게이트 전극은 상기 스캔선과 연결되어 있고, 상기 플로팅 게이트 전극은 상기 스캔선과 분리되어 있는 유기 발광 표시 장치.

청구항 10

제9항에서,

상기 제2 게이트 절연막은 상기 스위칭 게이트 전극을 덮고 있는 유기 발광 표시 장치.

청구항 11

제1항에서,

상기 구동 박막 트랜지스터 및 상기 구동 전압선과 연결되어 있는 스토리지 캐패시터를 더 포함하는 유기 발광 표시 장치.

청구항 12

제11항에서,

상기 구동 박막 트랜지스터와 연결되어 있는 제1 발광 제어 박막 트랜지스터 및 제2 발광 제어 박막 트랜지스터, 그리고

상기 제1 발광 제어 박막 트랜지스터 및 상기 제2 발광 제어 박막 트랜지스터에 발광 제어 신호를 전달하는 발광 제어선을 더 포함하고,

상기 구동 박막 트랜지스터는 상기 제1 발광 제어 박막 트랜지스터 및 상기 제2 발광 제어 박막 트랜지스터를 통하여 각각 상기 구동 전압선 및 상기 유기 발광 다이오드에 연결되어 있는 유기 발광 표시 장치.

청구항 13

제12항에서,

상기 스캔선 및 상기 구동 박막 트랜지스터에 연결되어 있는 보상 박막 트랜지스터를 더 포함하는 유기 발광 표시 장치.

청구항 14

제13항에서,

상기 보상 박막 트랜지스터에 연결되어 있는 초기화 박막 트랜지스터,

상기 초기화 박막 트랜지스터에 연결되어 있으며, 이전 스캔 신호를 전달하는 이전 스캔 신호선, 그리고

상기 초기화 박막 트랜지스터에 연결되어 있으며, 초기화 전압을 전달하는 초기화 전압선을 더 포함하는 유기 발광 표시 장치.

청구항 15

제14항에서,

상기 스캔선 및 상기 구동 박막 트랜지스터와 연결되어 있는 부스팅 캐패시터를 더 포함하는 유기 발광 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명은 유기 발광 표시 장치에 관한 것이다.

배경 기술

[0002] 유기 발광 표시 장치는 두 개의 전극과 그 사이에 위치하는 유기 발광층을 포함하며, 하나의 전극으로부터 주입된 전자(electron)와 다른 전극으로부터 주입된 정공(hole)이 유기 발광층에서 결합하여 여기자(exciton)를 형성하고, 여기자가 에너지를 방출하면서 발광한다.

[0003] 이러한 유기 발광 표시 장치는 자발광 소자인 유기 발광 다이오드를 포함하는 복수개의 화소를 포함하며, 각 화소에는 유기 발광 다이오드를 구동하기 위한 복수개의 박막 트랜지스터 및 하나 이상의 캐패시터(Capacitor)가 형성되어 있다. 복수개의 박막 트랜지스터는 기본적으로 스위칭 박막 트랜지스터 및 구동 박막 트랜지스터를 포함한다.

[0004] 스위칭 박막 트랜지스터는 빠른 스위칭 동작을 위해 게이트 전극과 반도체층 사이에 얇은 두께의 게이트 절연막을 형성하고, 구동 박막 트랜지스터는 구동 박막 트랜지스터의 게이트 전극에 인가되는 게이트 전압의 구동 범위(driving range)를 넓게 하기 위하여 구동 게이트 전극과 구동 반도체층 사이의 간격을 넓게 한다.

[0005] 이 때, 구동 박막 트랜지스터의 구동 게이트 전극과 구동 반도체층 사이에는 두 층의 게이트 절연막이 위치하는데, 두 층의 게이트 절연막의 커패시턴스 산포에 의해 구동 박막 트랜지스터의 전류 산포가 발생할 수 있다.

발명의 내용

해결하려는 과제

[0006] 본 발명이 해결하고자 하는 과제는 구동 박막 트랜지스터의 전류 산포를 감소시킬 수 있는 유기 발광 표시 장치를 제공하는 것이다.

과제의 해결 수단

[0007] 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 기판, 기판 위에 배치되어 있으며 스캔 신호를 전달하는 스캔선, 스캔선과 교차하며 데이터 신호 및 구동 전압을 각각 전달하는 데이터선 및 구동 전압선, 스캔선 및 상기 데이터선과 연결되어 있는 스위칭 박막 트랜지스터, 스위칭 박막 트랜지스터 및 구동 전압선과 연결되어 있는

구동 박막 트랜지스터, 구동 박막 트랜지스터에 연결되어 있는 유기 발광 다이오드를 포함하고, 구동 박막 트랜지스터는 구동 채널 영역 및 구동 채널 영역의 양측면에 각각 배치되어 있는 구동 소스 영역 및 구동 드레인 영역을 포함하는 구동 반도체층, 구동 반도체층을 덮고 있는 제1 게이트 절연막, 제1 게이트 절연막 위에 배치되어 있으며 구동 채널 영역에 대응하는 위치에 배치되어 있는 플로팅 게이트 전극, 제1 게이트 절연막 및 플로팅 게이트 전극을 덮고 있는 제2 게이트 절연막, 제2 게이트 절연막 위에 배치되어 있으며 플로팅 게이트 전극에 대응하는 위치에 배치되어 있는 구동 게이트 전극을 포함하고, 제2 게이트 절연막의 유전율은 10 내지 100 이다.

- [0008] 제2 게이트 절연막의 두께는 100Å 내지 1000Å일 수 있다.
- [0009] 제2 게이트 절연막은 산화 지르코늄, 금속이 도핑된 산화 지르코늄, 산화 하프늄, 금속이 도핑된 산화 하프늄, 산화 티타늄, 금속이 도핑된 산화 티타늄, 산화 알루미늄 및 금속이 도핑된 산화 알루미늄 중 어느 하나로 이루어진 단층 구조일 수 있다.
- [0010] 제2 게이트 절연막은 복수 층의 구조이며, 각 층은 각각 산화 지르코늄, 금속이 도핑된 산화 지르코늄, 산화 하프늄, 금속이 도핑된 산화 하프늄, 산화 티타늄, 금속이 도핑된 산화 티타늄, 산화 알루미늄 및 금속이 도핑된 산화 알루미늄 중 어느 하나로 이루어질 수 있다.
- [0011] 제2 게이트 절연막은 산화 지르코늄, 금속이 도핑된 산화 지르코늄, 산화 하프늄, 금속이 도핑된 산화 하프늄, 산화 티타늄, 금속이 도핑된 산화 티타늄, 산화 알루미늄 및 금속이 도핑된 산화 알루미늄 중 어느 하나로 이루어진 층과 실리콘 산화막 또는 실리콘 질화막으로 이루어진 층을 포함하는 복수 층의 구조일 수 있다.
- [0012] 스위칭 박막 트랜지스터는 스위칭 채널 영역 및 스위칭 채널 영역의 양측면에 각각 배치되어 있는 스위칭 소스 영역 및 스위칭 드레인 영역을 포함하는 스위칭 반도체층, 스위칭 반도체층을 덮고 있는 제1 게이트 절연막 위에 배치되어 있으며 스위칭 채널 영역에 대응하는 위치에 배치되어 있는 스위칭 게이트 전극을 포함할 수 있다.
- [0013] 스위칭 소스 영역, 스위칭 드레인 영역, 구동 소스 영역 및 구동 드레인 영역의 불순물 도핑 농도는 서로 동일할 수 있다.
- [0014] 플로팅 게이트 전극은 스위칭 게이트 전극, 스캔선과 동일한 층에 배치되어 있을 수 있다.
- [0015] 스위칭 게이트 전극은 스캔선과 연결되어 있고, 플로팅 게이트 전극은 상기 스캔선과 분리되어 있을 수 있다.
- [0016] 제2 게이트 절연막은 상기 스위칭 게이트 전극을 덮고 있을 수 있다.
- [0017] 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 구동 박막 트랜지스터 및 상기 구동 전압선과 연결되어 있는 스토리지 캐패시터를 더 포함할 수 있다.
- [0018] 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 구동 박막 트랜지스터와 연결되어 있는 제1 발광 제어 박막 트랜지스터 및 제2 발광 제어 박막 트랜지스터, 그리고 제1 발광 제어 박막 트랜지스터 및 제2 발광 제어 박막 트랜지스터에 발광 제어 신호를 전달하는 발광 제어선을 더 포함하고, 구동 박막 트랜지스터는 제1 발광 제어 박막 트랜지스터 및 제2 발광 제어 박막 트랜지스터를 통하여 상기 구동 전압선 및 유기 발광 다이오드에 연결되어 있을 수 있다.
- [0019] 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 스캔선 및 상기 구동 박막 트랜지스터에 연결되어 있는 보상 박막 트랜지스터를 더 포함할 수 있다.
- [0020] 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 보상 박막 트랜지스터에 연결되어 있는 초기화 박막 트랜지스터, 초기화 박막 트랜지스터에 연결되어 있으며, 이전 스캔 신호를 전달하는 이전 스캔 신호선, 그리고 초기화 박막 트랜지스터에 연결되어 있으며, 초기화 전압을 전달하는 초기화 전압선을 더 포함할 수 있다.
- [0021] 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 스캔선 및 상기 구동 박막 트랜지스터와 연결되어 있는 부스팅 캐패시터를 더 포함할 수 있다.

발명의 효과

- [0022] 본 발명에 따르면, 제2 게이트 절연막을 유전율이 높은 물질로 형성하여 구동 박막 트랜지스터의 전류 산포 발생을 감소시킬 수 있다.

도면의 간단한 설명

- [0023] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 하나의 화소의 등가 회로도이다.
- 도 2는 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 하나의 화소에서 복수개의 박막 트랜지스터 및 캐패시터의 위치를 개략적으로 도시한 도면이다.
- 도 3은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 하나의 화소의 구체적인 배치도이다.
- 도 4는 도 3의 유기 발광 표시 장치를 IV-IV선을 따라 자른 단면도이다.
- 도 5는 도 3의 유기 발광 표시 장치를 V-V선을 따라 자른 단면도이다.
- 도 6은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 구동 박막 트랜지스터의 제1 플로팅 캐패시터와 제2 플로팅 캐패시터를 개략적으로 도시한 도면이다.
- 도 7을 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 제2 게이트 절연막의 유전율 및 두께에 따른 f 값을 나타낸 그래프이다.

발명을 실시하기 위한 구체적인 내용

- [0024] 이하, 첨부한 도면을 참고로 하여 본 발명의 여러 실시예들에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예들에 한정되지 않는다.
- [0025] 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 동일 또는 유사한 구성요소에 대해서는 동일한 참조 부호를 붙이도록 한다.
- [0026] 또한, 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로, 본 발명이 반드시 도시된 바에 한정되지 않는다.
- [0027] 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 그리고 도면에서, 설명의 편의를 위해, 일부 층 및 영역의 두께를 과장되게 나타내었다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 또는 "상에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다.
- [0028] 또한, 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함" 한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다. 또한, 명세서 전체에서, "~상에"라 함은 대상 부분의 위 또는 아래에 위치함을 의미하는 것이며, 반드시 중력 방향을 기준으로 상 측에 위치하는 것을 의미하는 것은 아니다.
- [0029] 또한, 첨부 도면에서는, 하나의 화소에 6개의 박막 트랜지스터(thin film transistor, TFT)와 2개의 캐패시터(capacitor)를 구비하는 6Tr 2Cap 구조의 능동 구동(active matrix, AM)형 유기 발광 표시 장치를 도시하고 있지만, 본 발명이 이에 한정되는 것은 아니다. 따라서 유기 발광 표시 장치는 하나의 화소에 복수개의 박막 트랜지스터와 하나 이상의 캐패시터를 구비할 수 있으며, 별도의 배선이 더 형성되거나 기존의 배선이 생략되어 다양한 구조를 갖도록 형성할 수도 있다. 여기서, 화소는 화상을 표시하는 최소 단위를 말하며, 유기 발광 표시 장치는 복수의 화소들을 통해 화상을 표시한다.
- [0030] 본 발명의 일 실시예에 따른 유기 발광 표시 장치에 대하여 도 1 내지 도 5를 참고로 상세하게 설명한다.
- [0031] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 하나의 화소에 대한 등가 회로도이다.
- [0032] 도 1에 도시한 바와 같이, 본 실시예에 따른 유기 발광 표시 장치의 하나의 화소는 복수의 신호선(121, 122, 123, 124, 171, 172), 복수의 신호선에 연결되어 있는 복수개의 박막 트랜지스터(T1, T2, T3, T4, T5, T6), 캐패시터(Cst, Cb) 및 유기 발광 다이오드(organic light emitting diode, OLED)를 포함한다.
- [0033] 박막 트랜지스터는 구동 박막 트랜지스터(driving thin film transistor)(T1), 스위칭 박막 트랜지스터(switching thin film transistor)(T2), 보상 박막 트랜지스터(T3), 초기화 박막 트랜지스터(T4), 제1 발광 제어 박막 트랜지스터(T5) 및 제2 발광 제어 박막 트랜지스터(T6)를 포함한다. 캐패시터는 스토리지 캐패시터(storage capacitor)(Cst) 및 부스팅 캐패시터(boosting capacitor)(Cb)를 포함한다.
- [0034] 신호선은 스캔 신호(Sn)를 전달하는 스캔선(121), 초기화 박막 트랜지스터(T4)에 이전 스캔 신호(Sn-1)를 전달하는 이전 스캔선(122), 제1 발광 제어 박막 트랜지스터(T5) 및 제2 발광 제어 박막 트랜지스터(T6)에 발광 제

어 신호(En)를 전달하는 발광 제어선(123), 데이터 신호(Dm)를 전달하는 데이터선(171), 구동 전압(ELVDD)을 전달하며 데이터선(171)과 거의 평행하게 형성되어 있는 구동 전압선(172), 구동 박막 트랜지스터(T1)를 초기화하는 초기화 전압(Vint)을 전달하는 초기화 전압선(124)을 포함한다.

[0035] 구동 박막 트랜지스터(T1)의 게이트 전극(G1)은 스토리지 캐패시터(Cst)의 일단(Cst1)과 연결되어 있고, 구동 박막 트랜지스터(T1)의 소스 전극(S1)은 제1 발광 제어 박막 트랜지스터(T5)를 경유하여 구동 전압선(172)과 연결되어 있으며, 구동 박막 트랜지스터(T1)의 드레인 전극(D1)은 제2 발광 제어 박막 트랜지스터(T6)를 경유하여 유기 발광 다이오드(OLED)의 애노드(anode)와 전기적으로 연결되어 있다. 구동 박막 트랜지스터(T1)는 스위칭 박막 트랜지스터(T2)의 스위칭 동작에 따라 데이터 신호(Dm)를 전달받아 유기 발광 다이오드(OLED)에 구동 전류를 공급한다.

[0036] 스위칭 박막 트랜지스터(T2)의 게이트 전극(G2)은 스캔선(121)과 연결되어 있고, 스위칭 박막 트랜지스터(T2)의 소스 전극(S2)은 데이터선(171)과 연결되어 있으며, 스위칭 박막 트랜지스터(T2)의 드레인 전극(D2)은 구동 박막 트랜지스터(T1)의 소스 전극(S1)과 연결되어 있는 동시에 제1 발광 제어 박막 트랜지스터(T5)를 경유하여 구동 전압선(172)과 연결되어 있다. 스위칭 박막 트랜지스터(T2)는 스캔선(121)을 통해 전달받은 스캔 신호(Sn)에 따라 턴 온되어 데이터선(171)으로 전달된 데이터 신호(Dm)를 구동 박막 트랜지스터(T1)의 소스 전극으로 전달하는 스위칭 동작을 수행한다.

[0037] 보상 박막 트랜지스터(T3)의 게이트 전극(G3)은 스캔선(121)에 연결되어 있고, 보상 박막 트랜지스터(T3)의 소스 전극(S3)은 구동 박막 트랜지스터(T1)의 드레인 전극(D1) 및 유기 발광 다이오드(OLED)의 애노드(anode)와 연결되어 있으며, 보상 박막 트랜지스터(T3)의 드레인 전극(D3)은 부스팅 캐패시터(Cb)의 일단(Cb1) 및 초기화 박막 트랜지스터(T4)의 드레인 전극(D4)과 연결되어 있다. 보상 박막 트랜지스터(T3)는 스캔선(121)을 통해 전달받은 스캔 신호(Sn)에 따라 턴 온되어 구동 박막 트랜지스터(T1)의 게이트 전극(G1)과 드레인 전극(D1)을 서로 연결하여 구동 박막 트랜지스터(T1)를 다이오드 연결시킨다. 따라서, 다이오드 연결된 구동 박막 트랜지스터(T1)를 통해 구동 전류가 흐르게 된다.

[0038] 초기화 박막 트랜지스터(T4)의 게이트 전극(G4)은 이전 스캔선(122)과 연결되어 있고, 초기화 박막 트랜지스터(T4)의 소스 전극(S4)은 초기화 전압선(124)과 연결되어 있으며, 초기화 박막 트랜지스터(T4)의 드레인 전극(D4)은 부스팅 캐패시터의 일단(Cb1), 스토리지 캐패시터의 일단(Cst1), 보상 박막 트랜지스터(T3)의 드레인 전극(D3) 및 구동 박막 트랜지스터(T1)의 게이트 전극(G1)과 연결되어 있다. 초기화 박막 트랜지스터(T4)는 이전 스캔선(122)을 통해 전달받은 이전 스캔 신호(Sn-1)에 따라 턴 온되어 초기화 전압(Vint)을 구동 박막 트랜지스터(T1)의 게이트 전극(G1)에 전달하여 구동 박막 트랜지스터(T1)의 게이트 전극(G1)의 전압을 초기화시키는 초기화 동작을 수행한다.

[0039] 제1 발광 제어 박막 트랜지스터(T5)의 게이트 전극(G5)은 발광 제어선(123)과 연결되어 있으며, 제1 발광 제어 박막 트랜지스터(T5)의 소스 전극(S5)은 구동 전압선(172)과 연결되어 있고, 제1 발광 제어 박막 트랜지스터(T5)의 드레인 전극(D5)은 구동 박막 트랜지스터(T1)의 소스 전극(S1) 및 스위칭 박막 트랜지스터(T2)의 드레인 전극(S2)과 연결되어 있다.

[0040] 제2 발광 제어 박막 트랜지스터(T6)의 게이트 전극(G6)은 발광 제어선(123)과 연결되어 있으며, 제2 발광 제어 박막 트랜지스터(T6)의 소스 전극(S6)은 제1 발광 제어 박막 트랜지스터(T5)의 드레인 전극(D5)과 연결되어 있고, 제2 발광 제어 박막 트랜지스터(T6)의 드레인 전극(D6)은 유기 발광 다이오드(OLED)의 애노드(anode)와 전기적으로 연결되어 있다. 제1 발광 제어 박막 트랜지스터(T5) 및 제2 발광 제어 박막 트랜지스터(T6)는 발광 제어선(123)을 통해 전달받은 발광 제어 신호(En)에 따라 턴 온되어 구동 전압(ELVDD)은 유기 발광 다이오드(OLED)에 전달되어 유기 발광 다이오드(OLED)에 구동 전류가 흐르게 된다.

[0041] 스위칭 박막 트랜지스터(T2)의 게이트 전극(G2)과 연결된 스캔선(121)은 부스팅 캐패시터(Cb)의 타단(Cb2)과 연결되어 있고, 부스팅 캐패시터(Cb)의 일단(Cb1)은 구동 박막 트랜지스터(T1)의 게이트 전극(G1)과 연결되어 있다.

[0042] 스토리지 캐패시터(Cst)의 타단(Cst2)은 구동 전압선(172)과 연결되어 있으며, 유기 발광 다이오드(OLED)의 캐소드(cathode)는 공통 전압(ELVSS)과 연결되어 있다. 이에 따라, 유기 발광 다이오드(OLED)는 구동 박막 트랜지스터(T1)로부터 구동 전류(Id)를 전달받아 발광함으로써 화상을 표시한다.

[0043] 이하에서 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 한 화소의 구체적인 동작 과정을 상세히 설명한다.

- [0044] 우선, 초기화 기간 동안 이전 스캔선(122)을 통해 로우 레벨(low level)의 이전 스캔 신호(Sn-1)가 공급된다. 그러면, 로우 레벨의 이전 스캔 신호(Sn-1)에 대응하여 초기화 박막 트랜지스터(T4)가 턴 온(Turn on)되며, 초기화 전압선(124)으로부터 초기화 박막 트랜지스터(T4)를 통해 초기화 전압(Vint)이 구동 박막 트랜지스터(T1)로 공급되어 구동 박막 트랜지스터(T1)가 초기화된다.
- [0045] 이 후, 데이터 프로그래밍 기간 동안 스캔선(121)을 통해 로우 레벨의 스캔 신호(Sn)가 공급된다. 그러면, 로우 레벨의 스캔 신호(Sn)에 대응하여 스위칭 박막 트랜지스터(T2) 및 보상 박막 트랜지스터(T3)가 턴 온된다.
- [0046] 이 때, 구동 박막 트랜지스터(T1)는 보상 박막 트랜지스터(T3)에 의해 다이오드 연결되는 형태로 턴 온되며, 특히 앞선 초기화 기간 동안 구동 박막 트랜지스터(T1)가 초기화되었으므로 구동 박막 트랜지스터(T1)는 순방향으로 다이오드 연결된다. 따라서, 데이터선(171)으로부터 공급된 데이터 신호(Dm)가 스위칭 박막 트랜지스터(T2), 구동 박막 트랜지스터(T1) 및 보상 박막 트랜지스터(T3)를 경유하며, 이로 인해 스토리지 캐패시터(Cst)에는 데이터 신호(Dm)와 구동 박막 트랜지스터(T1)의 문턱 전압(Threshold voltage, Vth)의 차에 대응하는 전압이 저장된다.
- [0047] 이 후, 스캔 신호(Sn)의 공급이 중단되면서 스캔 신호(Sn)의 전압 레벨이 하이 레벨(high level)로 변경되면, 부스팅 캐패시터(Cb)의 커플링 작용에 의해 구동 박막 트랜지스터(T1)의 게이트 전극(G1)에 인가되는 전압이 스캔 신호(Sn)의 전압 변동폭에 대응하여 변경된다. 이때, 스토리지 캐패시터(Cst)와 부스팅 캐패시터(Cb) 간의 차지 셰어링(charge sharing)에 의해 구동 박막 트랜지스터(T1)의 게이트 전극(G1)에 인가되는 전압이 변경되므로, 구동 게이트 전극(G1)에 인가되는 전압 변화량은 스캔 신호(Sn)의 전압 변동폭과 더불어, 스토리지 캐패시터(Cst) 및 부스팅 캐패시터(Cb) 간의 차지 셰어링(charge sharing) 값에 비례하여 변동된다.
- [0048] 이 후, 발광 기간 동안 발광 제어선(123)으로부터 공급되는 발광 제어 신호(En)가 하이 레벨에서 로우 레벨로 변경된다. 그러면, 발광 기간 동안 로우 레벨의 발광 제어 신호(En)에 의해 제1 발광 제어 박막 트랜지스터(T5) 및 제2 발광 제어 박막 트랜지스터(T6)가 턴 온된다. 이에 의해, 구동 전압(ELVDD)은 구동 전압선(172)을 통해 제1 발광 제어 박막 트랜지스터(T5), 구동 박막 트랜지스터(T1), 제2 발광 제어 박막 트랜지스터(T6) 및 유기 발광 다이오드(OLED)를 경유하여 공통 전압(ELVSS)으로의 경로로 구동 전류가 흐르게 된다.
- [0049] 이러한 구동 전류는 구동 박막 트랜지스터(T1)에 의해 제어되는 것으로서, 구동 박막 트랜지스터(T1)는 자신의 게이트 전극(G1)에 공급되는 전압에 대응하는 크기의 구동 전류를 발생시킨다. 이때, 상술한 데이터 프로그래밍 기간 동안 스토리지 캐패시터(Cst)에는 구동 박막 트랜지스터(T1)의 문턱 전압이 반영된 전압이 저장되었으므로, 발광 기간 동안 구동 박막 트랜지스터(T1)의 문턱 전압이 보상된다.
- [0050] 그러면 도 1에 도시한 유기 발광 표시 장치의 화소의 상세 구조에 대하여 도 2 내지 도 5를 도 1과 함께 참고하여 상세하게 설명한다.
- [0051] 도 2는 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 하나의 화소에서 복수개의 박막 트랜지스터 및 캐패시터의 위치를 개략적으로 도시한 도면이고, 도 3은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 하나의 화소의 구체적인 배치도이고, 도 4는 도 3의 유기 발광 표시 장치를 IV-IV선을 따라 자른 단면도이고, 도 5는 도 3의 유기 발광 표시 장치를 V-V선을 따라 자른 단면도이다.
- [0052] 도 2 내지 도 5에 도시한 바와 같이, 본 실시예에 따른 유기 발광 표시 장치의 하나의 화소는 스캔 신호(Sn), 이전 스캔 신호(Sn-1), 발광 제어 신호(En) 및 초기화 전압(Vint)을 각각 인가하며 행 방향을 따라 형성되어 있는 스캔선(121), 이전 스캔선(122), 발광 제어선(123) 및 초기화 전압선(124)을 포함한다.
- [0053] 또한, 화소는 스캔선(121), 이전 스캔선(122), 발광 제어선(123) 및 초기화 전압선(124) 모두와 교차하고 있으며 화소에 데이터 신호(Dm) 및 구동 전압(ELVDD)을 각각 인가하는 데이터선(171) 및 구동 전압선(172)을 포함한다.
- [0054] 또한, 화소는 구동 박막 트랜지스터(T1), 스위칭 박막 트랜지스터(T2), 보상 박막 트랜지스터(T3), 초기화 박막 트랜지스터(T4), 제1 발광 제어 박막 트랜지스터(T5), 제2 발광 제어 박막 트랜지스터(T6), 스토리지 캐패시터(Cst), 부스팅 캐패시터(Cb), 그리고 유기 발광 다이오드(OLED)(70)를 포함한다.
- [0055] 구동 박막 트랜지스터(T1), 스위칭 박막 트랜지스터(T2), 보상 박막 트랜지스터(T3), 초기화 박막 트랜지스터(T4), 제1 발광 제어 박막 트랜지스터(T5) 및 제2 발광 제어 박막 트랜지스터(T6)는 반도체층(131)을 따라 배치되어 있으며, 반도체층(131)은 다양한 형상으로 굴곡되어 형성되어 있다.

- [0056] 반도체층(131)은 폴리실리콘으로 이루어지며, 불순물이 도핑되지 않은 채널 영역과, 채널 영역의 양 옆으로 불순물이 도핑되어 형성된 소스 영역 및 드레인 영역을 포함한다. 여기서, 불순물은 박막 트랜지스터의 종류에 따라 달라지며, N형 불순물 또는 P형 불순물이 가능하다. 이러한 반도체층은 구동 박막 트랜지스터(T1)에 형성되는 구동 반도체층(131a), 스위칭 박막 트랜지스터(T2)에 형성되는 스위칭 반도체층(131b), 보상 박막 트랜지스터(T3)에 형성되는 보상 반도체층(131c), 초기화 박막 트랜지스터(T4)에 형성되는 초기화 반도체층(131d), 제1 발광 제어 박막 트랜지스터(T5) 및 제2 발광 제어 박막 트랜지스터(T6)에 각각 형성되는 제1 발광 제어 반도체층(131e) 및 제2 발광 제어 반도체층(131f)을 포함한다.
- [0057] 구동 박막 트랜지스터(T1)는 구동 반도체층(131a), 구동 게이트 전극(125a), 구동 소스 전극(176a), 구동 드레인 전극(177a) 및 플로팅 게이트 전극(25)을 포함한다. 구동 소스 전극(176a)은 구동 반도체층(131a)에서 불순물이 도핑된 구동 소스 영역(176a)에 해당하고, 구동 드레인 전극(177a)은 구동 반도체층(131a)에서 불순물이 도핑된 구동 드레인 영역(177a)에 해당한다. 플로팅 게이트 전극(25)은 구동 게이트 전극(125a)과 중첩하고, 구동 게이트 전극(125a) 아래에 배치되어 있다. 플로팅 게이트 전극(25)은 이후 설명하는 스위칭 게이트 전극(125b), 보상 게이트 전극(125c), 제1 발광 제어 게이트 전극(125e), 제2 발광 제어 게이트 전극(125f), 스캔선(121), 이전 스캔선(122) 및 발광 제어선(123)과 동일한 층에 배치되어 있다.
- [0058] 스위칭 박막 트랜지스터(T2)는 스위칭 반도체층(131b), 스위칭 게이트 전극(125b), 스위칭 소스 전극(176b) 및 스위칭 드레인 전극(177b)을 포함한다. 스위칭 드레인 전극(177b)은 스위칭 반도체층(131b)에서 불순물이 도핑된 스위칭 드레인 영역(177b)에 해당한다.
- [0059] 보상 박막 트랜지스터(T3)는 보상 반도체층(131c), 보상 게이트 전극(125c), 보상 소스 전극(176c) 및 보상 드레인 전극(177c)을 포함한다. 보상 소스 전극(176c)은 보상 반도체층(131c)에서 불순물이 도핑된 보상 소스 영역에 해당하고, 보상 드레인 전극(177c)은 보상 반도체층(131c)에서 불순물이 도핑된 보상 드레인 영역에 해당한다.
- [0060] 초기화 박막 트랜지스터(T4)는 초기화 반도체층(131d), 초기화 게이트 전극(125d), 초기화 소스 전극(176d) 및 초기화 드레인 전극(177d)을 포함한다. 초기화 드레인 전극(177d)은 초기화 반도체층(131d)에서 불순물이 도핑된 초기화 드레인 영역에 해당한다.
- [0061] 제1 발광 제어 박막 트랜지스터(T5)는 제1 발광 제어 반도체층(131e), 제1 발광 제어 게이트 전극(125e), 제1 발광 제어 소스 전극(176e) 및 제1 발광 제어 드레인 전극(177e)을 포함한다. 제1 발광 제어 드레인 전극(177e)은 제1 발광 제어 반도체층(131e)에서 불순물이 도핑된 제1 발광 제어 드레인 영역에 해당한다.
- [0062] 제2 발광 제어 박막 트랜지스터(T6)는 제2 발광 제어 반도체층(131f), 제2 발광 제어 게이트 전극(125f), 제2 발광 제어 소스 전극(176f) 및 제2 발광 제어 드레인 전극(177f)을 포함한다. 제2 발광 제어 소스 전극(176f)은 제2 발광 제어 반도체층(131f)에서 불순물이 도핑된 제2 발광 제어 소스 영역(176f)에 해당한다.
- [0063] 스토리지 캐패시터(Cst)는 제1 게이트 절연막(141)을 사이에 두고 배치되는 제1 스토리지 축전판(132)과 제2 스토리지 축전판(127)을 포함한다. 여기서, 제1 게이트 절연막(141)은 유전체가 되며, 스토리지 캐패시터(Cst)에서 축전된 전하와 양 축전판(132, 127) 사이의 전압에 의해 스토리지 캐패시턴스(Storage Capacitance)가 결정된다.
- [0064] 제1 스토리지 축전판(132)은 구동 반도체층(131a), 스위칭 반도체층(131b), 보상 반도체층(131c), 제1 발광 제어 반도체층(131e) 및 제2 발광 제어 반도체층(131f)과 동일한 층에 배치되어 있으며, 제2 스토리지 축전판(127)은 스캔선(121), 이전 스캔선(122) 등과 동일한 층에 배치되어 있다.
- [0065] 구동 박막 트랜지스터(T1)의 구동 반도체층(131a)은 스위칭 반도체층(131b) 및 보상 반도체층(131c)과 제1 발광 제어 반도체층(131e) 및 제2 발광 제어 반도체층(131f)를 서로 연결한다. 따라서, 구동 소스 전극(176a)은 스위칭 드레인 전극(177b) 및 제1 발광 제어 드레인 전극(177e)과 연결되고, 구동 드레인 전극(177a)은 보상 소스 전극(176c) 및 제2 발광 제어 소스 전극(176f)과 연결된다.
- [0066] 스토리지 캐패시터(Cst)의 제1 스토리지 축전판(132)은 보상 드레인 전극(177c) 및 초기화 드레인 전극(177d)과 연결되며, 연결 부재(174)를 통해 구동 게이트 전극(125a)과 연결된다. 이 때, 연결 부재(174)는 데이터선(171)과 동일한 층에 배치되어 있다. 이러한 연결 부재(174)는 이후 설명하는 층간 절연막(160), 제1 게이트 절연막(141) 및 제2 게이트 절연막(142)에 형성된 접촉 구멍(167)을 통해 제1 스토리지 축전판(132)과 연결되고, 층간 절연막(160)에 형성된 접촉 구멍(166)을 통해 구동 게이트 전극(125a)과 연결된다.

- [0067] 스토리지 캐패시터(Cst)의 제2 스토리지 축전판(127)은 층간 절연막(160)에 형성된 접촉 구멍(168)을 통해 공통 전압선(172)과 연결되며 스캔선(121)과 거의 평행하게 배치되어 있다.
- [0068] 부스팅 캐패시터(Cb)의 제1 부스팅 축전판(133)은 제1 스토리지 축전판(132)에서 연장된 연장부이고, 제2 부스팅 축전판(129)은 스캔선(121)에서 상하로 돌출된 돌출부이다.
- [0069] 제1 부스팅 축전판(133)은 해머 형상을 가지며, 제1 부스팅 축전판(133)은 구동 전압선(172)과 평행한 손잡이부(133a), 손잡이부(133a)의 단부에 배치된 헤드부(133b)를 포함한다.
- [0070] 제1 부스팅 축전판(133)의 헤드부(133b)는 제2 부스팅 축전판(129) 내부에 중첩하여 위치하고 있다. 따라서, 부스팅 캐패시터(Cb)의 제1 부스팅 축전판(133)의 면적은 제2 부스팅 축전판(129)의 면적보다 작다.
- [0071] 한편, 스위칭 박막 트랜지스터(T2)는 발광시키고자 하는 화소를 선택하는 스위칭 소자로 사용된다. 스위칭 게이트 전극(125b)은 스캔선(121)에 연결되어 있고, 스위칭 소스 전극(176b)은 데이터선(171)에 연결되어 있으며, 스위칭 드레인 전극(177b)은 구동 박막 트랜지스터(T1) 및 제1 발광 제어 박막 트랜지스터(T5)와 연결되어 있다. 그리고, 제2 발광 제어 박막 트랜지스터(T6)의 제2 발광 제어 드레인 전극(177f)은 보호막(180)에 형성된 접촉구(181)를 통해 유기 발광 다이오드(70)의 화소 전극(191)과 직접 연결되어 있다.
- [0072] 이하에서는 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 구조에 대해 적층 순서에 따라 구체적으로 설명한다.
- [0073] 이 때, 구동 박막 트랜지스터(T1), 스위칭 박막 트랜지스터(T2) 및 제2 발광 제어 박막 트랜지스터(T6)를 중심으로 박막 트랜지스터의 구조에 대해 설명한다. 그리고 나머지 박막 트랜지스터(T3, T4, T5)는 구동 박막 트랜지스터(T1), 스위칭 박막 트랜지스터(T2) 및 제2 발광 제어 박막 트랜지스터(T6)의 적층 구조와 대부분 동일하므로 상세한 설명은 생략한다.
- [0074] 유리, 석영, 세라믹 및 플라스틱 등의 절연성 물질로 이루어진 기판(110) 위에는 버퍼층(111)이 배치되어 있다.
- [0075] 버퍼층(111) 위에는 구동 반도체층(131a), 스위칭 반도체층(131b), 제2 발광 제어 반도체층(131f) 및 제1 부스팅 축전판(133)이 배치되어 있다.
- [0076] 구동 반도체층(131a)은 구동 채널 영역(131a1) 및 구동 채널 영역(131a1)을 사이에 두고 서로 마주보는 구동 소스 영역(176a) 및 구동 드레인 영역(177a)을 포함한다. 스위칭 반도체층(131b)은 스위칭 채널 영역(131b1) 및 스위칭 채널 영역(131b1)을 사이에 두고 서로 마주보는 스위칭 소스 영역(132b) 및 스위칭 드레인 영역(177b)을 포함한다. 제2 발광 제어 반도체층(131f)은 발광 제어 채널 영역(131f1) 및 발광 제어 채널 영역(131f1)을 사이에 두고 서로 마주보는 발광 제어 소스 영역(176f) 및 발광 제어 드레인 영역(133f)을 포함한다. 여기서, 스위칭 소스 영역(132b), 스위칭 드레인 영역(177b), 구동 소스 영역(176a) 및 구동 드레인 영역(177a)의 불순물 도핑 농도는 서로 동일할 수 있다.
- [0077] 구동 반도체층(131a), 스위칭 반도체층(131b), 제2 발광 제어 반도체층(131f) 및 제1 부스팅 축전판(133) 위에는 질화 규소(SiNx) 또는 산화 규소(SiO2) 따위로 이루어진 제1 게이트 절연막(141)이 배치되어 있다.
- [0078] 제1 게이트 절연막(141) 위에는 스위칭 게이트 전극(125b) 및 보상 게이트 전극(125c)을 포함하는 스캔선(121), 초기화 게이트 전극(125d)을 포함하는 이전 스캔선(122), 제1 발광 제어 게이트 전극(125e) 및 제2 발광 제어 게이트 전극(125f)을 포함하는 발광 제어선(123) 및 플로팅 게이트 전극(25)을 포함하는 게이트 배선이 배치되어 있다.
- [0079] 플로팅 게이트 전극(25)은 스캔선(121)과 분리되어 있으며, 플로팅 게이트 전극(25)은 구동 반도체층(131a)의 구동 채널 영역(131a1)과 중첩하고 있다. 스위칭 게이트 전극(125b)은 스캔선(121)에 연결되어 있으며, 스위칭 반도체층(131b)의 스위칭 채널 영역(131b1)과 중첩하고 있다. 제2 발광 제어 게이트 전극(125f)은 제2 발광 제어 반도체층(131f)의 발광 제어 채널 영역(131f1)과 중첩하고 있다. 이러한 게이트 배선은 스토리지 캐패시터(Cst)를 이루는 제2 스토리지 축전판(127), 부스팅 캐패시터(Cb)를 이루는 제2 부스팅 축전판(129)을 더 포함한다.
- [0080] 게이트 배선(25, 125b, 125c, 125c, 125e, 125f, 121, 122, 123, 127, 129) 및 제1 게이트 절연막(141) 위에는 제2 게이트 절연막(142)이 배치되어 있다.
- [0081] 제2 게이트 절연막(142)은 유전율이 10 내지 100 인 물질로 이루어져 있고, 두께는 100Å 내지 1000Å 일 수 있

다.

- [0082] 이러한 제2 게이트 절연막(142)은 산화 지르코늄(ZrO_3), 금속이 도핑된 산화 지르코늄, 산화 하프늄(HfO_3), 금속이 도핑된 산화 하프늄, 산화 티타늄(TiO_2), 금속이 도핑된 산화 티타늄, 산화 알루미늄(Al_2O_3) 및 금속이 도핑된 산화 알루미늄 중 어느 하나로 이루어진 단층 구조일 수 있다.
- [0083] 또한, 제2 게이트 절연막(142)은 복수 층의 구조일 수 있다. 이 때, 제2 게이트 절연막(142)의 각 층은 각각 산화 지르코늄, 금속이 도핑된 산화 지르코늄, 산화 하프늄, 금속이 도핑된 산화 하프늄, 산화 티타늄, 금속이 도핑된 산화 티타늄, 산화 알루미늄 및 금속이 도핑된 산화 알루미늄 중 어느 하나로 이루어질 수 있다.
- [0084] 또한, 제2 게이트 절연막(142)은 산화 지르코늄, 금속이 도핑된 산화 지르코늄, 산화 하프늄, 금속이 도핑된 산화 하프늄, 산화 티타늄, 금속이 도핑된 산화 티타늄, 산화 알루미늄 및 금속이 도핑된 산화 알루미늄 중 어느 하나로 이루어진 층과 실리콘 산화막 또는 실리콘 질화막으로 이루어진 층을 포함하는 복수 층의 구조일 수 있다.
- [0085] 제2 게이트 절연막(142) 위에는 구동 게이트 전극(125a)이 배치되어 있다. 구동 게이트 전극(125a)은 플로팅 게이트 전극(25)와 중첩하고 있다.
- [0086] 구동 박막 트랜지스터(T1)에서 제1 게이트 절연막(141) 및 제2 게이트 절연막(142) 위에 구동 게이트 전극(125a)이 배치되어 있으므로, 구동 게이트 전극(125a)과 구동 반도체층(131a) 사이의 간격이 넓어진다. 따라서, 구동 게이트 전극(125a)에 인가되는 게이트 전압의 구동 범위(driving range)를 넓힐 수 있고, 게이트 전압의 크기를 변화시켜 유기 발광 다이오드(OLED)에서 방출되는 빛의 계조를 보다 세밀하게 제어할 수 있으며, 그 결과 유기 발광 표시 장치의 해상도를 높이고 표시 품질을 향상시킬 수 있다.
- [0087] 이 때, 스위칭 박막 트랜지스터(T2)는 스위칭 게이트 전극(125b)과 스위칭 반도체층(131b) 사이에는 제2 게이트 절연막(142)이 배치되어 있지 않고, 제1 게이트 절연막(141)만 배치되어 있으므로 빠른 스위칭 동작이 가능하다.
- [0088] 제2 게이트 절연막(142) 및 구동 게이트 전극(125a) 위에는 층간 절연막(160)이 배치되어 있다. 제1 게이트 절연막(141), 제2 게이트 절연막(142) 및 층간 절연막(160)은 제2 발광 제어 반도체층(131f)의 제2 발광 제어 드레인 영역(133f)을 드러내는 접촉 구멍(163) 및 스위칭 반도체층(131b)의 스위칭 소스 영역(132b)를 드러내는 접촉 구멍(164)을 함께 갖는다. 층간 절연막(160)은 제1 게이트 절연막(141)과 마찬가지로, 질화 규소($SiNx$) 또는 산화 규소(SiO_2) 등의 세라믹(ceramic) 계열의 소재를 사용하여 만들어진다.
- [0089] 층간 절연막(160) 위에는 스위칭 소스 전극(176b)을 포함하는 데이터선(171), 연결 부재(174), 제2 발광 제어 드레인 전극(177f), 구동 전압선(172)을 포함하는 데이터 배선이 배치되어 있다.
- [0090] 스위칭 소스 전극(176b)과 제2 발광 제어 드레인 전극(177f)은 각각 층간 절연막(160), 제1 게이트 절연막(141) 및 제2 게이트 절연막(142)에 형성된 접촉 구멍(164, 163)을 통해 각각 스위칭 반도체층(131b)의 스위칭 소스 영역(132b), 제2 발광 제어 반도체층(131f)의 제2 발광 제어 드레인 영역(133f)과 연결된다.
- [0091] 층간 절연막(160) 상에는 데이터 배선(171, 174, 177f, 172)을 덮는 보호막(180)이 배치되어 있고, 보호막(180) 위에는 화소 전극(191)이 배치되어 있다. 보호막(180)에 형성된 접촉구(181)를 통해 화소 전극(191)은 제2 발광 제어 드레인 전극(177f)과 연결된다.
- [0092] 화소 전극(191)의 가장자리 및 보호막(180) 위에는 격벽(350)이 배치되어 있고, 격벽(350)은 화소 전극(191)을 드러내는 격벽 개구부(351)를 가진다. 격벽(350)은 폴리아크릴계 수지(polyacrylates resin) 및 폴리이미드계(polyimides) 등의 수지 또는 실리카 계열의 무기물 등으로 만들 수 있다.
- [0093] 격벽 개구부(351)로 노출된 화소 전극(191) 위에는 유기 발광층(370)이 배치되어 있고, 유기 발광층(370) 상에는 공통 전극(270)이 배치되어 있다. 화소 전극(191), 유기 발광층(370) 및 공통 전극(270)을 포함하는 유기 발광 다이오드(70)가 형성된다.
- [0094] 여기서, 화소 전극(191)은 정공 주입 전극인 애노드이며, 공통 전극(270)은 전자 주입 전극인 캐소드가 된다. 그러나 본 발명에 따른 일 실시예는 반드시 이에 한정되는 것은 아니며, 유기 발광 표시 장치의 구동 방법에 따라 화소 전극(191)이 캐소드가 되고, 공통 전극(270)이 애노드가 될 수도 있다. 화소 전극(191) 및 공통 전극(270)으로부터 각각 정공과 전자가 유기 발광층(370) 내부로 주입되고, 주입된 정공과 전자가 결합한 엑시톤

(exiton)이 여기상태로부터 기저상태로 떨어질 때 발광이 이루어진다.

[0095] 유기 발광층(370)은 저분자 유기물 또는 PEDOT(Poly 3,4-ethylenedioxythiophene) 등의 고분자 유기물로 이루어진다. 또한, 유기 발광층(370)은 발광층과, 정공 주입층(hole injection layer, HIL), 정공 수송층(hole transporting layer, HTL), 전자 수송층(electron transporting layer, ETL), 및 전자 주입층(electron injection layer, EIL) 중 하나 이상을 포함하는 다중막으로 형성될 수 있다. 이들 모두를 포함할 경우, 정공 주입층이 양극인 화소 전극(191) 상에 배치되고, 그 위로 정공 수송층, 발광층, 전자 수송층, 전자 주입층이 차례로 적층된다. 공통 전극(270)은 반사형 도전성 물질로 형성되므로 배면 발광형의 유기 발광 표시 장치가 된다. 반사형 물질로는 리튬(Li), 칼슘(Ca), 플루오르화리튬/칼슘(LiF/Ca), 플루오르화리튬/알루미늄(LiF/Al), 알루미늄(Al), 은(Ag), 마그네슘(Mg), 또는 금(Au) 등의 물질을 사용할 수 있다.

[0096] 도 6은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 구동 박막 트랜지스터의 제1 플로팅 캐패시터와 제2 플로팅 캐패시터를 개략적으로 도시한 도면이다.

[0097] 도 6에 도시한 바와 같이, 구동 박막 트랜지스터(T1)는 구동 게이트 전극(125a)과 플로팅 게이트 전극(25) 사이에 형성된 제2 게이트 절연막(142)에는 제1 플로팅 캐패시터(C1)가 형성되며, 플로팅 게이트 전극(25)과 구동 반도체층(131a)의 구동 드레인 영역(177a) 사이에 형성된 제1 게이트 절연막(141)에는 제2 플로팅 캐패시터(C2)가 형성된다.

[0098] 여기서, 구동 박막 트랜지스터(T1)의 전류는 하기 식 (1)을 만족한다.

$$I = \frac{\beta}{2} \alpha (V_{gs} + fV_{ds} - V_{th})^2 \quad \text{식 (1)}$$

[0100] 여기서, I는 구동 박막 트랜지스터(T1)의 전류이고, β 는 상수이고, α 는 $\frac{C_1}{C_1 + C_2 + C_{para}}$ 의 값이고, f는 $\frac{C_{para}}{C_1}$ 의 값이고, Cpara는 기생 커패시턴스이고, Vgs는 구동 게이트 전극과 구동 소스 전극 사이의 전압 차이이고, Vds는 구동 드레인 전극과 구동 소스 전극 사이의 전압 차이이고, Vth는 문턱 전압이다.

[0101] 구동 박막 트랜지스터(T1)에서 구동 반도체층(131a)과 구동 게이트 전극(125a) 사이에 플로팅 게이트 전극(25)을 배치함에 따라, 구동 게이트 전극(125a)과 구동 반도체층(131a) 사이의 간격이 넓어져, 구동 게이트 전극(125a)에 인가되는 게이트 전압의 구동 범위(driving range)를 넓힐 수 있다. 하지만, 제1 플로팅 캐패시터(C1) 및 제2 플로팅 캐패시터(C2)의 산포에 의해 구동 박막 트랜지스터(T1)의 전류 산포가 발생할 수 있다.

[0102] 구동 박막 트랜지스터(T1)의 전류 산포는 상기 식(1)에서 fVds 값이 큰 영향을 미치는데, fVds 값을 0 또는 0에 가까운 값으로 설정하여 구동 박막 트랜지스터(T1)의 전류 산포의 발생을 감소시킬 수 있다.

[0103] 이 때, 제2 게이트 절연막(142)을 유전율이 10 내지 100인 물질로 구성하여 제1 플로팅 캐패시터(C1)을 값을 크게 하여 f 값을 0에 가까운 값으로 설정함으로써, fVds 값을 0 또는 0에 가까운 값으로 설정할 수 있다.

[0104] 그러면, 도 7을 참고하여 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 제2 게이트 절연막의 유전율에 따른 f 값에 대해 설명한다.

[0105] 도 7을 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 제2 게이트 절연막의 유전율 및 두께에 따른 f 값을 나타낸 그래프이다.

[0106] 도 7을 참고하면, 제2 게이트 절연막의 유전율이 10이고, 두께가 1000Å 일 때, f 값은 약 0.225로 나타났고, 유전율이 100이고, 두께가 1000Å 일 때, f 값은 약 0.025로 나타났다. 여기서, 제1 게이트 절연막은 산화 규소로 형성하였고, 그 두께는 2000Å이다.

[0107] 종래의 경우, 제1 게이트 절연막은 두께가 2000Å이고, 산화 규소로 형성하였고, 제2 게이트 절연막은 두께가 1000Å이고, 질화 규소로 형성하였고, f 값은 약 0.34로 나타났다.

[0108] 본 실시예에 따른 f 값과 종래의 f 값을 비교해 보면, 제2 게이트 절연막의 유전율이 10이고, 두께가 1000Å 일 때, f 값이 약 34% 감소하였고, 제2 게이트 절연막의 유전율이 100이고, 두께가 1000Å 일 때, f 값이 약 93%

감소 하였다.

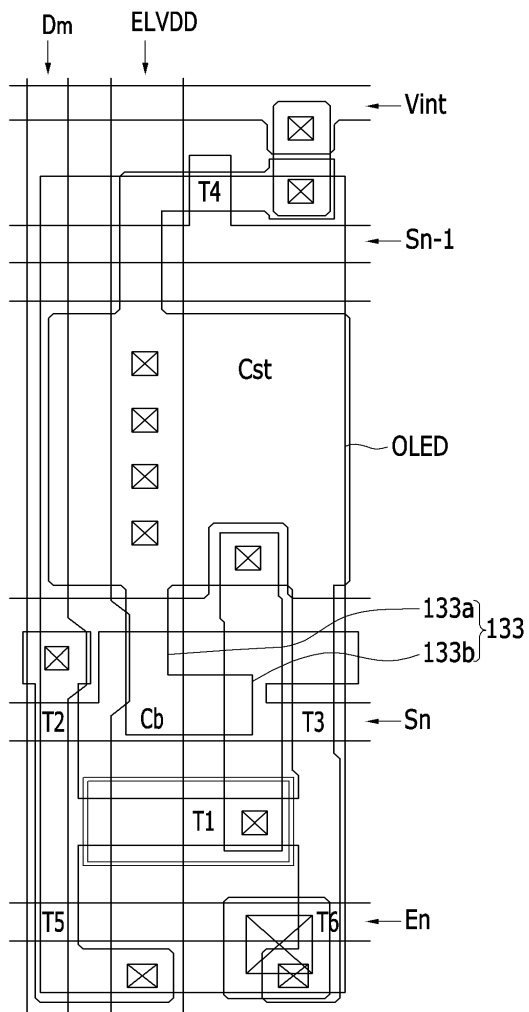
[0109] 이와 같이, 제2 게이트 절연막의 유전율을 10 내지 1000으로 형성하고, 그에 따라 제2 게이트 절연막의 두께를 100Å 내지 1000Å으로 형성하여 f 값을 0에 가까운 값으로 설정하여 상기 식(1)에서 fVds 값을 0에 가까운 값으로 설정할 수 있다. 이에 따라, 구동 박막 트랜지스터(T1)의 전류 산포의 발생을 감소시킬 수 있다.

[0110] 이 상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

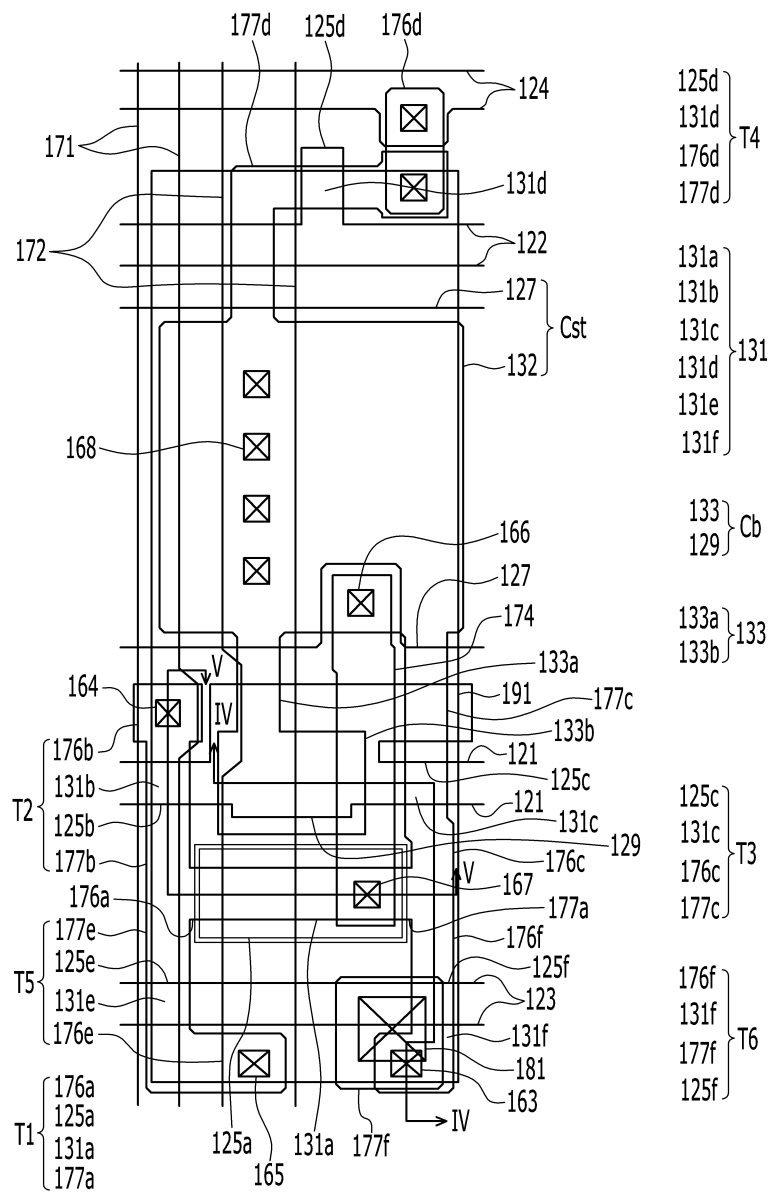
부호의 설명

[0111]	25: 플로팅 게이트 전극	110: 기판
	121: 스캔선	122: 이전 스캔선
	123: 발광 제어선	124: 초기화 전압선
	125a: 구동 게이트 전극	125b: 스위칭 게이트 전극
	141: 제1 게이트 절연막	142: 제2 게이트 절연막
	171: 데이터선	172: 구동 전압선

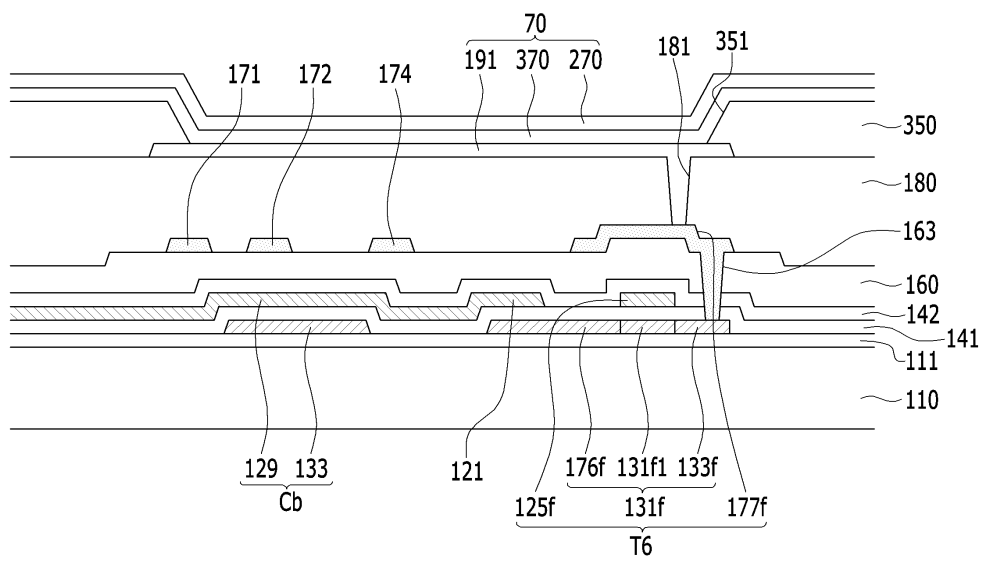
도면2



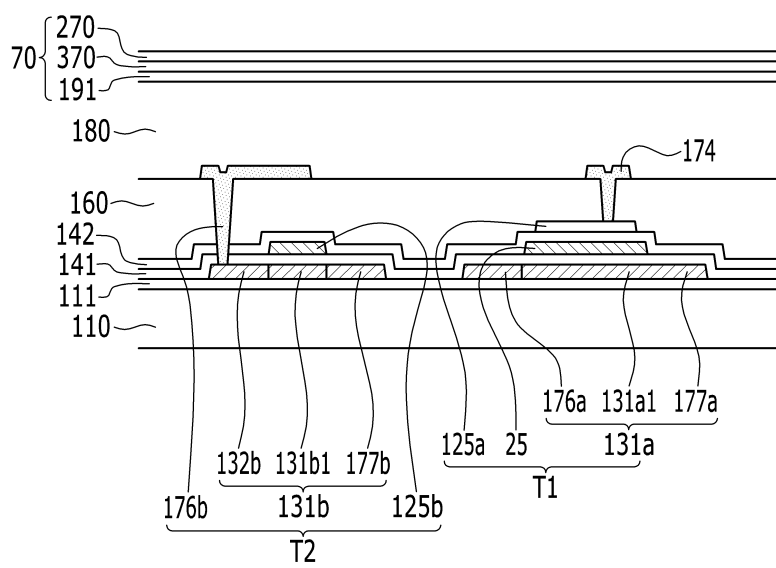
도면3



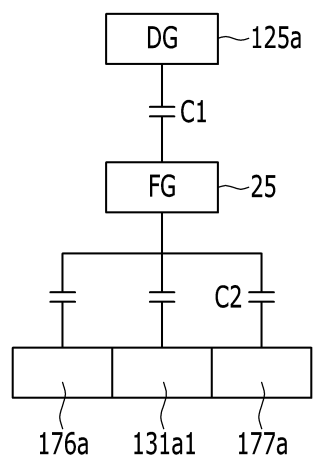
도면4



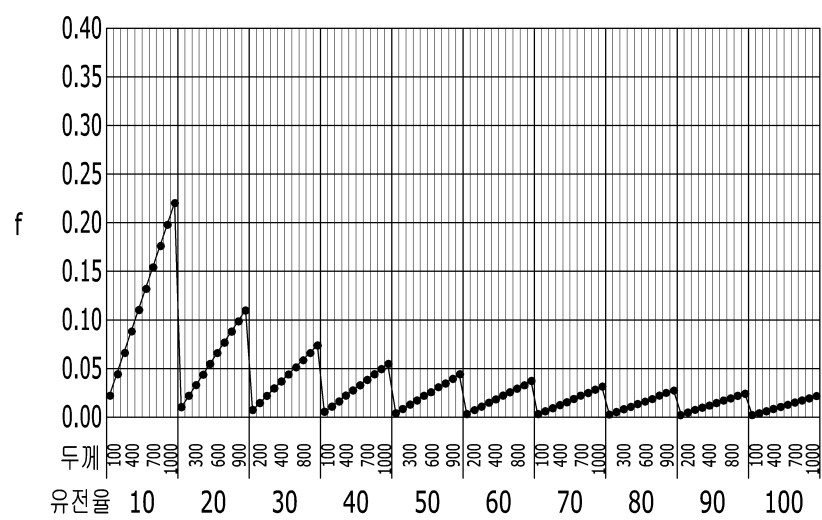
도면5



도면6



도면7



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 12 말미

【변경전】

제 유기 발광 표시 장치

【변경후】

유기 발광 표시 장치

专利名称(译)	有机发光二极管显示器		
公开(公告)号	KR102023185B1	公开(公告)日	2019-11-05
申请号	KR1020130079535	申请日	2013-07-08
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	윤주원 심수연 이승민 이일정 이정호 임충열 안진성		
发明人	윤주원 심수연 이승민 이일정 이정호 임충열 안진성		
IPC分类号	H01L51/52		
CPC分类号	H01L27/1237 H01L27/1251 H01L27/3258 H01L27/326 H01L2251/558		
审查员(译)	김우영		
其他公开文献	KR1020150006151A		
外部链接	Espacenet		

摘要(译)

一种有机发光二极管显示器，包括：开关薄膜晶体管和连接至该开关薄膜晶体管的驱动薄膜晶体管，其中，该驱动薄膜晶体管包括驱动半导体层部分，覆盖该驱动半导体层的第一栅极绝缘层 截面，浮栅电极设置在第一栅极绝缘层上，第二栅极绝缘层覆盖浮栅电极，以及驱动栅电极设置在第二栅极绝缘层上并在与浮栅电极相对应的位置，其中 第二栅极绝缘层的介电常数在约10至约100的范围内。

