



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0064230
(43) 공개일자 2020년06월08일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) G09G 3/3208 (2016.01)
H01L 51/50 (2006.01)
(52) CPC특허분류
H01L 27/3272 (2013.01)
G09G 3/3208 (2013.01)
(21) 출원번호 10-2018-0149532
(22) 출원일자 2018년11월28일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
나지수
경기도 용인시 수지구 문인로 57, 106동 507호 (풍덕천동, 풍림아파트)
문중수
경기도 화성시 동탄청계로 303-14, 1124동 1903호 (청계동, KCC스위첸아파트)
(74) 대리인
팬코리아특허법인

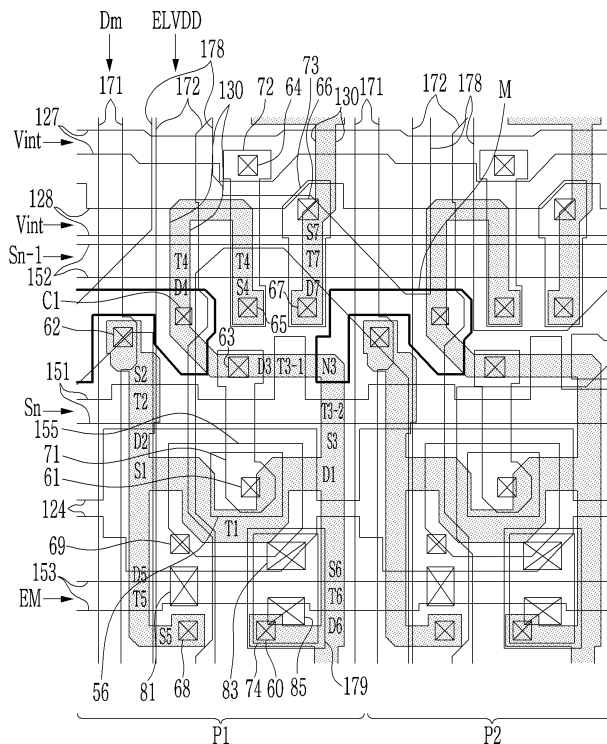
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 유기 발광 표시 장치

(57) 요약

일 실시예에 따른 유기 발광 표시 장치는 기관; 상기 기관 위에 위치하며, 트랜지스터의 채널 영역, 제1 영역 및 제2 영역이 형성되어 있는 반도체층; 상기 반도체층 위에 위치하는 제1 신호선 및 제2 신호선; 상기 제1 신호선 및 상기 제2 신호선 위에 위치하는 차폐층; 상기 차폐층 위에 위치하는 데이터선; 및 상기 데이터선 위에 위치하

(뒷면에 계속)
대표도 - 도1



는 유기 발광 소자를 포함하고, 상기 트랜지스터는 상기 유기 발광 소자에 전류를 인가하는 구동 트랜지스터; 상기 제1 신호선 및 상기 데이터선에 연결되어 있으며, 상기 구동 트랜지스터의 제1 전극에 상기 데이터선을 통하여 전달되는 데이터 전압을 전달하는 제2 트랜지스터; 및 상기 제1 신호선에 연결되어 있는 게이트 전극을 포함하고, 상기 구동 트랜지스터의 제2 전극과 연결되어 있는 제3 전극 및 상기 구동 트랜지스터의 게이트 전극과 연결되어 있는 제4 전극을 포함하는 제3 트랜지스터를 포함하며, 상기 제3 트랜지스터는 연결부에서 서로 직렬 연결되어 있는 제3-1 트랜지스터 및 제3-2 트랜지스터를 포함하고, 상기 차폐층은 상기 연결부와 적어도 일부 중첩하는 중첩부를 포함하고, 상기 제2 트랜지스터와는 중첩하지 않으며, 상기 차폐층은 상기 제1 신호선 및 상기 제2 신호선과 평면상 일정 간격을 두고 이격 형성되어 있다.

(52) CPC특허분류

H01L 27/3262 (2013.01)

H01L 27/3276 (2013.01)

H01L 51/50 (2013.01)

(72) 발명자

현재한

경기도 화성시 동탄지성로 256 (기산동 , 에스케이
뷰파크2차)

김양완

경기도 화성시 동탄시범한빛길 10, 234동 2202호
(반송동, 시범한빛마을한화꿈에그린아파트)

명세서

청구범위

청구항 1

기관;

상기 기관 위에 위치하며, 트랜지스터의 채널 영역, 제1 영역 및 제2 영역이 형성되어 있는 반도체층;

상기 반도체층 위에 위치하는 제1 신호선 및 제2 신호선;

상기 제1 신호선 및 상기 제2 신호선 위에 위치하는 차폐층;

상기 차폐층 위에 위치하는 데이터선; 및

상기 데이터선 위에 위치하는 유기 발광 소자;

를 포함하고,

상기 트랜지스터는

상기 유기 발광 소자에 전류를 인가하는 구동 트랜지스터;

상기 제1 신호선 및 상기 데이터선에 연결되어 있으며, 상기 구동 트랜지스터의 제1 전극에 상기 데이터선을 통하여 전달되는 데이터 전압을 전달하는 제2 트랜지스터; 및

상기 제1 신호선에 연결되어 있는 게이트 전극을 포함하고, 상기 구동 트랜지스터의 제2 전극과 연결되어 있는 제3 전극 및 상기 구동 트랜지스터의 게이트 전극과 연결되어 있는 제4 전극을 포함하는 제3 트랜지스터;

를 포함하며,

상기 제3 트랜지스터는 연결부에서 서로 직렬 연결되어 있는 제3-1 트랜지스터 및 제3-2 트랜지스터를 포함하고,

상기 차폐층은 상기 연결부와 적어도 일부 중첩하는 중첩부를 포함하고, 상기 제2 트랜지스터와는 중첩하지 않으며,

상기 차폐층은 상기 제1 신호선 및 상기 제2 신호선과 평면상 일정 간격을 두고 이격 형성되어 있는 유기 발광 표시 장치.

청구항 2

제1항에서,

상기 제1 신호선과 동일한 층에 상기 제2 신호선이 위치하고,

상기 차폐층은 상기 중첩부로부터 연장되는 연장부를 포함하고,

상기 연장부는 상기 제1 신호선 및 상기 제2 신호선과 나란한 방향으로 연장되는 유기 발광 표시 장치.

청구항 3

제1항에서,

상기 차폐층은 구동 전압(ELVDD)을 인가받는 유기 발광 표시 장치.

청구항 4

제1항에서,

상기 차폐층과 상기 제1 신호선 간의 최소 거리인 제1 간격이 1.2 μm 내지 1.5 μm 인 유기 발광 표시 장치.

청구항 5

제1항에서,

상기 차폐층과 상기 제2 신호선 간의 최소 거리인 제2 간격이 $1.2 \mu\text{m}$ 내지 $1.5 \mu\text{m}$ 인 유기 발광 표시 장치.

청구항 6

제1항에서,

상기 제1 신호선은 스캔 신호를 전달하는 스캔선인 유기 발광 표시 장치.

청구항 7

제1항에서,

상기 제2 신호선은 이전 스캔 신호를 전달하는 이전 스캔선인 유기 발광 표시 장치.

청구항 8

제1항에서,

상기 연결부는 상기 반도체층이 꺾이는 부분에 위치하는 유기 발광 표시 장치.

청구항 9

제1항에서,

상기 데이터선과 동일한 층에 위치하며, 상기 구동 전압(ELVDD)을 공급하는 하부 전압 공급선을 포함하는 유기 발광 표시 장치.

청구항 10

제9항에서,

상기 차폐층은 상기 연장부로부터 확장되는 확장부를 포함하고,

상기 확장부는 상기 하부 전압 공급선으로부터 구동 전압을 인가받는 유기 발광 표시 장치.

청구항 11

제9항에서,

상기 하부 전압 공급선 위에 위치하며, 상기 구동 전압(ELVDD)을 공급하는 상부 전압 공급선을 포함하는 유기 발광 표시 장치.

청구항 12

제11항에서,

상기 상부 전압 공급선과 동일한 층에 위치하며, 상기 유기 발광 소자의 화소 전극과 전기적으로 연결되는 보조 연결 부재를 더 포함하는 유기 발광 표시 장치.

청구항 13

제11항에서,

상기 연장부는 상기 상부 전압 공급선의 적어도 일부와 중첩하는 유기 발광 표시 장치.

청구항 14

제1항에서,

상기 트랜지스터는 상기 제3 트랜지스터와 연결되어 있는 제4 트랜지스터를 포함하고,

상기 제4 트랜지스터는 상기 제2 신호선에 연결되어 있는 게이트 전극을 포함하고, 상기 제3 트랜지스터의 상기 제4 전극과 연결되어 있는 제5 전극을 포함하는 유기 발광 표시 장치.

청구항 15

제14항에서,
 상기 차폐층의 상기 확장부는 상기 제4 트랜지스터의 적어도 일부와 중첩하는 유기 발광 표시 장치.

청구항 16

제1항에서,
 상기 차폐층의 최소 폭은 2.5 μm 내지 3.3 μm 인 유기 발광 표시 장치.

청구항 17

기판;
 상기 기판 위에 위치하며, 트랜지스터의 채널 영역, 제1 영역 및 제2 영역이 형성되어 있는 반도체층;
 상기 반도체층 위에 위치하고, 스캔선을 포함하는 제1 도전층;
 상기 제1 도전층 위에 위치하는 제2 도전층;
 상기 제2 도전층 위에 위치하고, 데이터선을 포함하는 제1 데이터층; 및
 상기 제1 데이터층 위에 위치하는 유기 발광 소자;
 를 포함하고,
 상기 트랜지스터는
 상기 유기 발광 소자에 전류를 인가하는 구동 트랜지스터;
 상기 스캔선 및 상기 데이터선에 연결되어 있으며, 상기 구동 트랜지스터의 제1 전극에 상기 데이터선을 통하여 전달되는 데이터 전압을 전달하는 제2 트랜지스터; 및
 상기 스캔선에 연결되어 있는 게이트 전극을 포함하고, 상기 구동 트랜지스터의 제2 전극과 연결되어 있는 제3 전극 및 상기 구동 트랜지스터의 게이트 전극과 연결되어 있는 제4 전극을 포함하는 제3 트랜지스터;
 를 포함하며,
 상기 제2 도전층은 차폐층을 포함하고,
 상기 차폐층은 상기 제3 트랜지스터의 적어도 일부와 중첩하고, 상기 제2 트랜지스터와는 중첩하지 않고,
 상기 차폐층은 제1 도전층과 중첩하지 않는 유기 발광 표시 장치.

청구항 18

제17항에서,
 상기 제3 트랜지스터는 직렬 연결된 제3-1 트랜지스터 및 제3-2 트랜지스터를 포함하며,
 상기 제3-1 트랜지스터 및 상기 제3-2 트랜지스터는 연결부에서 서로 연결되어 있는 유기 발광 표시 장치.

청구항 19

제18항에서,
 상기 차폐층은 상기 연결부와 적어도 일부 중첩하는 유기 발광 표시 장치.

청구항 20

제17항에서,
 상기 차폐층과 상기 제1 도전층 간의 최소 거리는 1.2 μm 내지 1.5 μm 인 유기 발광 표시 장치.

발명의 설명

기술 분야

[0001] 본 개시는 유기 발광 표시 장치에 관한 것으로, 보다 구체적으로 차폐층을 더 포함하는 유기 발광 표시 장치에 관한 것이다.

배경 기술

[0002] 표시 장치는 이미지를 표시하는 장치로서, 최근 유기 발광 표시 장치(organic light emitting diode display)가 주목 받고 있다.

[0003] 유기 발광 표시 장치는 자체 발광 특성을 가지며, 액정 표시 장치(liquid crystal display device)와 달리 별도의 광원을 필요로 하지 않으므로 두께와 무게를 줄일 수 있다. 또한, 유기 발광 표시 장치는 낮은 소비 전력, 높은 휘도 및 높은 반응 속도 등의 고품위 특성을 나타낸다.

[0004] 유기 발광 표시 장치는 복수개의 신호선들 및 이에 연결된 복수개의 트랜지스터(TFT; Thin Film Transistor)들을 포함한다.

발명의 내용

해결하려는 과제

[0005] 실시예들은 차폐층과 반도체층의 중첩 면적을 최소화함으로써 기생 커패시턴스를 줄이고, 표시 품질을 향상시킬 뿐만 아니라 소비 전력이 감소된 유기 발광 표시 장치를 제공하기 위한 것이다.

과제의 해결 수단

[0006] 일 실시예에 따른 유기 발광 표시 장치는 기판; 상기 기판 위에 위치하며, 트랜지스터의 채널 영역, 제1 영역 및 제2 영역이 형성되어 있는 반도체층; 상기 반도체층 위에 위치하는 제1 신호선 및 제2 신호선; 상기 제1 신호선 및 상기 제2 신호선 위에 위치하는 차폐층; 상기 차폐층 위에 위치하는 데이터선; 및 상기 데이터선 위에 위치하는 유기 발광 소자를 포함하고, 상기 트랜지스터는 상기 유기 발광 소자에 전류를 인가하는 구동 트랜지스터; 상기 제1 신호선 및 상기 데이터선에 연결되어 있으며, 상기 구동 트랜지스터의 제1 전극에 상기 데이터선을 통하여 전달되는 데이터 전압을 전달하는 제2 트랜지스터; 및 상기 제1 신호선에 연결되어 있는 게이트 전극을 포함하고, 상기 구동 트랜지스터의 제2 전극과 연결되어 있는 제3 전극 및 상기 구동 트랜지스터의 게이트 전극과 연결되어 있는 제4 전극을 포함하는 제3 트랜지스터를 포함하며, 상기 제3 트랜지스터는 연결부에서 서로 직렬 연결되어 있는 제3-1 트랜지스터 및 제3-2 트랜지스터를 포함하고, 상기 차폐층은 상기 연결부와 적어도 일부 중첩하는 중첩부를 포함하고, 상기 제2 트랜지스터와는 중첩하지 않으며, 상기 차폐층은 상기 제1 신호선 및 상기 제2 신호선과 평면상 일정 간격을 두고 이격 형성되어 있다.

[0007] 상기 제1 신호선과 동일한 층에 상기 제2 신호선이 위치하고, 상기 차폐층은 상기 중첩부로부터 연장되는 연장부를 포함하고, 상기 연장부는 상기 제1 신호선 및 상기 제2 신호선과 나란한 방향으로 연장될 수 있다.

[0008] 상기 차폐층은 구동 전압(ELVDD)을 인가받을 수 있다.

[0009] 상기 차폐층과 상기 제1 신호선 간의 최소 거리인 제1 간격이 1.2 μm 내지 1.5 μm 일 수 있다.

[0010] 상기 차폐층과 상기 제2 신호선 간의 최소 거리인 제2 간격이 1.2 μm 내지 1.5 μm 일 수 있다.

[0011] 상기 제1 신호선은 스캔 신호를 전달하는 스캔선일 수 있다.

[0012] 상기 제2 신호선은 이전 스캔 신호를 전달하는 이전 스캔선일 수 있다.

[0013] 상기 연결부는 상기 반도체층이 꺾이는 부분에 위치할 수 있다.

[0014] 상기 데이터선과 동일한 층에 위치하며, 상기 구동 전압(ELVDD)을 공급하는 하부 전압 공급선을 포함할 수 있다.

[0015] 상기 차폐층은 상기 연장부로부터 확장되는 확장부를 포함하고, 상기 확장부는 상기 하부 전압 공급선으로부터 구동 전압을 인가받을 수 있다.

[0016] 상기 하부 전압 공급선 위에 위치하며, 상기 구동 전압(ELVDD)을 공급하는 상부 전압 공급선을 포함할 수 있다.

- [0017] 상기 상부 전압 공급선과 동일한 층에 위치하며, 상기 유기 발광 소자의 화소 전극과 전기적으로 연결되는 보조 연결 부재를 더 포함할 수 있다.
- [0018] 상기 연장부는 상기 상부 전압 공급선의 적어도 일부와 중첩할 수 있다.
- [0019] 상기 트랜지스터는 상기 제3 트랜지스터와 연결되어 있는 제4 트랜지스터를 포함하고, 상기 제4 트랜지스터는 상기 제2 신호선에 연결되어 있는 게이트 전극을 포함하고, 상기 제3 트랜지스터의 상기 제4 전극과 연결되어 있는 제5 전극을 포함할 수 있다.
- [0020] 상기 차폐층의 상기 확장부는 상기 제4 트랜지스터의 적어도 일부와 중첩할 수 있다.
- [0021] 상기 차폐층의 최소 폭은 2.5 μm 내지 3.3 μm 일 수 있다.
- [0022] 일 실시예에 따른 유기 발광 표시 장치는 기관; 상기 기관 위에 위치하며, 트랜지스터의 채널 영역, 제1 영역 및 제2 영역이 형성되어 있는 반도체층; 상기 반도체층 위에 위치하고, 스캔선을 포함하는 제1 도전층; 상기 제1 도전층 위에 위치하는 제2 도전층; 상기 제2 도전층 위에 위치하고, 데이터선을 포함하는 제1 데이터층; 및 상기 제1 데이터층 위에 위치하는 유기 발광 소자를 포함하고, 상기 트랜지스터는 상기 유기 발광 소자에 전류를 인가하는 구동 트랜지스터; 상기 스캔선 및 상기 데이터선에 연결되어 있으며, 상기 구동 트랜지스터의 제1 전극에 상기 데이터선을 통하여 전달되는 데이터 전압을 전달하는 제2 트랜지스터; 및 상기 스캔선에 연결되어 있는 게이트 전극을 포함하고, 상기 구동 트랜지스터의 제2 전극과 연결되어 있는 제3 전극 및 상기 구동 트랜지스터의 게이트 전극과 연결되어 있는 제4 전극을 포함하는 제3 트랜지스터를 포함하며, 상기 제2 도전층은 차폐층을 포함하고, 상기 차폐층은 상기 제3 트랜지스터의 적어도 일부와 중첩하고, 상기 제2 트랜지스터와는 중첩하지 않고, 상기 차폐층은 제1 도전층과 중첩하지 않는다.
- [0023] 상기 제3 트랜지스터는 직렬 연결된 제3-1 트랜지스터 및 제3-2 트랜지스터를 포함하며, 상기 제3-1 트랜지스터 및 상기 제3-2 트랜지스터는 연결부에서 서로 연결되어 있을 수 있다.
- [0024] 상기 차폐층은 상기 연결부와 적어도 일부 중첩할 수 있다.
- [0025] 상기 차폐층과 상기 제1 도전층 간의 최소 거리는 1.2 μm 내지 1.5 μm 일 수 있다.

발명의 효과

[0026] 실시예들에 따르면, 차폐층이 특정 트랜지스터와 중첩하지 않도록 함으로써 기생 커패시턴스가 감소하여 표시 장치의 소비 전력을 줄일 수 있다. 또한, 킥백 전압이 감소되어 잔상이 개선되는 등 표시 품질을 개선할 수 있다.

도면의 간단한 설명

- [0027] 도 1은 일 실시예에 따른 유기 발광 표시 장치의 배치도이다.
- 도 2는 도 3의 화소 중 일부를 확대 도시한 확대도이다.
- 도 3은 도 2에서 III-III선을 따라 자른 단면도이다.
- 도 4는 일 실시예에 따른 유기 발광 표시 장치의 한 화소의 등가 회로도이다.
- 도 5는 일 실시예에 따른 유기 발광 표시 장치의 한 화소에 인가되는 신호의 타이밍도이다.

발명을 실시하기 위한 구체적인 내용

- [0028] 이하, 첨부한 도면을 참고로 하여 본 발명의 여러 실시예들에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예들에 한정되지 않는다.
- [0029] 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 동일 또는 유사한 구성요소에 대해서는 동일한 참조 부호를 붙이도록 한다.
- [0030] 또한, 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로, 본 발명이 반드시 도시된 바에 한정되지 않는다. 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 그리고 도면에서, 설명의 편의를 위해, 일부 층 및 영역의 두께를 과장되게 나타내었다.

- [0031] 또한, 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 또는 "상에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다. 또한, 기준이 되는 부분 "위에" 또는 "상에" 있다고 하는 것은 기준이 되는 부분의 위 또는 아래에 위치하는 것이고, 반드시 중력 반대 방향 쪽으로 "위에" 또는 "상에" 위치하는 것을 의미하는 것은 아니다.
- [0032] 또한, 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함" 한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.
- [0033] 또한, 명세서 전체에서, "평면상"이라 할 때, 이는 대상 부분을 위에서 보았을 때를 의미하며, "단면상"이라 할 때, 이는 대상 부분을 수직으로 자른 단면을 옆에서 보았을 때를 의미한다.
- [0034] 이하, 도 1을 사용하여 일 실시예에 따른 유기 발광 표시 장치의 화소의 배치에 대하여 설명한다. 도 1은 일 실시예에 따른 유기 발광 표시 장치의 배치도이다.
- [0035] 도 1을 참고하면, 일 실시예에 따른 유기 발광 표시 장치의 하나의 화소는 복수개의 신호선들(151, 152, 153, 127, 128, 171), 복수개의 신호선들에 연결되어 있는 복수개의 트랜지스터들(T1, T2, T3, T4, T5, T6, T7), 스토리지 커패시터(storage capacitor, Cst), 전압 공급선들(172, 178) 및 유기 발광 소자(OLED, 미도시)를 포함한다. 물론 복수개의 신호선들(151, 152, 153, 127, 128, 171)이나 전압 공급선들(172, 178)은 복수개의 화소들에 있어서 공유될 수 있다.
- [0036] 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 차폐층(M)을 더 포함하며, 이에 대하여는 뒤에서 상세히 설명하기로 한다.
- [0037] 트랜지스터는 구동 트랜지스터(driving TFT, T1), 스위칭 트랜지스터(switching TFT, T2), 보상 트랜지스터(T3), 초기화 트랜지스터(T4), 동작제어 트랜지스터(T5), 발광제어 트랜지스터(T6) 및 바이패스 트랜지스터(T7)를 포함한다.
- [0038] 복수개의 신호선들은 스캔선(151), 이전 스캔선(152), 발광 제어선(153), 바이패스 제어선(미도시), 데이터선(171), 하부 전압 공급선(172), 제1 초기화 전압선(127), 제2 초기화 전압선(128) 및 상부 전압 공급선(178)을 포함할 수 있다. 바이패스 제어선(미도시)은 이전 스캔선(152) 또는 스캔선(151)의 일부이거나 전기적으로 연결되어 있을 수 있다.
- [0039] 스캔선(151)은 스캔 신호(Sn)를 전달하며, 이전 스캔선(152)은 초기화 트랜지스터(T4)에 이전 스캔 신호(Sn-1)를 전달한다. 바이패스 제어선(미도시)은 바이패스 트랜지스터(T7)에 바이패스 신호(GB)를 전달하고, 실시예에 따라서는 이전 스캔 신호(Sn-1) 또는 스캔 신호(Sn)와 동일한 신호를 전달할 수 있다. 발광 제어선(153)은 동작제어 트랜지스터(T5) 및 발광제어 트랜지스터(T6)에 발광제어 신호(EM)를 전달한다.
- [0040] 데이터선(171)은 스캔선(151)과 교차하며 데이터 신호(Dm)를 전달한다. 하부 전압 공급선(172)은 구동 전압(ELVDD)을 전달하며 데이터선(171)과 거의 평행하게 형성되어 있고, 상부 전압 공급선(178)은 하부 전압 공급선(172)과 전기적으로 연결되어 하부 전압 공급선(172)의 전압 강하를 방지할 수 있다. 제1 초기화 전압선(127)은 구동 트랜지스터(T1)를 초기화하는 초기화 전압(Vint)을 전달하고, 및 제2 초기화 전압선(128)은 유기 발광 소자(OLED)의 애노드를 초기화하는 초기화 전압(Vint)을 전달할 수 있다.
- [0041] 복수개의 트랜지스터들(T1, T2, T3, T4, T5, T6, T7)는 음영 표시가 되어 있는 반도체층(130)을 따라 형성되어 있는데, 반도체층(130)은 다양한 형상으로 굴곡지게 형성될 수 있다.
- [0042] 반도체층(130)은 N형 불순물 또는 P형 불순물로 채널 도핑이 되어 있는 채널 영역(미도시)과, 채널의 양측에 위치하며 채널에 도핑된 불순물보다 도핑 농도가 높은 제1 영역 및 제2 영역을 포함한다. 채널 영역, 제1 영역 및 제2 영역은 각각 복수개의 트랜지스터(T1, T2, T3, T4, T5, T6, T7)의 채널, 제1 전극(S1, S2, S3, S4, S5, S6, S7) 및 제2 전극(D1, D2, D3, D4, D5, D6, D7)에 대응되며, 제1 영역 및 제2 영역 중 하나가 소스 영역이면, 나머지 하나는 드레인 영역에 해당한다.
- [0043] 또한, 반도체층(130)에서 서로 다른 트랜지스터의 제1 전극(S1~S7)과 제2 전극(D1~D7)의 사이 영역도 도핑되어 두 트랜지스터가 서로 전기적으로 연결될 수 있다. 실시예에 따라서는, 채널이 불순물 도핑되어 있지 않고 제1 영역 및 제2 영역만 불순물 도핑되어 있을 수도 있다.
- [0044] 복수개의 트랜지스터(T1, T2, T3, T4, T5, T6, T7)의 채널 영역 각각은 각 트랜지스터의 게이트 전극과 중첩하

고, 각각의 제1 영역 및 제2 영역 사이에 위치한다.

- [0045] 이하에서는 복수개의 트랜지스터에 대해 설명한다.
- [0046] 구동 트랜지스터(T1)는 채널, 게이트 전극(155), 제1 전극(S1) 및 제2 전극(D1)을 포함한다. 게이트 전극(155)은 채널과 평면상 중첩하며, 제1 전극(S1) 및 제2 전극(D2)은 채널의 양측에 각각 위치한다. 게이트 전극(155)의 위에는 유지선(124)의 확장된 부분이 절연되어 위치한다. 유지선(124)의 확장된 부분은 게이트 전극(155)과 제2 게이트 절연막(142; 도 3 참고)을 사이에 두고 평면상 중첩하여 유지 축전기(Cst)를 구성한다. 게이트 전극(155)은 유지 축전기(Cst)의 제1 전극(도 4의 E1)이며, 유지선(124)의 확장된 부분은 제2 유지 전극(도 4의 E2)을 이룬다.
- [0047] 유지선(124)의 확장된 부분은 게이트 전극(155)이 제1 데이터 연결 부재(71)와 연결될 수 있도록 개구(56)가 형성되어 있다. 개구(56)의 내에서 게이트 전극(155)의 상부면과 제1 데이터 연결 부재(71)가 오프닝(61)을 통하여 전기적으로 연결된다. 제1 데이터 연결 부재(71)는 보상 트랜지스터(T3)의 제2 전극(D3)과 연결되어 구동 트랜지스터(T1)의 게이트 전극(155)과 보상 트랜지스터(T3)의 제2 전극(D3)을 연결시킨다.
- [0048] 게이트 전극(155)은 도 1에 도시된 바와 같이 인접한 화소와 분리된 아일랜드 형상을 가질 수 있다. 이러한 게이트 전극(155)은 스캔선(151), 이전 스캔선(152) 및 발광 제어선(153)과 동일한 층에 동일한 물질로 형성될 수 있다.
- [0049] 스위칭 트랜지스터(T2)는 이하에서 제2 트랜지스터라고도 할 수 있다.
- [0050] 스위칭 트랜지스터(T2)의 게이트 전극은 스캔선(151)의 일부일 수 있다. 스위칭 트랜지스터(T2)의 제1 전극(S2)에는 데이터선(171)이 오프닝(62)을 통해 연결되어 있다. 이러한 스위칭 트랜지스터(T2)는 발광시킴과자 하는 화소를 선택하는 스위칭 소자로 사용된다. 스위칭 게이트 전극은 스캔선(151)에 연결되어 있고, 제2 전극(D2)은 구동 트랜지스터(T1) 및 동작제어 트랜지스터(T5)에 연결되어 있다.
- [0051] 보상 트랜지스터(T3)는 이하에서 제3 트랜지스터라고도 할 수 있다.
- [0052] 보상 트랜지스터(T3)는 서로 인접하며 직렬로 연결된 제3-1 트랜지스터(T3-1)와 제3-2 트랜지스터(T3-2)로 구성되어 있다. 두 트랜지스터(T3-1, T3-2)의 게이트 전극은 스캔선(151)의 일부 또는 스캔선(151)에서 상측으로 돌출된 부분일 수 있다. 이와 같은 구조를 듀얼 게이트(dual gate) 구조라 할 수 있으며, 누설 전류의 발생을 차단하거나 줄이는 역할을 할 수 있다. 반도체층(130)에서 두 개의 트랜지스터(T3-1, T3-2)를 연결하는 부분을 연결부(N3)라 한다.
- [0053] 제3-1 트랜지스터(T3-1)의 제1 전극(미도시)과 제3-2 트랜지스터(T3-2)의 제2 전극(미도시)은 연결부(N3)에서 서로 연결되어 있다. 보상 트랜지스터(T3)를 하나의 트랜지스터로 기술하는 경우에는 제3-2 트랜지스터(T3-2)의 제1 전극(미도시)이 보상 트랜지스터(T3)의 제1 전극(S3)이 되고, 제3-1 트랜지스터(T3-1)의 제2 전극(미도시)이 보상 트랜지스터(T3)의 제2 전극(D3)이 된다.
- [0054] 두 개의 트랜지스터가 직렬 연결된 구조를 간단하게 하나의 보상 트랜지스터(T3)로 설명하면, 보상 트랜지스터(T3)의 제1 전극(S3)은 발광제어 트랜지스터(T6)의 제1 전극(S6) 및 구동 트랜지스터(T1)의 제2 전극(D1)과 연결되어 있다고 설명할 수 있다. 또한, 보상 트랜지스터(T3)의 제2 전극(D3)은 오프닝(63)을 통해 제1 데이터 연결 부재(71)와 연결되어 있다.
- [0055] 초기화 트랜지스터(T4)는 이하에서 제4 트랜지스터라고도 할 수 있다.
- [0056] 초기화 트랜지스터(T4)도 두 개의 초기화 트랜지스터로 이루어져 있으며, 두 개의 초기화 트랜지스터는 이전 스캔선(152)과 반도체층(130)이 만나는 부분에 형성되어 있다. 초기화 트랜지스터(T4)의 게이트 전극은 이전 스캔선(152)의 일부일 수 있다. 하나의 초기화 트랜지스터(T4)의 제1 전극(S4)이 다른 하나의 보상 트랜지스터(T3)의 제2 전극(D4)과 연결되는 구조를 가진다. 이와 같은 구조를 듀얼 게이트(dual gate) 구조라 할 수 있으며, 누설 전류를 차단하거나 줄이는 역할을 수행할 수 있다.
- [0057] 초기화 트랜지스터(T4)의 제1 전극(S4)에는 제2 데이터 연결 부재(72)의 일단이 오프닝(65)을 통해 연결되어 있으며, 제2 데이터 연결 부재(72)의 타단은 오프닝(64)를 통해 제1 초기화 전압선(127)과 연결되어 초기화 전압(Vint)을 공급받는다. 초기화 트랜지스터(T4)의 제2 전극(D4)에는 제1 데이터 연결 부재(71)가 오프닝(63)을 통해 연결되어 있다.
- [0058] 이와 같이, 보상 트랜지스터(T3) 및 초기화 트랜지스터(T4)로 듀얼 게이트 구조를 사용함으로써, 오프 상태에서

채널의 전자 이동 경로를 차단하여 누설 전류가 발생하는 것을 효과적으로 방지할 수 있다.

- [0059] 일 실시예에 따른 유기 발광 표시 장치는 차폐층(M)을 포함한다.
- [0060] 도 1을 참고하면, 제1 화소(P1) 및 이와 제1 방향으로 인접하는 제2 화소(P2)가 도시되어 있다. 제2 화소(P2)의 데이터선(171)은 제2 화소(P2) 뿐만 아니라 제2 방향으로 상하로 인접하는 화소들에도 데이터 신호(Dm)를 전달한다. 이때, 전달되는 데이터 신호(Dm)는 각 화소들이 구현하는 휘도에 따라 달라질 수 있으며, 제2 화소(P2)의 데이터선(171)은 제1 화소(P1)의 보상 트랜지스터(T3)에 시간에 따라 상이한 전압을 전달하게 된다.
- [0061] 한편, 보상 트랜지스터(T3)와 데이터선(171) 사이에 기생 커패시터가 형성되며, 기생 커패시터에 인가되는 전압이 데이터선(171)이 전달하는 전압이 변동됨에 따라 변할 경우, 보상 트랜지스터(T3)의 채널 전위가 변하며 킥백 전압이 발생하여 불안정해진다. 이에 따라 보상 트랜지스터(T3)의 제1 전극(S3)이 구동 트랜지스터(T1)의 제2 전극(D1)과 연결되어 있으며, 유기 발광 소자(OLED)와 연결된 구동 트랜지스터(T1)에 의해 휘도가 결정되는 표시 장치에서, 표시 품질이 저하되는 문제가 발생한다.
- [0062] 이러한 문제점을 방지하기 위해 차폐층(M)을 보상 트랜지스터(T3)의 연결부(N3)의 상부에 위치시킴과 동시에, 인접한 두 화소(P1, P2) 사이에 위치시킴으로써 연결부(N3)가 제2 화소(P2)의 데이터선(171)의 상이한 신호 전달에 따라 영향 받는 것을 방지하여 표시 품질을 개선할 수 있다.
- [0063] 그러나, 차폐층(M)을 인접한 두 화소(P1, P2) 사이에 위치시킴에 따라 스위칭 트랜지스터(T2)와도 일부 중첩하며, 특히 스위칭 트랜지스터(T2)의 제1 전극(S2)과 중첩할 수 있다. 제1 전극(S2)은 오프닝(62)을 통해 데이터선(171)과 연결되어 있으므로, 결과적으로 차폐층(M)과 데이터선(171) 사이에 기생 커패시터가 추가적으로 형성된다.
- [0064] 이에 일 실시예에 따른 유기 발광 표시 장치에서는 차폐층(M)은 보상 트랜지스터(T3)의 적어도 일부와 중첩하면서, 스위칭 트랜지스터(T2)와는 중첩하지 않도록 위치한다. 구체적으로는, 보상 트랜지스터(T3)의 제3-1, 제3-2 트랜지스터(T3-1, T3-2)를 연결하는 부분의 연결부(N3)와 중첩한다. 그리고, 차폐층(M)은 스위칭 트랜지스터(T2)와 중첩하지 않으면서, 연결부(N3)가 위치하는 제1 화소(P1)와 제1 방향으로 인접하는 제2 화소(P2)의 데이터선(171)과 후술하는 바이패스 트랜지스터(T7) 사이에 위치할 수 있다. 이때, 차폐층(M)은 바이패스 트랜지스터(T7)의 적어도 일부와 중첩할 수 있다.
- [0065] 이와 같이, 차폐층(M)과 스위칭 트랜지스터(T2)의 중첩 면적을 0이 되게 함으로써 차폐층(M)과 스위칭 트랜지스터(T2) 사이에 형성되는 기생 커패시턴스를 제거할 수 있다. 스위칭 트랜지스터(T2)의 제1 전극(S2)은 전술한 바와 같이 오프닝(62)을 통해 데이터선(171)에 연결되어 있으므로, 결과적으로 데이터선(171)에 의해 발생하는 기생 커패시턴스를 줄일 수 있다.
- [0066] 표시 장치에서 시간 지연을 야기하는 RC 딜레이(delay)는 표시 장치의 저항(R) 및 커패시턴스(C)에 의해 결정된다. 전술한 바와 같이 기생 커패시턴스가 감소함에 따라 데이터선(171)의 RC 딜레이가 줄어 들어 표시 장치의 RC 딜레이가 감소하고, 결과적으로 표시 장치의 소비 전력이 개선될 수 있다. 이에 대하여는 도 2에서 상세히 설명하기로 한다.
- [0067] 한편, 제1 도전층은 스캔선(151), 이전 스캔선(152), 발광 제어선(153) 및 게이트 전극(155)을 포함하며, 게이트 도전층일 수 있다. 제2 도전층은 유지선(124), 제1 초기화 전압선(127), 제2 초기화 전압선(128) 및 차폐층(M)을 포함한다. 즉, 차폐층(M)은 유지선(124)의 확장된 부분 및 초기화 전압선(127, 128)을 포함하는 제2 도전층과 동일한 층에 형성되며, 반도체층(130) 및 제1 도전층 위에 형성된다.
- [0068] 차폐층(M)은 제1 층간 절연막(161; 도 3 참고)에 형성된 오프닝(C1)을 통해 하부 전압 공급선(172)에 전기적으로 연결되어 구동 전압(ELVDD)을 인가 받음으로써 일정한 전압을 공급받을 수 있다. 이와 같이, 차폐층(M)이 구동 전압(ELVDD)을 인가 받음으로써, 보상 트랜지스터(T3)가 데이터선(171)을 통해 전달되는 상이한 전압에 영향을 받는 것을 안정화시킬 수 있다.
- [0069] 또한, 일 실시예에 따르면 킥백 전압을 유발하여 표시 품질의 저하를 일으키는 기생 커패시턴스가 감소됨에 따라, 킥백 전압이 감소되어 영상이 흔들림이나 잔상 등의 불량이 개선되어 표시 품질을 개선할 수 있다.
- [0070] 차폐층(M)은 보상 트랜지스터(T3-1, T3-2)의 게이트 전극과 중첩하지 않는다. 구체적으로, 스캔선(151)에서 상측으로 돌출된 부분은 반도체층(130)의 제3-1 트랜지스터(T3-1)의 채널 영역과 중첩하여 제3-1 트랜지스터(T3-1)의 게이트 전극을 형성한다. 또한, 스캔선(151)의 제1 방향으로 연장된 부분의 일부는 반도체층(130)의 제3-2 트랜지스터(T3-2)의 채널 영역과 중첩하여 제3-2 트랜지스터(T3-2)의 게이트 전극을 형성한다. 다시 말해, 차폐

층(M)은 보상 트랜지스터(T3)의 게이트 전극이 형성되는 스캔선(151)과 중첩하지 않는다.

- [0071] 또한, 차폐층(M)은 스캔선(151), 이전 스캔선(152), 발광 제어선(153) 및 게이트 전극(155)과 중첩하지 않는다. 즉, 차폐층(M)은 제1 도전층과 중첩하지 않는다. 즉, 인접한 제1 도전층과 최소 거리를 두고 이격되어 형성되어 있다. 이에 대하여는 도 2에서 후술하기로 한다.
- [0072] 이는 제1 도전층과 제2 도전층 사이에 형성되는 절연막의 두께가 얇으므로 두 층이 평면상 중첩할 경우 단락(short)의 위험성이 있어 제품 특성이 저하될 수 있다. 또한, 차폐층(M)이 스캔선(151)에서 상측으로 돌출된 부분, 즉 제3-1 트랜지스터(T3-1)의 게이트 전극에 가까워짐에 따라 바이패스 트랜지스터(T7)를 다른 층과 연결시키기 위한 오프닝(67)에도 가까워진다. 이에 따라, 오프닝(67)을 형성하는 공정에서 다른 배선들과의 간섭이 일어나 표시 장치의 품질이 저하될 수 있다. 따라서 제2 도전층에 형성되는 차폐층(M)은 제1 도전층과 중첩하지 않도록 위치한다.
- [0073] 동작제어 트랜지스터(T5)는 이하에서 제5 트랜지스터라고도 할 수 있다.
- [0074] 동작제어 트랜지스터(T5)의 게이트 전극은 발광 제어선(153)의 일부일 수 있다. 동작제어 트랜지스터(T5)의 제1 전극(S5)에는 하부 전압 공급선(172)이 오프닝(68)을 통해 연결되어 있으며, 제2 전극(D5)는 반도체층(130)을 통하여 구동 트랜지스터(T1)의 제1 전극(S1)과 연결되어 있다.
- [0075] 발광제어 트랜지스터(T6)는 이하에서 제6 트랜지스터라고도 할 수 있다.
- [0076] 발광제어 트랜지스터(T6)의 게이트 전극은 발광 제어선(153)의 일부일 수 있다. 발광제어 트랜지스터(T6)의 제2 전극(D6)에는 제4 데이터 연결 부재(74)가 오프닝(60)을 통해 연결되어 있으며, 제1 전극(S6)은 반도체층(130)을 통하여 구동 트랜지스터의 제2 전극(D1)과 연결되어 있다. 제4 데이터 연결 부재(74)는 후술하는 바와 같이 데이터선(171)이나 하부 전압 공급선(172)과 동일한 층에 위치할 수 있으며, 후술하는 보조 연결 부재(179)와 전기적으로 연결되어 결과적으로 유기 발광 소자의 화소 전극(미도시)에 연결된다.
- [0077] 바이패스 트랜지스터(T7)는 이하에서 제7 트랜지스터라고도 할 수 있다.
- [0078] 바이패스 트랜지스터(T7)의 게이트 전극(G7)은 이전 스캔선(152)의 일부일 수 있다. 바이패스 트랜지스터(T7)의 제2 전극(D7)에는 제3 데이터 연결 부재(73)의 일단이 오프닝(67)을 통해 연결되어 있고, 제3 데이터 연결 부재(73)의 타단은 오프닝(66)을 통해 제2 초기화 전압선(128)과 연결되어 초기화 전압(Vint)을 공급받는다. 제1 전극(S7)은 발광제어 트랜지스터(T6)의 제2 전극(D6)과 연결되어 있다.
- [0079] 유지 축전기(Cst)는 제2 게이트 절연막(142; 도 3)을 사이에 두고 중첩하는 게이트 전극(155)과 유지선(124)의 확장된 부분을 포함한다. 게이트 전극(155)은 유지 축전기(Cst)의 제1 유지 전극에 해당하고, 유지선(124)의 확장된 부분은 제2 유지 전극에 해당한다. 여기서, 게이트 전극(155) 및 유지선(124)의 확장된 부분 사이에 위치하는 제2 게이트 절연막(142; 도 3)은 유전체가 되며, 유지 축전기(Cst)에서 축전된 전하와 제1 및 제2 유지 전극 사이의 전압에 의해 정전 용량(capacitance)이 결정된다. 게이트 전극(155)을 제1 유지 전극으로 사용함으로써, 화소 내에서 큰 면적을 차지하는 구동 트랜지스터(T1)의 채널에 의해 좁아진 공간에서 유지 축전기(Cst)를 형성할 수 있는 공간을 확보할 수 있다.
- [0080] 유지선(124)의 확장된 부분에는 하부 전압 공급선(172)이 오프닝(69)을 통해 연결되어 있다. 따라서 유지 축전기(Cst)는 하부 전압 공급선(172)을 통해 유지선(124)의 확장된 부분에 전달된 구동 전압(ELVDD)과 게이트 전극(155)의 게이트 전압(Vg) 간의 차에 대응하는 전하를 저장한다.
- [0081] 제1 데이터층은 전술한 바와 같이 복수개의 데이터 연결 부재(71, 72, 73, 74)는 데이터선(171) 및 하부 전압 공급선(172)을 포함할 수 있으며, 이들은 동일한 물질로 동일한 층에 형성될 수 있다.
- [0082] 제1 데이터 연결 부재(71)의 일단은 오프닝(63)을 통해 보상 트랜지스터의 제2 전극(D3)에 연결되며, 타단은 유지선(124)의 확장된 부분에 형성된 개구(56) 내에서 오프닝(61)을 통해 게이트 전극(155)에 연결된다.
- [0083] 제2 데이터 연결 부재(72)의 일단은 오프닝(64)을 통해 제1 초기화 전압선(127)에 연결되어 있고, 타단은 오프닝(65)을 통해 초기화 트랜지스터(T4)의 제1 전극(S4)과 연결되어 있다.
- [0084] 제3 데이터 연결 부재(73)의 일단은 오프닝(66)을 통해 제2 초기화 전압선(128)에 연결되어 있고, 타단은 오프닝(67)을 통해 바이패스 트랜지스터(T7)의 제2 전극(D7)과 연결되어 있다.
- [0085] 제4 데이터 연결 부재(74)는 오프닝(60)을 통해 발광제어 트랜지스터(T6)의 제2 전극(D6)과 연결되어 있다. 또

한 제4 데이터 연결 부재(74)는 후술하는 보조 연결 부재(179)와 전기적으로 연결되어, 결과적으로 유기 발광 소자의 화소 전극(미도시)에 전기적으로 연결된다.

- [0086] 이와 같이 데이터선(171), 하부 전압 공급선(172) 및 복수개의 데이터 연결 부재(71, 72, 73, 74)는 동일한 층에 형성될 수 있으며, 구체적으로 제1 층간 절연막(161; 도 3 참고) 상에 위치할 수 있다. 이때, 하부 전압 공급선(172)은 복수개의 화소들에 일정한 전기적 신호를 공급하는데, 고품질의 표시 장치를 구현하기 위해서는 전압 강하 등의 전압 변동을 방지하는 것이 필요하다. 그러나, 도 1에 도시된 바와 같이 하부 전압 공급선(172)이 데이터선(171) 및 복수개의 연결 부재들(71, 72, 73, 74)과 함께 동일한 층에 위치하여 그 면적 확보에 어려움이 있다.
- [0087] 따라서, 제1 데이터층 위에 상부 전압 공급선(178)을 포함하는 제2 데이터층이 위치한다. 제2 데이터층은 상부 전압 공급선(178) 및 보조 연결 부재(179)를 포함할 수 있다.
- [0088] 상부 전압 공급선(178)은 오프닝(81)을 통해 하부 전압 공급선(172)에 전기적으로 연결되도록 함으로써, 하부 전압 공급선(172)에서의 전압 강하 문제를 해결한다. 이러한 상부 전압 공급선(178)은 복수의 화소 영역에서 이어지는 격자 모양을 가질 수 있으며, 그 구체적인 형상은 다양할 수 있다.
- [0089] 상부 전압 공급선(178)과 동일한 층에 보조 연결 부재(179)가 위치한다. 전술한 바와 같이, 바이패스 트랜지스터(T7)의 제1 전극(S7)은 유기 발광 소자의 화소 전극(미도시)에 전기적으로 연결되어야 한다. 따라서, 제1 전극(S7)에 오프닝(60)을 통해 연결된 제4 데이터 연결 부재(74)에, 보조 연결 부재(179)가 오프닝(83)을 통해 연결될 수 있다. 보조 연결 부재(179)는 이의 상부에 형성되어 있는 오프닝(85)을 통해 화소 전극(미도시)에 연결될 수 있다.
- [0090] 유기 발광 소자(OLED)는 오프닝(85)을 통해 연결된 화소 전극(미도시), 유기 발광층(미도시) 및 공통 전극(미도시)으로 이루어진다.
- [0091] 이하, 도 2를 사용하여 일 실시예에 따른 유기 발광 표시 장치의 차폐층의 배치에 대하여 설명한다. 도 2는 도 1의 화소 중 일부를 확대 도시한 확대도이다. 도 2에서는 도 1과 동일한 구성에 대하여는 동일한 부호를 사용하여 설명하고, 도 1에서와 동일한 내용에 대한 설명은 생략하기로 한다.
- [0092] 도 2를 참고하면, 차폐층(M)은 연결부(N3)와 중첩하는 중첩부(M1), 중첩부(M1)로부터 연장되는 연장부(M2) 및 연장부(M2)로부터 확장되는 확장부(M3)를 포함한다. 차폐층(M)은 제1 화소(P1) 및 이와 제1 방향으로 인접하는 제2 화소(P2)를 가로지르도록 위치할 수 있다.
- [0093] 먼저 중첩부(M1)에 대하여 설명한다. 중첩부(M1)는 스캔선(151)과 중첩하지 않는다. 즉, 차폐층(M)은 스캔선(151)과 일정 간격을 두고 이격되어 위치한다. 도 1에서 설명한 바와 같이 제3-1, 제3-2 트랜지스터(T3-1, T3-2)가 이어지는 부분에서 연결부(N3)가 형성된다. 중첩부(M1)와 스캔선(151)에서 상측으로 돌출된 부분 간의 최소 거리를 제1 간격(d1)이라 할 때, 제1 간격(d1)은 1.2 μm 내지 1.5 μm 일 수 있으며, 약 1.2 μm 일 수 있다.
- [0094] 중첩부(M1)와 이와 우측에 위치하는 제2 화소(P2)의 데이터선(171) 또한 서로 중첩하지 않는다. 이는 데이터선(171)의 기생 커패시턴스를 최소화하기 위함이다. 또한, 중첩부(M1)는 연결부(N3)의 상측으로 데이터선(171)과 거의 나란한 방향으로 위치할 수 있으며, 이전 스캔선(152)과는 중첩하지 않는다.
- [0095] 중첩부(M1)는 연결부(N3)와 중첩하면서 스위칭 트랜지스터(T2), 특히 제1 전극(S2)과 중첩하지 않는다. 차폐층(M)이 스위칭 트랜지스터(T2)와 중첩할 경우, 스위칭 트랜지스터(T2)의 제1 전극(S2)이 오프닝(62)을 통해 데이터선(171)과 연결되어 있어 차폐층(M)과 데이터선(171) 간의 기생 커패시턴스가 증가한다. 따라서, 일 실시예에서는 이러한 기생 커패시턴스의 생성을 방지하기 위해 차폐층(M)이 스위칭 트랜지스터(T2)와 중첩하지 않으면서, 스위칭 트랜지스터(T2)와 바이패스 트랜지스터(T7) 사이에 위치한다.
- [0096] 도 2에서 차폐층(M)은 바이패스 트랜지스터(T7)와 중첩하지 않는 것으로 도시하였으나, 실시예에 따라서는 바이패스 트랜지스터(T7)의 적어도 일부와 중첩할 수 있다.
- [0097] 중첩부(M1)의 폭은 연결부(N3)와 중첩하는 부분과 중첩하지 않는 부분에서 서로 다를 수 있으며, 연결부(N3)와 중첩하는 부분에서 더 클 수 있다.
- [0098] 연장부(M2)는 중첩부(M1)로부터 제2 화소(P2)를 향하여 이전 스캔선(152)과 나란한 방향으로 연장된다. 즉, 연장부(M2)는 인접한 두 화소를 가로지르도록 형성될 수 있다. 연장부(M2) 또한 중첩부(M1)에서 설명한 이유에 따라 스위칭 트랜지스터(T2), 특히 제1 전극(S2)과 중첩하지 않도록 위치함으로써 데이터선(171)의 기생 커패시턴

스를 최소화할 수 있다.

- [0099] 연장부(M2)는 이전 스캔선(S152)과 중첩하지 않으며, 연장부(M2)와 이전 스캔선(S152) 간의 최소 거리인 제2 간격(d2)은 1.2 μm 내지 1.5 μm 일 수 있으며, 약 1.2 μm 일 수 있다.
- [0100] 확장부(M3)는 연장부(M2)로부터 초기화 트랜지스터(T4)의 제2 전극(D4) 아래로 연장되는 반도체층(130)을 따라 확장될 수 있다. 스캔선(S151)과 중첩하지 않을 때까지만 확장된다. 확장부(M3)와 스캔선(S151) 간의 거리는 도시하지는 않았으나, 전술한 제1 간격(d1) 및 제2 간격(d2)과 마찬가지로 1.2 μm 내지 1.5 μm 일 수 있으며, 약 1.2 μm 일 수 있다.
- [0101] 확장부(M3)는 제2 화소(P2)의 초기화 트랜지스터(T4), 특히 제2 전극(D4)과 중첩할 수 있다. 또한, 확장부(M3) 위에 위치하는 제1 층간 절연막(161; 도 3 참고)에 형성된 오프닝(C1)을 통해 구동 전압(ELVDD)을 인가받을 수 있다.
- [0102] 확장부(M3) 또한 스위칭 트랜지스터(T2)와 중첩하지 않음으로써 데이터선(D171)의 기생 커패시턴스를 최소화할 수 있다. 또한, 확장부(M3)는 초기화 트랜지스터(T4)를 이루는 반도체층(130)의 굴곡진 형상에 따라 그 폭이 서로 다를 수 있다.
- [0103] 차폐층(M)의 중첩부(M1), 연장부(M2) 및 확장부(M3)는 그 폭이 서로 다를 수 있다.
- [0104] 또한 차폐층(M)의 최소 폭은 특정한 수치에 한정되지 않으나 2.5 μm 내지 3.3 μm 일 수 있으며, 약 3.0 μm 일 수 있다. 도 2에서는 차폐층(M)의 최소 폭을 연장부(M2)의 폭인 제3 간격(d3)으로 도시하였으나 이는 일 예시일 뿐이며, 차폐층(M)의 최소 폭은 연장부(M2)가 아닌 중첩부(M1)나 확장부(M3)의 폭일 수도 있다.
- [0105] 이와 같이 차폐층(M)이 데이터선(D171)과 전기적으로 연결되는 스위칭 트랜지스터(T2)와의 중첩폭을 최소화함으로써 데이터선(D171)의 기생 커패시턴스를 최소화할 수 있다. 이에 따라 데이터선(D171)의 RC 딜레이가 감소되고, 표시 장치 전체의 RC 딜레이가 감소함으로써 이미지 표시의 흔들림, 잔상 등의 불량이 개선되는 등 표시 품질을 개선할 수 있다.
- [0106] 일 실시예에 따르면, 차폐층(M)을 스위칭 트랜지스터(T2)와 중첩하지 않도록 형성함으로써 데이터선(D171)의 기생 커패시턴스가 15 % 내지 20 % 비율로 감소될 수 있으며, 특히 17 %의 비율로 감소될 수 있다.
- [0107] 이하에서는 도 3을 사용하여 일 실시예에 따른 유기 발광 표시 장치의 적층 구조에 대하여 설명한다. 도 3은 도 2에서 III-III선을 따라 자른 단면도이다.
- [0108] 도 3에서는 전술한 일 실시예와 동일한 구성에 대하여는 동일한 부호를 사용하여 설명하고, 전술한 바와 동일한 내용에 대한 설명은 생략하기로 한다.
- [0109] 도 1, 도 2에 도 3을 참고하면, 일 실시예에 따른 유기 발광 표시 장치는 기판(110)을 포함한다. 기판(110)은 글라스, 금속 또는 플라스틱 등과 같은 다양한 재료로 형성될 수 있다. 기판(110) 위에는 배리어층(111)이 위치한다. 배리어층(111)은 산화규소, 질화규소, 산화알루미늄 등의 무기 절연 물질을 포함하거나 폴리이미드 아크릴 등의 유기 절연 물질을 포함할 수 있다. 배리어층(111)은 불순물이 트랜지스터로 유입되는 것을 방지하고 기판(110) 일면을 평탄하게 할 수 있다. 실시예에 따라 배리어층(111)은 생략될 수 있다.
- [0110] 배리어층(111) 위에 복수개의 트랜지스터(T1, T2, T3, T4, T5, T6, T7)의 반도체층(130)이 위치한다. 상기 반도체층(130)은 각 트랜지스터들의 제1 전극(S1~S7) 및 제2 전극(D1~D7)을 포함한다. 구체적인 내용은 전술한 바 여기서는 생략하기로 한다. 도 3에서는 스위칭 트랜지스터(T2), 보상 트랜지스터(T3) 및 초기화 트랜지스터(T4)의 반도체층(130)이 도시되어 있고, 특히 스위칭 트랜지스터(T2)의 제1 전극(S2), 보상 트랜지스터(T3)의 연결부(N3) 및 초기화 트랜지스터(T4)의 제2 전극(D4)이 도시되어 있다.
- [0111] 반도체층(130) 위에는 이를 덮는 제1 게이트 절연막(141)이 위치한다.
- [0112] 제1 게이트 절연막(141) 위에는 제1 도전층이 위치한다. 제1 도전층은 복수의 트랜지스터(T1, T2, T3, T4, T5, T6, T7)의 게이트 전극(게이트 전극(155) 포함), 스캔선(S151), 이전 스캔선(S152) 및 발광 제어선(S153)을 포함할 수 있다.
- [0113] 제1 도전층 위에는 이를 덮는 제2 게이트 절연막(142)이 위치한다. 제1 게이트 절연막(141) 및 제2 게이트 절연막(142)은 질화 규소, 산화 규소, 및 산화 알루미늄 등의 물질로 형성될 수 있다.
- [0114] 제2 게이트 절연막(142) 위에는 제2 도전층이 위치한다. 제2 도전층은 유지선(S124), 제1 초기화 전압선(S127),

제2 초기화 전압선(128) 및 차폐층(M)을 포함하며, 이에 한정되지 않는다.

- [0115] 차폐층(M)은 단면도 상에서 보상 트랜지스터(T3)와 데이터선(171) 사이에 위치하며, 보상 트랜지스터(T3)의 적어도 일부와 중첩한다. 이때, 보상 트랜지스터(T3)는 차폐층(M)의 하부에 위치하고, 데이터선(171)은 차폐층(M)의 상부에 위치하는 제1 데이터층에 형성된다. 따라서, 차폐층(M)은 데이터선(171)과 보상 트랜지스터(T3), 특히 연결부(N3) 간의 기생 커패시턴스의 추가적인 생성을 방지할 수 있다.
- [0116] 또한, 차폐층(M)은 스위칭 트랜지스터(T2), 특히 제1 전극(S2)과 중첩하지 않는다. 스위칭 트랜지스터(T2)는 제1 게이트 절연막(141), 제2 게이트 절연막(142) 및 제1 층간 절연막(161)에 형성된 오프닝(62)을 통해 데이터 신호(Dm)를 공급하는 데이터선(171)에 전기적으로 연결된다. 차폐층(M)이 이러한 스위칭 트랜지스터(T2)와는 중첩하지 않도록 위치함으로써, 차폐층(M)과 데이터선(171) 간의 기생 커패시터를 제거할 수 있다.
- [0117] 나아가, 차폐층(M)은 초기화 트랜지스터(T4), 특히 제2 전극(D4)과 중첩할 수 있다. 이때, 제1 층간 절연막(161)에 형성된 오프닝(C1)을 통해 하부 전압 공급선(172)에 연결되어 구동 전압(ELVDD)을 인가받는다. 이에 따라 차폐층(M)에는 일정한 전압이 인가되어 전압의 변동을 방지하고, 화질 불량 등의 문제를 발생시키는 킥백 전압을 감소시켜 표시 품질을 개선할 수 있다.
- [0118] 제2 도전층 위에는 이를 덮는 제1 층간 절연막(161)이 위치한다. 제1 층간 절연막(161)은 질화 규소, 산화 규소, 및 산화 알루미늄 등의 물질로 형성될 수 있고, 유기 절연 물질로 형성될 수도 있다.
- [0119] 제1 층간 절연막(161) 위에는 제1 데이터층이 위치한다. 제1 데이터층은 데이터선(171), 하부 전압 공급선(172), 제1 데이터 연결 부재(71), 제2 데이터 연결 부재(72), 제3 데이터 연결 부재(73) 및 제4 데이터 연결 부재(74)를 포함할 수 있다. 이러한 제1 데이터층은 제1 게이트 절연막(141), 제2 게이트 절연막(142) 및 제1 층간 절연막(161) 중 적어도 일부에 형성된 오프닝들(60, 61, 62, 63, 64, 65, 66, 67, 68, 69)을 통해 하부에 위치하는 반도체층(130)과 전기적으로 연결될 수 있다.
- [0120] 제1 데이터층은 하부에 형성된 반도체층(130)의 제1 영역 및 제2 영역 각각에 연결되는 제1 전극(S1, S2, S3, S4, S5, S6, S7) 및 제2 전극(D1, D2, D3, D4, D5, D6, D7)이 될 수 있다. 제1 전극(S1, S2, S3, S4, S5, S6, S7) 및 제2 전극(D1, D2, D3, D4, D5, D6, D7) 중 하나가 소스 전극이면 다른 하나는 드레인 전극이 될 수 있다. 구체적으로 도 3에서는, 데이터선(171)이 제1 게이트 절연막(141), 제2 게이트 절연막(142) 및 제1 층간 절연막(161)에 형성된 오프닝(62)을 통해 하부에 위치하는 스위칭 트랜지스터(T2)의 제1 전극(S2)에 전기적으로 연결되어 있다. 하부 전압 공급선(172)은 제1 층간 절연막(161)에 형성된 오프닝(C1)을 통해 차폐층(M), 특히 확장부(M3)와 연결되어 있다.
- [0121] 제1 데이터층 위에는 제2 층간 절연막(162)이 위치한다. 제2 층간 절연막(162)은 질화 규소, 산화 규소, 및 산화 알루미늄 등의 물질로 형성될 수 있고, 유기 절연 물질로 형성될 수도 있다.
- [0122] 제2 층간 절연막(162) 위에는 제2 데이터층이 위치한다. 제2 데이터층은 상부 전압 공급선(178) 및 보조 연결 부재(179)를 포함할 수 있다. 이러한 제2 데이터층은 도 3에서는 도시되지 않았으나, 도 1에서 설명한 바와 같이 제2 층간 절연막(162)에 형성된 오프닝들(81, 83)을 통해 하부에 위치하는 제1 데이터층과 전기적으로 연결될 수 있다.
- [0123] 구체적으로는, 상부 전압 공급선(178)은 제2 층간 절연막(162)에 형성된 오프닝(81)을 통해 하부 전압 공급선(172)에 연결되어 하부 전압 공급선(172)의 전압 강하를 방지할 수 있다. 보조 연결 부재(179)는 제2 층간 절연막(162)에 형성된 오프닝(83)을 통해 제4 데이터 연결 부재(74)에 연결될 수 있다. 도 1에서 설명한 바와 같이, 제4 데이터 연결 부재(74)는 제1 게이트 절연막(141), 제2 게이트 절연막(142) 및 제1 층간 절연막(161) 중 적어도 일부에 형성된 오프닝(60)을 통해 하부의 반도체층(130), 특히 발광제어 트랜지스터(T6)의 제2 전극(D6)에 연결될 수 있다. 따라서, 보조 연결 부재(179) 또한 그 하부의 반도체층(130), 특히 발광제어 트랜지스터(T6)의 제2 전극(D6)에 연결될 수 있다.
- [0124] 이를 덮는 보호막(180)이 위치한다. 평탄화막으로도 불리는 보호막(180)은 유기 절연 물질을 포함할 수 있다.
- [0125] 보호막(180) 위에는 화소 전극(미도시)이 위치한다. 화소 전극은 보호막(180)에 형성된 오프닝(85; 도 1 참고)을 통하여 보조 연결 부재(179)와 연결되어 있다. 보호막(180) 및 화소 전극의 위에는 격벽(미도시)이 위치한다. 격벽은 화소 전극과 중첩하는 오픈 부분을 가지며, 오픈 부분에 유기 발광층이 위치한다. 유기 발광층 및 격벽의 위에는 공통 전극(미도시)이 위치한다. 화소 전극, 유기 발광층 및 공통 전극은 유기 발광 소자(OLED)를 이룬다.

- [0126] 실시예에 따라서는 화소 전극이 정공 주입 전극인 애노드일 수 있고, 공통 전극이 전자 주입 전극인 캐소드일 수 있다. 이와 반대로, 화소 전극이 캐소드일 수 있고, 공통 전극이 애노드일 수도 있다. 화소 전극 및 공통 전극으로부터 각각 정공과 전자가 유기 발광층 내부로 주입되면, 주입된 정공과 전자가 결합한 엑시톤이 여기 상태에서 기저 상태로 떨어질 때 발광하게 된다.
- [0127] 이하, 도 4 및 도 5를 사용하여 일 실시예에 따른 유기 발광 표시 장치에 대해 설명한다.
- [0128] 도 4는 일 실시예에 따른 유기 발광 표시 장치의 한 화소의 등가 회로도이고, 도 5는 일 실시예에 따른 유기 발광 표시 장치의 한 화소에 인가되는 신호의 타이밍도이다. 이하에서는, 전술한 일 실시예와 동일한 구성에 대하여는 동일한 부호를 사용하여 설명하고, 전술한 바와 동일한 내용에 대한 설명은 생략하기로 한다.
- [0129] 도 4를 참고하면, 일 실시예에 따른 유기 발광 표시 장치의 한 화소는 복수개의 신호선들(151, 152, 153, 158, 127, 128, 171), 복수개의 신호선들에 연결되어 있는 복수개의 트랜지스터들(T1, T2, T3, T4, T5, T6, T7), 유지 축전기(Cst), 전압 공급선들(172, 178) 및 유기 발광 소자(OLED)를 포함한다.
- [0130] 복수개의 신호선들은 스캔 신호(Sn), 이전 스캔 신호(Sn-1), 바이패스 신호(GB), 발광제어 신호(EM) 및 초기화 전압(Vint)을 각각 인가하며 행 방향을 따라 형성되어 있는 스캔선(151), 이전 스캔선(152), 발광 제어선(153), 바이패스 제어선(158) 및 초기화 전압선(127, 128)을 포함한다. 그리고 스캔선(151), 이전 스캔선(152), 발광 제어선(153), 바이패스 제어선(158) 및 초기화 전압선(127, 128)과 교차하며 화소에 데이터 신호(Dm) 및 구동 전압(ELVDD)을 각각 인가하는 데이터선(171)과 전압 공급선들(172, 178)을 포함할 수 있다.
- [0131] 스캔선(151)은 게이트 구동부(도시되지 않음)에 연결되어 스캔 신호(Sn)를 스위칭 트랜지스터(T2) 및 제3 트랜지스터(T3)에 전달한다. 이전 스캔선(152)은 게이트 구동부에 연결되어 이전에 위치하는 화소에 인가되는 이전 스캔 신호(Sn-1)를 제4 트랜지스터(T4)에 전달한다. 제4 트랜지스터(T4)는 직렬 연결된 두 트랜지스터를 포함하므로, 이전 스캔 신호(Sn-1)는 제4 트랜지스터(T4)에 포함되는 직렬 연결된 두 트랜지스터의 게이트 전극 모두에 인가된다.
- [0132] 발광 제어선(153)은 발광 제어부(도시되지 않음)에 연결되어 있으며, 유기 발광 소자(OLED)가 발광하는 시간을 제어하는 발광제어 신호(EM)를 제5 트랜지스터(T5) 및 제6 트랜지스터(T6)에 전달한다. 바이패스 제어선(158)은 바이패스 신호(GB)를 제7 트랜지스터(T7)에 전달하며, 실시예에 따라서는 이전 스캔 신호(Sn-1) 또는 스캔 신호(Sn)와 동일한 신호를 전달할 수 있다.
- [0133] 데이터선(171)은 데이터 구동부(도시되지 않음)에서 생성되는 데이터 신호(Dm)를 전달하는 배선으로 데이터 신호(Dm)에 따라서 유기 발광 소자(OLED)가 발광하는 휘도가 변한다. 하부 전압 공급선(172)은 구동 전압(ELVDD)을 인가하며, 제1 및 제2 초기화 전압선(127, 128) 각각은 구동 트랜지스터(T1) 및 유기 발광 소자(OLED)의 애노드를 초기화시키는 초기화 전압(Vint)을 전달하며, 공통 전압선(741)은 공통 전압(ELVSS)을 인가한다. 하부 전압 공급선(172), 초기화 전압선(127, 128) 및 공통 전압선(741)에 인가되는 전압은 각각 일정한 전압일 수 있다.
- [0134] 복수개의 트랜지스터들은 구동 트랜지스터(T1), 스위칭 트랜지스터(T2), 보상 트랜지스터(T3), 초기화 트랜지스터(T4), 동작제어 트랜지스터(T5), 발광제어 트랜지스터(T6) 및 바이패스 트랜지스터(T7)를 포함할 수 있다.
- [0135] 이하에서는 복수개의 트랜지스터(T1, T2, T3, T4, T5, T6, T7)에 대하여 살펴본다.
- [0136] 먼저, 구동 트랜지스터(T1)는 인가되는 데이터 신호(Dm)에 따라서 출력되는 전류의 크기를 조절하는 트랜지스터로, 출력되는 구동 전류(Id)가 유기 발광 소자(OLED)로 인가되어 데이터 신호(Dm)에 따라서 유기 발광 소자(OLED)의 밝기가 조절된다. 이를 위하여 구동 트랜지스터(T1)의 제1 전극(S1)은 구동 전압(ELVDD)을 인가 받을 수 있도록 배치되어, 동작제어 트랜지스터(T5)를 경유하여 하부 전압 공급선(172)과 연결되어 있다. 또한, 구동 트랜지스터(T1)의 제1 전극(S1)은 스위칭 트랜지스터(T2)의 제2 전극(D2)과도 연결되어 데이터 신호(Dm)도 인가 받는다. 제2 전극(D1; 출력측 전극)은 유기 발광 소자(OLED)를 향하여 전류를 출력할 수 있도록 배치되어, 발광제어 트랜지스터(T6)를 경유하여 유기 발광 소자(OLED)의 애노드와 연결되어 있다.
- [0137] 한편, 게이트 전극(G1)은 유지 축전기(Cst)의 일 전극(제1 유지 전극(E1))과 연결되어 있다. 이에 유지 축전기(Cst)에 저장된 전압에 따라서 게이트 전극(G1)의 전압이 변하고 그에 따라 구동 트랜지스터(T1)가 출력하는 구동 전류(Id)가 변경된다. 유지 축전기(Cst)는 구동 트랜지스터(T1)의 게이트 전극(G1)에 인가되는 전압을 유지하는 역할을 한다.
- [0138] 스위칭 트랜지스터(T2)는 데이터 신호(Dm)을 화소내로 받아들이는 트랜지스터이다. 게이트 전극(G2)은 스캔선

(151)과 연결되어 있고, 제1 전극(S2)은 데이터선(171)과 연결되어 있다. 스위칭 트랜지스터(T2)의 제2 전극(D2)은 구동 트랜지스터(T1)의 제1 전극(S1)과 연결되어 있다. 스캔선(151)을 통해 전달되는 스캔 신호(Sn)에 따라 스위칭 트랜지스터(T2)가 켜지면, 데이터선(171)을 통해 전달되는 데이터 신호(Dm)이 구동 트랜지스터(T1)의 제1 전극(S1)으로 전달된다.

- [0139] 보상 트랜지스터(T3)와 초기화 트랜지스터(T4)는 서로 직렬 연결된 두 트랜지스터를 포함하는 구조로 도시하였다. 여기서 직렬 연결된 구조는 두 트랜지스터(T3-1, T3-2)의 게이트 전극이 연결되어 동일한 신호를 인가 받으며, 일 트랜지스터의 출력이 타 트랜지스터의 입력으로 인가되는 구조를 의미한다.
- [0140] 보상 트랜지스터(T3)는 제3-1, 제3-2 트랜지스터(T3-1, T3-2)가 직렬 연결된 구조를 가진다. 제3-1 트랜지스터(T3-1)의 게이트 전극(G3-1)과 제3-2 트랜지스터(T3-2)의 게이트 전극(G3-2)은 서로 연결되어 있다.
- [0141] 보상 트랜지스터(T3)는 데이터 신호(Dm)가 구동 트랜지스터(T1)를 거치면서 변화된 보상 전압(Dm + Vth의 전압)이 유지 축전기(Cst)의 제1 유지 전극(E1)에 전달되도록 하는 트랜지스터이다. 보상 트랜지스터(T3)는 직렬 연결된 제3-1 트랜지스터(T3-1) 및 제3-2 트랜지스터(T3-2)를 포함한다. 두 트랜지스터(T3-1, T3-2)의 게이트 전극(G3-1, G3-2)은 모두 스캔선(151)과 연결되어 있다. 제3-2 트랜지스터(T3-2)의 제1 전극(S3-2)은 구동 트랜지스터(T1)의 제2 전극(D1)과 연결되어 있고, 제3-1 트랜지스터(T3-1)의 제2 전극(D3-1)은 유지 축전기(Cst)의 제1 유지 전극(E1) 및 구동 트랜지스터(T1)의 게이트 전극(G1)과 연결되어 있다.
- [0142] 또한, 제3-1 트랜지스터(T3-1)의 제1 전극(S3-1)과 제3-2 트랜지스터(T3-2)의 제2 전극(D3-2)은 전술한 연결부(N3)에서 서로 연결되어 있다. 연결부(N3)는 두 개의 트랜지스터(T3-1, T3-2)가 연결되는 연결 노드가 될 수 있다.
- [0143] 보상 트랜지스터(T3)를 하나의 트랜지스터로 기술하는 경우에는 제3-2 트랜지스터(T3-2)의 제1 전극(S3-2)이 보상 트랜지스터(T3)의 제1 전극(S3)이 되고, 제3-1 트랜지스터(T3-1)의 제2 전극(D3-1)이 보상 트랜지스터(T3)의 제2 전극(D3)이 된다. 보상 트랜지스터(T3)는 스캔선(151)을 통해 전달받은 스캔 신호(Sn)에 따라 켜져서 구동 트랜지스터(T1)의 게이트 전극(G1)과 제2 전극(D1)을 연결시키고, 구동 트랜지스터(T1)의 제2 전극(D1)과 유지 축전기(Cst)의 제1 유지 전극(E1)도 연결시킨다. 이때, 보상 트랜지스터(T3)의 일부분과 데이터선(171) 간에 기생 커패시터(Cp)가 생성된다.
- [0144] 일 실시예에 따른 유기 발광 표시 장치는 차폐층(M)을 더 포함한다. 차폐층(M)은 보상 트랜지스터(T3), 특히 제3-1 트랜지스터(T3-1) 및 제3-2 트랜지스터(T3-2)를 연결하는 연결부(N3)와 중첩한다. 한편, 스위칭 트랜지스터(T2)의 제1 전극(S2)은 데이터선(171)으로부터 데이터 신호(Dm)을 인가받는다. 차폐층(M)은 이러한 스위칭 트랜지스터(T2)와 중첩하지 않도록 형성 됨으로써, 차폐층(M)과 데이터선(171) 간의 기생 커패시턴스를 제거할 수 있다. 이에 따라, 데이터선(171)의 기생 커패시터(Cp)의 커패시턴스를 줄일 수 있고, 데이터선(171)의 RC 딜레이가 감소되며, 결과적으로 표시 장치의 소비 전력이 개선될 수 있다.
- [0145] 초기화 트랜지스터(T4)는 구동 트랜지스터(T1)의 게이트 전극(G1) 및 유지 축전기(Cst)의 제1 유지 전극(E1)을 초기화시키는 역할을 한다. 게이트 전극(G4)은 이전 스캔선(152)과 연결되어 있고, 제1 전극(S4)은 제1 초기화 전압선(127)과 연결되어 있다. 초기화 트랜지스터(T4)의 제2 전극(D4)은 보상 트랜지스터(T3)의 제2 전극(D3)을 경유하여 유지 축전기(Cst)의 제1 유지 전극(E1) 및 구동 트랜지스터(T1)의 게이트 전극(G1)에 연결되어 있다.
- [0146] 초기화 트랜지스터(T4)는 이전 스캔선(152)을 통해 전달받은 이전 스캔 신호(Sn-1)에 따라 초기화 전압(Vint)을 구동 트랜지스터(T1)의 게이트 전극(G1) 및 유지 축전기(Cst)의 제1 유지 전극(E1)에 전달한다. 이에 따라 구동 트랜지스터(T1)의 게이트 전극(G1)의 게이트 전압 및 유지 축전기(Cst)가 초기화된다. 초기화 전압(Vint)는 저전압값을 가져 구동 트랜지스터(T1)를 턴 온 (turn-on)시킬 수 있는 전압일 수 있다.
- [0147] 초기화 트랜지스터(T4)도 직렬 연결된 두 개의 트랜지스터를 포함하는 구조를 가진다. 초기화 트랜지스터(T4)도 직렬 연결되어 있으나, 실시예에 따라서는 단일 트랜지스터로 형성될 수도 있다.
- [0148] 동작제어 트랜지스터(T5)는 구동 전압(ELVDD)을 구동 트랜지스터(T1)에 전달시키는 역할을 한다. 게이트 전극(G5)은 발광 제어선(153)과 연결되어 있고, 제1 전극(S5)은 하부 전압 공급선(172)과 연결되어 있다. 동작제어 트랜지스터(T5)의 제2 전극(D5)은 구동 트랜지스터(T1)의 제1 전극(S1)과 연결되어 있다.
- [0149] 발광제어 트랜지스터(T6)는 구동 트랜지스터(T1)에서 출력되는 구동 전류(Id)를 유기 발광 소자(OLED)로 전달하는 역할을 한다. 게이트 전극(G6)은 발광 제어선(153)과 연결되어 있고, 제1 전극(S6)은 구동 트랜지스터(T1)의 제2 전극(D1)과 연결되어 있다. 발광제어 트랜지스터(T6)의 제2 전극(D6)은 유기 발광 소자(OLED)의 애노드와

연결되어 있다.

- [0150] 동작제어 트랜지스터(T5) 및 발광제어 트랜지스터(T6)는 발광 제어선(153)을 통해 전달받은 발광제어 신호(EM)에 따라 동시에 켜지며, 동작제어 트랜지스터(T5)를 통하여 구동 전압(ELVDD)이 구동 트랜지스터(T1)의 제1 전극(S1)에 인가되면, 구동 트랜지스터(T1)의 게이트 전극(G1)의 전압(즉, 유지 축전기(Cst)의 제1 유지 전극(E1)의 전압)에 따라서 구동 트랜지스터(T1)가 구동 전류(Id)를 출력한다. 출력된 구동 전류(Id)는 발광제어 트랜지스터(T6)를 통하여 유기 발광 소자(OLED)에 전달된다. 유기 발광 소자(OLED)에 전류(Ioled)가 흐르게 되면서 유기 발광 소자(OLED)가 빛을 방출한다.
- [0151] 바이패스 트랜지스터(T7)는 유기 발광 소자(OLED)의 애노드를 초기화시키는 역할을 한다. 게이트 전극(G7)은 바이패스 제어선(158)과 연결되어 있고, 제1 전극(S7)은 유기 발광 소자(OLED)의 애노드와 연결되어 있고, 제2 전극(D7)은 제2 초기화 전압선(128)과 연결되어 있다. 실시예에 따라서 바이패스 제어선(158)은 이전 스캔선(152)에 연결되어 바이패스 신호(GB)는 이전 스캔 신호(Sn-1)와 동일한 타이밍의 신호일 수 있으며, 스캔선(151)에 연결되어 스캔 신호(Sn)와 동일한 타이밍의 신호일 수도 있다. 바이패스 신호(GB)에 따라 바이패스 트랜지스터(T7)가 턴 온 되면 초기화 전압(Vint)이 유기 발광 소자(OLED)의 애노드로 인가되어 초기화된다.
- [0152] 유지 축전기(Cst)의 제1 유지 전극(E1)은 구동 트랜지스터(T1)의 게이트 전극(G1), 보상 트랜지스터(T3)의 제2 전극(D3) 및 초기화 트랜지스터(T4)의 제2 전극(D4)과 연결되어 있으며, 제2 유지 전극(E2)은 하부 전압 공급선(172)과 연결되어 있다. 그 결과 제1 유지 전극(E1)은 구동 트랜지스터(T1)의 게이트 전극(G1)의 전압을 결정하며, 보상 트랜지스터(T3)의 제2 전극(D3)을 통하여 데이터 신호(Dm)를 인가 받거나, 초기화 트랜지스터(T4)의 제2 전극(D4)을 통하여 초기화 전압(Vint)을 인가 받는다.
- [0153] 일 실시예에서 한 화소의 회로는 7개의 트랜지스터(T1 내지 T7)와 1개의 축전기(Cst)를 포함하지만 이에 제한되지 않으며, 트랜지스터의 수와 축전기의 수, 그리고 이들의 연결은 다양하게 변경 가능하다.
- [0154] 도시되지 않았지만, 유기 발광 표시 장치는 영상이 표시되는 표시 영역을 포함하고, 표시 영역에는 이러한 화소가 행렬 등 다양한 방식으로 배열되어 있다.
- [0155] 이하, 도 5를 사용하여 일 실시예에 따른 유기 발광 표시 장치의 한 화소의 동작에 대해 설명한다.
- [0156] 도 5를 참고하면, 초기화 구간 동안 로우 레벨의 이전 스캔 신호(Sn-1)가 이전 스캔선(152)을 통해 화소로 공급된다. 그러면, 이를 인가 받은 초기화 트랜지스터(T4)가 켜져, 초기화 전압(Vint)이 초기화 트랜지스터(T4)를 통해 구동 트랜지스터(T1)의 게이트 전극(G1) 및 유지 축전기(Cst)의 제1 유지 전극(E1)에 인가된다. 그 결과 구동 트랜지스터(T1) 및 유지 축전기(Cst)가 초기화된다. 초기화 전압(Vint)의 전압이 저전압을 가져 구동 트랜지스터(T1)이 턴 온 될 수 있다.
- [0157] 한편, 초기화 구간에서의 바이패스 트랜지스터(T7)가 유기 발광 소자(OLED)의 애노드를 초기화시키면서, 구동 트랜지스터(T1)가 실제 턴 온 되지 않는 조건에서 방출하는 소량의 전류를 유기 발광 소자(OLED)쪽으로 흐르지 못하도록 할 수 있다. 이때 소량의 전류는 바이패스 전류(Ibp)로 바이패스 트랜지스터(T7)를 통해 초기화 전압(Vint)단으로 방출된다. 그 결과 유기 발광 소자(OLED)가 불필요한 빛을 방출하지 않게 되어, 블랙 계조를 더욱 명확하게 표시하고, 대비비(contrast ratio)도 향상시키도록 할 수 있다. 이러한 경우, 바이패스 신호(GB)가 스캔 신호(Sn)와 동일한 타이밍의 신호일 수 있으며, 실시예에 따라 이전 스캔 신호(Sn-1)와 동일한 타이밍의 신호일 수도 있다. 실시예에 따라서는 바이패스 트랜지스터(T7)가 생략될 수도 있다.
- [0158] 이후, 데이터 기입 구간 동안 스캔선(151)을 통해 로우 레벨의 스캔 신호(Sn)가 화소로 공급된다. 이때, 스캔 신호(Sn)와 동일한 타이밍의 바이패스 신호(GB)가 공급될 수 있다. 로우 레벨의 스캔 신호(Sn)에 의하여 스위칭 트랜지스터(T2) 및 보상 트랜지스터(T3)가 켜진다.
- [0159] 스위칭 트랜지스터(T2)가 턴 온 되면, 데이터 신호(Dm)가 스위칭 트랜지스터(T2)를 지나 구동 트랜지스터(T1)의 제1 전극(S1)으로 입력된다.
- [0160] 이때, 데이터 신호(Dm)를 공급하는 데이터선(171) 및 스위칭 트랜지스터(T2) 또는 보상 트랜지스터(T3) 간에 기생 커패시턴스가 형성될 수 있다. 일 실시예에 따른 유기 발광 표시 장치에서는 차폐층(M)을 보상 트랜지스터(T3), 특히 연결부(N3)와 중첩하도록 형성함으로써 데이터선(171)과 보상 트랜지스터(T3)에 의한 기생 커패시턴스를 감소시킬 수 있다. 뿐만 아니라, 이러한 차폐층(M)은 데이터 신호(Dm)를 공급받는 스위칭 트랜지스터(T2)와는 중첩하지 않도록 형성함으로써 데이터선(171)과 보상 트랜지스터(T3)에 의한 기생 커패시턴스를 제거할 수 있다.

- [0161] 이에 따라, 일 실시예에 따른 유기 발광 표시 장치에서 데이터선(171)의 기생 커패시턴스를 최소화시키고, 이에 따라 데이터선(171)의 RC 딜레이가 최소화되며, 결국 표시 장치의 표시 품질이 개선되고 소비 전력이 감소될 수 있다.
- [0162] 또한, 데이터 기입 구간 동안 보상 트랜지스터(T3)가 턴 온 되고, 그 결과 구동 트랜지스터(T1)의 제2 전극(D2)은 게이트 전극(G1) 및 유지 축전기(Cst)의 제1 유지 전극(E1)과 전기적으로 연결된다. 구동 트랜지스터(T1)의 게이트 전극(G1)과 제2 전극(D2)이 연결되어 다이오드 연결된다. 또한, 구동 트랜지스터(T1)는 초기화 구간 동안 게이트 전극(G1)에 저전압(초기화 전압(Vint))이 인가되어 있어 턴 온 된 상태이다. 그 결과 구동 트랜지스터(T1)의 제1 전극(S1)으로 입력되는 데이터 신호(Dm)는 구동 트랜지스터(T1)의 채널을 지나 제2 전극(D1)에서 출력된 후 보상 트랜지스터(T3)를 거쳐 유지 축전기(Cst)의 제1 유지 전극(E1)에 저장된다.
- [0163] 이 때, 제1 유지 전극(E1)에 인가되는 전압은 구동 트랜지스터(T1)의 문턱 전압(Vth)에 따라 변경되며, 구동 트랜지스터(T1)의 제1 전극(S1)에 데이터 신호(Dm)가 걸리고, 구동 트랜지스터(T1)의 게이트 전극(G1)에 초기화 전압(Vint)이 걸리는 경우, 제2 전극(D1)으로 출력되는 전압은 $V_{gs} + V_{th}$ 를 가질 수 있다. 여기서 V_{gs} 는 전술한 바와 같이 구동 트랜지스터(T1)의 게이트 전극(G1)과 제1 전극(S1)에 걸리는 전압의 차이므로 $D_m - V_{int}$ 값을 가질 수 있다. 그러므로 제2 전극(D1)에서 출력되어 제1 유지 전극(E1)에 저장되는 전압은 $D_m - V_{int} + V_{th}$ 값을 가질 수 있다.
- [0164] 그 후, 발광 구간 동안, 발광 제어선(153)으로부터 공급되는 발광제어 신호(EM)가 로우 레벨의 값을 가져, 동작 제어 트랜지스터(T5) 및 발광제어 트랜지스터(T6)가 켜진다. 그 결과 구동 트랜지스터(T1)의 제1 전극(S1)에는 구동 전압(ELVDD)이 인가되며, 구동 트랜지스터(T1)의 제2 전극(D1)은 유기 발광 소자(OLED)와 연결된다. 구동 트랜지스터(T1)는 게이트 전극(G1)의 전압과 제1 전극(S1)의 전압(즉, 구동 전압(ELVDD)) 간의 전압 차에 따라 구동 전류(I_d)가 발생한다.
- [0165] 이상의 계산식에서 V_{th} 값은 다결정 반도체를 사용하는 P형 트랜지스터인 경우 0보다 약간 큰 값이나 또는 음의 값을 가질 수 있다. 또한, 전압을 계산하는 방향에 따라 + 및 -의 표현이 변경될 수 있다. 이상과 같은 발광 구간이 종료하면 다시 초기화 구간이 위치하여 처음부터 다시 같은 동작을 반복하게 된다.
- [0166] 복수의 트랜지스터(T1, T2, T3, T4, T5, T6, T7)의 제1 전극 및 제2 전극은 전압 또는 전류가 인가되는 방향에 따라서 하나는 소스 전극이고 다른 하나는 드레인 전극이 될 수 있다.
- [0167] 한편, 실시예에 따라서는 초기화 구간 동안에 로우 레벨의 바이패스 신호(GB)도 바이패스 트랜지스터(T7)로 인가될 수 있다. 이를 인가 받은 바이패스 트랜지스터(T7)가 턴 온 되어 초기화 전압(Vint)이 바이패스 트랜지스터(T7)를 통해 유기 발광 소자(OLED)의 애노드로 인가된다. 그 결과 유기 발광 소자(OLED)의 애노드도 초기화된다.
- [0168] 이상에서 본 발명의 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

부호의 설명

- [0169] 110: 기판 111: 배리어층
- 130: 반도체층 141: 제1 게이트 절연막
- 142: 제2 게이트 절연막 161, 162: 층간 절연막
- 180: 보호막 N3: 연결부
- 56: 개구 60-69, 81, 83, 85: 오프닝
- 124: 유지선 127: 초기화 전압선
- 151: 스캔선 152: 이전 스캔선
- 153: 발광 제어선 155: 게이트 전극
- 158: 바이패스 제어선 171: 데이터선

172: 하부 전압 공급선 71, 72, 73, 74: 데이터 연결 부재

178: 상부 전압 공급선 179: 보조 연결 부재

E1, E2: 유지 전극 M: 차폐층

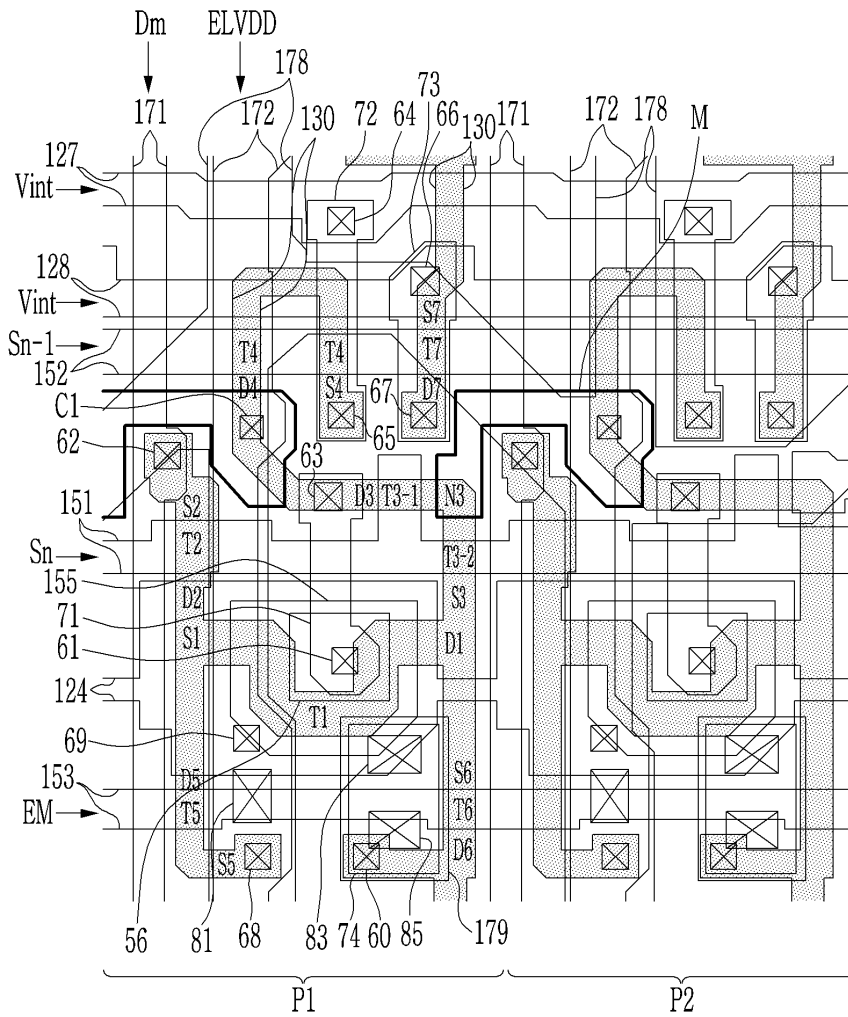
M1: 중첩부 M2: 연장부

M3: 확장부

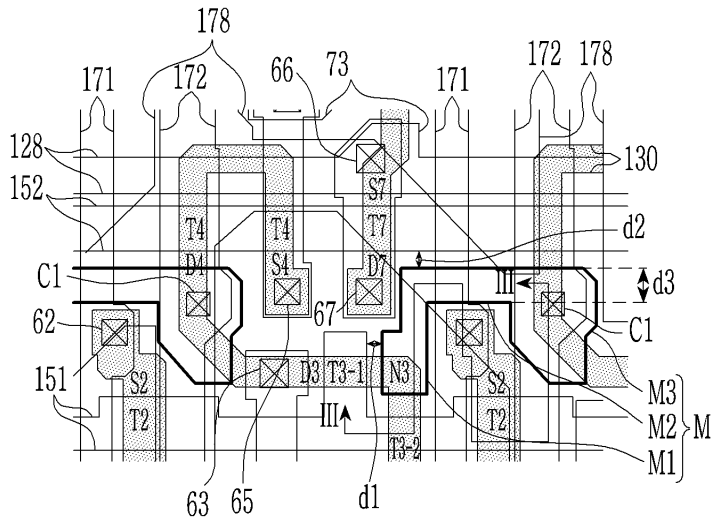
T1, T2, T3, T4, T5, T6, T7: 트랜지스터

도면

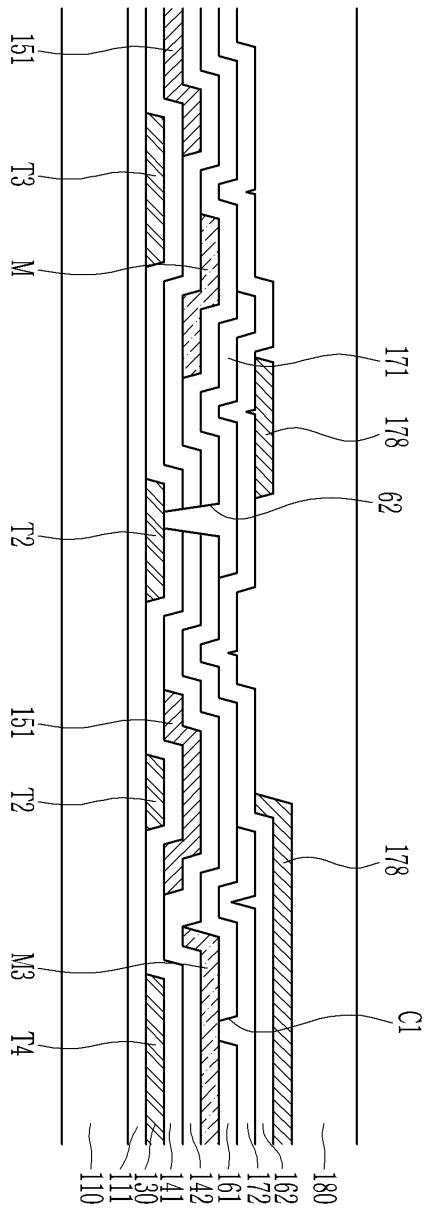
도면1



도면2



도면3



专利名称(译)	有机发光二极管显示器		
公开(公告)号	KR1020200064230A	公开(公告)日	2020-06-08
申请号	KR1020180149532	申请日	2018-11-28
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	나지수 문중수 현재한 김양완		
发明人	나지수 문중수 현재한 김양완		
IPC分类号	H01L27/32 G09G3/3208 H01L51/50		
CPC分类号	H01L27/3272 G09G3/3208 H01L27/3262 H01L27/3276 H01L51/50 G09G3/3233 G09G3/325 G09G2300/0819 G09G2300/0842 G09G2300/0861 G09G3/3266 G09G3/3291 H01L27/00		
外部链接	Espacenet		

摘要(译)

有机发光二极管(“OLED”)显示器包括:基板上的半导体层,半导体层上的第一和第二信号线,第一信号线和第二信号线上的屏蔽层,屏蔽层上的数据线以及数据线上的OLED,其中该晶体管包括驱动晶体管,连接到第一信号线和数据线的第二晶体管,以及第三晶体管,该第三晶体管包括连接到第一信号线的栅电极,连接到第二信号线的第三电极 所述驱动层的第一电极和连接到所述驱动晶体管的栅电极的第四电极,所述屏蔽层包括与所述连接部分的至少一部分重叠的重叠部分,并且与所述第二晶体管不重叠,并且所述屏蔽层被分离 在平面图中,第一和第二信号线之间具有间隙。

