



(52) CPC특허분류

*H01L 51/5284* (2013.01)

*H01L 51/56* (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

기관;

상기 기관 상에 위치하는 차광 패턴;

상기 차광 패턴을 덮으며, 제1 컨택홀 및 제2 컨택홀을 구비하는 버퍼층;

상기 버퍼층 상에 위치하며, 상기 제1 컨택홀을 통해 상기 차광 패턴과 전기적으로 연결되는 박막 트랜지스터;

상기 박막 트랜지스터 상에 위치하는 도전 물질;

상기 도전 물질을 덮으며, 상기 제2 컨택홀과 대응하는 제3 컨택홀을 구비하는 절연막;

상기 절연막 상에 위치하며, 상기 제2 컨택홀과 상기 제3 컨택홀을 통해 상기 차광 패턴과 전기적으로 연결되는 제1 전극;

상기 제1 전극을 덮으며, 상기 도전 물질에 대항하여 오픈부를 구비하는 बैं크; 및

상기 오픈부에 대응하여 상기 제1 전극 상에 위치하는 유기 발광층을 포함하는, 유기 발광 표시 장치.

#### 청구항 2

제1 항에 있어서,

상기 도전 물질은, 제1 도전 물질 및 제2 도전 물질을 포함하고, 상기 제1 도전 물질은 상기 박막 트랜지스터와 전기적으로 연결되는, 유기 발광 표시 장치.

#### 청구항 3

제2 항에 있어서,

상기 제2 도전 물질은, 하부에 게이트 절연막을 구비하여 상기 박막 트랜지스터가 구비하는 액티브층과 전기적으로 절연된, 유기 발광 표시 장치.

#### 청구항 4

제3 항에 있어서,

상기 제1 도전 물질은, 상기 제2 도전 물질과 동일한 물질로 형성된 것을 특징으로 하는, 유기 발광 표시 장치.

#### 청구항 5

제4 항에 있어서,

상기 제2 전도 물질은, 게이트 물질인, 유기 발광 표시 장치.

#### 청구항 6

제3 항에 있어서,

상기 차광 패턴은, 상기 액티브층과 전기적으로 연결된 소스 전극 또는 드레인 전극인, 유기 발광 표시 장치.

#### 청구항 7

제6 항에 있어서,

상기 차광 패턴은, 상기 기관의 일 측에 추가로 배치되어 외부 신호를 공급받는, 유기 발광 표시 장치.

**청구항 8**

제7 항에 있어서,  
상기 차광 패턴은, 상기 도전 물질과 동일한 물질로 형성된, 유기 발광 표시 장치.

**청구항 9**

제1 항에 있어서,  
상기 유기 발광 표시 장치는, 상기 बैं크 상에 위치하는 보조 बैं크를 더 포함하는, 유기 발광 표시 장치.

**청구항 10**

제9 항에 있어서,  
상기 보조 बैं크는, 상기 बैं크보다 높이가 더 높은, 유기 발광 표시 장치.

**청구항 11**

제10 항에 있어서,  
유기물층은, 상기 बैं크의 측면, 상면 및 상기 보조 बैं크층의 측면의 일 부분을 덮는, 유기 발광 표시 장치.

**청구항 12**

제10 항에 있어서,  
상기 बैं크는, 매트릭스(Matrix) 구조로 일체로 구비되는, 유기 발광 표시 장치.

**청구항 13**

제12 항에 있어서,  
상기 보조 बैं크는, 선형(Linear) 구조인, 유기 발광 표시 장치.

**청구항 14**

제9 항에 있어서,  
상기 बैं크는, 친수성 유기 절연 물질로 이루어지며,  
상기 보조 बैं크는, 소수성 유기 절연 물질로 이루어진, 유기 발광 표시 장치.

**청구항 15**

제14 항에 있어서,  
상기 보조 बैं크는, 상기 유기 발광층의 퍼짐을 억제하기 위해 상면이 소수성 성질인, 유기 발광 표시 장치.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 유기 발광 표시 장치에 관한 것으로서, 보다 구체적으로는 용액 공정으로 유기 발광층을 형성하는 유기 발광 표시 장치에 관한 것이다.

**배경 기술**

[0002] 평판 디스플레이(FPD; Flat Panel Display)중 하나인 유기 발광 표시 장치는 높은 휘도와 낮은 동작 전압 특성을 갖는다. 또한 스스로 빛을 내는 자체발광형 표시 장치이기 때문에 명암대비(contrast ratio)가 크고, 초박형 디스플레이의 구현이 가능하며, 응답시간이 수 마이크로초( $\mu s$ ) 정도로 동화상 구현이 쉽고, 시야각의 제한이 없으며 저온에서도 안정적이고, 직류 5V 내지 15V의 낮은 전압으로 구동하므로 구동회로의 제작 및 설계가 용이하

다.

- [0003] 따라서, 전술한 바와 같은 장점을 갖는 유기 발광 표시 장치는 최근에는 TV, 모니터, 핸드폰 등 다양한 IT기기에 이용되고 있다.
- [0004] 이러한 유기 발광 표시 장치는 유기 발광층을 구비하고, 유기 발광층으로부터 발생된 빛에 의해 화상을 표시한다. 이때 유기 발광층은 통상 웨도우 마스크를 이용한 열증착법에 의해 형성될 수 있다.
- [0005] 유기 발광 표시 장치의 대형화됨에 따라, 유기 발광층을 형성하기 위해서는 대형화된 웨도우 마스크를 이용하여 열증착을 할 필요성이 제기되었다. 하지만, 웨도우 마스크가 대형화됨에 따라, 웨도우 마스크의 처짐 등이 발생할 수 있어, 열증착에 의한 유기 발광층의 증착 불량이 발생할 수 있다.
- [0006] 대면적의 유기 발광 표시 장치를 형성하기 위해, 대면적의 웨도우 마스크를 이용할수록, 처짐의 발생이 증가하여 유기 발광층의 증착 불량이 증가될 수 있다.
- [0007] 따라서, 대면적의 유기 발광 표시 장치를 제조하기 위해 웨도우 마스크를 이용한 열증착 공정을 대체하는 유기 발광층의 형성 방법이 제안되었다.
- [0008] 제안된 유기 발광층의 형성방법은 액상의 유기 발광물질을 잉크젯 장치 또는 노즐 코팅 장치를 통해 격벽으로 둘러싸인 영역에 분사 또는 드롭핑 한 후 경화시키는 것이다.

**발명의 내용**

**해결하려는 과제**

- [0009] 액상의 유기 발광 물질을 잉크젯 장치를 통해 화소 영역별로 분사하거나 또는 노즐 코팅 장치를 통해 드롭핑 하기 위해서는 액상 상태의 유기 발광 물질이 화소 영역내에서 주위로 흘러가는 것을 방지할 필요성이 있다. 따라서 전극이 형성된 화소 영역 주위에 유기 발광 물질이 주위로 흘러가는 것을 방지하기 위한 बैं크가 필요하다.
- [0010] 이때 상기 화소 영역 상에 잉크젯 장치 헤드 또는 노즐 코팅 장치의 노즐을 위치시켜 액상의 유기 발광 물질을 분사 또는 드롭핑하게 되면, 화소 영역 내에 유기 발광 물질이 채워질 수 있고, 이러한 유기 발광 물질은 बैं크에 의해 주위로 흘러가는 것이 방지될 수 있다. 이렇게 화소 영역에 형성된 유기 발광 물질은 열처리에 의해 건조 및 경화됨으로써 유기 발광층이 형성될 수 있다.
- [0011] 하지만, 잉크젯 장치 또는 노즐 코팅 장치를 통해 유기 발광층을 형성하게 되면 화소 영역 내의 중앙부 대비 बैं크와 인접하게 위치하는 화소 영역의 가장자리 부분의 두께가 두껍게 형성되는 현상이 발생된다.
- [0012] 이는 경화되는 과정에서 बैं크와 접촉하는 부분이 상대적으로 느리게 경화되며 중앙부로부터 경화가 이루어지면서 내부적으로 유기 발광 물질이 화소 영역의 가장자리 부분으로 이동하고 이 상태에서 최종적으로 경화되기 때문이다.
- [0013] 따라서 이러한 현상에 의해 화소 영역내에서 유기 발광층은 중앙부에 대해서는 그 두께 편차가 거의 없이 평탄하게 형성되지만, बैं크와 인접하는 가장자리 부분으로 갈수록 점진적으로 그 두께가 증가하는 단면 형태를 이루게 된다.
- [0014] 또한 유기 발광 표시 장치를 구동하기 위해, 유기 발광층 하부에 있는 회로부의 구조가 복잡할수록, 상기 회로부 상에 위치하는 유기 발광층이 평편한 표면을 갖게 하는 것이 용이하지 않다.
- [0015] 이에 따라 유기 발광층이 평편하게 형성되지 못해, 유기 발광층은 균일한 휘도로 발광할 수 없게되며, 이는 사용자에게 얼룩처럼 느끼게 하거나, 실질적으로 발광이 이루어 지지 않는 영역이 되어 어둡게 표시될 수 있다. 뿐만 아니라, 상기 회로부의 구조를 평편하게 하기 위해서 추가적인 적층 구조를 더 구비할 때, 유기 발광 표시 장치의 개구율이 저하될 수 있다.
- [0016] 따라서 본 발명의 발명자들은, 상기 문제점을 해결하기 위해 유기 발광층 하부에 있는 회로부의 구조를 변경하여 추가적인 적층 구조 없이 회로부를 평편히 할 수 있다. 이에 따라 본 발명에서는 회로부 상의 유기 발광층이 균일한 프로파일(profile)을 구비하는 유기 발광 표시 장치를 제공하고자 한다.
- [0017] 본 발명의 과제들은 이상에서 언급한 과제들로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

**과제의 해결 수단**

- [0018] 본 발명의 유기 발광 표시 장치는, 기관, 기관 상에 위치하는 차광 패턴, 차광 패턴을 덮으며, 제1 컨택홀 및 제2 컨택홀을 구비하는 버퍼층, 버퍼층 상에 위치하며, 제1 컨택홀을 통해 상기 차광 패턴과 전기적으로 연결되는 박막 트랜지스터, 박막 트랜지스터 상에 위치하는 도전 물질, 도전 물질을 덮으며, 제2 컨택홀과 대응하는 제3 컨택홀을 구비하는 절연막 절연막 상에 위치하며, 제2 컨택홀과 제3 컨택홀을 통해 차광 패턴과 전기적으로 연결되는 제1 전극, 제1 전극을 덮으며, 도전 물질에 대항하여 오픈부를 구비하는 बैं크 및 오픈부에 대응하여 제1 전극 상에 위치하는 유기 발광층을 포함한다.
- [0019] 도전 물질은, 제1 도전 물질 및 제2 도전 물질을 포함하고, 제1 도전 물질은 박막 트랜지스터와 전기적으로 연결된다.
- [0020] 제2 도전 물질은, 하부에 게이트 절연막을 구비하여 박막 트랜지스터가 구비하는 액티브층과 전기적으로 절연된다.
- [0021] 제1 도전 물질은, 제2 도전 물질과 동일한 물질로 형성된 것을 특징으로 한다.
- [0022] 제2 전도 물질은, 게이트 물질이다.
- [0023] 차광 패턴은, 액티브층과 전기적으로 연결된 소스 전극 또는 드레인 전극이다.
- [0024] 차광 패턴은, 기관의 일 측에 추가로 배치되어 외부 신호를 공급받는다.
- [0025] 차광 패턴은, 도전 물질과 동일한 물질로 형성된다.
- [0026] 유기 발광 표시 장치는, बैं크 상에 위치하는 보조 बैं크를 더 포함한다.
- [0027] 보조 बैं크는, बैं크보다 높이가 더 높다.
- [0028] 유기물층은, बैं크의 측면, 상면 및 상기 보조 बैं크층의 측면의 일 부분을 덮는다.
- [0029] बैं크는, 매트릭스(Matrix) 구조로 일체로 구비된다.
- [0030] 보조 बैं크는, 선형(Linear) 구조이다.
- [0031] बैं크는, 친수성 유기 절연 물질로 이루어진다.
- [0032] 보조 बैं크는, 소수성 유기 절연 물질로 이루어진다.
- [0033] 보조 बैं크는, 유기 발광층의 퍼짐을 억제하기 위해 상면이 소수성 성질이다.

**발명의 효과**

- [0034] 본 발명의 일 실시예들에 따른 유기 발광 표시 장치는 추가적인 적층 구조 없이 회로부를 평편히 할 수 있으므로, 유기 발광층의 개구율의 저하를 최소화할 수 있다.
- [0035] 본 발명의 일 실시예들에 따른 유기 발광 표시 장치는 유기 발광층이 화소의 중앙부뿐만 아니라 बैं크에 인접한 영역까지 균일하게 형성될 수 있으므로, 유기 발광층이 발광 영역에 걸쳐서 균일한 발광 특성을 갖을 수 있다.
- [0036] 본 발명에 따른 효과는 이상에서 예시된 내용에 의해 제한되지 않으며, 더욱 다양한 효과들이 본 명세서 내에 포함되어 있다.
- [0037] 본 명세서의 실시예들에 따른 효과는 이상에서 예시된 내용에 의해 제한되지 않으며 더욱 다양한 효과들이 본 명세서 내에 포함되어 있다.

**도면의 간단한 설명**

- [0038] 도 1은 유기 발광 표시 장치의 하나의 화소 영역에 대한 회로도이다.
- 도 2는 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 평면도이다.
- 도 3은 본 발명의 일 실시예에 따른 유기 발광 표시 장치에서 복수의 발광 영역이 배치되는 모습을 보여주는 평면도이다.
- 도 4은 도 3의 A-A' 라인의 단면에 해당하는 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 개략적인 단면

도이다.

도 5는 본 발명의 또 다른 실시예에 따른 유기 발광 표시 장치에 복수의 발광 영역이 배치되는 모습을 보여주는 평면도이다.

도 6은 도 5의 B-B'라인의 단면에 해당하는 본 발명의 또 다른 실시예에 따른 유기 발광 표시 장치의 개략적인 단면도이다.

**발명을 실시하기 위한 구체적인 내용**

- [0039] 본 명세서의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.
- [0040] 본 명세서의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 명세서가 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 명세서 상에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다. 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.
- [0041] 위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다. 소자 또는 층이 다른 소자 또는 층 "위 (on)"로 지칭되는 것은 다른 소자 바로 위에 또는 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다. 어떤 구성 요소가 다른 구성요소에 "연결", "결합" 또는 "접속"된다고 기재된 경우, 그 구성 요소는 그 다른 구성요소에 직접적으로 연결되거나 또는 접속될 수 있지만, 각 구성 요소 사이에 다른 구성 요소가 "개재"되거나, 각 구성 요소가 다른 구성 요소를 통해 "연결", "결합" 또는 "접속"될 수도 있다고 이해되어야 할 것이다.
- [0042] 비록 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있다.
- [0043] 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.
- [0044] 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 도시된 것이며, 본 발명이 도시된 구성의 크기 및 두께에 반드시 한정되는 것은 아니다.
- [0045] 본 발명의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하고, 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시할 수도 있다.
- [0046] 이하에서는 도면을 참조하여 본 발명에 대해 상세히 설명하기로 한다.
- [0047] 도 1은 유기 발광 표시 장치의 하나의 화소 영역에 대한 회로도이다. 도 1은 본 발명의 유기 발광 표시 장치의 구성 및 동작에 대한 하나의 화소 영역에 대한 회로도이다.
- [0048] 도 1에 도시된 바와 같이, 유기 발광 표시 장치의 화소 영역(P)에는 스위칭 박막 트랜지스터(STr)와 구동 박막 트랜지스터(DTr), 스토리지 캐패시터(StgC), 그리고 유기 발광 소자(E)가 구비되고 있다.
- [0049] 제1 방향으로 게이트 라인(GL)이 구비되어 있고, 상기 제1 방향과 교차되는 제2 방향으로 데이터 라인(DL)이 구비됨으로써 상기 게이트 라인(GL)과 데이터 라인(DL)에 의해 둘러싸인 영역으로 정의되는 화소 영역(P)이 구비될 수 있다. 이때 상기 데이터 라인(DL)과 이격하며 전원 전압을 인가하기 위한 전원 라인(PL)이 형성될 수 있다. 본 회로도에서는 전원 라인(PL)을 하나의 라인으로만 간략하게 도시하였으나, 전원 라인(PL)은 복수개로 구비될 수 있으며, 고전위 라인(VDD) 및 저전위 라인(VSS)으로 구비될 수 있다.

- [0050] 또한, 상기 데이터 라인(DL)과 게이트 라인(GL)이 교차하는 부분에는 스위칭 박막 트랜지스터(STr)가 구비될 수 있다. 이때 구동 박막 트랜지스터(DTr)는 상기 스위칭 박막 트랜지스터(STr)와 전기적으로 연결되도록 구비될 수 있다. 구동 박막 트랜지스터(DTr)는 유기 발광 소자(E)와 전기적으로 연결될 수 있다. 이때 유기 발광 소자(E)는 제1 전극, 유기 발광층 및 제2 전극으로 이루어질 수 있다.
- [0051] 제1 전극은, 유기 발광 소자(E)의 일측 단자로 상기 구동 박막 트랜지스터(DTr)의 드레인 전극과 연결될 수 있다. 제2 전극인, 유기 발광 소자(E)의 타측 단자는 접지될 수 있다. 이때, 상기 전원 라인(PL)을 통해 전달되는 전원 전압은 상기 구동 박막 트랜지스터(DTr)를 통해 상기 유기 발광 소자(E)로 전달될 수 있다. 또한, 상기 구동 박막트랜지스터(DTr)의 게이트 전극과 소스 전극 사이에는 스토리지 커패시터(StgC)가 구비될 수 있다.
- [0052] 따라서, 상기 게이트 라인(GL)을 통해 신호가 인가되면 스위칭 박막 트랜지스터(STr)가 온(on) 되고, 상기 데이터 라인(DL)의 신호가 구동 박막 트랜지스터(DTr)의 게이트 전극에 전달되어 상기 구동 박막트랜지스터(DTr)가 온(on) 되므로 유기 발광 소자(E)를 통해 빛이 출력될 수 있다.
- [0053] 이때, 상기 구동 박막 트랜지스터(DTr)가 온(on) 상태가 되면, 전원 라인(PL)으로부터 유기 발광 다이오드(E)에 흐르는 전류의 레벨이 정해지며, 이로 인해 상기 유기 발광 다이오드(E)는 그레이 스케일(gray scale)을 구현할 수 있다.
- [0054] 상기 스토리지 커패시터(StgC)는 스위칭 박막 트랜지스터(STr)가 오프(off) 되었을 때, 상기 구동 박막 트랜지스터(DTr)의 게이트 전압을 일정하게 유지시키는 역할을 할 수 있다. 따라서 상기 스토리지 커패시터(StgC)는 상기 스위칭 박막 트랜지스터(STr)가 오프(off) 상태가 되더라도 다음 프레임(frame)까지 상기 유기 발광 소자(E)에 흐르는 전류의 레벨을 일정하게 유지할 수 있다.
- [0055] 도 2는 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 평면도이다. 도 2는 유기 발광 표시 장치의 회로 구성에 복수의 발광 영역이 다양하게 배치된 모습을 보여주는 본 발명의 일 실시예에 따른 평면도이다.
- [0056] 도 2에 도시된 바와 같이, 유기 발광 표시 장치(100)는 게이트 라인(GL), 센싱 제어 라인(SCL), 고전위 라인(VDD), 저전위 라인(VSS), 데이터 라인(DL1, DL2, DL3), 기준 라인(Ref), 스위칭 박막 트랜지스터(T1), 구동 박막 트랜지스터(T2), 센싱 박막 트랜지스터(T3), 커패시터(C) 및 유기 발광 소자(OLED)를 포함할 수 있다.
- [0057] 이때, 가로 방향으로 게이트 라인(GL)과 센싱 제어 라인(SCL)이 배열되어 있고, 세로 방향으로 고전위 라인(VDD), 저전위 라인(VSS), 데이터 라인(DL1, DL2, DL3) 및 기준 라인(Ref)이 배열될 수 있다.
- [0058] 게이트 라인(GL)은 가로 방향으로 배열되어 각각의 회로 소자열(C1, C2, C3)에 구비된 스위칭 박막 트랜지스터(T1)의 게이트 단자에 게이트 신호를 공급한다.
- [0059] 센싱 제어 라인(SCL)은 상기 게이트 라인(SCL)과 소정의 간격으로 이격되어, 상기 게이트 라인(GL)과 평행하게 가로로 배열되어 있다. 센싱 제어 라인(SCL)은 각각의 회로 소자열(C1, C2, C3)에 구비된 센싱 박막 트랜지스터(T3)의 게이트 단자에 센싱 제어 신호를 공급한다.
- [0060] 이때, 게이트 라인(GL)과 센싱 제어 라인(SCL)은 서로 동일한 층에서 동일한 물질로 이루어질 수 있다. 또한 게이트 라인(GL)과 센싱 제어 라인(SCL)은 동일한 공정에서 형성될 수 있다. 구체적으로 게이트 라인(GL)과 센싱 제어 라인(SCL)은 게이트 물질로 형성될 수 있다. 예를 들어, 게이트 라인(GL)과 센싱 제어 라인(SGL)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나 또는 이들의 합금으로 이루어질 수 있으나, 이에 한정되지 않으며, 다양한 물질로 동일 공정에서 형성될 수 있다. 또한, 게이트 라인(GL)과 센싱 제어 라인(SCL)은 단일층 또는 다중층일 수도 있다.
- [0061] 고전위 라인(VDD)은 게이트 라인(GL) 및 센싱 제어 라인(SGL)과 교차하면서 세로 방향으로 배열될 수 있다. 고전위 라인(VDD)은 각각의 회로 소자열(C1, C2, C3)에 구비된 구동 박막 트랜지스터(T2)의 드레인 단자에 전원을 공급한다.
- [0062] 본 발명의 일 실시예에 따르면, 하나의 고전위 라인(VDD)이 각각의 회로 소자열(C1, C2, C3)에 각각 구비된 구동 박막트랜지스터(T2)의 드레인 단자에 고전위를 동시에 공급하도록 구비된다. 따라서 하나의 고전위 라인(VDD)을 각각의 구동 박막 트랜지스터(T2)의 드레인 단자와 연결하기 위해서 제1 연결 라인 (CL1)이 형성되어 있다.
- [0063] 제1 연결 라인(CL1)은 하나의 고전위 라인(VDD)에서 각각의 회로 소자열(C1, C2, C3)을 가로 질러 가로 방향으로 연장되어 있다. 따라서 상기 제1 연결 라인(CL1)은 고전위 라인(VDD)과 연결될 수 있고, 각각의 회로 소자열

(C1, C2, C3)에 구비된 구동 박막 트랜지스터(T2)의 드레인 단자와도 연결될 수 있다.

- [0064] 저전위 라인(VSS)은 고전위 라인(VDD)과 평행하게 세로 방향으로 배열될 수 있다. 저전위 라인(VSS)은 유기 발광 소자(OLED)의 음극에 저전원을 공급할 수 있다. 음극은 기판 전면에 형성될 수 있기 때문에, 저전위 라인(VSS)을 개별 유기 발광 소자(OLED)의 음극에 연결하기 위해서 제1 연결 라인(CL1)과 같은 연결 라인은 필요하지 않을 수 있다. 구체적으로 기판 전체에 형성된 음극은 소정의 컨택홀을 통해서 저전위 라인(VSS)과 연결된다.
- [0065] 이때 고전위 라인(VDD)의 폭과 저전위 라인(VSS)의 폭은 데이터 라인(DL1, DL2, DL3)의 폭과 기준 라인(Ref)의 폭보다 크게 형성될 수 있다.
- [0066] 데이터 라인(DL1, DL2, DL3)은 세로 방향을 배열될 수 있다. 이때 데이터 라인(DL1, DL2, DL3)은 고전위 라인(VDD)과 저전위 라인(VSS)사이에 형성될 수 있다. 이때 데이터 라인(DL1, DL2, DL3)은 제1 데이터 라인(DL1), 제2 데이터 라인(DL2) 및 제3 데이터 라인(DL3)을 포함하여 이루어질 수 있다.
- [0067] 제1 데이터 라인(DL1)은 좌측으로 고전위 라인(VDD)과 마주하고 있고, 우측으로 또 다른 데이터 라인(DL2) 마주하고 있다. 이때 제1 데이터 라인(DL1)과 고전위 라인(VDD)은 서로 소정의 간격을 두고 멀게 이격되어 있지만, 제1 데이터 라인(DL1)과 제2 데이터 라인(DL2)은 서로 가깝게 인접되어 있다.
- [0068] 구체적으로, 제1 데이터 라인(DL1)과 고전위 라인(VDD) 사이에는 스위칭 박막 트랜지스터(T1), 구동 박막 트랜지스터(T2), 센싱 박막 트랜지스터(T3) 및 커패시터(C) 등과 같은 회로 소자를 구비한 제1 회로 소자열(C1)이 형성되어 있지만, 제1 데이터 라인(DL1)과 제2 데이터 라인(DL2) 사이에는 회로 소자를 구비한 회로 소자열이 형성되어 있지 않을 수 있다.
- [0069] 제2 데이터 라인(DL2)은 좌측으로 제1 데이터 라인(DL1)과 인접하고 있으나, 우측으로는 기준 라인(Ref)과는 이격되어 있다. 이때 제2 데이터 라인(DL)과 기준 라인(Ref) 사이에는 제2 회로 소자열(C2)이 형성되어 있다.
- [0070] 제3 데이터 라인(DL3)은 제3 회로 소자열(C3)을 사이에 두고 좌측으로 제2 데이터 라인(DL2)과 이격되어 있다. 이때 제3 데이터 라인(DL3)은 우측으로 저전위 라인(VSS)와 인접하고 있다.
- [0071] 이와 같이 각각의 데이터 라인(DL1, DL2, DL3)은 각각의 회로 소자열(C1, C2, C3)에 구비된 스위칭 박막 트랜지스터(T1)의 소스 단자에 데이터 전압을 공급할 수 있다.
- [0072] 기준 라인(Ref)은 고전위 라인(VDD)와 저전위 라인(VSS) 사이에서 배치되어 세로 방향으로 연장되게 배치될 수 있다. 이때 기준 라인(Ref)은 좌측 및 우측에 배치된 제2 회로 소자열(C2) 및 제3 회로 소자열(C3) 사이에 배치될 수 있다. 따라서 기준 라인(Ref)은 좌측으로는 제2 데이터 라인(DL2)과 이격될 수 있고, 우측으로는 제3 데이터 라인(DL3)과 이격될 수 있다.
- [0073] 기준 라인(Ref)은 각각의 회로 소자열(C1, C2, C3)에 구비된 센싱 박막 트랜지스터(T3)의 드레인 단자와 연결될 수 있다.
- [0074] 본 발명의 일 실시예에 따르면, 하나의 기준 라인(Ref)이 각각의 회로 소자열(C1, C2, C3)에 각각 구비된 센싱 박막 트랜지스터(T3)의 드레인 단자에 연결될 수 있다. 따라서 하나의 기준 라인(Ref)을 각각의 센싱 박막 트랜지스터(T3)의 드레인 단자와 연결하기 위해서 제2 연결 라인(CL2)이 형성되어 있다.
- [0075] 상기 제2 연결 라인(CL2)은 하나의 기준 라인(Ref)에서 각각의 소자열을 가로질러 가로 방향으로 연장되어 있다. 따라서 상기 제2 연결 라인(CL2)은 기준 라인(Ref)과 연결될 수 있고, 각각의 회로 소자열(C1, C2, C3)에 구비된 센싱 박막 트랜지스터(T3)의 드레인 단자와도 연결될 수 있다.
- [0076] 고전위 라인(VDD), 저전위 라인(VSS), 데이터 라인(DL1, DL2, DL3) 및 기준 라인(Ref)은 서로 동일한 층에서 동일한 물질로 이루어질 수 있다. 또한 고전위 라인(VDD), 저전위 라인(VSS), 데이터 라인(DL1, DL2, DL3) 및 기준 라인(Ref)은 동일한 공정에서 형성될 수 있다. 구체적으로 고전위 라인(VDD), 저전위 라인(VSS), 데이터 라인(DL1, DL2, DL3) 및 기준 라인(Ref)은 도전 물질로 형성될 수 있다. 이때 상기 도전 물질은 게이트 물질과 동일한 물질일 수도 있다.
- [0077] 제1 연결 라인(CL1) 및 제2 연결 라인(CL2)는 서로 동일한 층에서 동일한 물질로 이루어질 수 있다. 또한 제1 연결 라인(CL1) 및 제2 연결 라인(CL2)는 게이트 라인(GL) 및 센싱 제어 라인(SGL)과 동일한 층에서 동일한 공정에 형성될 수 있다. 구체적으로 제1 연결 라인(CL1) 및 제2 연결 라인(CL2)는 게이트 물질로 형성될 수 있다. 예를 들어, 제1 연결 라인(CL1) 및 제2 연결 라인(CL2)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티

타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나 또는 이들의 합금으로 이루어질 수 있으나, 이에 한정되지 않으며, 다양한 물질로 동일 공정에서 형성될 수 있다. 또한, 제1 연결 라인(CL1) 및 제2 연결 라인(CL2)은 단일층 또는 다중층일 수도 있다.

- [0078] 스위칭 박막 트랜지스터(T1), 구동 박막 트랜지스터(T2), 센싱 박막 트랜지스터(T3) 및 커패시터(C)는 각각의 회로 소자열(C1, C2, C3)에 구비될 수 있다.
- [0079] 스위칭 박막 트랜지스터(T1)는 게이트 라인(GL)에 공급되는 게이트 신호에 따라 스위칭되어 각각의 회로 소자열(C1, C2, C3)에 대응하는 데이터 라인(DL1, DL2, DL3)으로부터 공급되는 데이터 전압을 구동 박막 트랜지스터(T2)에 공급한다.
- [0080] 구동 박막 트랜지스터(T2)는 스위칭 박막 트랜지스터(T1)로부터 공급되는 데이터 전압에 따라 스위칭되어 고전원 라인(VDD)에서 공급되는 고전원으로부터 데이터 전류를 생성하여 유기 발광 소자(OLED)에 공급할 수 있다.
- [0081] 센싱 박막 트랜지스터(T3)는 화질 저하의 원인이 되는 구동 박막 트랜지스터(T2)의 문턱 전압 편차를 센싱하기 위한 것이다. 이와 같은 문턱 전압 편차의 센싱은 센싱 모드에서 수행할 수 있다. 이와 같은 센싱 박막 트랜지스터(T3)는 센싱 제어 라인(SCL)에서 공급되는 센싱 제어 신호에 응답하여 구동 박막 트랜지스터(T2)의 전압을 기준 라인(Ref)으로 공급할 수 있다.
- [0082] 커패시터(C)는 구동 박막 트랜지스터(T2)에 공급되는 데이터 전압을 한 프레임동안 유지시키는 것으로서, 구동 박막 트랜지스터(T2)의 게이트 단자 및 소스 단자에 각각 연결될 수 있다.
- [0083] 유기 발광 소자(OLED)는 구동 박막 트랜지스터(T2)에서 공급되는 데이터 전류에 따라 소정의 광을 발광할 수 있다. 유기 발광 소자(OLED)는 애노드와 캐소드 및 상기 애노드와 캐소드 사이에 구비된 유기 발광층을 포함하여 이루어질 수 있다.
- [0084] 상기 유기 발광 소자(OLED)의 애노드는 구동 박막 트랜지스터(T2)의 소스 단자에 연결되고, 유기 발광 소자(OLED)의 캐소드는 저전원 라인(VSS)에 연결될 수 있다.
- [0085] 도면에는 편의상 유기 발광 소자(OLED)를 각각의 회로 소자열(C1, C2, C3)에 도시하였지만, 일부의 유기 발광 소자(OLED)는 고전원 라인(VDD)과 중첩되거나, 저전원 라인(VSS)과 중첩되도록 형성될 수 있다, 또한, 일부의 유기 발광 소자(OLED)는 서로 이웃하는 복수의 회로 소자열(C1, C2, C3)에 동시에 중첩되도록 형성될 수 있다.
- [0086] 고전위 라인(VDD)과 제1 데이터 라인(DL1) 사이에는 제1 회로 소자열(C1)이 위치할 수 있다. 이때 제1 회로 소자열(C1)은 스위칭 박막 트랜지스터(T1), 구동 박막 트랜지스터(T2) 및 센싱 박막 트랜지스터(T3)가 구비할 수 있다.
- [0087] 제1 회로 소자열(C1)에 구비된 스위칭 박막 트랜지스터(T1)는 제1 게이트 전극(G1), 제1 소스 전극(S1), 제1 드레인 전극(D1) 및 제1 액티브 층(A1)을 포함하여 이루어질 수 있다.
- [0088] 제1 게이트 전극(G1)은 게이트 라인(GL)의 일 부분으로 이루어질 수 있지만, 반드시 그에 한정되는 것은 아니고 게이트 라인(GL)에서 분기된 구조로 이루어질 수도 있다.
- [0089] 제1 소스 전극(S1)은 제1 데이터 라인(DL1)에서 분기된 구조로 이루어질 수 있다.
- [0090] 제1 드레인 전극(D1)은 제1 액티브 층(A1)의 상부에 위치하는 게이트 물질로 이루어질 수 있다. 구체적으로, 제1 드레인 전극(D1)은 구동 박막 트랜지스터(T2)의 제2 게이트 전극(G2)이 수직 방향으로 연장되어, 일 부분이 분기된 구조이다. 따라서 제2 게이트 전극(G2)이 연장되어 분기된 일 부분인 게이트 물질은 스위칭 박막 트랜지스터(T1)의 제1 액티브 층(A1)과 전기적으로 연결되어 제1 드레인 전극(D1)의 역할을 할 수 있다.
- [0091] 이때 제1 소스 전극(S1) 및 제1 드레인 전극(D1)은 제1 액티브 층(A1)과 개별 컨택홀을 통해서 각각 전기적으로 연결될 수도 있고, 직접 접촉을 통해서 각각 전기적으로 연결되어, 전자 이동 채널로 기능을 할 수 있다.
- [0092] 제1 회로 소자열(C1)에 구비된 구동 박막 트랜지스터(T2)는 제2 게이트 전극(G2), 제2 소스 전극(S2), 제2 드레인 전극(D2) 및 제2 액티브 층(A2)을 포함하여 이루어질 수 있다.
- [0093] 제2 게이트 전극(G2)은 전술한 바와 같이 수직 방향으로 연장되어 분기된 일 부분이 스위칭 박막 트랜지스터(T1)의 제1 드레인 전극(D1) 역할을 할 수 있으므로, 스위칭 박막 트랜지스터(T1)과 전기적으로 연결될 수 있다. 이때 제2 게이트 전극(G2)은 제1 게이트 전극(G1)과 동일한 층에 형성될 수 있다.
- [0094] 즉, 스위칭 박막 트랜지스터(T1)의 제1 드레인 전극(D1)과 구동 박막 트랜지스터(T2)의 제2 게이트 전극(G2)는

게이트 물질로 일체(one body)로 형성될 수 있다.

- [0095] 제2 드레인 전극(D2)은 제1 연결 라인(CL1)의 일 부분이 분기된 구조로 이루어 질 수 있다. 이때 제1 연결 라인(CL1)은 콘택홀을 통해서 하나의 고전위 라인(VDD)에 전기적으로 연결된다. 제1 연결 라인(CL1)은 세로 방향으로 연장된 고전위 라인(VDD)과 교차하여 각각의 회로 소자열(C1, C2, C3)을 가로질러 가로 방향으로 연장될 수 있다. 따라서 제1 연결 라인(CL1)의 분기된 일 부분은 구동 박막 트랜지스터(T2)의 제2 액티브 층(A2)과 전기적으로 연결되어 제2 드레인 전극(D1)의 역할을 할 수 있다.
- [0096] 제2 소스 전극(S2)은 제2 액티브 층(A2) 하부에 위치하는 차광 패턴(LS)의 일 부분으로 이루어 질 수 있다. 따라서 차광 패턴(LS)의 일 부분인 제2 소스 전극(S2)은 제2 액티브 층(A2)과 접촉될 수 있다. 이때 차광 패턴(LS)은 비교적 넓은 면적을 가지도록 구비되어 커패시턴스(C)의 용량을 향상시킬 수 있다.
- [0097] 차광 패턴(LS)은 구동 박막 트랜지스터(T2)의 제2 액티브층(A2)으로 광이 입사되는 것을 차단하는 역할을 한다. 따라서 차광 패턴(LS)은 제2 액티브층(A2)보다 넓은 면적을 가지면서 제2 액티브층(A2)과 오버랩 되도록, 제2 액티브층(A2)의 하부에 위치할 수 있다.
- [0098] 이때, 차광 패턴(LS)은 일 부분이 분기된 구조를 구비할 있다. 상기 차광 패턴(LS)의 분기된 일 부분은 콘택홀을 통해서 유기 발광 소자의 애노드와 연결될 수 있다. 이때 유기 발광 소자의 애노드와 연결될 수 있는 콘택홀의 위치는 적절히 변경될 수 있다.
- [0099] 또한 차광 패턴(LS)의 또 다른 일 부분은 분기되어 센싱 박막 트랜지스터(T3)의 액티브(A3)와 전기적으로 연결될 수 있다. 이때 센싱 박막 트랜지스터(T3)의 액티브와 연결된 차광 패턴(LS)의 또 다른 일 부분은 센싱 박막 트랜지스터(T3)의 제3 소스 전극(S3)의 역할을 할 수 있다.
- [0100] 즉 구동 박막 트랜지스터(T2)의 제2 소스 전극(S2)과 센싱 박막 트랜지스터(T3)의 제3 소스 전극(S3)은 차광 패턴(LS)으로 일체(one body)로 형성될 수 있다.
- [0101] 이때 제2 소스 전극(S2) 및 제2 드레인 전극(D2)는 제2 액티브 층(A2)과 개별 콘택홀을 통해서 각각 전기적으로 연결될 수도 있고, 직접 접촉을 통해서 각각 전기적으로 연결되어, 전자 이동 채널로 기능을 할 수 있다. 제2 액티브 층(A2)는 제1 액티브 층(A1)과 동일한 층에 위치할 수 있으며, 동일한 물질로 이루어질 수 있다.
- [0102] 제1 회로 소자열(C1)에 구비된 센싱 박막 트랜지스터(T3)는 제3 게이트 전극(G3), 제3 소스 전극(S3), 제3 드레인 전극(D3) 및 제3 액티브 층(A3)을 포함하여 이루어질 수 있다.
- [0103] 제3 게이트 전극(G3)은 센싱 제어 라인(SCL)의 일 부분으로 이루어질 수 있지만 반드시 그에 한정되는 것은 아니고, 센싱 제어 라인(SCL)에서 분기된 구조로 이루어질 수도 있다.
- [0104] 센싱 박막 트랜지스터(T3)의 제3 소스 전극(S3)는 전술한 바와 같이, 구동 박막 트랜지스터(T2)의 제2 소스 전극(S2)과 일체(one body)로 이루어질 수 있다. 즉, 제3 소스 전극(S3)는 차광 패턴(LS)의 상기 또 다른 일 부분이 분기되어 센싱 박막 트랜지스터(T3)의 액티브(A3)와 전기적으로 연결된 부분일 수 있다.
- [0105] 제3 드레인 전극(D3)은 제2 연결 라인(CL2)의 일 부분이 분기된 구조로 이루어 질 수 있다. 이때 제2 연결 라인(CL2)는 콘택홀을 통해서 하나의 기준 라인(Ref)에 전기적으로 연결된다. 제2 연결 라인(CL2)는 세로 방향으로 연장된 기준 라인(Ref)과 교차하여 가로 방향으로 연장될 수 있다. 따라서 제2 연결 라인(CL2)의 분기된 일 부분은 센싱 박막 트랜지스터(T3)의 제3 액티브 층(A3)과 전기적으로 연결되어 제3 드레인 전극(D3)의 역할을 할 수 있다. 이때 제2 연결 라인(CL2)은 제3 게이트 전극(G3)과 동일한 층에 위치할 수 있으며, 동일한 물질로 이루어질 수 있다.
- [0106] 이때 제3 소스 전극(S3) 및 제3 드레인 전극(D3)는 제3 액티브 층(A3)과 개별 콘택홀을 통해서 각각 전기적으로 연결될 수도 있고, 직접 접촉을 통해서 각각 전기적으로 연결되어, 전자 이동 채널로 기능을 할 수 있다. 제3 액티브 층(A3)은 제1 액티브 층(A1)과 동일한 층에 위치할 수 있으며, 동일한 물질로 이루어질 수 있다.
- [0107] 제2 데이터 라인(DL2)과 기준 라인(Ref) 사이에는 제2 회로 소자열(C2)이 구비될 수 있고, 제2 회로 소자열(C2)에는 스위칭 박막 트랜지스터(T1), 구동 박막 트랜지스터(T2) 및 센싱 박막 트랜지스터(T3)가 구비될 수 있다.
- [0108] 제2 회로 소자열(C2)에 구비된 스위칭 박막 트랜지스터(T1)는 제1 소스 전극(S1)이 제2 데이터 라인(DL2)에서 분기된 것을 제외하고는 전술한 제1 소자열(C1)에 구비된 스위칭 박막 트랜지스터(T1)와 전기적으로 연결 구성이 동일하다.

- [0109] 제2 회로 소자열(C2)에 구비된 구동 박막 트랜지스터(T2) 및 센싱 박막 트랜지스터(T3)은 전술한 제1 회로 소자열(C1)에 구비된 구동 박막 트랜지스터(T2) 및 센싱 박막 트랜지스터(T3)와 전기적 연결 구성이 동일하다.
- [0110] 또한, 제2 회로 소자열(C2)에도 제1 회로 소자열(C1)에서와 동일한 차광 패턴(LS)이 형성되어 있다.
- [0111] 기준 라인(Ref)과 제3 데이터 라인(DL3) 사이에는 제3 회로 소자열(C3)이 마련되어 있고, 상기 제3 회로 소자열(C3)에는 스위칭 박막 트랜지스터(T1), 구동 박막 트랜지스터(T2) 및 센싱 박막 트랜지스터(T3)가 구비될 수 있다.
- [0112] 제3 회로 소자열(C3)에 구비된 스위칭 박막 트랜지스터(T1)는 제1 소스 전극(S1)이 제3 데이터 라인(DL3)에서 분기된 것을 제외하고는 전술한 제1 회로 소자열(C1)에 구비된 스위칭 박막 트랜지스터(T1)와 전기적으로 연결 구성이 동일하다.
- [0113] 제3 회로 소자열(C3)에 구비된 구동 박막 트랜지스터(T2) 및 센싱 박막 트랜지스터(T3)은 전술한 제1 회로 소자열(C1)에 구비된 구동 박막 트랜지스터(T2) 및 센싱 박막 트랜지스터(T3)와 전기적 연결 구성이 동일하다.
- [0114] 또한, 제3 회로 소자열(C3)에도 제1 회로 소자열(C1)에서와 동일한 차광 패턴이 형성되어 있다.
- [0115] 도 3은 본 발명의 일 실시예에 따른 유기 발광 표시 장치에서 복수의 발광 영역이 배치되는 모습을 보여주는 평면도이다.
- [0116] 도 3에 도시된 바와 같이, 제1 발광 영역(E11)은 제1 회로 소자열(C1)과 중첩되도록 형성될 수 있다. 구체적으로 제1 발광 영역(E11)은 제1 회로 소자열(C1)의 스위칭 박막 트랜지스터(T1), 센싱 박막 트랜지스터(T2) 및 구동 박막 트랜지스터(T3)와 중첩되도록 형성될 수 있다.
- [0117] 제1 발광 영역(E11)은 유기 발광 소자의 애노드로 기능하는 제1 전극(117)과 중첩된다. 제1 발광 영역(E11)에 중첩된 제1 전극(117)은 제1 발광 영역(E11)보다 넓은 면적을 가지도록 형성되어 있다.
- [0118] 제1 발광 영역(E11)과 중첩된 제1 전극(117)은 제1 회로 소자열(C1)과 중첩될 수 있으며, 고전위 라인(VDD)의 일 부분과 중첩될 수도 있다. 또한, 제1 발광 영역(E11)과 중첩된 제1 전극(117)은 제1 콘택홀(CH1)을 통해서 제1 회로 소자열(C1)내에 구비된 구동 박막 트랜지스터(T2)의 제2 소스 전극(S2)과 연결될 수 있다.
- [0119] 제2 발광 영역(E21)은 제2 회로 소자열(C2)와 중첩되도록 형성된다. 구체적으로 제2 발광 영역(E21)은 제2 회로 소자열(C2)의 스위칭 박막 트랜지스터(T1), 센싱 박막 트랜지스터(T2) 및 구동 박막 트랜지스터(T3)와 중첩되도록 형성될 수 있다.
- [0120] 제2 발광 영역(E21)은 유기 발광 소자의 애노드로 기능하는 제1 전극(127)과 중첩된다. 제1 발광 영역(E11)에 중첩된 제1 전극(127)은 제2 발광 영역(E21)보다 넓은 면적을 가지도록 형성되어 있다.
- [0121] 제2 발광 영역(E21)에 중첩된 제1 전극(127)은 제2 회로 소자열(C2)과 중첩됨과 더불어 제2 데이터 라인(DL2) 및 기준 라인(Ref)과도 중첩될 수 있다. 또한, 제2 발광 영역(E21)에 중첩된 제1 전극(127)은 제2 콘택홀(CH2)을 통해서 제2 회로 소자열(C2) 내에 구비된 구동 박막 트랜지스터(T2)의 제2 소스 전극(S2)과 연결될 수 있다.
- [0122] 제3 발광 영역(E31)은 제3 회로 소자열(C3)과 중첩되도록 형성된다. 구체적으로 제3 발광 영역(E31)은 제3 회로 소자열(C3)의 스위칭 박막 트랜지스터(T1), 센싱 박막 트랜지스터(T2) 및 구동 박막 트랜지스터(T3)와 중첩되도록 형성될 수 있다.
- [0123] 제3 발광 영역(E31)은 유기 발광 소자의 애노드로 기능을 하는 제1 전극(137)과 중첩된다. 제3 발광 영역(E31)에 중첩된 제1 전극(137)은 제3 발광 영역(E31)보다 넓은 면적을 가지도록 형성되어 있다.
- [0124] 제3 발광 영역(E31)에 중첩된 제1 전극(137)은 제3 회로 소자열(C3)과 중첩됨과 더불어, 제3 데이터 라인(DL3) 및 저전위 라인(VSS)의 일 부분과도 중첩될 수 있다. 또한 제3 발광 영역(E31)에 중첩된 제1 전극(137)은 제3 콘택홀(CH3)을 통해서 제3 소자열(C3) 내에 구비된 구동 박막 트랜지스터(T3)의 제2 소스 전극(S2)과 연결될 수 있다.
- [0125] 이와 같이 제1 발광 영역(E11)은 제1 회로 소자열(C1)에 구비된 회로 소자에 의해서 발광이 제어되고, 제2 발광 영역(E22)은 제2 회로 소자열(C2)에 구비된 회로 소자에 의해서 발광이 제어되고, 제3 발광 영역(E31)은 제3 회로 소자열(C3)에 구비된 회로 소자에 의해서 발광이 제어될 수 있다.
- [0126] 이때 제1 발광 영역(E11), 제2 발광 영역(E21) 및 제3 발광 영역(E31)은 각각의 전극(117, 127, 137) 상에 위

치하는 बैं크(119)에 의해 정의될 수 있다.

- [0127] बैं크(119)는 각각의 전극(117, 127, 137)의 일 부분을 덮으면서 각각의 발광 영역(E11, E21, E31)의 경계 영역을 형성하여 발광 영역의 면적을 결정할 수 있다. 즉, 각각의 전극(117, 127, 137) 상에 बैं크(119)가 형성되지 않은 개구부가 발광 영역이 될 수 있다. 이때 बैं크(119)는 일체로 구비될 수 있으며, 매트릭스 구조로 구비될 수 있다. 이에 따라 बैं크(119)는 제1 콘택홀(CH1), 제2 콘택홀(CH2) 및 제3 콘택홀(CH3)과 중첩되도록 구비될 수 있다.
- [0128] 유기 발광층은 बैं크(119)에 의해 정의된 발광 영역에 형성될 수 있다. 구체적으로 유기 발광층은, बैं크(119)에 의해 정의된 제1 발광 영역(E11), 제2 발광 영역(E21) 및 제3 발광 영역(E31)에 형성될 수 있다. 이때 유기 발광층은 बैं크(119)의 개구부에 대응하는 각각의 전극(117, 127, 137) 상에 구비될 수 있다.
- [0129] 이때 제1 발광 영역(E11)에 형성된 유기 발광층은 적색(R)의 광을 발광하도록 구비될 수 있다. 또한, 제2 발광 영역(E21)에 형성된 유기 발광층은 녹색(G)의 광을 발광하도록 구비될 수 있다. 또한 제3 발광 영역(E31)에 형성된 유기 발광층은 청색(B)의 광을 발광하도록 구비될 수 있다. 이때 유기 발광층의 하부에 위치하는 각각의 회로 소자열(C1, C2, C3)은 절연층 또는 평탄화층을 구비하여, 단차가 최소화된 구조로 구비될 수 있다. 따라서 각각의 전극(117, 127, 137) 상에 위치하는 유기 발광층은 각각의 발광 영역(E11, E21, E31) 내에서 균일한 프로파일을 갖도록 형성되어 균일한 발광이 일어날 수 있다.
- [0130] 도 4는 도 3의 A-A' 라인의 단면에 해당하는 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 개략적인 단면도이다.
- [0131] 도 4에 도시된 바와 같이, 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 기관(101), 회로 소자층(C), 제1 전극(117), बैं크(119), 유기 발광층(121) 및 제2 전극(123)을 포함하여 이루어진다.
- [0132] 이때 회로 소자층(C)은 도 2 및 도 3에 도시된 회로 소자열(C1, C2, C3) 중 제1 소자열(C1)의 구동 박막 트랜지스터(T2)를 예를 들어, 설명하나 회로 소자층의 구조는 이에 제한되지 않으며, 각각의 회로 소자열(C1, C2, C3)에서 구비되는 박막 트랜지스터들(T1, T2, T3)에 따라 변경될 수 있다.
- [0133] 회로 소자층(C)은 기관(101) 상에 형성되어 있다. 회로 소자층(C)은 차광 패턴(103), 버퍼층(105), 박막 트랜지스터(T), 패시베이션층(113) 및 평탄화층(115)을 포함하여 이루어질 수 있다.
- [0134] 차광 패턴(103)은 기관(101) 상에 형성되어 있다. 이때 차광 패턴(103)은 박막 트랜지스터(T)의 하부에 위치하여 박막 트랜지스터(T)가 구비한 액티브층(107)보다 넓은 폭을 가지도록 구비될 수 있다. 박막 트랜지스터(T)의 하부에 위치한 차광 패턴(103)은 박막 트랜지스터(T)의 액티브층(107)으로 광이 입사되는 것을 차단하는 역할을 할 수 있다. 또한 차광 패턴(103)은 외부로부터 유입되는 수분으로부터 액티브 층(107)을 보호하여, 액티브 층(107)의 소자 특성(예: 문턱 전압 등)이 변동되는 것을 억제할 수 있다. 따라서 차광 패턴(103)은 픽셀 간 휘도 불균형(얼룩, 잔상으로 나타남)을 최소화할 수 있다.
- [0135] 차광 패턴(103)은 도전 물질로 이루어질 수 있다. 이때 차광 패턴(103)은 게이트 전극(111)과 동일한 물질로 형성될 수 있다. 즉, 차광 패턴(103)은 금속으로 형성되어 전기적 연결이 가능하다.
- [0136] 차광 패턴(103)은 액티브층(107)과 전기적으로 연결될 수 있다. 따라서 되어 별도의 소스 전극 또는 드레인 전극 없이, 차광 패턴(103)이 소스 전극 또는 드레인 전극 역할을 할 수 있다. 또한 차광 패턴(103)은 제1 전극(117)과 전기적으로 연결될 수 있다. 이에 따라 차광 패턴(103)을 통해서 제1 전극(117)에 신호를 공급할 수 있다.
- [0137] 또한, 차광 패턴(103)은 기관(101)의 일 측에 패드의 일 부분으로서 배치될 수 있다.
- [0138] 구체적으로, 패드는 차광 패턴(103)의 일 부분이 차광 패턴 물질(104) 및 상기 차광 패턴 물질 (104) 상에 배치된 게이트 물질(112)로 구성될 수 있다. 이때 상기 차광 패턴 물질(104) 상에 배치된 게이트 물질(112)은 외부 모듈, 예를 들어, FPCB(flexible printed circuit board), COF(chip on film) 등이 본딩되는(bonded) 금속 패턴일 수 있다.
- [0139] 패드를 구성하는 차광 패턴 물질(104)은 외부 모듈로부터의 신호를 회로 소자층(C)에 전달할 수 있다. 예를 들어, 패드를 구성하는 차광 패턴 물질(104)은 데이터 신호, 고전위 신호, 저전위 신호, 기준 신호 등과 같은 다양한 신호를 전달할 수 있다.
- [0140] 버퍼층(105)은 차광 패턴(103) 상에 위치한다. 이때 버퍼층(105)은 차광 패턴(103)과 박막 트랜지스터(T)의 액

티브층(107)을 절연시킨다. 이때 버퍼층(105)은 컨택홀을 구비할 수 있다. 버퍼층(105)이 구비한 컨택홀을 통해서 액티브층(107)의 일 부분과 차광 패턴(103)의 일 부분은 전기적으로 연결될 수 있다. 상기 버퍼층(105)이 구비한 컨택홀을 통해 연결된 차광 패턴(103)은 소스 전극 또는 드레인 전극 역할을 할 수 있다.

- [0141] 이때 버퍼층(105)은 복수 개의 층으로 구비될 수 있다. 복수 개의 층으로 구비된 버퍼층(105)은 질화실리콘(SiNx) 및 산화실리콘(SiOx)이 교대로 적층되어 이루어질 수 있으며, 기판(101)을 통해서 박막 트랜지스터(T)의 액티브층(107)에 수분 및/또는 산소가 침투하는 것을 방지할 수 있다. 이때 복수 개의 층으로 구비되는 버퍼층(105)은 기판(101) 상에 구비되는 물질이나 그 위에 형성되는 층의 종류에 따라 더 배치되거나 제거될 수 있다.
- [0142] 박막 트랜지스터(T)는 버퍼층(105) 상에 위치하는 액티브층(107), 상기 액티브층(107) 상에 위치하는 게이트 절연막(109), 게이트 절연막(109) 상에 위치하는 게이트 전극(111), 상기 액티브층(107)과 전기적으로 연결되는 게이트 물질(112)을 포함하여 이루어질 수 있다.
- [0143] 액티브층(107)은 버퍼층(105)상에 위치한다. 이때 액티브층(107)은 차광 패턴(103)의 폭보다 작게 형성될 수 있으나, 이에 한정되지는 않는다. 액티브층(107)은 다결정 실리콘(polycrystalline silicon)으로 만들어질 수 있으며, 이 경우 소정의 영역이 불순물로 도핑될 수도 있다. 또한, 액티브층(107)은 비정질 실리콘(amorphous silicon), 유기 반도체 물질 또는 산화물(oxide)로 형성될 수 있다.
- [0144] 게이트 절연막(109)은 액티브층(107) 상에 위치할 수 있다. 게이트 절연층(109)은 게이트 전극(111)과 액티브층(107) 사이를 절연한다. 이때 게이트 절연막(109)은 실리콘 산화물(SiOx) 또는 실리콘 질화물(SiNx) 등과 같은 절연성 무기물로 형성될 수 있으며, 이외에도 절연성 유기물 등으로 형성될 수도 있다.
- [0145] 게이트 전극(111)은 게이트 절연막(109) 상에 위치할 수 있다. 게이트 전극(111)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu) 중 어느 하나 또는 이들의 합금으로 이루어질 수 있으나, 이에 한정되지 않으며, 다양한 물질로 형성될 수 있다. 또한, 게이트 전극(111)은 단일 층 또는 다중층일 수도 있다. .
- [0146] 게이트 물질(112)은 액티브층(107) 상에 위치할 수 있다. 이때 게이트 물질(112)은 액티브층(107)과 전기적으로 연결될 수 있는 도전 물질이다. 따라서 게이트 물질(112)은 연결 전극으로 사용되어 별도의 소스 전극 또는 드레인 전극 없이, 게이트 물질(112)이 소스 전극 또는 드레인 전극 역할을 할 수 있다. 이때 게이트 물질(112)은 게이트 전극(111)과 동일한 물질로 형성될 수 있으며, 동일한 공정에서 형성될 수 있다.
- [0147] 패시베이션층(또는 절연막)(113)은 박막 트랜지스터(T) 상에 위치한다. 이때 패시베이션층(113)은 박막 트랜지스터(T)를 덮어서 보호한다.
- [0148] 평탄화층(115)은 패시베이션층(113) 상에 위치한다. 평탄화층(115)은 박막트랜지스터를 보호하고 그 상부를 평평하게 한다. 평탄화층(115)은, 아크릴계 수지(polyacrylates resin), 에폭시 수지(epoxy resin), 페놀 수지(phenolic resin), 폴리아미드계 수지(polyamides resin), 폴리이미드계 수지(polyimides resin), 불포화 폴리에스테르계 수지(unsaturated polyesters resin), 폴리페닐렌계 수지(poly-phenylenethers resin), 폴리페닐렌 설파이드계 수지(polyphenylenesulfides resin) 및 벤조사이클로부텐(benzocyclobutene) 중 하나 이상의 물질로 형성될 수 있으나, 이에 한정되지 않는다. 평탄화층(115)은 단층으로 형성되거나 이중 혹은 다중 층으로 구성될 수도 있는 등 다양한 변형이 가능하다.
- [0149] 제1 전극(117)은 평탄화층(115)상에 위치한다. 제1 전극(117)은 평탄화층(115), 패시베이션층(113), 버퍼층(105)이 구비한 컨택홀(CH1)을 통해서 차광 패턴(103)의 연장된 일 부분과 전기적으로 연결될 수 있다. 이때 평탄화층(115), 패시베이션층(113) 및 버퍼층(105)의 상기 컨택홀(CH1)은 중첩될 수 있다.
- [0150] 제1 전극(117)은 유기 발광 표시 장치의 애노드(Anode)로서 기능을 할 수 있다. 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 상부 발광(Top-emission) 방식의 유기 발광 표시 장치 이므로, 제1 전극(117)은 반사율이 높은 불투명한 도전 물질로 만들어질 수 있다. 예를 들면, 제1 전극(117)은 은(Ag), 알루미늄(Al), 금(Au), 몰리브덴(Mo), 텅스텐(W), 크롬(Cr) 또는 이들의 합금(예: APC(Ag;Pb;Cu)) 등으로 형성될 수 있으나, 이에 한정되지는 않는다.
- [0151] बैं크(119)는 제1 전극(117) 상에 형성될 수 있다. बैं크(119)는 제1 전극(117)의 양 끝단을 가릴 수 있다. 또한 बैं크(119)는 상기 컨택홀(CH1)과 중첩되어 상기 컨택홀(CH1) 상에서 제1 전극(117)을 덮을 수 있다. 따라서 बैं크(119)에 의해 가려지지 않은 제1 전극(117)의 일 부분은 노출되어 개구부가 될 수 있다. 이에 따라 बैं크(119)에 의해 노출된 개구부가 발광 영역으로 정의될 수 있다.

- [0152]     뱅크(119)는 친수성을 가지는 유기 절연물로 이루어질 수 있다. 이 경우, 유기 발광층(121)이 뱅크(119)의 측면으로 잘 퍼지게 되어 발광 영역에서 균일하게 형성될 수 있다. 한편, 뱅크(119)의 전체가 친수성 성질을 가지게 되면, 발광 영역에 형성된 유기 발광층(121)이 뱅크(119)의 상면을 경유하여 이웃하는 다른 발광 영역으로 넘쳐 흘러가서 이웃하는 다른 유기 발광층과 섞일 수 있다. 따라서 하나의 유기 발광층(121)이 이웃하는 다른 유기 발광층과 섞이는 것을 방지하기 위해서 뱅크(119)의 상면은 소수성 성질을 가지도록 구비될 수 있다. 이를 위하여, 뱅크(119)는 친수성 성질을 가지는 유기 절연물에 불소(fluorine)와 같은 소수성 물질을 혼합한 용액을 도포한 후 포토리소그래피 공정을 통해서 패턴 형성될 수 있다. 상기 포토리소그래피 공정시 조사되는 광에 의해 상기 불소와 같은 소수성 물질이 뱅크(119)의 상부로 이동할 수 있고, 이에 따라 뱅크(119)의 상부는 소수성 성질을 가지게 될 수 있다. 소수성 성질을 가진 뱅크(119)의 상부 이외의 부분은 친수성 성질을 가지게 될 수 있다. 이 경우, 뱅크(119)의 상면은 소수성 성질을 가지게 되므로, 유기 발광층(121)이 뱅크(119)의 상면으로 퍼지는 정도가 억제될 수 있다. 따라서 하나의 유기 발광층(121)이 이웃하는 다른 유기 발광층과 섞임 문제가 최소화될 수 있다.
- [0153]     유기 발광층(121)은 뱅크(119)에 의해 노출된 개구부인 발광 영역에 형성될 수 있다. 이때 유기 발광층(121) 뱅크에 의해 덮히지 않은 제1 전극(117) 상에 위치할 수 있다. 또한 유기 발광층(121)은 제1 전극(171)의 양 끝단을 덮은 뱅크의 경사진 부분(또는 측면)을 일 부분을 덮을 수 있다.
- [0154]     유기 발광층(121)은 정공 주입층(HIL; Hole Injecting layer), 정공 수송층(HTL; Hole Transporting Layer), 발광 물질층(EML; Emitting Material Layer) 및 전자 수송층(ETL; Electron Transporting Layer)중 적어도 하나의 유기층을 포함하여 이루어질 수 있다.
- [0155]     유기 발광층(121)은 잉크젯 공정으로 마스크 없이 발광 영역에 형성될 수 있다. 이때 유기 발광층(121)을 위한 용액이 건조된 이후에 발광 영역의 중앙부의 유기 발광층의 상단의 높이가 발광 영역의 끝단부, 구체적으로 뱅크(119)와 접하는 발광 영역의 끝단부에서 발광 영역의 중앙부로 갈수록 유기 발광층의 높이가 낮아지는 형태의 프로파일(profile)이 얻어질 수 있다. 이에 따라, 유기 발광층(121) 상에 위치하는 제2 전극(123)도 상기 유기 발광층(121)의 프로파일에 대응하는 프로파일을 가지도록 형성될 수 있다.
- [0156]     유기 발광층(121) 상에는 제2 전극(123)이 형성될 수 있다. 제2 전극(123)은 유기 발광 표시 장치의 캐소드(Cathode)로 기능할 수 있다. 제2 전극(123)은 유기 발광층(121)뿐만 아니라 뱅크(119) 상에 형성되면서 복수의 화소 및 그들 사이의 경계에서 전체적으로 형성될 수 있다. 따라서, 제2 전극(123)은 복수의 화소에 공통된 전압을 인가하는 공통전극으로 기능할 수 있다. 본 발명의 일 실시예에 따른 유기 발광 표시 장치가 상부 발광(Top-emission) 방식의 유기 발광 표시 장치이므로, 제2 전극(123)은 유기 발광층(121)에서 발광된 광을 상부쪽으로 투과시키기 위해서 투명한 도전 물질로 이루어 지거나 투과도를 높이기 위해서 얇은 두께로 형성될 수 있다. 예를 들어, 제2 전극(123)은 인듐 틴 옥사이드(Indium Tin Oxide; ITO) 또는 인듐 징크 옥사이드(Indium Zinc Oxide; IZO) 등과 같은 투명한 도전 물질로 형성될 수 있으나, 이에 한정되지는 않는다.
- [0157]     구체적으로 도시하지는 않았지만, 제2 전극(123) 상에는 봉지층이 추가로 형성될 수 있다. 봉지층은 유기 발광층(121)으로 외부의 수분이 침투하는 것을 방지하는 역할을 한다. 이와 같은 봉지층은 무기 절연 물질로 이루어질 수도 있고, 무기 절연 물질과 유기 절연 물질이 교대로 적층된 구조로 이루어질 수 있지만, 반드시 이에 한정되는 것은 아니다.
- [0158]     도 5는 본 발명의 또 다른 실시예에 따른 유기 발광 표시 장치에서 복수의 발광 영역이 배치되는 모습을 보여주는 평면도이다. 도 5는 도 3과 비교하여, 뱅크의 구조 및 유기 발광층의 구조만 다를 뿐, 발광 영역 및 회로 소자열의 구조는 동일하므로, 중복 설명은 생략한다.
- [0159]     이때 제1 발광 영역(E13), 제2 발광 영역(E23) 및 제3 발광 영역(E33)은 각각의 전극(117, 127, 137) 상에 위치하는 제1 뱅크(219) 및 제2 뱅크(220)에 의해 정의될 수 있다.
- [0160]     제1 뱅크(219)는 각각의 전극(117, 127, 137)의 일 부분을 덮으면서 각각의 발광 영역(E13, E23, E33)의 경계 영역을 형성하여 발광 영역의 면적을 결정할 수 있다. 즉, 각각의 전극(117, 127, 137) 상에 제1 뱅크(219)가 형성되지 않은 개구부가 발광 영역이 될 수 있다. 이때 제1 뱅크(219)는 일체로 구비될 수 있으며, 매트릭스 구조로 구비될 수 있다. 이에 따라 제1 뱅크(219)는 제1 콘택홀(CH1), 제2 콘택홀(CH2) 및 제3 콘택홀(CH3)과 중첩되도록 구비될 수 있다.
- [0161]     제1 뱅크(219)상에는 제2 뱅크(220)가 위치할 수 있다. 이때 제2 뱅크(220)는 수직 방향으로 연장되어 선형 구조(Linear)로 구비될 수 있다. 따라서 제2 뱅크(220)는 수직 방향으로 배열된 발광 영역의 경계에는 구비되지

않고, 수평 방향으로 배열된 발광 영역의 경계에만 구비될 수 있다.

- [0162] 구체적으로, 제2 बैं크(220)는 제1 발광 영역(219) 좌측 영역에 대응하여, 고전위 라인(VDD)의 일 부분 상부에 위치할 수 있다. 또한, 제2 बैं크(220)는 제1 발광 영역(E13)과 제2 발광 영역(E23) 사이 영역에 대응하여, 제1 데이터 라인(DL1) 및 제2 데이터 라인(DL2) 상부에 위치할 수 있다. 또한 제2 बैं크(220)는 제2 발광 영역(E23)과 제3 발광 영역(E33) 사이에 대응하여, 기준 라인(Ref) 상부에 위치할 수 있다. 또한 제2 बैं크(220)는 제3 발광 영역(E33) 우측 영역에 대응하여, 저전위 라인(VSS)의 일 부분 상부에 위치할 수 있다. 이때 제2 बैं크(220)는 수직 방향으로 연결될 수 있다.
- [0163] 유기 발광층은 제1 बैं크(219) 및 제2 बैं크(220)에 의해 정의된 발광 영역에 형성될 수 있다. 구체적으로 유기 발광층은, 제1 बैं크(219) 및 제2 बैं크(220)에 의해 정의된 제1 발광 영역(E13), 제2 발광 영역(E23) 및 제3 발광 영역(E33)에 형성될 수 있다. 이때 유기 발광층은 제1 बैं크(219) 및 제2 बैं크(220)의 개구부에 대응하는 각각의 전극(117, 127, 137) 상에 구비될 수 있다.
- [0164] 이때 제1 발광 영역(E13)에 형성된 유기 발광층은 적색(R)의 광을 발광하도록 구비될 수 있다. 이때 제1 발광 영역(E13)에 형성된 유기 발광층은 수직 방향으로 구비될 수 있다. 구체적으로, 수직 방향으로 배열된 복수의 제1 발광 영역(E13)들은 유기 발광층이 연결되어 구비될 수 있다. 따라서 제1 발광 영역(E13)에 형성된 유기 발광층은 제1 बैं크(219)를 걸쳐서 인접한 또 다른 제1 발광 영역(E13)에도 형성될 수 있다. 즉, 적색(R)의 광을 발광하는 유기 발광층은 수직으로 연결될 수 있다. 이에 따라 제1 발광 영역(E13)에 형성된 유기 발광층은 제1 बैं크(219)의 일 부분을 덮을 수 있다.
- [0165] 또한, 제2 발광 영역(E21)에 형성된 유기 발광층은 녹색(G)의 광을 발광하도록 구비될 수 있다. 이때 제2 발광 영역(E23)에 형성된 유기 발광층은 수직 방향으로 구비될 수 있다. 구체적으로, 수직 방향으로 배열된 복수의 제2 발광 영역(E23)들은 유기 발광층이 연결되어 구비될 수 있다. 따라서 제2 발광 영역(E23)에 형성된 유기 발광층은 제1 बैं크(219)를 걸쳐서 인접한 또 다른 제2 발광 영역(E23)에도 형성될 수 있다. 즉, 녹색(G)의 광을 발광하는 유기 발광층은 수직으로 연결될 수 있다. 이에 따라 제2 발광 영역(E23)에 형성된 유기 발광층은 제1 बैं크(219)의 일 부분을 덮을 수 있다.
- [0166] 또한 제3 발광 영역(E31)에 형성된 유기 발광층은 청색(B)의 광을 발광하도록 구비될 수 있다. 이때 제3 발광 영역(E33)에 형성된 유기 발광층은 수직 방향으로 구비될 수 있다. 구체적으로, 수직 방향으로 배열된 복수의 제3 발광 영역(E33)들은 유기 발광층이 연결되어 구비될 수 있다. 따라서 제3 발광 영역(E33)에 형성된 유기 발광층은 제1 बैं크(219)를 걸쳐서 인접한 또 다른 제3 발광 영역(E33)에도 형성될 수 있다. 즉, 청색(B)의 광을 발광하는 유기 발광층은 수직으로 연결될 수 있다. 이에 따라 제3 발광 영역(E33)에 형성된 유기 발광층은 제1 बैं크(219)의 일 부분을 덮을 수 있다.
- [0167] 이때 유기 발광층의 하부에 위치하는 각각의 회로 소자열(C1, C2, C3)은 절연층 또는 평탄화층을 구비하여, 단차가 최소화된 구조로 구비될 수 있다. 따라서 각각의 전극(117, 127, 137) 상에 위치하는 유기 발광층은 각각의 발광 영역(E13, E23, E33) 내에서 균일한 프로파일을 갖도록 형성되어 균일한 발광이 일어날 수 있다.
- [0168] 또한, 유기 발광층은 수직 방향으로 인접한 발광 영역에 걸쳐서 형성되므로, 잉크젯 공정으로 과량의 유기 발광 물질을 각각의 발광 영역(E13, E23, E33)내에 공급하여도, 수직 방향으로 유기 발광 물질이 분산될 수 있다. 따라서, 유기 발광 물질은 인접한 발광 영역 간에 높이 차이가 최소화될 수 있다. 이에 따라 유기 발광층은 수직 방향으로 균일한 프로파일(profile)을 갖도록 형성될 수 있으므로, 균일한 발광이 일어날 수 있다.
- [0169] 도 6은 도 5의 B-B'라인의 단면에 해당하는 본 발명의 또 다른 실시예에 따른 유기 발광 표시 장치의 개략적인 단면도이다. 도 6은 도 4와 비교하여, बैं크의 구조, 유기 발광층 및 제2 전극의 구조만 다를 뿐, 나머지 구조는 동일하므로, 중복 설명은 생략한다.
- [0170] 제1 बैं크(219)는 제1 전극(117)상에 형성될 수 있다. 제1 बैं크(219)는 제1 전극(117)의 양 끝단을 가릴 수 있다. 또한 제1 बैं크(219)는 상기 컨택홀(CH1)과 중첩되어 상기 컨택홀(CH1) 상에서 제1 전극(117)을 덮을 수 있다. 따라서 제1 बैं크(219)에 의해 가려지지 않은 제1 전극(117)의 일 부분은 노출되어 개구부가 될 수 있다. 따라서 제1 बैं크(219)에 의해 노출된 개구부가 발광 영역으로 정의될 수 있다.
- [0171] 제2 बैं크(또는 보조 बैं크)(220)는 제1 बैं크(219) 상에 형성될 수 있다. 이때 제2 बैं크(220)는 제1 बैं크(219)보다 외측에 위치하면서, 상기 컨택홀(CH1)가 중첩되게 위치할 수 있다. 또한 제2 बैं크(220)는 수직 방향으로 배열된 발광 영역의 경계에 있는 제1 बैं크(219) 상에는 구비되지 않는다. 제2 बैं크(220)는 수평 방향으로 배열된

발광 영역의 경계에 있는 제1 बैं크(219) 상에 구비될 수 있다.

- [0172] 또한 제2 बैं크(220)는 최외각에 있는 발광 영역의 경계에 있는 제1 बैं크(219)의 일 부분 상에 위치할 수 있다. 구체적으로, 제2 बैं크(220)는 잉크젯 공정으로 형성되는 유기 발광층이(221) 제2 बैं크(220) 외각으로 흘러 넘치지 않도록 배치되어 한다. 따라서 제2 बैं크(220)는 최외각에 있는 발광 영역의 최외각에 있는 제1 बैं크(219) 상에 구비될 수 있다. 이때 상기 발광 영역의 최외각에 있는 제1 बैं크(219)는 패드를 구성하는 차광 패턴 물질(104) 및 게이트 물질(112)와 인접할 수 있다.
- [0173] 따라서 제1 बैं크(219) 및 제2 बैं크(220)에 의해 가려지지 않은 제1 전극(117)의 일 부분은 노출되어 개구부가 될 수 있다. 이때 제1 बैं크(219) 및 제2 बैं크(220)에 의해 노출된 개구부가 발광 영역으로 정의될 수 있다.
- [0174] 제1 बैं크(219)는 친수성을 가지는 유기 절연물로 이루어질 수 있다. 이 경우, 유기 발광층(221)이 제1 बैं크(219)의 측면으로 잘 퍼지게 되어 발광 영역에서 균일하게 형성될 수 있다.
- [0175] 제2 बैं크(220)는 수직 방향으로 배열된 동일한 색의 발광 영역간에는 유기 발광층(221)이 잘 퍼지게 되어, 수직 방향으로 배열된 발광 영역 간에는 유기 발광층(221)이 균일하게 형성될 수 있도록 구비되어야 한다. 또한 제2 बैं크(220)는 수평 방향으로 배열된 이종의 색의 발광 영역 간에는 유기 발광층(221)이 제2 बैं크(220)의 상면을 경유하여 이웃하는 다른 발광 영역으로 넘쳐 흘러가서 이웃하는 다른 유기 발광층과 섞이지 않도록 구비되어야 한다.
- [0176] 따라서 제2 बैं크(220)는 상기 두 가지 조건을 모두 충족시키기 위해, 소수성을 가지는 유기 절연물로 이루어질 수 있다. 이때 제2 बैं크(220)는 친수성 성질을 가지는 유기 절연물에 불소(fluorine)와 같은 소수성 물질을 혼합한 용액을 도포한 후 포토리소그래피 공정을 통해서 패턴 형성될 수 있다. 상기 포토리소그래피 공정시 조사되는 광에 의해 상기 불소와 같은 소수성 물질이 제2 बैं크(220)의 상부로 이동할 수 있고, 이에 따라 제2 बैं크(220)의 상부는 소수성 성질을 가지게 될 수 있다. 소수성 성질을 가진 제2 बैं크(220)의 상부 이외의 부분은 친수성 성질을 가질 수도 있다. 이 경우, 제2 बैं크(220)의 상면은 소수성 성질을 가지게 되므로, 유기 발광층(221)이 제2 बैं크(220)의 상면으로 퍼지는 정도가 억제할 수 있다.
- [0177] 또한 제2 बैं크(220)는 제1 बैं크(219)보다 높이가 높을 수 있다. 따라서 발광 영역에 잉크젯 공정으로 형성되는 유기 발광층(221)이 수평 방향으로 이웃하는 다른 발광 영역으로 넘쳐 흘러가는 정도를 억제할 수 있다. 따라서 유기 발광층이(221) 수평 방향으로 이웃하는 다른 유기 발광층과 섞이 문제를 최소화할 수 있다.
- [0178] 유기 발광층(221)은 제1 बैं크(219) 및 제2 बैं크(220)에 의해 노출된 개구부인 발광 영역에 형성될 수 있다. 구체적으로 유기 발광층(221)은 수직 방향으로 배열된 복수의 발광 영역들에 연결되도록 구비될 수 있다. 이때 유기 발광층(221)은 제1 बैं크(219) 및 제2 बैं크(220)에 의해 덮히지 않는 제1 전극(117) 상에 위치할 수 있다. 또한 유기 발광층(221)은 하나의 발광 영역과 수직 방향으로 인접한 또 다른 발광 영역 사이에 있는 제1 बैं크(219) 상에 형성될 수 있다. 또한 유기 발광층(221)은 제1 전극의 양 끝단을 덮는 제1 बैं크(219)의 경사진 부분(또는 측면) 및 상면을 완전히 덮을 수 있고, 제2 बैं크의 경사진 부분(또는 측면)의 일 부분을 덮을 수 있다.
- [0179] 유기 발광층(221)은 정공 주입층(HIL; Hole Injecting layer), 정공 수송층(HTL; Hole Transporting Layer), 발광 물질층(EML; Emitting Material Layer) 및 전자 수송층(ETL; Electron Transporting Layer)중 적어도 하나의 유기층을 포함하여 이루어질 수 있다.
- [0180] 유기 발광층(221)은 잉크젯 공정으로 마스크 없이 발광 영역에 형성될 수 있다. 이때 유기 발광층(221)을 위한 용액이 건조된 이후에 발광 영역의 중앙부의 유기 발광층의 상단의 높이가 발광 영역의 끝단부, 구체적으로 제1 बैं크(219) 및 제2 बैं크(220)와 접하는 발광 영역의 끝단부에서 발광 영역의 중앙부로 갈수록 유기 발광층의 높이가 낮아지는 형태의 프로파일(profile)이 얻어질 수 있다. 이에 따라, 유기 발광층(221) 상에 위치하는 제2 전극(223)도 상기 유기 발광층(221)의 프로파일에 대응하는 프로파일을 가지도록 형성될 수 있다.
- [0181] 유기 발광층(221) 상에는 제2 전극(223)이 형성될 수 있다. 제2 전극(223)은 유기 발광 표시 장치의 캐소드(Cathode)로 기능할 수 있다. 제2 전극(223)은 유기 발광층(221)뿐만 아니라 제2 बैं크(220) 상에 형성되면서 복수의 화소 및 그들 사이의 경계에서 전체적으로 형성될 수 있다. 따라서, 제2 전극(223)은 복수의 화소에 공통된 전압을 인가하는 공통전극으로 기능할 수 있다. 본 발명의 일 실시예에 따른 유기 발광 표시 장치가 상부 발광(Top-emission) 방식의 유기 발광 표시 장치이므로, 제2 전극(223)은 유기 발광층(221)에서 발광된 광을 상부 쪽으로 투과시키기 위해서 투명한 도전 물질로 이루어 지거나 투과도를 높이기 위해서 얇은 두께로 형성될 수 있다. 예를 들어, 제2 전극(223)은 인듐 틴 옥사이드(Indium Tin Oxide; ITO) 또는 인듐 징크 옥사이드(Indium

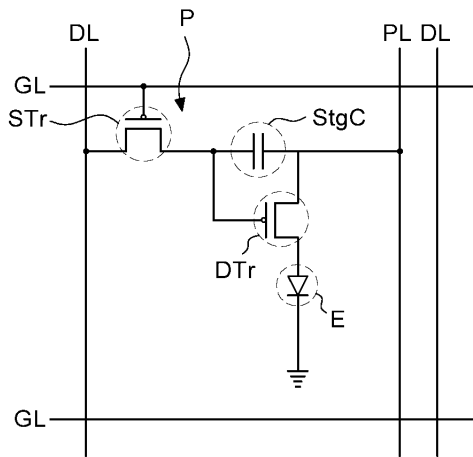
Zinc Oxide; IZO) 등과 같은 투명한 도전 물질로 형성될 수 있으나, 이에 한정되지는 않는다.

[0182] 구체적으로 도시하지는 않았지만, 제2 전극(223) 상에는 봉지층이 추가로 형성될 수 있다. 봉지층은 유기 발광층(221)으로 외부의 수분이 침투하는 것을 방지하는 역할을 한다. 이와 같은 봉지층은 무기 절연 물질로 이루어질 수도 있고, 무기 절연 물질과 유기 절연 물질이 교대로 적층된 구조로 이루어질 수 있지만, 반드시 이에 한정되는 것은 아니다.

[0183] 이상 첨부된 도면을 참조하여 본 발명의 실시 예들을 더욱 상세하게 설명하였으나, 본 발명은 반드시 이러한 실시 예로 국한되는 것은 아니고, 본 발명의 기술사상을 벗어나지 않는 범위 내에서 다양하게 변형 실시될 수 있다. 따라서, 본 발명에 개시된 실시 예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 그러므로 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다. 본 발명의 보호 범위는 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

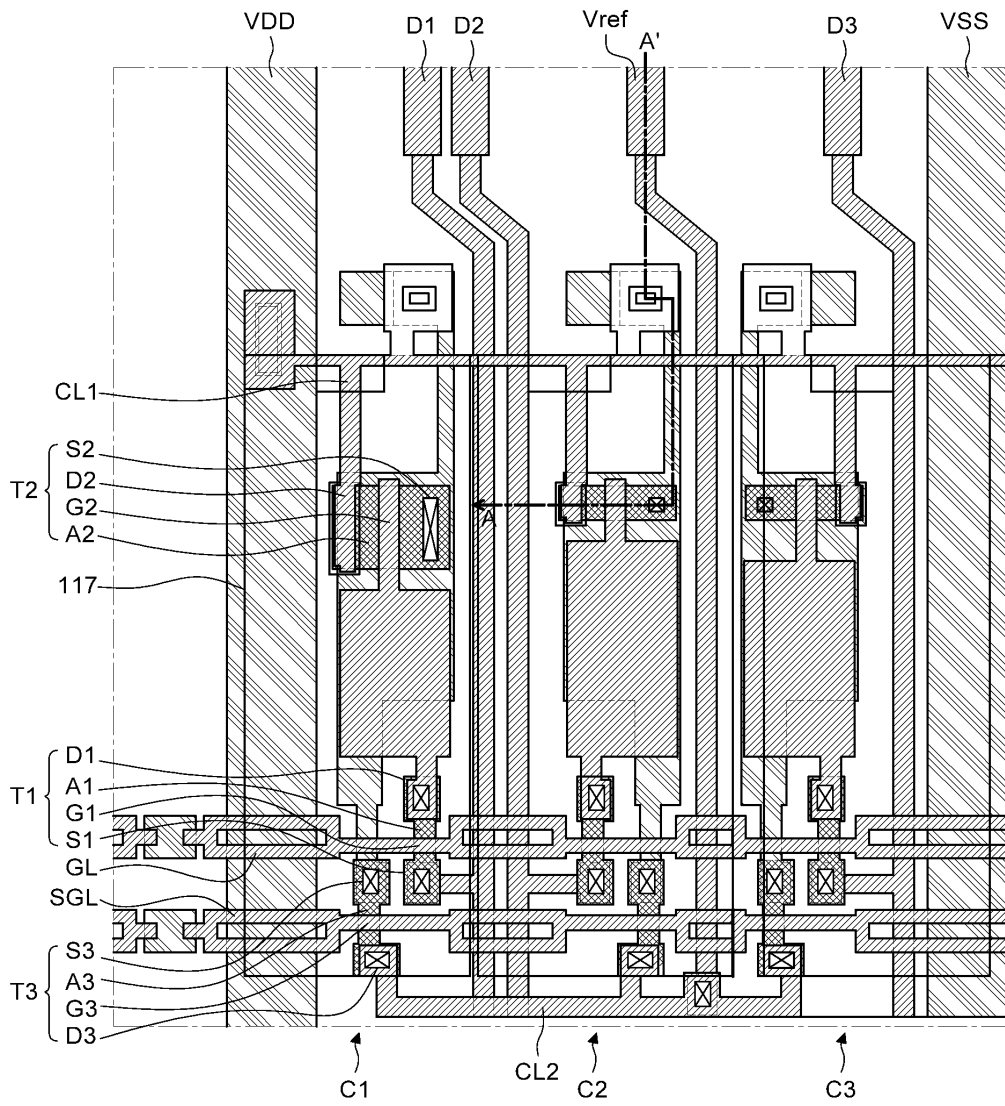
**도면**

**도면1**



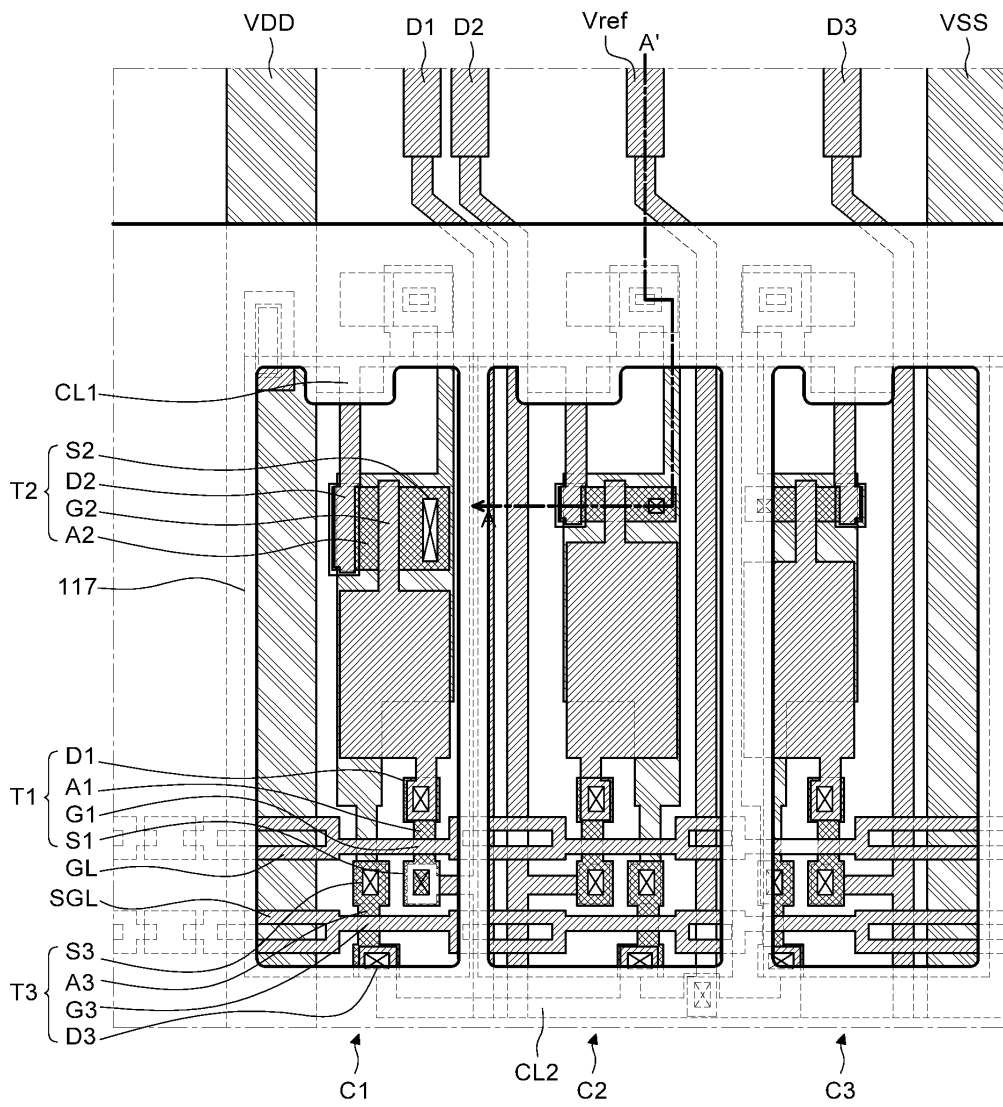
도면2

100

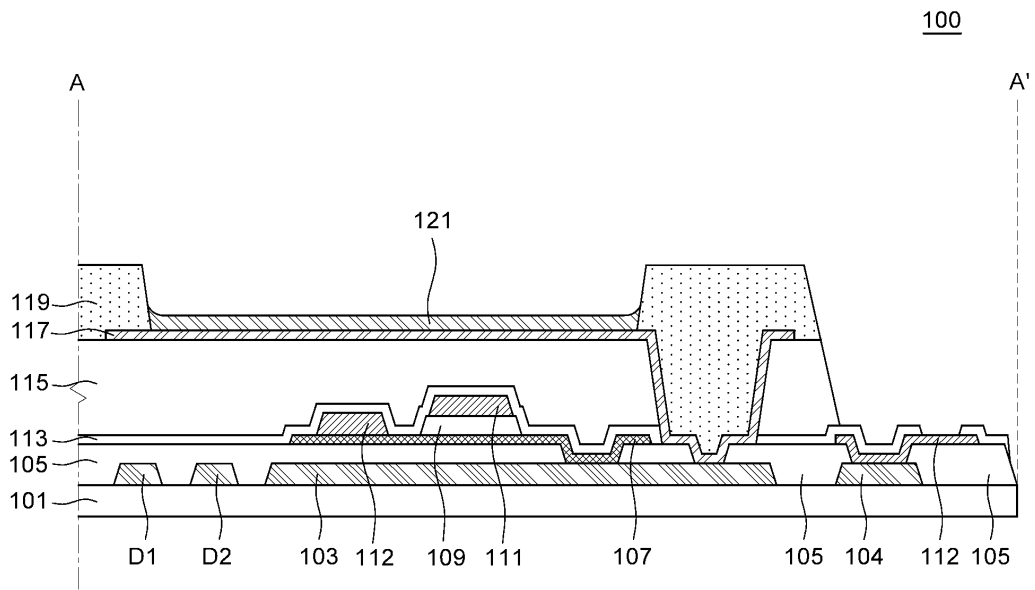


도면3

100

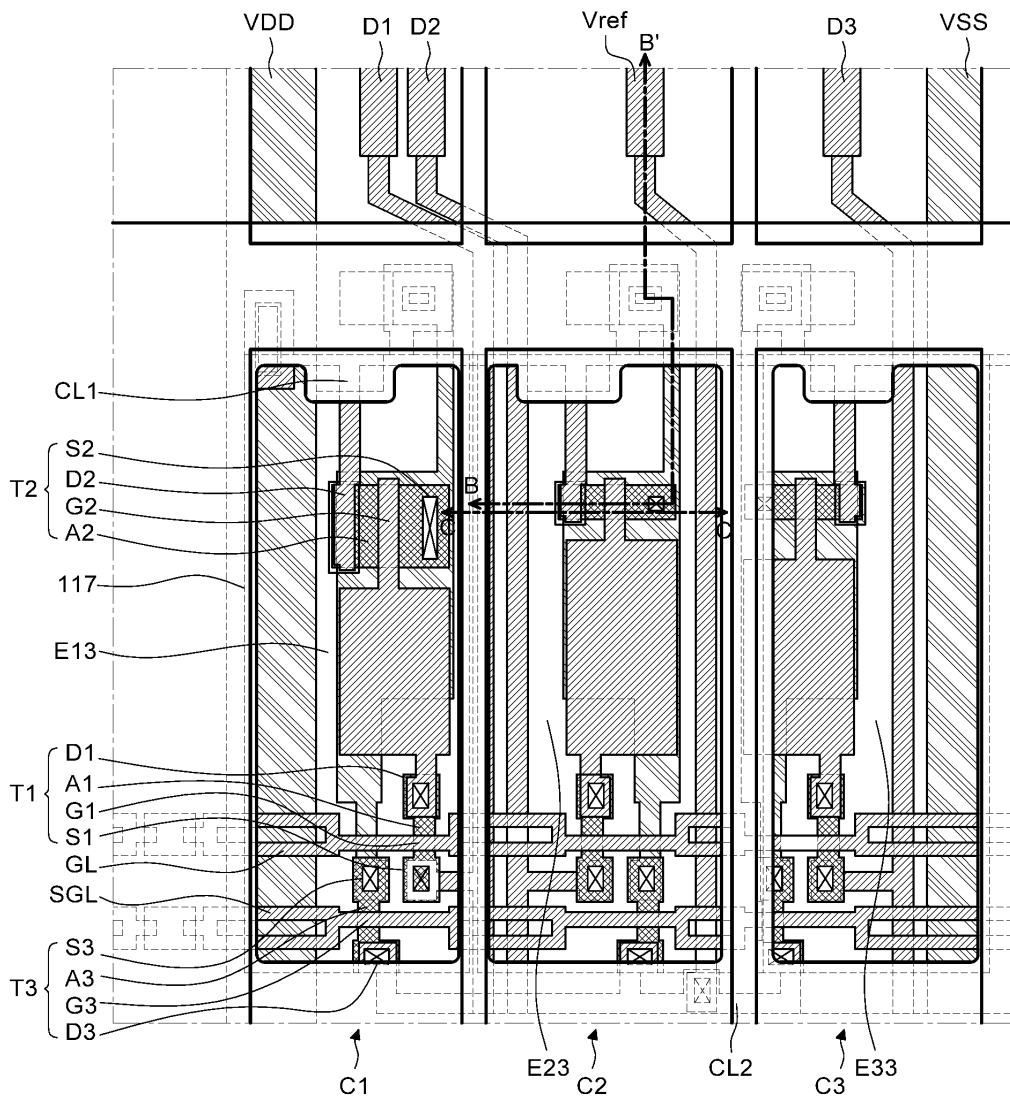


도면4

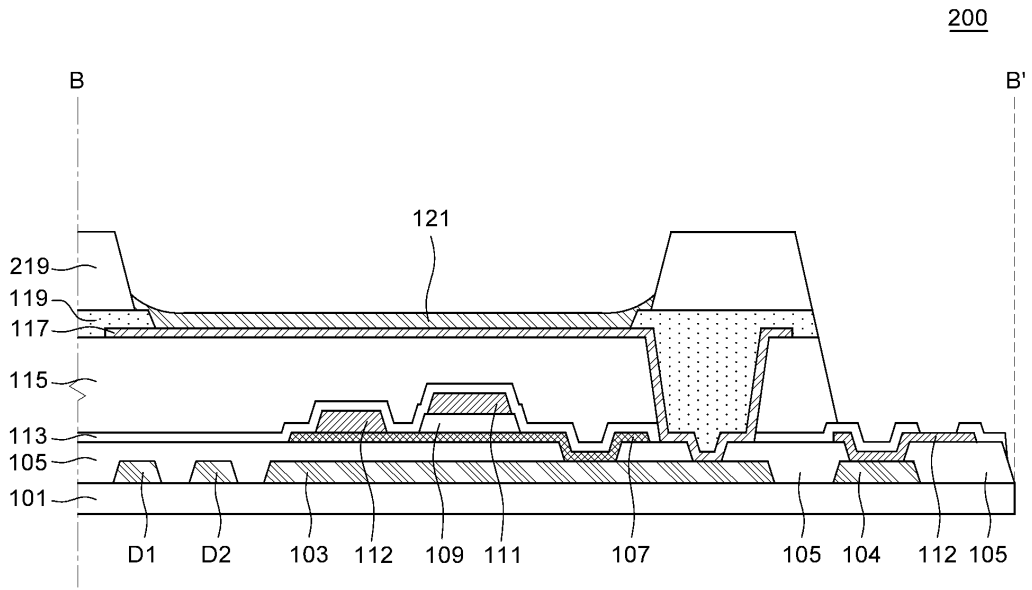


도면5

200



도면6



专利名称(译)	有机发光显示装置		
公开(公告)号	<a href="#">KR1020200050827A</a>	公开(公告)日	2020-05-12
申请号	KR1020180133960	申请日	2018-11-02
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	한전필 이지훈 김태용		
发明人	한전필 이지훈 김태용		
IPC分类号	H01L27/32 H01L51/52 H01L51/56		
CPC分类号	H01L27/3246 H01L27/3213 H01L51/5284 H01L51/56 H01L27/3248 H01L27/3262 H01L27/3272 H01L51/0004 H01L2251/5315 H01L27/3258		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

提供了一种有机发光显示 ( OLED ) 装置。有机发光显示 ( OLED ) 装置包括基板；屏蔽图案；缓冲层，其覆盖屏蔽图案并包括第一接触孔和第二接触孔；薄膜晶体管通过第一接触孔电连接至屏蔽图案；位于薄膜晶体管上的导电材料；绝缘膜，覆盖导电材料并包括第三接触；第一电极，其位于绝缘膜上并电连接至屏蔽图案；堤覆盖第一电极并包括抵靠导电材料的开口；有机发光层位于与开口相对应的第一电极上。

