



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0130092
(43) 공개일자 2019년11월21일

(51) 국제특허분류(Int. Cl.)
H01L 51/52 (2006.01) H01L 27/32 (2006.01)
(52) CPC특허분류
H01L 51/5246 (2013.01)
H01L 27/3244 (2013.01)
(21) 출원번호 10-2018-0053725
(22) 출원일자 2018년05월10일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
정윤모
경기도 용인시 수지구 신수로 655 19번지 래미안
이스트파크 아파트 102동 901호
이탁영
경기도 안양시 동안구 평촌대로211번길 21 308동
1101호 (호계동, 목련우성아파트)
윤주선
서울특별시 강남구 도곡로93길 12, 202동 401호(
대치동 래미안 하이스턴 아파트)
(74) 대리인
특허법인 고려

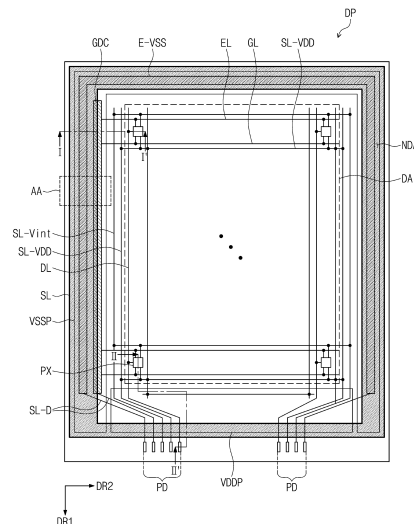
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 유기발광 표시 장치

(57) 요약

유기발광 표시 장치는 베이스 층, 회로 소자층, 표시 소자층, 봉지층, 및 실링 부재를 포함할 수 있다. 상기 회로 소자층은 상기 베이스 층 상에 배치된 전원 공급 라인 및 상기 전원 공급 라인 상에 배치되고 연결된 보조 전원 공급 패턴을 포함할 수 있다. 상기 표시 소자층은 회로 소자층 상에 순차적으로 배치된 제1 전극, 발광층, 및 제2 전극을 포함할 수 있다. 상기 제2 전극은 상기 보조 전원 공급 패턴에 전기적으로 연결될 수 있다. 상기 실링 부재는 상기 회로 소자층과 상기 봉지층 사이에 배치되고, 평면상에서 상기 보조 전원 공급 패턴과 중첩하게 배치될 수 있다.

대표도 - 도3



(52) CPC특허분류

H01L 51/5203 (2013.01)

명세서

청구범위

청구항 1

표시 영역 및 상기 표시 영역에 인접한 비표시 영역이 정의된 베이스 층;

상기 베이스 층 상에 배치되고 공통 전압을 수신하는 전원 공급 라인 및 상기 전원 공급 라인 상에 중첩하게 배치되고 상기 전원 공급 라인과 연결된 보조 전원 공급 패턴을 포함하는 회로 소자층;

상기 회로 소자층 상에 배치된 제1 전극, 상기 제1 전극 상에 배치된 발광층, 및 상기 발광층 상에 배치되고 상기 보조 전원 공급 패턴에 전기적으로 연결된 제2 전극을 포함하는 표시 소자층;

상기 표시 소자층 상에 배치된 봉지층; 및

상기 회로 소자층과 상기 봉지층 사이에 배치되고, 평면상에서 상기 비표시 영역 내에 상기 보조 전원 공급 패턴과 중첩하게 배치된 실링 부재를 포함하는 유기발광 표시 장치.

청구항 2

제1 항에 있어서,

상기 보조 전원 공급 패턴은 상기 실링 부재와 접촉하는 유기발광 표시 장치.

청구항 3

제1 항에 있어서,

상기 표시 소자층은, 상기 비표시 영역 내에 배치되고 상기 제1 전극과 동일한 층 상에 배치되고 상기 보조 전원 공급 패턴에 연결된 보조 패턴을 더 포함하는 유기발광 표시 장치.

청구항 4

제3 항에 있어서,

상기 회로 소자층은,

상기 전원 공급 라인과 상기 보조 전원 공급 패턴 사이에 배치되고, 상기 전원 공급 라인과 상기 보조 전원 공급 패턴이 연결되는 콘택홀이 제공된 제1 중간 절연층; 및

상기 보조 전원 공급 패턴과 상기 보조 패턴 사이에 배치되고, 상기 보조 전원 공급 패턴과 상기 보조 패턴이 연결되는 콘택홀이 제공된 제2 중간 절연층을 더 포함하고,

상기 표시 소자층은 상기 보조 패턴과 상기 제2 전극 사이에 배치되고, 상기 보조 패턴과 상기 제2 전극이 연결되는 콘택홀이 제공되고, 상기 발광층이 배치되는 개구부가 제공된 화소정의막을 더 포함하는 유기발광 표시 장치.

청구항 5

제1 항에 있어서,

상기 회로 소자층은

주사 신호를 수신하는 제어 전극, 데이터 신호를 수신하는 입력 전극, 및 출력 전극을 포함하는 스위칭 트랜지스터;

상기 스위칭 트랜지스터의 상기 출력 전극에 연결된 입력 전극을 갖는 구동 트랜지스터; 및

발광 신호를 수신하는 제어 전극을 포함하고, 전압 라인과 상기 구동 트랜지스터 사이에 연결되거나, 상기 구동 트랜지스터와 상기 제1 전극 사이에 연결된 발광 제어 트랜지스터를 더 포함하는 유기발광 표시 장치.

청구항 6

제5 항에 있어서,

상기 회로 소자층은

상기 발광 제어 트랜지스터에 상기 발광 신호를 제공하는 발광 라인 구동 회로; 및

상기 스위칭 트랜지스터에 상기 주사 신호를 제공하는 게이트 구동 회로를 더 포함하고,

평면상에서 상기 발광 라인 구동 회로는 상기 게이트 구동 회로에 비해 상기 표시 영역으로부터 더 멀리 배치되는 유기발광 표시 장치.

청구항 7

제6 항에 있어서,

상기 보조 전원 공급 패턴은 상기 발광 라인 구동 회로와 중첩하는 유기발광 표시 장치.

청구항 8

제1 항에 있어서,

상기 보조 전원 공급 패턴은 상기 전원 공급 라인 보다 녹는점이 큰 물질을 포함하는 유기발광 표시 장치.

청구항 9

제1 항에 있어서,

상기 회로 소자층은, 상기 공통 전압 보다 큰 전원 전압을 수신하는 전압 라인 및 상기 전압 라인 상부에 배치되고 상기 전압 라인과 연결된 보조 전압 패턴을 더 포함하는 유기발광 표시 장치.

청구항 10

제9 항에 있어서,

상기 보조 전압 패턴은, 상기 보조 전원 공급 패턴과 동일한 층 상에 배치되고 상기 실링 부재와 중첩하는 유기발광 표시 장치.

청구항 11

제9 항에 있어서,

상기 보조 전압 패턴은 상기 실링 부재와 접촉하는 유기발광 표시 장치.

청구항 12

제9 항에 있어서,

상기 회로 소자층은 상기 비표시 영역에 배치된 패드부를 더 포함하고,

평면상에서 상기 보조 전압 패턴은 상기 패드부와 상기 표시 영역 사이에 배치된 유기발광 표시 장치.

청구항 13

제12 항에 있어서,

상기 회로 소자층은

데이터 라인; 및

상기 패드부와 상기 데이터 라인 사이에 연결된 디렉스를 더 포함하고,

평면상에서 상기 보조 전압 패턴은 상기 디렉스를 커버하는 유기발광 표시 장치.

청구항 14

제12 항에 있어서,

상기 회로 소자층은 상기 비표시 영역에 배치된 정전기 방지 패턴을 더 포함하고,

평면상에서 상기 보조 전압 패턴은 상기 정전기 방지 패턴을 커버하는 유기발광 표시 장치.

청구항 15

제1 항에 있어서,

상기 회로 소자층은 상기 보조 전원 공급 패턴 하부에 배치된 절연층을 더 포함하고,

상기 보조 전원 공급 패턴에 홀이 제공되고, 상기 홀을 통해 상기 실링 부재는 상기 절연층 또는 상기 베이스 층에 접촉된 유기발광 표시 장치.

청구항 16

베이스 층;

상기 베이스 층 상에 배치되고 공통 전압을 수신하는 전원 공급 라인;

상기 베이스 층 상에 배치되고 상기 공통 전압 보다 큰 전원 전압을 수신하는 전압 공급 라인;

상기 전원 공급 라인 상에 중첩하게 배치되고, 상기 전원 공급 라인과 연결된 보조 전원 공급 패턴;

상기 전압 공급 라인 상에 중첩하게 배치되고, 상기 전압 공급 라인과 연결된 보조 전압 패턴;

상기 보조 전원 공급 패턴 및 상기 보조 전압 패턴 상부에 배치된 유기발광소자;

상기 유기 발광 소자 상에 배치된 봉지층; 및

상기 베이스 층과 상기 봉지층 사이에 배치되어 상기 유기발광소자를 밀봉하고, 상기 보조 전원 공급 패턴 및 상기 보조 전압 패턴과 중첩하는 실링 부재를 포함하는 유기발광 표시 장치.

청구항 17

제16 항에 있어서,

상기 보조 전원 공급 패턴은 상기 보조 전압 패턴과 동일한 층 상에 배치되는 유기발광 표시 장치.

청구항 18

제16 항에 있어서,

상기 보조 전원 공급 패턴 및 상기 보조 전압 패턴 각각은 상기 전원 공급 라인 및 상기 전압 공급 라인 각각 보다 더 큰 녹는점을 갖는 물질을 포함하는 유기발광 표시 장치.

청구항 19

제16 항에 있어서,

상기 보조 전원 공급 패턴 및 상기 보조 전압 패턴 각각은 상기 실링 부재와 접촉하는 유기발광 표시 장치.

청구항 20

베이스 층;

상기 베이스 층 상에 배치되고, 제어 전극, 입력 전극, 및 출력 전극을 포함하는 트랜지스터;

상기 트랜지스터 상부에 배치되고, 상기 트랜지스터와 연결된 유기발광소자;

상기 베이스 층 상에 배치되고 일정한 전압을 수신하고, 상기 트랜지스터의 상기 제어 전극, 상기 입력 전극, 및 상기 출력 전극 중 어느 하나와 동일한 층 상에 배치된 전원 공급 라인;

상기 전원 공급 라인 및 상기 트랜지스터 상부에 배치되고, 상기 유기발광소자 하부에 배치되고, 상기 전원 공급 라인과 연결된 보조 전원 공급 패턴;

상기 유기 발광 소자 상에 배치된 봉지층; 및

상기 베이스 층과 상기 봉지층 사이에 배치되어 상기 유기발광소자를 밀봉하고, 상기 보조 전원 공급 패턴 및 상기 보조 전압 패턴과 중첩하는 실링 부재를 포함하는 유기발광 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명은 유기발광 표시 장치에 관한 것으로, 좀 더 상세하게는 실링 부재를 갖는 유기발광 표시 장치에 관한 것이다.

배경 기술

[0002] 유기발광 표시 장치는 시야각이 넓고 콘트라스트가 우수할 뿐만 아니라 응답속도가 빠르다는 장점을 가지고 있어 최근 다양한 디스플레이 장치에 채용되고 있다.

[0003] 유기발광 표시 장치는 광을 발광하는 유기발광 다이오드를 포함하고, 유기발광 다이오드는 수분 및 산소에 취약하다. 이를 위해 유기발광 표시 장치의 외곽에 실링 부재가 배치되어 유기발광 다이오드를 밀봉한다.

[0004] 실링 부재는 하부 기판과 상부 기판 사이에 경화성 물질을 배치한 후 경화하여 형성하는데, 경화 과정에서 실링 부재 주변의 회로 소자들에 불량이 발생할 수 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명은 표시 패널의 비표시 영역을 감소시킬 수 있는 유기발광 표시 장치를 제공하는 것을 목적으로 한다.

[0006] 본 발명은 실링 부재의 경화 과정에서 실링 부재와 중첩한 회로 소자들의 불량을 방지할 수 있는 유기발광 표시 장치를 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0007] 본 발명의 실시예에 따른 유기발광 표시 장치는 베이스 층, 회로 소자층, 표시 소자층, 봉지층, 및 실링 부재를 포함할 수 있다.

[0008] 상기 베이스 층에는 표시 영역 및 상기 표시 영역에 인접한 비표시 영역이 정의될 수 있다.

[0009] 상기 보조 전원 공급 패턴은 전원 공급 라인 및 보조 전원 공급 패턴을 포함할 수 있다. 상기 보조 전원 공급 패턴은, 상기 베이스 층 상에 배치되고 공통 전압을 수신할 수 있다. 상기 보조 전원 공급 패턴은 상기 전원 공급 라인 상에 중첩하게 배치되고 상기 전원 공급 라인과 연결될 수 있다.

[0010] 상기 표시 소자층은, 제1 전극, 발광층, 및 제2 전극을 포함할 수 있다. 상기 제1 전극은 상기 회로 소자층 상에 배치될 수 있다. 상기 발광층은 상기 제1 전극 상에 배치될 수 있다. 상기 제2 전극은 상기 발광층 상에 배치되고 상기 보조 전원 공급 패턴에 전기적으로 연결될 수 있다.

[0011] 상기 봉지층은 상기 표시 소자층 상에 배치될 수 있다.

[0012] 상기 실링 부재는 상기 회로 소자층과 상기 봉지층 사이에 배치되고, 평면상에서 상기 비표시 영역 내에 상기 보조 전원 공급 패턴과 중첩하게 배치될 수 있다.

[0013] 상기 보조 전원 공급 패턴은 상기 실링 부재와 접촉할 수 있다.

[0014] 상기 표시 소자층은, 상기 비표시 영역 내에 배치되고 상기 제1 전극과 동일한 층 상에 배치되고 상기 보조 전원 공급 패턴에 연결된 보조 패턴을 더 포함할 수 있다.

[0015] 상기 회로 소자층은, 제1 중간 절연층 및 제2 중간 절연층을 더 포함할 수 있다. 상기 제1 중간 절연층은, 상기 전원 공급 라인과 상기 보조 전원 공급 패턴 사이에 배치되고, 상기 전원 공급 라인과 상기 보조 전원 공급 패턴이 연결되는 콘택홀이 제공될 수 있다. 상기 제2 중간 절연층에는, 상기 보조 전원 공급 패턴과 상기 보조 패

턴 사이에 배치되고, 상기 보조 전원 공급 패턴과 상기 보조 패턴이 연결되는 콘택홀이 제공될 수 있다.

- [0016] 상기 표시 소자층은 상기 보조 패턴과 상기 제2 전극 사이에 배치되고, 상기 보조 패턴과 상기 제2 전극이 연결되는 콘택홀이 제공되고, 상기 발광층이 배치되는 개구부가 제공된 화소정의막을 더 포함할 수 있다.
- [0017] 상기 회로 소자층은, 스위칭 트랜지스터, 구동 트랜지스터, 및 발광 제어 트랜지스터를 더 포함할 수 있다.
- [0018] 상기 스위칭 트랜지스터는, 주사 신호를 수신하는 제어 전극, 데이터 신호를 수신하는 입력 전극, 및 출력 전극을 포함할 수 있다.
- [0019] 상기 구동 트랜지스터는, 상기 스위칭 트랜지스터의 상기 출력 전극에 연결된 입력 전극을 가질 수 있다.
- [0020] 상기 발광 제어 트랜지스터는, 발광 신호를 수신하는 제어 전극을 포함하고, 전압 라인과 상기 구동 트랜지스터 사이에 연결되거나, 상기 구동 트랜지스터와 상기 제1 전극 사이에 연결될 수 있다.
- [0021] 상기 회로 소자층은, 발광 라인 구동 회로 및 게이트 구동 회로를 더 포함할 수 있다. 상기 발광 라인 구동 회로는 상기 발광 제어 트랜지스터에 상기 발광 신호를 제공할 수 있다. 상기 게이트 구동 회로는 상기 스위칭 트랜지스터에 상기 주사 신호를 제공할 수 있다. 평면상에서 상기 발광 라인 구동 회로는 상기 게이트 구동 회로에 비해 상기 표시 영역으로부터 더 멀리 배치될 수 있다.
- [0022] 상기 보조 전원 공급 패턴은 상기 발광 라인 구동 회로와 중첩할 수 있다.
- [0023] 상기 보조 전원 공급 패턴은 상기 전원 공급 라인 보다 녹는점이 큰 물질을 포함할 수 있다.
- [0024] 상기 회로 소자층은, 상기 공통 전압 보다 큰 전원 전압을 수신하는 전압 라인 및 상기 전압 라인 상부에 배치되고 상기 전압 라인과 연결된 보조 전압 패턴을 더 포함할 수 있다.
- [0025] 상기 보조 전압 패턴은, 상기 보조 전원 공급 패턴과 동일한 층 상에 배치되고 상기 실링 부재와 중첩할 수 있다.
- [0026] 상기 보조 전압 패턴은 상기 실링 부재와 접촉할 수 있다.
- [0027] 상기 회로 소자층은 상기 비표시 영역에 배치된 패드부를 더 포함할 수 있다. 평면상에서 상기 보조 전압 패턴은 상기 패드부와 상기 표시 영역 사이에 배치될 수 있다.
- [0028] 상기 회로 소자층은, 데이터 라인 및 디택스를 더 포함할 수 있다. 상기 디택스는 상기 패드부와 상기 데이터 라인 사이에 연결될 수 있다. 평면상에서 상기 보조 전압 패턴은 상기 디택스를 커버할 수 있다.
- [0029] 상기 회로 소자층은 상기 비표시 영역에 배치된 정전기 방지 패턴을 더 포함할 수 있다. 평면상에서 상기 보조 전압 패턴은 상기 정전기 방지 패턴을 커버할 수 있다.
- [0030] 상기 회로 소자층은 상기 보조 전원 공급 패턴 하부에 배치된 절연층을 더 포함할 수 있다. 상기 보조 전원 공급 패턴에 홀이 제공되고, 상기 홀을 통해 상기 실링 부재는 상기 절연층 또는 상기 베이스 층에 접촉될 수 있다.
- [0031] 본 발명의 다른 실시예에 따른 유기발광 표시 장치는, 베이스 층, 전원 공급 라인, 전압 공급 라인, 보조 전원 공급 패턴, 보조 전압 패턴, 유기발광소자, 봉지층, 및 실링 부재를 포함할 수 있다.
- [0032] 상기 전원 공급 라인은, 상기 베이스 층 상에 배치되고 공통 전압을 수신할 수 있다.
- [0033] 상기 전압 공급 라인은, 상기 베이스 층 상에 배치되고 상기 공통 전압 보다 큰 전원 전압을 수신할 수 있다.
- [0034] 상기 보조 전원 공급 패턴은, 상기 전원 공급 라인 상에 중첩하게 배치되고, 상기 전원 공급 라인과 연결될 수 있다.
- [0035] 상기 보조 전압 패턴은, 상기 전압 공급 라인 상에 중첩하게 배치되고, 상기 전압 공급 라인과 연결될 수 있다.
- [0036] 상기 유기발광소자는, 상기 보조 전원 공급 패턴 및 상기 보조 전압 패턴 상부에 배치될 수 있다.
- [0037] 상기 봉지층은 상기 유기 발광 소자 상에 배치될 수 있다.
- [0038] 상기 실링 부재는 상기 베이스 층과 상기 봉지층 사이에 배치되어 상기 유기발광소자를 밀봉하고, 상기 보조 전원 공급 패턴 및 상기 보조 전압 패턴과 중첩할 수 있다.

- [0039] 상기 보조 전원 공급 패턴은 상기 보조 전압 패턴과 동일한 층 상에 배치될 수 있다.
- [0040] 상기 보조 전원 공급 패턴 및 상기 보조 전압 패턴 각각은 상기 전원 공급 라인 및 상기 전압 공급 라인 각각보다 더 큰 녹는점을 갖는 물질을 포함할 수 있다.
- [0041] 상기 보조 전원 공급 패턴 및 상기 보조 전압 패턴 각각은 상기 실링 부재와 접촉할 수 있다.
- [0042] 본 발명의 다른 실시예에 따른 유기발광 표시 장치는, 베이스 층, 트랜지스터, 유기발광소자, 전원 공급 라인, 보조 전원 공급 패턴, 봉지층, 및 실링 부재를 포함할 수 있다.
- [0043] 상기 트랜지스터는, 상기 베이스 층 상에 배치되고, 제어 전극, 입력 전극, 및 출력 전극을 포함할 수 있다.
- [0044] 상기 유기발광소자는 상기 트랜지스터 상부에 배치되고, 상기 트랜지스터와 연결될 수 있다.
- [0045] 상기 전원 공급 라인은, 상기 베이스 층 상에 배치되고 일정한 전압을 수신하고, 상기 트랜지스터의 상기 제어 전극, 상기 입력 전극, 및 상기 출력 전극 중 어느 하나와 동일한 층 상에 배치될 수 있다.
- [0046] 상기 보조 전원 공급 패턴은, 상기 전원 공급 라인 및 상기 트랜지스터 상부에 배치되고, 상기 유기발광소자 하부에 배치되고, 상기 전원 공급 라인과 연결될 수 있다.
- [0047] 상기 봉지층은 상기 유기 발광 소자 상에 배치될 수 있다.
- [0048] 상기 실링 부재는, 상기 베이스 층과 상기 봉지층 사이에 배치되어 상기 유기발광소자를 밀봉하고, 상기 보조 전원 공급 패턴 및 상기 보조 전압 패턴과 중첩할 수 있다.

발명의 효과

- [0049] 본 발명의 실시예에서, 표시 패널의 비표시 영역을 감소시킬 수 있다.
- [0050] 본 발명의 실시예에서, 실링 부재의 경화 과정에서 실링 부재와 중첩한 회로 소자들의 불량을 방지할 수 있다.

도면의 간단한 설명

- [0051] 도 1은 본 발명의 일 실시예에 따른 표시 장치의 사시도이다.
- 도 2는 도 1의 표시 모듈의 단면도이다.
- 도 3은 본 발명의 일 실시예에 따른 표시 패널의 평면도이다.
- 도 4는 본 발명의 일 실시예에 따른 화소의 등가 회로도이다.
- 도 5는 도 3의 I-I'선에 따라 절단한 단면도이다.
- 도 6은 도 3의 AA 영역을 도시한 도면이다.
- 도 7은 도 3의 II-II'선에 따라 절단한 단면도이다.
- 도 8은 본 발명의 다른 실시예에 따른 표시 장치에서, 표시 패널의 일부를 절단한 단면도이다.
- 도 9는 본 발명의 다른 실시예에 따른 표시 장치에서, 표시 패널의 일부를 도시한 회로도이다.
- 도 10은 도 9의 실시예에 따른 표시 패널의 일부를 도시한 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0052] 이하, 도면을 참조하여 본 발명의 실시예들을 설명한다. 본 명세서에서, 어떤 구성요소(또는 영역, 층, 부분 등)가 다른 구성요소 “상에 있다”, “연결 된다”, 또는 “결합 된다”고 언급되는 경우에 그것은 다른 구성요소 상에 직접 연결/결합될 수 있거나 또는 그들 사이에 제3의 구성요소가 배치될 수도 있다는 것을 의미한다.
- [0053] 동일한 도면부호는 동일한 구성요소를 지칭한다. 또한, 도면들에 있어서, 구성요소들의 두께, 비율, 및 치수는 기술적 내용의 효과적인 설명을 위해 과장된 것이다. “및/또는”은 연관된 구성들이 정의할 수 있는 하나 이상의 조합을 모두 포함한다.
- [0054] 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된

다. 예를 들어, 본 발명의 권리 범위를 벗어나지 않으면서 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.

- [0055] 또한, “아래에”, “하측에”, “위에”, “상측에” 등의 용어는 도면에 도시된 구성들의 연관관계를 설명하기 위해 사용된다. 상기 용어들은 상대적인 개념으로, 도면에 표시된 방향을 기준으로 설명된다.
- [0056] "포함하다" 또는 "가지다" 등의 용어는 명세서 상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0057] 도 1은 본 발명의 일 실시예에 따른 표시 장치(1000)의 사시도이고, 도 2는 도 1의 표시 모듈(DM)의 단면도이다.
- [0058] 본 실시예에 따른 표시 장치(1000)는 텔레비전, 모니터 등과 같은 대형 전자장치를 비롯하여, 휴대 전화, 태블릿, 자동차 네비게이션, 게임기, 스마트 워치 등과 같은 중소형 전자장치 등에 적용될 수 있다.
- [0059] 도 1을 참조하면, 표시 장치(1000)는 표시 모듈(DM), 윈도우 부재(WM), 및 하우징 부재(HM)를 포함할 수 있다.
- [0060] 표시 모듈(DM)의 이미지(IM)가 표시되는 표시면(IS)은 제1 방향축(DR1) 및 제2 방향축(DR2)이 정의하는 면과 평행한다. 표시면(IS)의 법선 방향, 즉 표시 모듈(DM)의 두께 방향은 제3 방향축(DR3)이 지시한다. 각 부재들의 전면(또는 상면)과 배면(또는 하면)은 제3 방향축(DR3)에 의해 구분된다. 그러나, 제1 내지 제3 방향축들(DR1, DR2, DR3)이 지시하는 방향은 상대적인 개념으로서 다른 방향으로 변환될 수 있다. 이하, 제1 내지 제3 방향축들은 제1 내지 제3 방향축들(DR1, DR2, DR3)이 각각 지시하는 방향으로 동일한 도면 부호를 참조한다.
- [0061] 표시 모듈(DM)은 플랫한 리지드(rigid) 표시 모듈일 수 있다. 그러나 이에 제한되지 않고, 본 발명에 따른 표시 모듈(DM)은 플렉서블 표시 모듈일 수 도 있다.
- [0062] 도 1에 도시된 것과 같이, 표시 모듈(DM)은 이미지(IM)가 표시되는 표시 영역(DM-DA) 및 표시 영역(DM-DA)에 인접한 비표시 영역(DM-NDA)을 포함한다. 비표시 영역(DM-NDA)은 이미지가 표시되지 않는 영역이다. 도 1에는 이미지(IM)의 일 예로 화병을 도시하였다. 일 예로써, 표시 영역(DM-DA)은 사각형상일 수 있다. 비표시 영역(DM-NDA)은 표시 영역(DM-DA)을 에워쌀 수 있다. 다만, 이에 제한되지 않고, 표시 영역(DM-DA)의 형상과 비표시 영역(DM-NDA)의 형상은 상대적으로 디자인될 수 있다.
- [0063] 윈도우 부재(WM)는 표시 모듈(DM) 상에 배치된다. 윈도우 부재(WM)는 표시 모듈(DM)을 보호한다. 윈도우 부재(WM)는 하우징 부재(HM)와 결합되어 내부 공간을 형성할 수 있다. 윈도우 부재(WM)와 하우징 부재(HM)는 표시 장치(1000)의 외관을 정의할 수 있다.
- [0064] 윈도우 부재(WM)는 평면상에서 투과 영역(TA) 및 베젤 영역(BA)으로 구분될 수 있다. 투과 영역(TA)은 입사되는 광을 대부분 투과시키는 영역일 수 있다. 투과 영역(TA)은 광학적으로 투명성을 가진다. 투과 영역(TA)은 약 90% 이상의 광 투과율을 가질 수 있다. 투과 영역(TA)은 표시 모듈(DM)의 표시 영역(DM-DA)에 대응할 수 있다.
- [0065] 베젤 영역(BA)은 입사되는 광을 대부분 차광시키는 영역일 수 있다. 베젤 영역(BA)은 윈도우 부재(WM) 하부에 배치되는 구성들이 외부에서 시인되지 않도록 한다. 또한, 베젤 영역(BA)은 윈도우 부재(WM) 외부에서 입사되는 광의 반사를 저감시킬 수 있다. 베젤 영역(BA)은 표시 모듈(DM)의 비표시 영역(DM-NDA)에 대응할 수 있다.
- [0066] 베젤 영역(BA)은 투과 영역(TA)에 인접할 수 있다. 투과 영역(TA)의 평면상에서의 형상은 베젤 영역(BA)에 의해 정의될 수 있다.
- [0067] 하우징 부재(HM)는 소정의 내부 공간을 제공한다. 표시 모듈(DM)은 내부 공간에 수용된다. 하우징 부재(HM)의 내부 공간에는 표시 모듈(DM) 이외에 다양한 전자 부품들, 예를 들어, 전원 공급부, 저장 장치, 음향 입출력 모듈, 카메라 등이 실장될 수 있다.
- [0068] 도 2는 본 발명의 일 실시예에 따른 표시 모듈(DM)의 단면도이다. 도 2는 제1 방향축(DR1)과 제3 방향축(DR3)이 정의하는 단면을 도시하였다.
- [0069] 도 2에 도시된 것과 같이, 표시 모듈(DM)은 표시 패널(DP) 및 터치 감지 유닛(TS, 또는 터치감지층)을 포함한다. 별도로 도시하지 않았으나, 본 발명의 일 실시예에 따른 표시 모듈(DM)은 표시 패널(DP)의 하면에 배치된 보호부재를 더 포함할 수 있다.

- [0070] 표시 패널(DP)은 발광형 표시 패널일 수 있고, 특별히 제한되지 않는다. 예컨대, 표시 패널(DP)은 유기발광 표시 패널 또는 퀀텀닷 발광 표시 패널일 수 있다. 유기발광 표시 패널은 발광층이 유기발광물질을 포함한다. 퀀텀닷 발광 표시 패널의 발광층은 퀀텀닷, 또는 퀀텀로드를 포함한다. 이하, 표시 패널(DP)은 유기발광 표시 패널로 설명된다.
- [0071] 표시 패널(DP)은 베이스 층(SUB), 베이스 층(SUB) 상에 배치된 회로 소자층(DP-CL), 표시 소자층(DP-OLED), 및 봉지층(ENP)을 포함한다. 별도로 도시되지 않았으나, 표시 패널(DP)은 굴절률 조절층 등과 같은 기능성층들을 더 포함할 수 있다.
- [0072] 베이스 층(SUB)은 적어도 하나의 플라스틱 필름을 포함할 수 있다. 베이스 층(SUB)은 플렉서블한 기판으로 플라스틱 기판, 유리 기판, 메탈 기판, 또는 유/무기 복합재료 기판 등을 포함할 수 있다. 도 1을 참조하여 설명한 표시 영역(DM-DA)과 비표시 영역(DM-NDA)은 베이스 층(SUB)에 동일하게 정의될 수 있다.
- [0073] 회로 소자층(DP-CL)은 적어도 하나의 중간 절연층과 회로 소자를 포함한다. 중간절연층은 적어도 하나의 중간 무기막과 적어도 하나의 중간 유기막을 포함한다. 상기 회로 소자는 신호라인들, 화소의 구동 회로 등을 포함한다. 이에 대한 상세한 설명은 후술한다.
- [0074] 표시소자층(DP-OLED)은 적어도 유기발광 다이오드들을 포함한다. 표시소자층(DP-OLED)은 화소 정의막과 같은 유기막을 더 포함할 수 있다.
- [0075] 봉지층(ENP)은 표시 소자층(DP-OLED)상에 배치되고, 표시 소자층(DP-OLED)을 밀봉한다.
- [0076] 표시 패널(DP)은 회로 소자층(DP-CL)과 봉지층(ENP) 사이에 배치된 실링 부재(SL)를 더 포함할 수 있다. 실링 부재(SL)는 회로 소자층(DP-CL)과 봉지층(ENP) 사이에 배치되어 회로 소자층(DP-CL)과 봉지층(ENP)을 접합할 수 있다. 실링 부재(SL)는 회로 소자층(DP-CL) 및 봉지층(ENP)과 함께 표시소자층(DP-OLED)을 외부의 수분, 공기 등으로부터 차단하는 역할을 할 수 있다.
- [0077] 터치 감지 유닛(TS)은 외부입력의 좌표정보를 획득한다. 터치 감지 유닛(TS)은 봉지층(ENP) 상에 배치될 수 있다. 터치 감지 유닛(TS)은 접촉층을 통해 봉지층(ENP)에 부착될 수 있고, 봉지층(ENP) 상에 박막 공정을 통해 형성될 수 있다.
- [0078] 터치 감지 유닛(TS)은 예컨대, 정전용량 방식으로 외부입력을 감지할 수 있다. 본 발명에서 터치 감지 유닛(TS)의 동작방식은 특별히 제한되지 않고, 본 발명의 일 실시예에서 터치 감지 유닛(TS)은 전자기 유도방식 또는 압력 감지방식으로 외부입력을 감지할 수도 있다.
- [0079] 도 3은 본 발명의 일 실시예에 따른 표시 패널(DP)의 평면도이다.
- [0080] 도 3에 도시된 것과 같이, 표시 패널(DP)은 평면상에서 표시 영역(DA)과 비표시 영역(NDA)을 포함한다. 본 실시예에서 비표시 영역(NDA)은 표시 영역(DA)의 테두리를 따라 정의될 수 있다. 표시 패널(DP)의 표시 영역(DA) 및 비표시 영역(NDA)은 도 1에 도시된 표시 모듈(DM)의 표시 영역(DM-DA) 및 비표시 영역(DM-NDA)에 각각 대응한다. 표시 패널(DP)의 표시 영역(DA) 및 비표시 영역(NDA)은 표시 모듈(DM)의 표시 영역(DM-DA) 및 비표시 영역(DM-NDA)과 반드시 동일할 필요는 없고, 표시 패널(DP)의 구조/디자인에 따라 변경될 수 있다.
- [0081] 표시 패널(DP)은 복수 개의 화소들(PX)을 포함한다. 복수 개의 화소들(PX)은 표시 영역(DA) 내에 배치될 수 있다. 화소들(PX) 각각은 유기발광 다이오드와 그에 연결된 화소 구동 회로를 포함한다.
- [0082] 표시 패널(DP)은 복수의 신호 라인들과 패드부(PD)를 포함할 수 있다. 복수의 신호 라인들은 주사 라인들(GL), 데이터 라인들(DL), 발광 라인들(EL), 제어신호 라인(SL-D), 초기화 라인(SL-Vint), 전압 라인(SL-VDD), 및 전원 공급 라인(E-VSS)을 포함할 수 있다. 복수의 신호 라인들과 패드부(PD)는 도 2에 도시된 회로 소자층(DP-CL)에 포함될 수 있다.
- [0083] 주사 라인들(GL), 데이터 라인들(DL), 발광 라인들(EL), 제어신호 라인(SL-D), 초기화 라인(SL-Vint), 전압 라인(SL-VDD) 및 전원 공급 라인(E-VSS) 중 일부는 동일한 층에 배치되고, 일부는 다른 층에 배치된다.
- [0084] 주사 라인들(GL)은 복수 개의 화소들(PX) 중 대응하는 화소(PX)에 각각 연결되고, 데이터 라인들(DL)은 복수 개의 화소들(PX) 중 대응하는 화소(PX)에 각각 연결된다. 발광 라인들(EL) 각각은 주사 라인들(GL) 중 대응하는 주사 라인에 나란하게 배열될 수 있다. 제어신호 라인(SL-D)은 화소 구동 회로(GDC)에 제어신호들을 제공할 수 있다. 초기화 라인(SL-Vint)은 복수 개의 화소들(PX)에 초기화 전압을 제공할 수 있다. 전압 라인(SL-VDD)은 복수 개의 화소들(PX)에 연결되며, 복수 개의 화소들(PX)에 전원 전압(예컨대, 제1 전압)을 제공할 수 있다. 전압

라인(SL-VDD)은 제1 방향(DR1)으로 연장하는 복수의 라인들 및 제2 방향(DR2)으로 연장하는 복수의 라인들을 포함할 수 있다. 전원 공급 라인(E-VSS)은 비표시 영역(NDA)에는 표시 영역(DA)의 3개의 측면을 둘러싸며 배치될 수 있다. 전원 공급 라인(E-VSS)은 복수 개의 화소들(PX)에 공통 전압(예컨대, 제2 전압)을 제공할 수 있다. 공통 전압은 전원 전압 보다 낮은 레벨의 전압일 수 있다.

- [0085] 표시 패널(DP)은 화소 구동 회로(GDC)를 더 포함할 수 있다. 화소 구동 회로(GDC)는 비표시 영역(NDA)의 일측에 배치되고 주사 라인들(GL) 및 발광 라인들(EL)에 연결될 수 있다.
- [0086] 화소 구동 회로(GDC)는 게이트 구동 회로(미도시)와 발광 라인 구동 회로(미도시)를 포함할 수 있다. 게이트 구동 회로(미도시)는 주사 라인들(GL)에 신호를 제공하고, 발광 라인 구동 회로(미도시)는 발광 라인들(EL)에 신호를 제공할 수 있다.
- [0087] 화소 구동 회로(GDC)는 도 2에 도시된 회로 소자층(DP-CL)에 포함될 수 있다. 화소 구동 회로(GDC)는 화소들(PX)의 구동 회로와 동일한 공정, 예컨대 LTPS(Low Temperature Polycrystalline Silicon) 공정 또는 LTPO(Low Temperature Polycrystalline Oxide) 공정을 통해 형성된 복수 개의 박막 트랜지스터들을 포함할 수 있다.
- [0088] 패드부(PD)는 복수의 패드들을 포함한다. 패드부(PD)의 일부는 데이터 라인들(DL), 제어신호 라인(SL-D), 초기화 라인(SL-Vint), 및 전압 라인(SL-VDD)의 말단에 연결될 수 있다. 패드부(PD)의 다른 일부는 터치 감지 유닛(TS)의 터치 신호 라인들과 연결될 수 있다.
- [0089] 도시하지는 않았으나, 표시 패널(DP)은 표시 영역(DA)과 패드부(PD) 사이에 배치된 बैं크(미도시)를 더 포함할 수 있다. 또한, 표시 패널(DP)은 표시 영역(DA)의 테두리를 둘러싸는 댐부(미도시)를 더 포함할 수 있다. बैं크와 댐부는 표시 패널(DP)을 형성시 특정한 층을 프린팅하여 형성할 때, 특정한 층이 बैं크 또는 댐부 외부로 넘치는 것을 방지할 수 있다.
- [0090] 평면상에서 실링 부재(SL)는 표시 패널(DP)의 비표시 영역(NDA)에 배치되고, 표시 영역(DA)을 둘러싸도록 배치될 수 있다. 실링 부재(SL)는 전원 공급 라인(E-VSS)과 중첩하게 배치될 수 있다. 실링 부재(SL)는 화소 구동 회로(GDC)의 일부와 중첩할 수 있다.
- [0091] 표시 패널(DP)은 보조 전원 공급 패턴(VSSP) 및 보조 전압 패턴(VDDP)을 더 포함할 수 있다.
- [0092] 평면상에서 보조 전원 공급 패턴(VSSP)은 전원 공급 라인(E-VSS)와 전기적으로 연결되고, 실링 부재(SL)와 중첩할 수 있다.
- [0093] 평면상에서 보조 전압 패턴(VDDP)은 전압 라인(SL-VDD)와 전기적으로 연결되고, 실링 부재(SL)와 중첩할 수 있다. 평면상에서 보조 전압 패턴(VDDP)은 패드부(PD)와 표시 영역(DA) 사이에 배치될 수 있다.
- [0094] 도 4는 도 3의 하나의 화소의 등가 회로도이다.
- [0095] 본 발명의 일 실시예에 따른 하나의 화소(PX)는 복수의 트랜지스터들(T1~T7), 스토리지 커패시터(Cst), 및 유기 발광 소자(organic light emitting diode, OLED)를 포함할 수 있다.
- [0096] 박막트랜지스터들(T1~T7)은 구동 트랜지스터(T1), 스위칭 트랜지스터(T2), 보상 트랜지스터(T3), 초기화 트랜지스터(T4), 제1 발광 제어 트랜지스터(T5), 제2 발광 제어 트랜지스터(T6), 및 바이패스 트랜지스터(T7)를 포함한다.
- [0097] 화소(PX)는 스위칭 트랜지스터(T2) 및 보상 트랜지스터(T3)에 n번째 주사 신호(Sn)를 전달하는 제1 주사 라인(14), 초기화 트랜지스터(T4)에 n-1번째 주사 신호(Sn-1)를 전달하는 제2 주사 라인(24), 바이패스 트랜지스터(T7)에 n+1번째 주사 신호(Sn+1)를 전달하는 제3 주사 라인(34), 제1 발광 제어 트랜지스터(T5) 및 제2 발광 제어 트랜지스터(T6)에 발광 제어 신호(En)를 전달하는 발광 라인(15), 데이터 신호(Dm)를 전달하는 데이터 라인(16), 전원전압(ELVDD)을 전달하는 전압 라인(26), 구동 트랜지스터(T1)를 초기화 하는 초기화 전압(Vint)을 전달하는 초기화 라인(22)을 포함한다.
- [0098] 구동 트랜지스터(T1)의 게이트 전극(G1)은 스토리지 커패시터(Cst)의 제1 전극(C1)과 연결된다. 구동 트랜지스터(T1)의 소스 전극(S1)은 제1 발광 제어 트랜지스터(T5)를 경유하여 전압 라인(26)과 연결된다. 구동 트랜지스터(T1)의 드레인 전극(D1)은 제2 발광 제어 트랜지스터(T6)를 경유하여 유기 발광 소자(OLED)의 애노드와 전기적으로 연결되어 있다. 구동 트랜지스터(T1)는 스위칭 트랜지스터(T2)의 스위칭 동작에 따라 데이터 신호(Dm)를 전달받아 유기 발광 소자(OLED)에 구동 전류(Id)를 공급한다.

- [0099] 스위칭 트랜지스터(T2)의 게이트 전극(G2)은 제1 주사 라인(14)과 연결된다. 스위칭 트랜지스터(T2)의 소스 전극(S2)은 데이터 라인(16)과 연결된다. 스위칭 트랜지스터(T2)의 드레인 전극(D2)은 구동 트랜지스터(T1)의 소스 전극(S1)과 연결되고, 제1 발광 제어 트랜지스터(T5)를 경유하여 전압 라인(26)과 연결된다. 스위칭 트랜지스터(T2)는 제1 주사 라인(14)을 통해 전달받은 n번째 주사 신호(Sn)에 따라 턴 온 되어 데이터 라인(16)으로 전달된 데이터 신호(Dm)를 구동 트랜지스터(T1)의 소스 전극(S1)으로 전달하는 스위칭 동작을 수행한다.
- [0100] 보상 트랜지스터(T3)의 게이트 전극(G3)은 제1 주사 라인(14)에 연결되어 있다. 보상 트랜지스터(T3)의 소스 전극(S3)은 구동 트랜지스터(T1)의 드레인 전극(D1)과 연결되고, 제2 발광 제어 트랜지스터(T6)를 경유하여 유기 발광 소자(OLED)의 애노드와 연결된다. 보상 트랜지스터(T3)의 드레인 전극(D3)은 스토리지 커패시터(Cst)의 제1 전극(C1), 초기화 트랜지스터(T4)의 소스 전극(S4) 및 구동 트랜지스터(T1)의 게이트 전극(G1)과 연결되어 있다. 보상 트랜지스터(T3)는 제1 주사 라인(14)을 통해 전달받은 n번째 주사 신호(Sn)에 따라 턴 온되어 구동 트랜지스터(T1)의 게이트 전극(G1)과 드레인 전극(D1)을 서로 연결하여 구동 트랜지스터(T1)를 다이오드 연결(diode connection)시킨다.
- [0101] 초기화 트랜지스터(T4)의 게이트 전극(G4)은 제2 주사 라인(24)과 연결된다. 초기화 트랜지스터(T4)의 드레인 전극(D4)은 초기화 라인(22)에 연결된다. 초기화 트랜지스터(T4)의 소스 전극(S4)은 스토리지 커패시터(Cst)의 제1 전극(C1), 보상 트랜지스터(T3)의 드레인 전극(D3) 및 구동 트랜지스터(T1)의 게이트 전극(G1)에 연결된다. 초기화 트랜지스터(T4)는 제2 주사 라인(24)을 통해 전달받은 n-1번째 주사 신호(Sn-1)에 따라 턴 온되어 초기화 전압(Vint)을 구동 트랜지스터(T1)의 게이트 전극(G1)에 전달하여 구동 트랜지스터(T1)의 게이트 전극(G1)의 전압을 초기화시킨다.
- [0102] 제1 발광 제어 트랜지스터(T5)의 게이트 전극(G5)은 발광 라인(15)과 연결된다. 제1 발광 제어 트랜지스터(T5)는 전압 라인(26)과 구동 트랜지스터(T1) 사이에 연결될 수 있다. 제1 발광 제어 트랜지스터(T5)의 소스 전극(S5)은 전압 라인(26)과 연결된다. 제1 발광 제어 트랜지스터(T5)의 드레인 전극(D5)은 구동 트랜지스터(T1)의 소스 전극(S1) 및 스위칭 트랜지스터(T2)의 드레인 전극(D2)과 연결된다. 제1 발광 제어 트랜지스터(T5)의 게이트 전극(G5)에 발광 제어 신호(En)이 인가됨에 따라 제1 발광 제어 트랜지스터(T5)는 턴 온되어 유기 발광 소자(OLED)에 구동 전류(Id)가 흐른다. 제1 발광 제어 트랜지스터(T5)는 유기발광 다이오드(OLED)에 구동 전류(Id)가 흐르는 타이밍을 결정할 수 있다.
- [0103] 제2 발광 제어 트랜지스터(T6)의 게이트 전극(G6)은 발광 라인(15)과 연결된다. 제2 발광 제어 트랜지스터(T6)는 구동 트랜지스터(T1)와 유기발광 다이오드(OLED) 사이에 연결될 수 있다. 제2 발광 제어 트랜지스터(T6)의 소스 전극(S6)은 구동 트랜지스터(T1)의 드레인 전극(D1) 및 보상 트랜지스터(T3)의 소스 전극(S3)과 연결된다. 제2 발광 제어 트랜지스터(T6)의 드레인 전극(D6)은 유기 발광 소자(OLED)의 애노드와 전기적으로 연결된다. 제1 발광 제어 트랜지스터(T5) 및 제2 발광 제어 트랜지스터(T6)는 발광 라인(15)을 통해 전달받은 발광 제어 신호(En)에 따라 턴 온된다. 제2 발광 제어 트랜지스터(T6)의 게이트 전극(G6)에 발광 제어 신호(En)이 인가됨에 따라 제2 발광 제어 트랜지스터(T6)는 턴 온되어 유기 발광 소자(OLED)에 구동 전류(Id)가 흐른다. 제2 발광 제어 트랜지스터(T6)는 유기발광 다이오드(OLED)에 구동 전류(Id)가 흐르는 타이밍을 결정할 수 있다.
- [0104] 바이패스 트랜지스터(T7)의 게이트 전극(G7)은 제3 주사 라인(34)에 연결된다. 바이패스 트랜지스터(T7)의 소스 전극(S7)은 유기 발광 소자(OLED)의 애노드에 연결된다. 바이패스 트랜지스터(T7)의 드레인 전극(D7)은 초기화 라인(22)에 연결된다. 바이패스 트랜지스터(T7)는 제3 주사 라인(34)을 통해 전달받은 n+1번째 주사 신호(Sn+1)에 따라 턴 온되어 유기 발광 소자(OLED)의 애노드를 초기화시킨다.
- [0105] 스토리지 커패시터(Cst)의 제2 전극(C2)은 전압 라인(26)에 연결된다. 스토리지 커패시터(Cst)의 제1 전극(C1)은 구동 트랜지스터(T1)의 게이트 전극(G1), 보상 트랜지스터(T3)의 드레인 전극(D3) 및 초기화 트랜지스터(T4)의 소스 전극(S4)에 연결된다.
- [0106] 유기 발광 소자(OLED)의 캐소드는 기준 전압(ELVSS)을 수신한다. 유기 발광 소자(OLED)는 구동 트랜지스터(T1)로부터 구동 전류(Id)를 전달받아 발광한다.
- [0107] 본 발명의 실시예에 따른 화소(PX)에서, 스위칭 트랜지스터(T2), 보상 트랜지스터(T3), 초기화 트랜지스터(T4), 및 바이패스 트랜지스터(T7) 각각의 게이트 전극들(G2, G3, G4, G5)은 도 3을 참조하여 설명한 화소 구동 회로(GDC)의 게이트 구동 회로(미도시)로부터 신호를 수신할 수 있다.
- [0108] 본 발명의 실시예에 따른 화소(PX)에서, 제1 발광 제어 트랜지스터(T5) 및 제2 발광 제어 트랜지스터(T6)는 도 3을 참조하여 설명한 화소 구동 회로(GDC)의 발광 라인 구동 회로(미도시)로부터 신호를 수신할 수 있다.

- [0109] 본 발명의 다른 실시예에서, 화소(PX)를 구성하는 트랜지스터들(T1~T7)의 개수와 연결관계는 다양하게 변경될 수 있다.
- [0110] 도 5는 도 3의 I-I'선에 따라 절단한 단면도이다. 도 6은 도 3의 AA 영역을 도시한 도면이다.
- [0111] 도 2 및 도 5를 참조하면, 베이스 층(SUB)은 글라스, 금속, 또는 플라스틱 등 다양한 재료로 형성된 것일 수 있다. 플라스틱은 폴리이미드(polyimide: PI), 폴리에틸렌 나프탈레이트(polyethylene naphthalate: PEN), 폴리에틸렌 테레프탈레이트(polyethylene terephthalate: PET), 폴리아릴레이트(polyarylate), 폴리카보네이트(polycarbonate: PC), 폴리에테르이미드(polyetherimide: PEI) 또는 폴리에테르술폰(polyethersulfone: PES)일 수 있다.
- [0112] 베이스 층(SUB)에는 표시 패널(DP)의 표시 영역(DA) 및 비표시 영역(NDA)이 실질적으로 동일하게 정의될 수 있다.
- [0113] 회로 소자층(DP-CL)은 베이스 기판(SUB) 상에 배치된다.
- [0114] 회로 소자층(DP-CL)은 도 3을 참조하여 설명한 화소 구동 회로(GDC), 복수의 신호 라인들, 패드부(PD), 및 도 4를 참조하여 설명한 화소(PX)의 트랜지스터들(T1~T7)을 포함할 수 있다.
- [0115] 도 3 및 도 6을 참조하면, 평면상에서 화소 구동 회로(GDC)의 발광 라인 구동 회로(ETC)는 게이트 구동 회로(GTC)에 비해 표시 패널(DP)의 표시 영역(DA)으로부터 더 멀리 배치된다. 게이트 구동 회로(GTC)와 발광 라인 구동 회로(ETC) 각각은 복수의 트랜지스터들과 전자 소자들을 포함할 수 있다.
- [0116] 도 5에서, 발광 라인 구동 회로(ETC)가 배치된 발광 라인 구동 회로 영역(ETCA)과 게이트 구동 회로(GTC)가 배치된 게이트 구동 회로 영역(GTCA)을 도시하였다. 도 5에서 발광 라인 구동 회로(ETC)에 포함된 제1 트랜지스터(TFT1)를 예시적으로 도시하였고, 게이트 구동 회로(GTC)에 포함된 제2 트랜지스터(TFT2)를 예시적으로 도시하였다. 또한, 도 5에서, 화소(PX)에 포함된 제3 트랜지스터(TFT3)를 예시적으로 도시하였다.
- [0117] 제1 트랜지스터(TFT1)는 제1 반도체 패턴(SM1), 제1 제어 전극(CE1), 제1 입력 전극(IE1), 및 제1 출력 전극(OE1)을 포함한다.
- [0118] 제2 트랜지스터(TFT2)는 제2 반도체 패턴(SM2), 제2 제어 전극(CE2), 제2 입력 전극(IE2), 및 제2 출력 전극(OE2)을 포함한다.
- [0119] 제3 트랜지스터(TFT3)는 제3 반도체 패턴(SM3), 제3 제어 전극(CE3), 및 제3 입력 전극(IE3), 및 제3 출력 전극(OE3)을 포함한다.
- [0120] 회로 소자층(DP-CL)은 버퍼층(110) 및 제1 내지 제4 절연층들(120, 130, 140, 150)을 포함할 수 있다.
- [0121] 버퍼층(110)은 베이스 층(SUB) 상에 배치된다. 버퍼층(110)은 베이스 층(SUB)의 면을 평탄화하기 위해 또는 제1 내지 제3 트랜지스터들(TFT1, TFT2, TFT3)의 제1 내지 제3 반도체 패턴들(SM1, SM2, SM3)에 불순물 등이 침투하는 것을 방지하기 위해 배치된다. 버퍼층(110)은 실리콘옥사이드 또는 실리콘나이트라이드 등으로 형성될 수 있다.
- [0122] 제1 내지 제3 반도체 패턴들(SM1, SM2, SM3)은 버퍼층(110) 상에 배치될 수 있다.
- [0123] 제1 절연층(120)은 제1 내지 제3 반도체 패턴들(SM1, SM2, SM3) 상에 배치될 수 있다. 제1 절연층(120)은 유기 또는 무기 절연막으로 이루어질 수 있다.
- [0124] 제1 내지 제3 제어 전극들(CE1, CE2, CE3)은 제1 절연층(120) 상에 배치될 수 있다.
- [0125] 제2 절연층(130)은 제1 내지 제3 제어 전극들(CE1, CE2, CE3) 상에 배치될 수 있다. 제2 절연층(130)은 유기 또는 무기 절연막으로 이루어질 수 있다.
- [0126] 제1 내지 제3 입력 전극들(IE1, IE2, IE3) 및 제1 내지 제3 출력 전극들(OE1, OE2, OE3)은 제2 절연층(130) 상에 배치될 수 있다.
- [0127] 제1 입력 전극(IE1) 및 제1 출력 전극(OE1)은 서로 이격되고, 제2 절연층(130)에 형성된 콘택홀(미도시)을 통해 제1 반도체 패턴(SM1)에 연결된다.
- [0128] 제2 입력 전극(IE2) 및 제2 출력 전극(OE2)은 서로 이격되고, 제2 절연층(130)에 형성된 콘택홀(미도시)을 통해

제2 반도체 패턴(SM2)에 연결된다.

- [0129] 제3 입력 전극(IE3) 및 제3 출력 전극(OE3)은 서로 이격되고, 제2 절연층(130)에 형성된 콘택홀(미도시)을 통해 제3 반도체 패턴(SM3)에 연결된다.
- [0130] 본 발명의 다른 실시예에서, 도 5에 도시된 제1 내지 제3 트랜지스터들(TFT1, TFT2, TFT3) 각각의 구조와 달리 제1 내지 제3 반도체 패턴들(SM1, SM2, SM3), 제1 내지 제3 제어 전극들(CE1, CE2, CE3), 제1 내지 제3 입력 전극들(IE1, IE2, IE3), 제1 내지 제4 출력 전극들(OE1, OE2, OE3)의 위치는 변경될 수 있다.
- [0131] 본 발명의 다른 실시예에서, 제1 내지 제3 트랜지스터들(TFT1, TFT2, TFT3)의 일부 층은 보조 전원 공급 패턴(VSSP)과 동일한 층상에 동일한 물질을 이용하여 형성될 수 있다. 예를 들어, 제3 트랜지스터(TFT3)의 제3 입력 전극(IE3) 및 제3 출력 전극(OE3)은 전원 공급 라인(E-VSS)과 동일한 층 상에 배치되는 것으로 도시하였으나, 다른 실시예에서, 보조 전원 공급 패턴(VSSP)과 동일한 층상에 배치되고, 제2 및 제3 절연층들(130, 140)에 형성된 콘택홀을 통해 제3 반도체 패턴(SM3)에 연결될 수 있다.
- [0132] 따라서, 본 발명의 다른 실시예에 따르면, 보조 전원 공급 패턴(VSSP)을 형성할 때 제1 내지 제3 트랜지스터들(TFT1, TFT2, TFT3)을 구성하는 금속층을 형성할 수 있으므로, 제1 내지 제3 트랜지스터들(TFT1, TFT2, TFT3)의 설계 자유도가 향상되고, 결과적으로, 표시 품질이 향상될 수 있다.
- [0133] 다시 도 5를 참조하면, 전원 공급 라인(E-VSS)은 제2 절연층(130) 상에 배치될 수 있다. 본 발명의 실시예에서, 전원 공급 라인(E-VSS)은 제1 내지 제3 입력 전극들(IE1, IE2, IE3) 및 제1 내지 제3 출력 전극들(OE1, OE2, OE3)과 동일한 층상에 배치될 수 있다. 본 발명의 실시예에서, 초기화 라인(SL-Vint) 및 전압 라인(SL-VDD)은 전원 공급 라인(E-VSS)과 동일한 층 상에 배치될 수 있다.
- [0134] 전원 공급 라인(E-VSS)은 단일층 또는 복수의 층을 포함할 수 있다. 예를 들어, 전원 공급 라인(E-VSS)은 Ti/Al/Ti 가 순차적으로 적층된 구조를 가질 수 있다.
- [0135] 제3 절연층(140)은 전원 공급 라인(E-VSS) 및 제1 내지 제3 트랜지스터들(TFT1, T TFT2, TFT3) 상에 배치될 수 있다. 제3 절연층(140)은 유기 또는 무기 절연막으로 이루어질 수 있다. 제3 절연층(140)은 제1 중간 절연층으로 정의될 수 있다.
- [0136] 보조 전원 공급 패턴(VSSP)은 제3 절연층(140) 상에 배치될 수 있다. 보조 전원 공급 패턴(VSSP)은 전원 공급 라인(E-VSS)과 중첩할 수 있다. 보조 전원 공급 패턴(VSSP)은 제3 절연층(140)에 형성된 콘택홀(미도시)을 통해 전원 공급 라인(E-VSS)과 전기적으로 연결될 수 있다.
- [0137] 보조 전원 공급 패턴(VSSP)은 제1 제어 전극(CE1), 제1 입력 전극(IE1), 및 제1 출력 전극(OE1) 보다 큰 녹는점을 갖는 물질로 형성될 수 있다.
- [0138] 보조 전원 공급 패턴(VSSP)은 금속, 예를 들어, 몰리브덴(Mo)을 포함할 수 있다.
- [0139] 제4 절연층(150)은 보조 전원 공급 패턴(VSSP) 상에 배치될 수 있다. 제4 절연층(150)은 보조 전원 공급 패턴(VSSP)의 일부와 중첩할 수 있다. 제4 절연층(150)은 유기 또는 무기 절연막으로 이루어질 수 있다. 제4 절연층(150)은 제2 중간 절연층으로 정의될 수 있다.
- [0140] 표시 소자층(DP-OLED)은 화소정의막(PDL) 및 유기발광소자(OD)를 포함할 수 있다.
- [0141] 화소정의막(PDL)은 제4 절연층(150) 상에 배치된다. 화소정의막(PDL)에는 복수의 개구부들이 정의될 수 있다. 개구부들 각각에는 유기발광소자(OD)가 제공될 수 있다.
- [0142] 유기발광소자(OD)는 제1 전극(E1), 제2 전극(E2), 및 발광층(EML)을 포함한다. 제1 전극(E1)은 회로 소자층(DP-CL) 상에 배치될 수 있다. 제1 전극(E1)은 제3 및 제4 절연층들(140, 150)을 관통하여 제3 트랜지스터(TFT3)에 전기적으로 접속될 수 있다. 제1 전극(E1)은 복수로 제공될 수 있다. 복수의 제1 전극들(E1) 각각의 적어도 일부들은 개구부들 각각에 의해 노출될 수 있다.
- [0143] 제2 전극(E2)은 제1 전극(E1) 상에 배치된다. 제2 전극(E2)은 복수의 제1 전극들(E1) 및 화소정의막(PDL)에 중첩할 수 있다. 유기발광소자(OD)가 복수로 제공될 때 복수의 유기발광소자들(OD)의 제2 전극(E2)에 동일한 전압이 인가될 수 있다. 이에 따라 제2 전극(E2)을 형성하기 위해 별도의 패터닝 공정이 생략될 수 있다. 한편, 이는 예시적으로 도시한 것이고, 제2 전극(E2)은 개구부들 각각에 대응되도록 복수로 제공될 수도 있다.
- [0144] 발광층(EML)은 제1 전극(E1)과 제2 전극(E2) 사이에 배치된다. 발광층(EML)은 복수로 제공되어 개구부들 각각에

배치될 수 있다. 유기발광소자(OD)는 제1 전극(E1) 및 제2 전극(E2) 사이의 전위차에 따라 발광층(EML)을 활성화시켜 광을 생성할 수 있다.

- [0145] 도시하지는 않았으나, 유기발광소자(OD)는 제1 전극(E1)과 발광층(EML) 사이에 배치된 전자제어층 및 발광층(EML) 및 제2 전극(E2) 사이에 배치된 정공제어층을 더 포함할 수 있다.
- [0146] 표시 소자층(DP-OLED)은 제4 절연층(150) 상에 배치된 보조 패턴(VSP)을 더 포함할 수 있다. 상기 보조 패턴(VSP)은 제1 전극(E1)과 동일한 층상에 배치될 수 있다.
- [0147] 보조 패턴(VSP)은 표시 패널(DP)의 비표시 영역(NDA)에 배치될 수 있다. 보조 패턴(VSP)은 제4 절연층(150)에 형성된 콘택홀(미도시)을 통해 보조 전원 공급 패턴(VSSP)에 연결될 수 있다.
- [0148] 제2 전극(E2)은 비표시 영역(NDA)에서 화소정의막(PDL)에 형성된 콘택홀(미도시)을 통해 보조 패턴(VSP)에 연결될 수 있다.
- [0149] 전원 공급 라인(E-VSS)은 보조 전원 공급 패턴(VSSP) 및 보조 패턴(VSP)을 통해 제2 전극(E2)에 공통 전압을 제공할 수 있다.
- [0150] 실링 부재(SL)는 보조 전원 공급 패턴(VSSP)과 중첩할 수 있다. 실링 부재(SL)는 보조 전원 공급 패턴(VSSP)과 봉지층(ENP) 사이에 배치되고, 보조 전원 공급 패턴(VSSP)에 접촉할 수 있다.
- [0151] 실링 부재(SL)는 보조 전원 공급 패턴(VSSP), 제3 절연층(140) 및 봉지층(ENP)과 접합되기 위해 광 경화성 수지 또는 열 경화성 수지를 포함할 수 있다.
- [0152] 실링 부재(SL)는 도 3의 화소 구동 회로(GDC)의 일부, 즉, 발광 라인 구동 회로(ETC)와 중첩할 수 있다. 따라서, 표시 패널(DP)의 비표시 영역(NDA)을 감소시킬 수 있다.
- [0153] 보조 전원 공급 패턴(VSSP)은 실링 부재(SL)와 중첩하는 회로 소자층(DP-CL)의 금속층들을 커버할 수 있다. 구체적으로, 보조 전원 공급 패턴(VSSP)은 전원 공급 라인(E-VSS) 및 발광 라인 구동 회로(ETC)의 구성들, 즉 제1 트랜지스터(TFT1)를 커버할 수 있다.
- [0154] 실링 부재(SL)는 보조 전원 공급 패턴(VSSP)과 봉지층(ENP) 사이에 경화성 물질을 도포하고, 봉지층(ENP)의 상부에서 하부 방향으로 레이저를 조사하여 형성될 수 있다. 경화성 물질에 레이저를 조사하면, 경화성 물질로 중첩한 영역에 배치된 금속층, 예를 들어, 화소 구동 회로(GDC)의 소자들 및 전원 공급 라인(E-VSS)의 온도가 녹는점 이상으로 상승하여 불량이 발생할 수 있다.
- [0155] 본 발명의 실시예에 따른 표시 장치에 의하면, 보조 전원 공급 패턴(VSSP)을 화소 구동 회로(GDC) 및 전원 공급 라인(E-VSS) 상부에 실링 부재(SL)와 중첩하게 배치하여, 레이저 조사에 의해 화소 구동 회로(GDC) 및 전원 공급 라인(E-VSS)의 불량을 방지할 수 있다. 이를 위해, 보조 전원 공급 패턴(VSSP)은 전원 공급 라인(E-VSS)을 구성하는 금속층 보다 큰 녹는점을 갖는 물질로 형성할 수 있다. 전원 공급 라인(E-VSS)을 구성하는 금속층이 복수의 층으로 이루어진 경우, 보조 전원 공급 패턴(VSSP)은 전원 공급 라인(E-VSS)을 이루는 복수의 층들 중 녹는점이 가장 작은 금속 보다 큰 녹는점을 갖는 물질을 포함할 수 있다.
- [0156] 또한, 보조 전원 공급 패턴(VSSP)은 전원 공급 라인(E-VSS)과 연결되어 공통 전압을 공급하는 배선의 저항을 줄일 수 있고, 공통 전압을 제2 전극(E2)에 균일하게 제공할 수 있다.
- [0157] 발광 라인 구동 회로(ETC)는 화소 동작 구간의 대부분 구간 동안 온 동작하여 보조 전원 공급 패턴(VSSP)과의 사이에서 형성된 기생 커패시터에 의한 영향이 최소화된다. 따라서, 발광 라인 구동 회로(ETC)와 전원 공급 패턴(VSSP)을 중첩하게 형성하여 표시 패널(DP)의 비표시 영역(NDA)을 감소시킬 수 있다.
- [0158] 게이트 구동 회로(GTC)는 화소 동작 구간의 대부분 구간 동안 오프 동작하여 다른 소자와의 사이에서 형성된 기생 커패시터에 의한 영향을 상대적으로 많이 받는다. 즉, 게이트 구동 회로(GTC)에서 출력되는 펄스 신호는 화소 동작 구간에 비해 극히 일부 구간(1% 미만)에 해당하는 펄스 폭을 가져 기생 커패시터에 의한 딜레이에 의한 파형 손상은 회로 동작의 불량을 초래한다. 따라서, 본 발명의 실시예에서, 게이트 구동 회로(GTC)는 전원 공급 패턴(VSSP)과 중첩하게 배치되지 않을 수 있다.
- [0159] 도 7은 도 3의 II-II'선에 따라 절단한 단면도이다.
- [0160] 패드부(PD)는 제1 패드층(PD1) 및 제2 패드층(PD2)을 포함할 수 있다.
- [0161] 제1 패드층(PD1)은 제1 내지 제3 제어 전극들(CE1, CE2, CE3)과 동일한 층 상에 배치될 수 있다. 제2 패드층

(PD2)은 전압 라인(SL-VDD)과 동일함 층 상에 배치될 수 있다. 제2 패드층(PD2)은 제2 절연층(130)에 형성된 콘택홀(미도시)을 통해 제1 패드층(PD1)에 접촉할 수 있다.

- [0162] 표시 패널(DP)은 연성인쇄회로기판(FPC)을 더 포함할 수 있다. 연성인쇄회로기판(FPC)은 표시 패널(DP)에 부착되어 표시 패널(DP)의 배면으로 휘어질 수 있다.
- [0163] 연성인쇄회로기판(FPC)은 도전성 접착부재(ACF)를 통해 패드부(PD)에 연결될 수 있다. 연성인쇄회로기판(FPC)은 유연한 베이스 필름(BF), 회로 기판 패드(CPD), 및 집적 회로 칩(IC)을 포함할 수 있다. 회로 기판 패드(CPD)은 베이스 필름(BF)에 형성되어, 도전성 접착부재(ACF)와 접촉할 수 있다. 집적 회로 칩(IC)은 베이스 필름(BF) 상에 실장되어 회로 기판 패드(CPD)를 통해 표시 패널(DP)의 구동에 필요한 신호를 제공할 수 있다.
- [0164] 전압 라인(SL-VDD)은 전원 공급 라인(E-VSS)과 동일한 층 상에 배치될 수 있다.
- [0165] 보조 전압 패턴(VDDP)은 제3 절연층(140) 상에 배치될 수 있다. 보조 전압 패턴(VDDP)은 전압 라인(SL-VDD)과 중첩할 수 있다. 보조 전압 패턴(VDDP)은 제3 절연층(140)에 형성된 콘택홀(미도시)을 통해 전압 라인(SL-VDD)과 전기적으로 연결될 수 있다.
- [0166] 보조 전압 패턴(VDDP)은 도 5를 참조하여 설명한 보조 전원 공급 패턴(VSSP)와 동일한 층 상에 배치되고, 동일한 물질로 형성될 수 있다.
- [0167] 실링 부재(SL)는 보조 전압 패턴(VDDP)과 중첩할 수 있다. 실링 부재(SL)는 보조 전압 패턴(VDDP)과 봉지층(ENP) 사이에 배치되고, 보조 전압 패턴(VDDP)에 접촉할 수 있다.
- [0168] 보조 전압 패턴(VDDP)은 전압 라인(SL-VDD)과 연결되어 전원 전압을 공급하는 배선의 저항을 줄일 수 있고, 전원 전압을 도 4를 참조하여 설명한 제1 발광 제어 트랜지스터(T5)에 균일하게 제공할 수 있다.
- [0169] 도 8은 본 발명의 다른 실시예에 따른 표시 장치에서, 표시 패널의 일부를 절단한 단면도이다. 도 8은 본 발명의 다른 실시예에 따른 표시 패널에서 도 3의 I-I'선에 대응하는 위치를 도시한 단면도이다.
- [0170] 도 8을 참조하여 설명하는 표시 패널(DP1)의 보조 전압 공급 패턴(VSSP1)은 도 5를 참조하여 설명한 보조 전압 공급 패턴(VSSP)과 비교하여 하나 이상의 홀(HL1, HL2)이 제공된데 차이가 있고 나머지는 실질적으로 유사하다.
- [0171] 도 8에서 보조 전압 공급 패턴(VSSP1)에 제1 홀(HL1) 및 제2 홀(HL2)이 하나씩 제공된 것을 예시적으로 도시하였다. 다만, 이에 제한되는 것은 아니고, 보조 전압 공급 패턴(VSSP1)에 제1 홀(HL1) 및 제2 홀(HL2)은 각각 복수 개씩 제공될 수 있고, 제1 홀(HL1) 및 제2 홀(HL2) 중 어느 하나의 홀만 제공될 수 있다.
- [0172] 제1 홀(HL1) 및 제2 홀(HL2)은 실링 부재(SL)와 중첩하게 제공될 수 있다. 제1 홀(HL1) 및 제2 홀(HL2)은 보조 전압 공급 패턴(VSSP1)을 관통할 수 있다.
- [0173] 제1 홀(HL1)은 버퍼층(110) 및 제1 내지 제3 절연층들(120, 130, 140) 중 역순으로 적어도 하나 이상의 층을 더 관통할 수 있다. 도 8에서 제1 홀(HL1)은 버퍼층(110) 및 제1 내지 제3 절연층들(120, 130, 140)을 모두 관통하는 것을 예시적으로 도시하였다.
- [0174] 제2 홀(HL2)은 보조 전압 공급 패턴(VSSP1)을 관통하고 버퍼층(110) 및 제1 내지 제4 절연층들(120, 130, 140, 150)을 관통하지 않을 수 있다.
- [0175] 또한, 제3 절연층(140)에는 제3 홀(HL3)이 제공될 수 있다. 제3 홀(HL3)은 실링 부재(SL)와 중첩하고 보조 전압 공급 패턴(VSSP1)과 비중첩할 수 있다. 제3 홀(HL3)은 버퍼층(110) 및 제1 및 제2 절연층들(120, 130) 중 역순으로 적어도 하나 이상의 층을 더 관통할 수 있다. 도 8에서 제3 홀(HL3)은 버퍼층(110) 및 제1 및 제2 절연층들(120, 130)을 모두 관통하는 것을 예시적으로 도시하였다.
- [0176] 실링 부재(SL)는 경화성 물질에 유리 원료를 혼합한 물질로 형성될 수 있다. 실링 부재(SL)는 금속에 비해 절연층 및 유리로 형성된 베이스 층(SUB)과 더욱 견고하게 접촉된다.
- [0177] 본 발명의 실시예에 따른 표시 장치에 의하면, 제1 내지 제3 홀(HL1, HL2, HL3) 중 적어도 하나 이상에 의해 실링 부재(SL)가 절연층들(110, 120, 130, 140) 및 베이스 층(SUB)과 접촉하는 면적을 늘려 표시 패널(DP1)의 기구적 강도를 향상시킬 수 있다.
- [0178] 도 9는 본 발명의 다른 실시예에 따른 표시 장치에서, 표시 패널의 일부를 도시한 회로도이고, 도 10은 도 9의 실시예에 따른 표시 패널의 일부를 도시한 단면도이다. 도 10은 본 발명의 다른 실시예에 따른 표시 패널에서

도 3의 II-II'선에 대응하는 위치를 도시한 단면도이다.

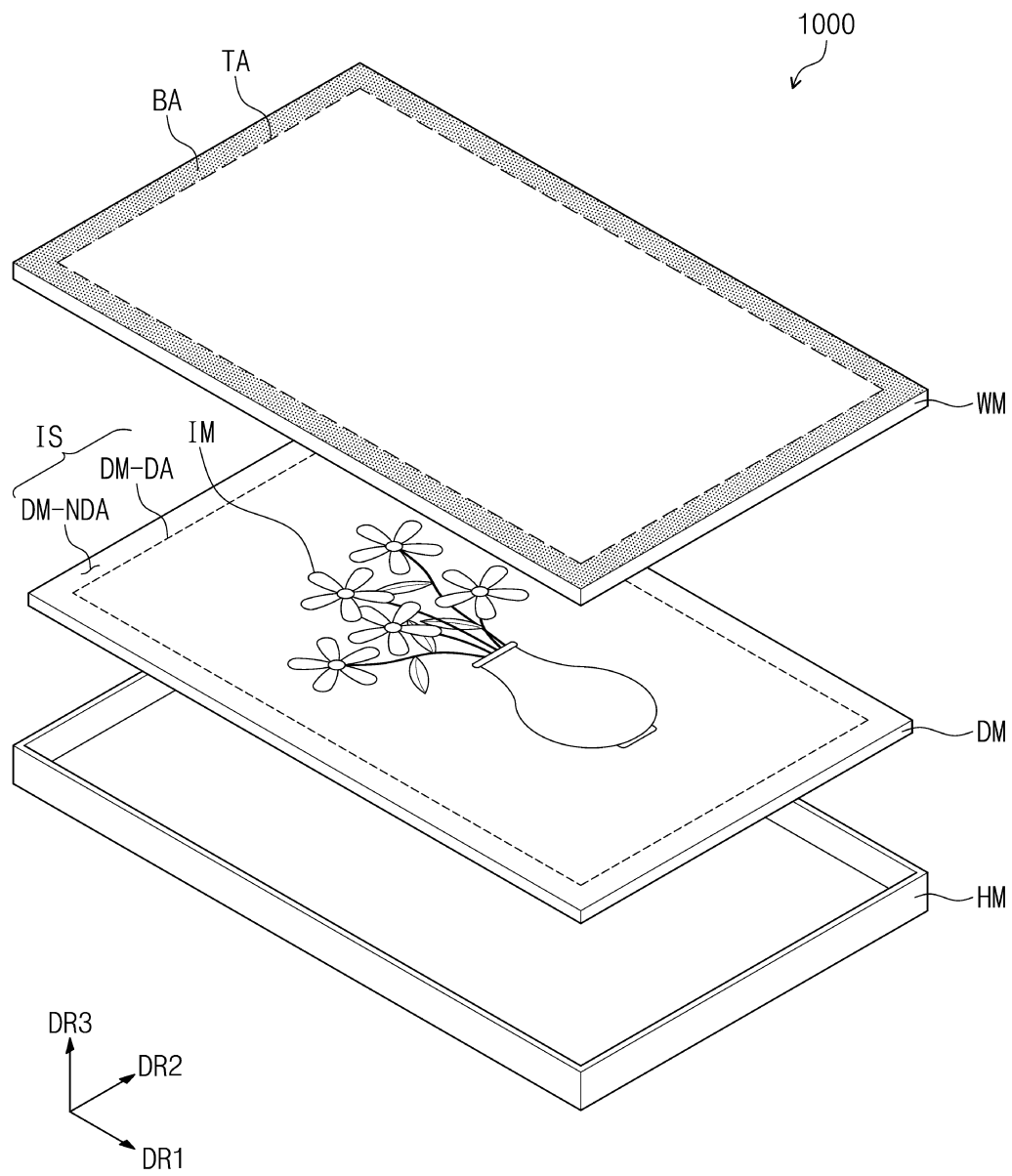
- [0179] 도 9를 참조하면, 하나의 패드부(PD)는 디렉스(DX)를 통해 적어도 2 개의 데이터 라인들(DL1, DL2)에 연결될 수 있다. 도 9에는 하나의 패드부(PD)가 제1 및 제2 데이터 라인들(DL1, DL2)에 연결된 것을 예시적으로 도시하였다.
- [0180] 디렉스(DX)는 제1 스위치 소자(SW1) 및 제2 스위치 소자(SW2)를 포함할 수 있다.
- [0181] 제1 스위치 소자(SW1)는 제1 제어 신호(CS1)에 의해 턴-온되고, 제2 스위치 소자(SW2)는 제2 제어 신호(CS2)에 의해 턴-온될 수 있다. 제1 및 제2 스위치 소자(SW1, SW2)는 서로 다른 타이밍에 턴-온될 수 있다.
- [0182] 패드부(PD)에 인가된 신호는 서로 다른 타이밍에 턴-온되는 제1 및 제2 스위치 소자(SW1, SW2)에 의해 제1 및 제2 데이터 라인(DL1, DL2)으로 서로 다른 데이터를 제공할 수 있다.
- [0183] 도 10을 참조하면, 본 발명의 다른 실시예에 따른 표시 패널(DP2)의 디렉스(DX)는 회로 소자층(DP-CL)에 구비될 수 있다. 디렉스(DX)에 포함된 제1 및 제2 스위치 소자(SW1, SW2)는 제3 트랜지스터(TFT3)와 동일한 구조를 가질 수 있다. 도 10에는 제1 스위치 소자(SW1)를 예시적으로 도시하였다.
- [0184] 제1 스위치 소자(SW1)는 제4 반도체 패턴(SM4), 제4 제어 전극(CE4), 제4 입력 전극(IE4), 및 제4 출력 전극(OE4)을 포함할 수 있다.
- [0185] 또한, 회로 소자층(DP-CL)은 정전기 방지 패턴(ESD)을 더 포함할 수 있다. 정전기 방지 패턴(ESD)은 각각이 아일랜드 형상을 갖는 복수 개로 제공될 수 있다. 정전기 방지 패턴(ESD)은 플로팅된 상태로 제공되고, 서로 이격된다. 정전기 방지 패턴(ESD)은 다양한 층에 형성될 수 있고, 금속 물질을 포함할 수 있다. 본 발명의 실시예에서 정전기 방지 패턴(ESD)은 제3 트랜지스터(TFT3)의 제3 제어 전극(CE3)과 동일한 층 상에 배치된 것을 예시적으로 도시하였다. 정전기 방지 패턴(ESD)은 외부에서 발생한 정전기가 표시 영역(DA)에 구비된 소자들로 유입되는 것을 방지할 수 있다.
- [0186] 보조 전압 패턴(VDDP)은 디렉스(DX) 상부에 디렉스(DX), 즉, 제1 스위치 소자(SW1)를 커버할 수 있다. 제1 스위치 소자(SW1)는 실링 부재(SL)와 중첩할 수 있다.
- [0187] 또한, 보조 전압 패턴(VDDP)은 정전기 방지 패턴(ESD)을 커버할 수 있다. 정전기 방지 패턴(ESD)은 실링 부재(SL)와 중첩할 수 있다.
- [0188] 실링 부재(SL)를 형성할 때, 경화성 물질에 레이저를 조사하면, 경화성 물질로 중첩한 영역에 배치된 제1 스위치 소자(SW1) 및 정전기 방지 패턴(ESD)의 온도가 녹는점 이상으로 상승하여 불량이 발생할 수 있다.
- [0189] 본 발명의 실시예에 따른 표시 장치에 의하면, 보조 전압 패턴(VDDP)을 제4 제어 전극(CE4), 제4 입력 전극(IE4), 및 제4 출력 전극(OE4) 보다 큰 녹는점을 갖는 물질로 형성한다.
- [0190] 보조 전압 패턴(VDDP)을 제1 스위치 소자(SW1) 및 정전기 방지 패턴(ESD)와 중첩하게 배치하여, 레이저 조사에 의해 제1 스위치 소자(SW1) 및 정전기 방지 패턴(ESD)의 불량을 방지할 수 있다.
- [0191] 이상에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자 또는 해당 기술 분야에 통상의 지식을 갖는 자라면, 후술될 특허청구범위에 기재된 본 발명의 사상 및 기술 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.
- [0192] 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허청구범위에 의해 정하여져야만 할 것이다.

부호의 설명

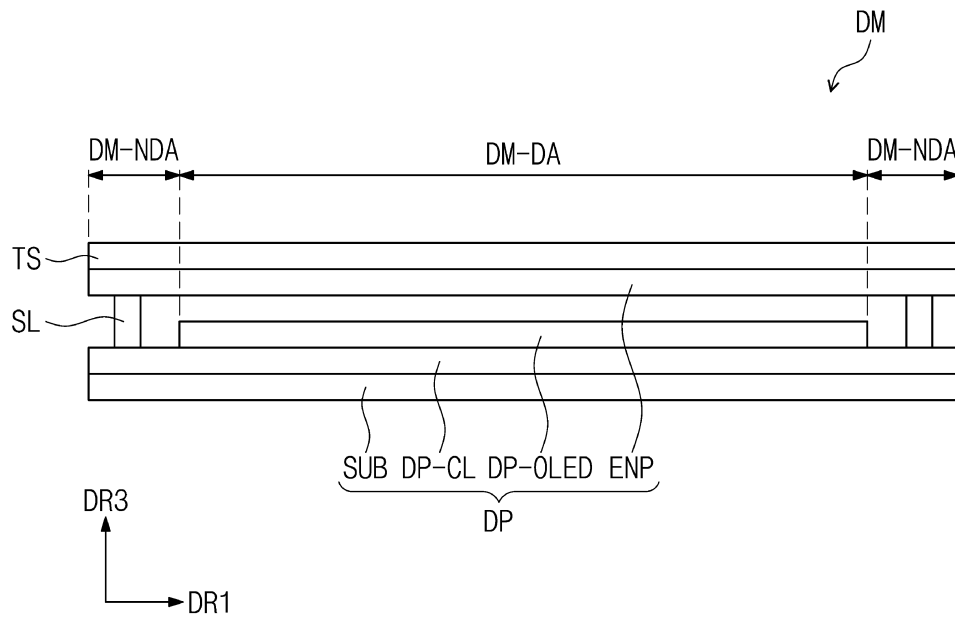
- [0193] SUB: 베이스 층 DP-CL: 회로 소자층
DP-OLED: 표시 소자층 ENP: 봉지층
E-VSS: 전원 공급 라인 VSSP: 보조 전원 공급 패턴
SL-VDD: 전압 라인 VDDP: 보조 전압 패턴
SL: 실링 부재 DP: 표시 패널

도면

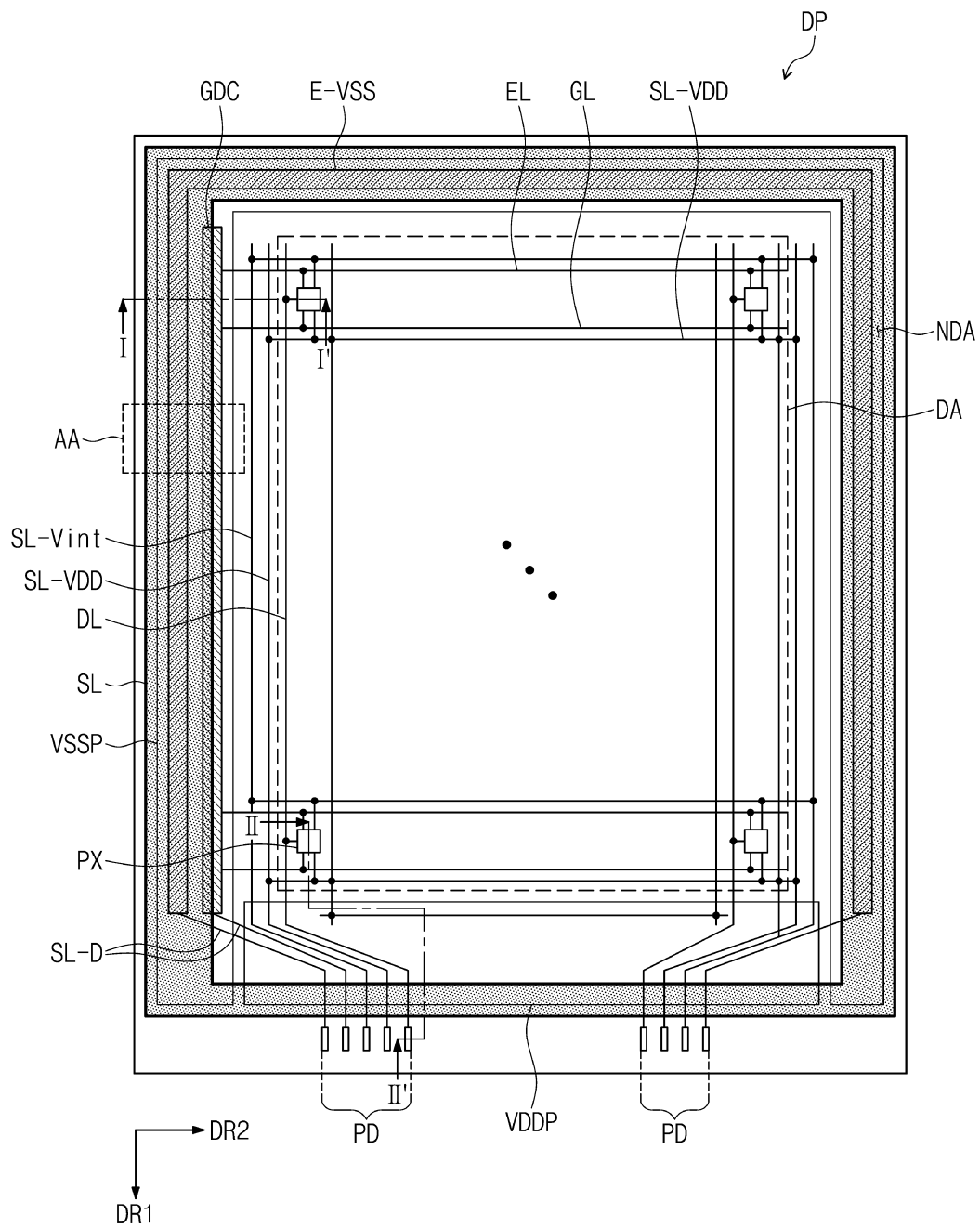
도면1



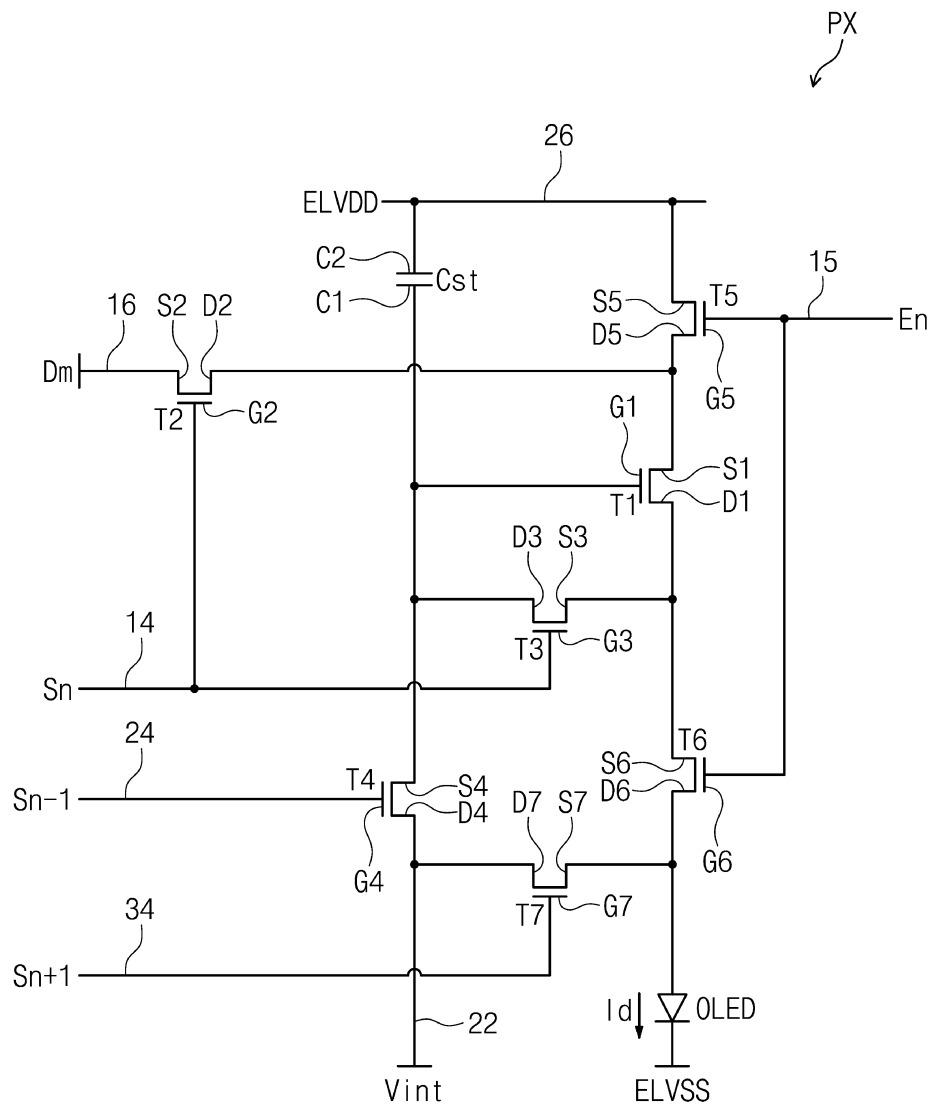
도면2



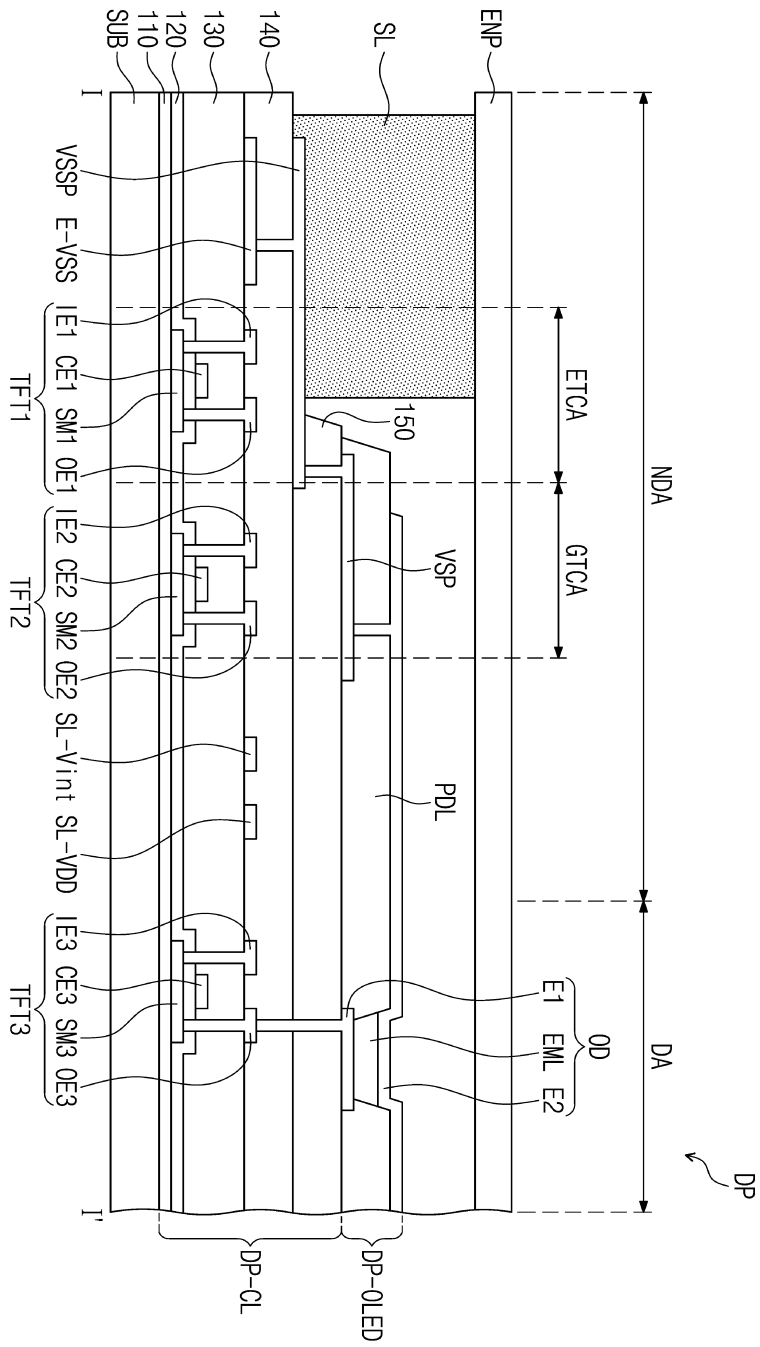
도면3



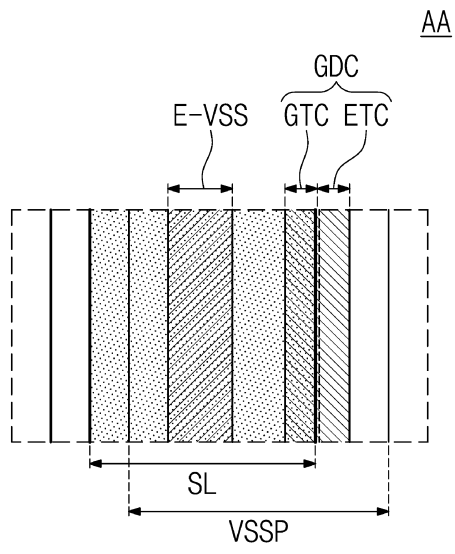
도면4



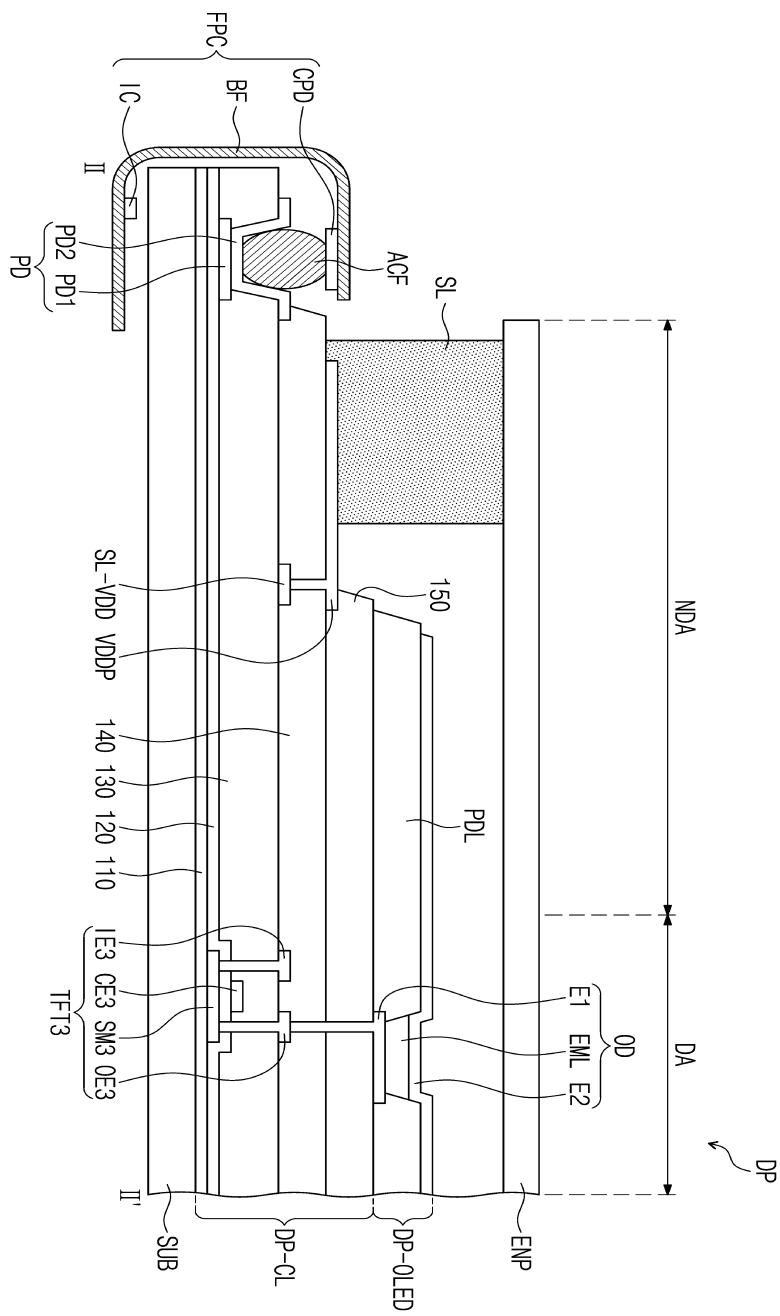
도면5



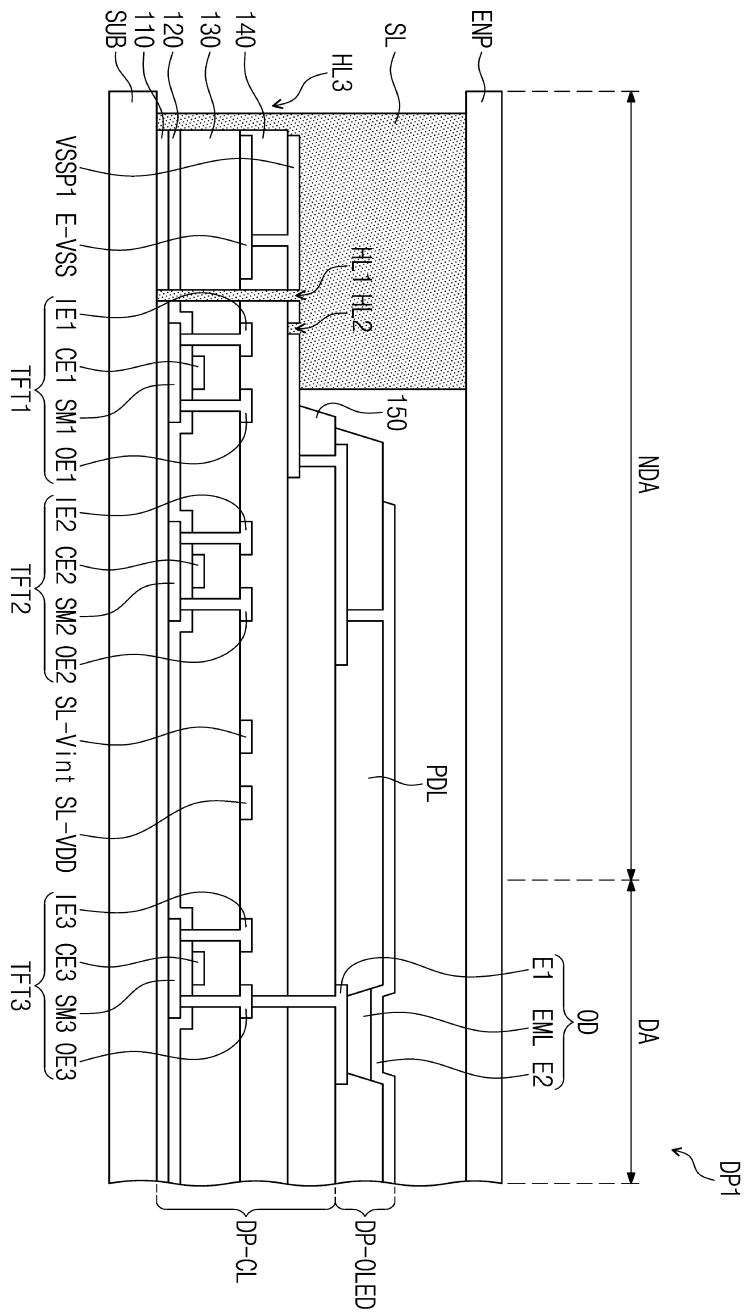
도면6



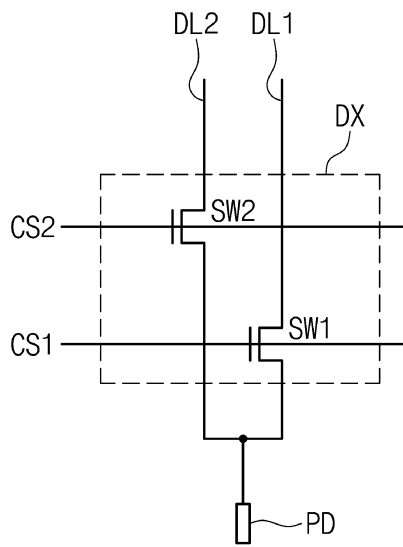
도면7



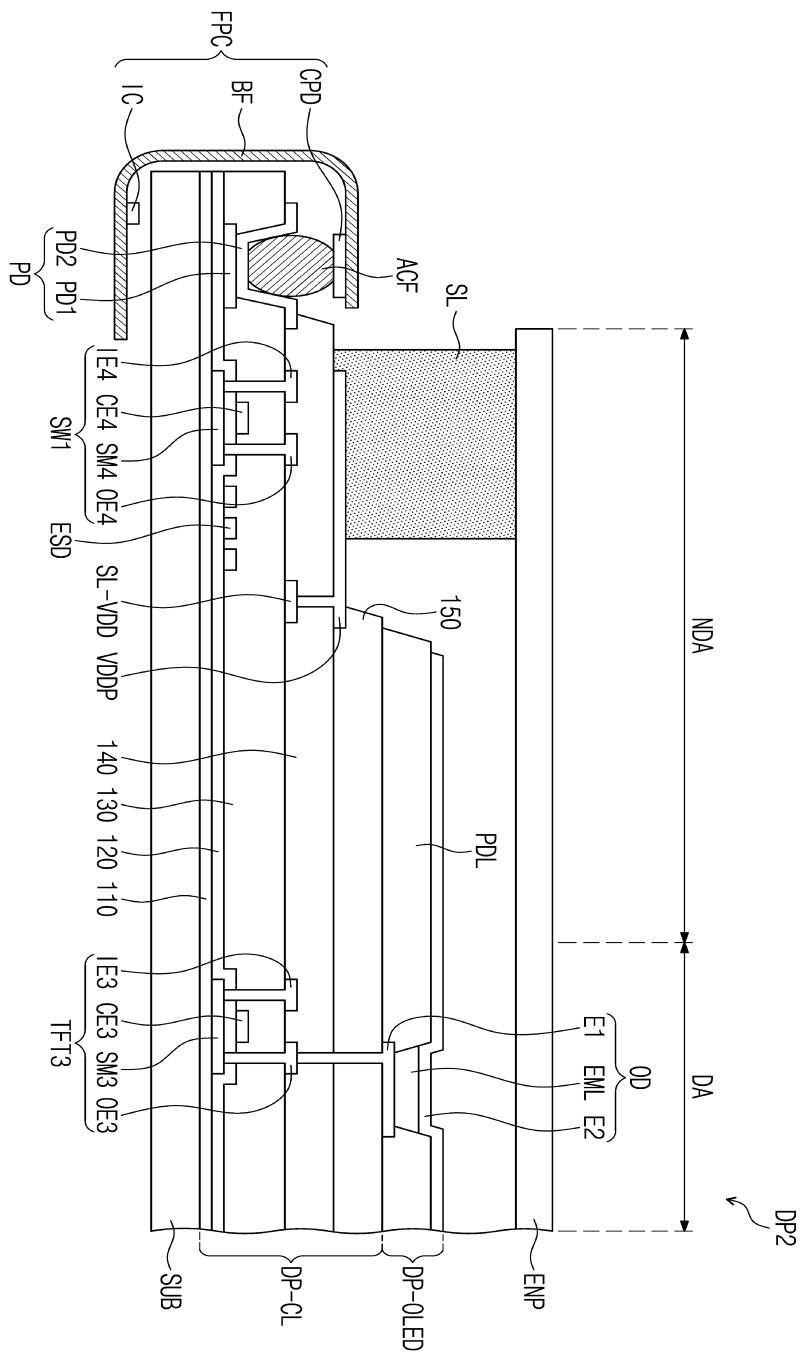
도면8



도면9



도면10



专利名称(译)	有机发光显示装置		
公开(公告)号	KR1020190130092A	公开(公告)日	2019-11-21
申请号	KR1020180053725	申请日	2018-05-10
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	CHUNG YUN MO 정운모 이탁영 YOON JOOSUN 윤주선		
发明人	정운모 이탁영 윤주선		
IPC分类号	H01L51/52 H01L27/32		
CPC分类号	H01L51/5203 H01L51/5246 H01L27/3244 H01L27/3276 H01L51/5237 G09G3/3233 G09G3/3266 H01L27/0296 H01L27/323 H01L27/3246 H01L27/3258 H01L27/3262 H01L27/3279		
外部链接	Espacenet		

摘要(译)

有机发光二极管显示器可以包括基层，电路元件层，显示元件层，封装层和密封构件。电路元件层可以包括布置在基层上的电源线和布置在电源线上并连接到电源线的辅助电源图案。显示元件层可以包括顺序地设置在电路元件层上的第一电极，发光层和第二电极。第二电极可以电连接到辅助电源图案。密封构件可以设置在电路元件层和封装层之间，并且可以设置为在平面上与辅助电源图案重叠。

