



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0064267
(43) 공개일자 2019년06월10일

(51) 국제특허분류(Int. Cl.)

G09G 3/3233 (2016.01)

(52) CPC특허분류

G09G 3/3233 (2013.01)

G09G 2230/00 (2013.01)

(21) 출원번호 10-2017-0163688

(22) 출원일자 2017년11월30일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

정해윤

경기도 파주시 월롱면 엘지로 245

유준석

경기도 파주시 월롱면 엘지로 245

김중철

경기도 파주시 월롱면 엘지로 245

(74) 대리인

특허법인천문

전체 청구항 수 : 총 10 항

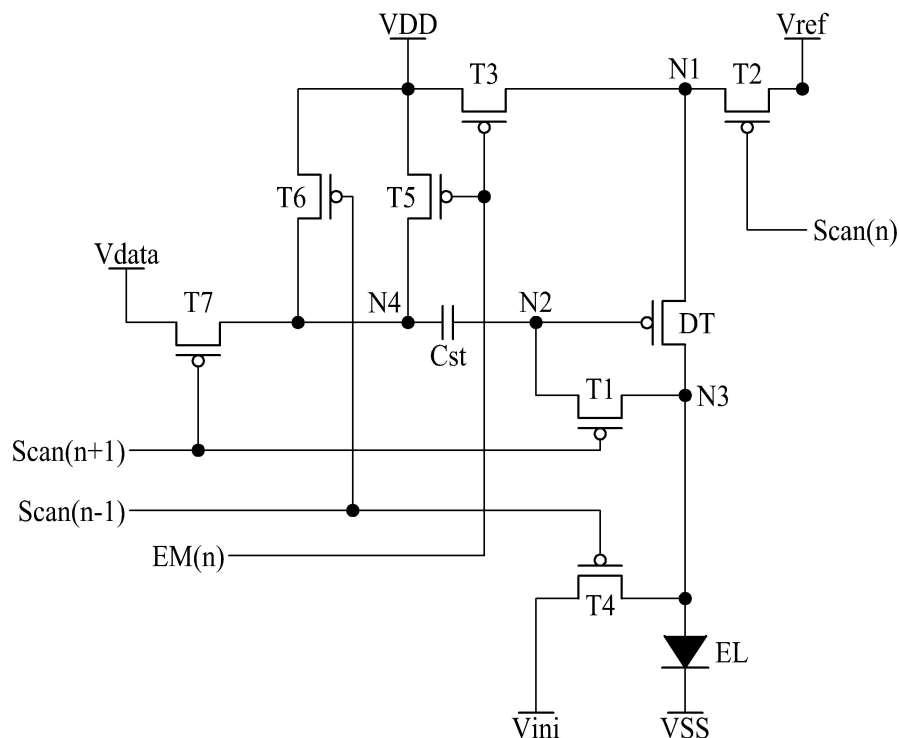
(54) 발명의 명칭 전계발광 표시장치

(57) 요약

본 명세서의 실시예에 따른 전계발광 표시장치는 픽셀 라인들을 포함하는 표시패널을 구비하고, 픽셀 라인들 중 제n(n은 자연수)번째 픽셀 라인에 포함된 각각의 픽셀 회로는, 제2 노드에 게이트가 연결되고 제1 노드와 제3 노드 사이에 연결된 구동 트랜지스터, 제n+1 스캔 신호에 응답하여 제2 노드 및 제3 노드 간의 전류 흐름을 도통시

(뒷면에 계속)

대표도 - 도3



키는 제1 트랜지스터, 제 n 스캔 신호에 응답하여 제1 노드에 기준전압을 인가하는 제2 트랜지스터, 제 n 에미션 신호에 응답하여 제1 노드에 고전위 전원전압을 인가하는 제3 트랜지스터, 제 $n-1$ 스캔 신호에 응답하여 제4 노드에 초기화 전압을 인가하는 제4 트랜지스터, 제 n 에미션 신호에 응답하여 제4 노드에 고전위 전원전압을 인가하는 제5 트랜지스터, 제 $n-1$ 스캔 신호에 응답하여 제4 노드에 고전위 전원전압을 인가하는 제6 트랜지스터, 제 $n+1$ 스캔 신호에 응답하여 제4 노드에 데이터 전압을 인가하는 제7 트랜지스터, 제2 노드와 제4 노드 사이에 연결된 커패시터, 및 제3 노드에 애노드가 연결되고 저전위 전원전압이 인가되는 배선에 캐소드가 연결된 발광소자를 포함한다. 이에 따라, 기준전압을 인가받은 서브 픽셀은 고전위 전원전압의 영향을 받지 않는 구동 전류를 발광소자에 제공하여, 전계발광 표시장치의 화질 이슈를 개선할 수 있다.

(52) CPC특허분류

G09G 2300/0842 (2013.01)

G09G 2320/0209 (2013.01)

G09G 2320/0233 (2013.01)

명세서

청구범위

청구항 1

픽셀 라인들을 포함하는 표시패널을 구비하고,
 상기 픽셀 라인들 중 제 n (n 은 자연수)번째 픽셀 라인에 포함된 각각의 픽셀 회로는,
 제2 노드에 게이트가 연결되고 제1 노드와 제3 노드 사이에 연결된 구동 트랜지스터;
 제 $n+1$ 스캔 신호에 응답하여 상기 제2 노드 및 상기 제3 노드 간의 전류 흐름을 도통시키는 제1 트랜지스터;
 제 n 스캔 신호에 응답하여 상기 제1 노드에 기준전압을 인가하는 제2 트랜지스터;
 제 n 에미션 신호에 응답하여 상기 제1 노드에 고전위 전원전압을 인가하는 제3 트랜지스터;
 제 $n-1$ 스캔 신호에 응답하여 제4 노드에 초기화 전압을 인가하는 제4 트랜지스터;
 상기 제 n 에미션 신호에 응답하여 상기 제4 노드에 상기 고전위 전원전압을 인가하는 제5 트랜지스터;
 상기 제 $n-1$ 스캔 신호에 응답하여 제4 노드에 상기 고전위 전원전압을 인가하는 제6 트랜지스터;
 상기 제 $n+1$ 스캔 신호에 응답하여 상기 제4 노드에 데이터 전압을 인가하는 제7 트랜지스터;
 상기 제2 노드와 상기 제4 노드 사이에 연결된 커패시터; 및
 상기 제3 노드에 애노드가 연결되고 저전위 전원전압이 인가되는 배선에 캐소드가 연결된 발광소자를 포함하는
 전계발광 표시장치.

청구항 2

제1 항에 있어서,
 상기 기준전압은 상기 저전위 전원전압보다 높고 상기 고전위 전원전압보다 낮은 전압이고,
 상기 초기화 전압은 상기 저전위 전원전압과 같거나 낮은 전압이며,
 상기 제 $n-1$ 스캔 신호가 게이트 온 전압인 기간과 상기 제 n 스캔 신호가 게이트 온 전압인 기간이 서로 중첩되
 는 전계발광 표시장치.

청구항 3

제2 항에 있어서,
 상기 제 $n-1$ 스캔 신호 및 상기 제 n 스캔 신호는 2 수평기간 동안 게이트 온 전압이 인가되고, 상기 제 n 에미션
 신호는 4 수평기간 동안 게이트 오프 전압이 인가되는 전계발광 표시장치.

청구항 4

제1 항에 있어서,
 상기 픽셀 회로를 구동하기 위한 1 프레임은 상기 제 $n-1$ 스캔 신호의 게이트 온 전압이 제 $n-1$ 픽셀 라인에 입력
 되는 초기화 기간, 상기 제 $n-1$ 스캔 신호의 게이트 온 전압이 상기 제 $n-1$ 픽셀 라인에 유지되고 제 n 스캔 신호
 의 게이트 온 전압이 제 n 픽셀 라인에 입력되는 제1 홀딩 기간, 상기 제 n 스캔 신호의 게이트 온 전압이 상기
 제 n 픽셀 라인에 유지되고 상기 제 $n+1$ 스캔 신호의 게이트 온 전압이 제 $n+1$ 픽셀 라인에 입력되는 샘플링 기간,
 상기 제 $n+1$ 스캔 신호의 게이트 온 전압이 상기 제 $n+1$ 픽셀 라인에 유지되는 제2 홀딩 기간, 및 상기 발광 소자
 가 발광하는 발광 기간을 포함하고,
 상기 초기화 기간에서 상기 제4 트랜지스터 및 상기 제6 트랜지스터가 턴-온되고,
 상기 제1 홀딩 기간에서 상기 제2 트랜지스터 및 상기 제4 트랜지스터가 턴-온되고,

상기 샘플링 기간에서 상기 제1 트랜지스터, 상기 제2 트랜지스터, 및 상기 제7 트랜지스터가 턴-온되고,
상기 제2 홀딩 기간에서 상기 제1 트랜지스터 및 상기 제7 트랜지스터가 턴-온되며,
상기 발광 기간에서 상기 제3 트랜지스터 및 상기 제5 트랜지스터가 턴-온되는 전계발광 표시장치.

청구항 5

제1 항에 있어서,
상기 제1 트랜지스터는 더블 게이트형 트랜지스터인 전계발광 표시장치.

청구항 6

픽셀 라인들을 포함하는 표시패널을 구비하고,
상기 픽셀 라인들 중 제 n (n 은 자연수)번째 픽셀 라인에 포함된 각각의 픽셀 회로는,
제2 노드에 게이트가 연결되고 제1 노드와 제3 노드 사이에 연결된 구동 트랜지스터;
제 n 스캔 신호에 응답하여 상기 제2 노드 및 상기 제3 노드 간의 전류 흐름을 도통시키는 제1 트랜지스터;
상기 제 n 스캔 신호에 응답하여 상기 제1 노드에 기준전압을 인가하는 제2 트랜지스터;
제 n 에미션 신호에 응답하여 상기 제1 노드에 고전위 전원전압을 인가하는 제3 트랜지스터;
상기 제 n 스캔 신호에 응답하여 제5 노드에 초기화 전압을 인가하는 제4 트랜지스터;
상기 제 n 에미션 신호에 응답하여 제4 노드에 상기 고전위 전원전압을 인가하는 제5 트랜지스터;
제 $n-1$ 스캔 신호에 응답하여 제4 노드에 상기 고전위 전원전압을 인가하는 제6 트랜지스터;
상기 제 n 스캔 신호에 응답하여 상기 제4 노드에 데이터 전압을 인가하는 제7 트랜지스터;
상기 제 $n-1$ 스캔 신호에 응답하여 상기 제2 노드에 초기화 전압을 공급하는 제8 트랜지스터;
상기 제 n 에미션 신호에 응답하여 상기 제3 노드와 제5 노드 간의 전류 흐름을 도통시키는 제9 트랜지스터;
상기 제2 노드와 상기 제4 노드 사이에 연결된 커패시터; 및
상기 제5 노드에 애노드가 연결되고 저전위 전원전압이 인가되는 배선에 캐소드가 연결된 발광소자를 포함하는 전계발광 표시장치.

청구항 7

제6 항에 있어서,
상기 픽셀 회로를 구동하기 위한 1 프레임은 상기 제 $n-1$ 스캔 신호의 게이트 온 전압이 제 $n-1$ 픽셀 라인에 입력되는 초기화 기간, 상기 제 n 스캔 신호의 게이트 온 전압이 제 n 픽셀 라인에 입력되는 샘플링 기간, 상기 제 $n-1$ 스캔 신호 및 상기 제 n 스캔 신호의 게이트 오프 전압이 제 n 픽셀 라인에 입력되는 홀딩 기간, 및 상기 제 n 에미션 신호의 게이트 온 전압이 제 n 픽셀 라인에 입력되는 발광 기간을 포함하고,
상기 초기화 기간에서 상기 제6 트랜지스터 및 상기 제8 트랜지스터가 턴-온되고,
상기 샘플링 기간에서 상기 제1 트랜지스터, 상기 제2 트랜지스터, 상기 제4 트랜지스터, 및 상기 제7 트랜지스터가 턴-온되고,
상기 홀딩 기간에서 상기 제1 트랜지스터 내지 상기 제9 트랜지스터가 턴-오프되며,
상기 발광 기간에서 상기 제3 트랜지스터, 상기 제5 트랜지스터, 및 상기 제9 트랜지스터가 턴-온되는 전계발광 표시장치.

청구항 8

제7 항에 있어서,
상기 초기화 기간, 상기 샘플링 기간, 및 상기 홀딩 기간에서 제 n 에미션 신호는 게이트 오프 전압인 전계발광

표시장치.

청구항 9

제8 항에 있어서,

상기 제 $n-1$ 스캔 신호 및 상기 제 n 스캔 신호는 1 수평기간 동안 게이트 온 전압이 인가되고, 상기 제 n 에미션 신호는 3 수평기간 동안 게이트 오프 전압이 인가되는 전계발광 표시장치.

청구항 10

제6 항에 있어서,

상기 제1 트랜지스터 및 상기 제8 트랜지스터는 더블 게이트형 트랜지스터인 전계발광 표시장치.

발명의 설명

기술 분야

[0001] 본 명세서는 전계발광 표시장치에 관한 것으로서, 보다 구체적으로 전압강하 보상이 가능한 픽셀 회로를 포함한 전계발광 표시장치에 관한 것이다.

배경 기술

[0002] 정보화 기술이 발달함에 따라 사용자와 정보 간의 연결 매체인 표시장치의 시장이 커지고 있다. 이에 따라, 전계발광 표시장치, 액정 표시장치, 및 양자점 표시장치 등과 같은 다양한 형태의 표시장치에 대한 사용이 증가하고 있다.

[0003] 전계발광 표시장치는, 서브 픽셀들에 게이트 신호 및 데이터 신호 등이 공급되면, 선택된 서브 픽셀의 발광소자가 빛을 발광하게 됨으로써 영상을 표시할 수 있다. 발광소자는 유기물 또는 무기물을 기반으로 구현될 수 있다.

[0004] 전계발광 표시장치는 서브 픽셀 내부에 발광소자로부터 생성된 빛을 기반으로 영상을 표시하므로, 전계발광 표시장치가 나타내는 영상의 화질 향상을 위해 서브 픽셀의 발광을 제어하는 픽셀 회로의 정확도 향상이 필요하다. 예를 들어, 픽셀 회로에 포함된 트랜지스터의 문턱전압이 변하는 시변 특성(또는 경시변화)을 보상함으로써, 픽셀 회로의 정확도를 향상시킬 수 있다.

[0005] 전계발광 표시장치의 시변 특성을 보상할 수 있는 방법은 다양하다. 보상 방법 중 일부는 서브 픽셀에 인가되는 전원 전압의 강하가 고려되지 않아 표시패널의 상하 휘도 불균일이나 크로스토크(cross-talk) 등 화질 이슈를 초래한다.

[0006] 따라서, 전계발광 표시장치의 정확한 영상 표현을 위해 전원 전압의 강하가 보상된 픽셀 회로를 설계하기 위한 연구가 진행 중이다.

발명의 내용

해결하려는 과제

[0007] 이에 본 명세서의 발명자들은 위에서 언급한 문제점을 인식하고, 전압 인가 배선에 대한 전압 강하를 최소화하기 위한 표시장치를 발명하였다.

[0008] 본 명세서의 실시예에 따른 해결 과제는 전원 전압 인가 배선에 대한 전압 강하를 고려한 보상으로 표시패널의 상하 휘도 불균일이나 크로스토크 등의 화질 이슈를 개선한 픽셀 회로 및 이를 포함한 전계발광 표시장치를 제공하는 것이다.

[0009] 본 명세서의 실시예에 따른 해결 과제는 서브 픽셀에 포함된 트랜지스터들 중 일부를 비표시영역에 배치하여 고 해상도 표시장치의 구현이 가능한 전계발광 표시장치를 제공하는 것이다.

[0010] 본 명세서의 실시예에 따른 해결 과제는 발광소자에 인가되는 구동 전류에 전압 강하에 따른 영향이 배제될 수 있도록 서브 픽셀의 구동방법에 따라 기준전압을 제공하는 단계가 설정된 전계발광 표시장치를 제공하는

것이다.

[0011] 본 명세서의 과제들은 이상에서 언급한 과제들로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0012] 본 명세서의 일 실시예에 따른 전계발광 표시장치에 있어서, 전계발광 표시장치는 픽셀 라인들을 포함하는 표시패널을 구비한다. 그리고, 픽셀 라인들 중 제 n (n 은 자연수)번째 픽셀 라인에 포함된 각각의 픽셀 회로는, 제2 노드에 게이트가 연결되고 제1 노드와 제3 노드 사이에 연결된 구동 트랜지스터, 제 $n+1$ 스캔 신호에 응답하여 제2 노드 및 제3 노드 간의 전류 흐름을 도통시키는 제1 트랜지스터, 제 n 스캔 신호에 응답하여 제1 노드에 기준전압을 인가하는 제2 트랜지스터, 제 n 에미션 신호에 응답하여 제1 노드에 고전위 전원전압을 인가하는 제3 트랜지스터, 제 $n-1$ 스캔 신호에 응답하여 제4 노드에 초기화 전압을 인가하는 제4 트랜지스터, 제 n 에미션 신호에 응답하여 제4 노드에 고전위 전원전압을 인가하는 제5 트랜지스터, 제 $n-1$ 스캔 신호에 응답하여 제4 노드에 고전위 전원전압을 인가하는 제6 트랜지스터, 제 $n+1$ 스캔 신호에 응답하여 제4 노드에 데이터 전압을 인가하는 제7 트랜지스터, 제2 노드와 제4 노드 사이에 연결된 커패시터, 및 제3 노드에 애노드가 연결되고 저전위 전원전압이 인가되는 배선에 캐소드가 연결된 발광소자를 포함한다. 이에 따라, 기준전압을 인가받은 서브 픽셀은 고전위 전원전압의 영향을 받지 않는 구동 전류를 발광소자에 제공하여, 전계발광 표시장치의 화질 이슈를 개선할 수 있다.

[0013] 본 명세서의 일 실시예에 따른 전계발광 표시장치에 있어서, 전계발광 표시장치는 픽셀 라인들을 포함하는 표시패널을 구비한다. 그리고, 픽셀 라인들 중 제 n (n 은 자연수)번째 픽셀 라인에 포함된 각각의 픽셀 회로는, 제2 노드에 게이트가 연결되고 제1 노드와 제3 노드 사이에 연결된 구동 트랜지스터, 제 n 스캔 신호에 응답하여 제2 노드 및 상기 제3 노드 간의 전류 흐름을 도통시키는 제1 트랜지스터, 제 n 스캔 신호에 응답하여 제1 노드에 기준전압을 인가하는 제2 트랜지스터, 제 n 에미션 신호에 응답하여 제1 노드에 고전위 전원전압을 인가하는 제3 트랜지스터, 제 n 스캔 신호에 응답하여 제5 노드에 초기화 전압을 인가하는 제4 트랜지스터, 제 n 에미션 신호에 응답하여 제4 노드에 고전위 전원전압을 인가하는 제5 트랜지스터, 제 $n-1$ 스캔 신호에 응답하여 제4 노드에 고전위 전원전압을 인가하는 제6 트랜지스터, 제 n 스캔 신호에 응답하여 제4 노드에 데이터 전압을 인가하는 제7 트랜지스터, 제 $n-1$ 스캔 신호에 응답하여 제2 노드에 초기화 전압을 공급하는 제8 트랜지스터, 제 n 에미션 신호에 응답하여 제3 노드와 제5 노드 간의 전류 흐름을 도통시키는 제9 트랜지스터, 제2 노드와 상기 제4 노드 사이에 연결된 커패시터, 및 제5 노드에 애노드가 연결되고 저전위 전원전압이 인가되는 배선에 캐소드가 연결된 발광소자를 포함한다. 이에 따라, 기준전압을 인가받은 서브 픽셀은 고전위 전원전압의 영향을 받지 않는 구동 전류를 발광소자에 제공하여, 전계발광 표시장치의 화질 이슈를 개선할 수 있다.

[0014] 기타 실시예의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

발명의 효과

[0015] 본 명세서의 실시예들에 따르면, 전원전압의 전압 강하를 고려한 시변 특성을 보상할 수 있는 픽셀 회로를 구현함으로써, 표시패널의 상하 휘도 불균일이나 크로스토크 등의 화질 문제를 개선할 수 있다.

[0016] 그리고, 본 명세서의 실시예들에 따르면, 픽셀 회로를 구동하는 복수의 트랜지스터들 중 일부를 비표시영역에 배치시켜 동일한 픽셀 라인에 연결된 픽셀 회로에 공용으로 사용함으로써, 픽셀 회로 설계의 효율성을 향상시킬 수 있고 고해상도의 표시장치를 구현할 수 있다.

[0017] 이상에서 해결하고자 하는 과제, 과제 해결 수단, 효과에 기재한 명세서의 내용이 청구항의 필수적인 특징을 특정하는 것은 아니므로, 청구항의 권리범위는 명세서의 내용에 기재된 사항에 의하여 제한되지 않는다.

도면의 간단한 설명

[0018] 도 1은 본 명세서의 일 실시예에 따른 전계발광 표시장치를 나타낸 블록도이다.

도 2는 도 1에 도시된 서브 픽셀 및 서브 픽셀에 입력되는 신호 라인에 대한 블록도이다.

도 3은 본 명세서의 제1 실시예에 따른 서브 픽셀의 회로도이다.

도 4a는 본 명세서의 제1 실시예에 따른 서브 픽셀의 초기화 기간에서의 구동을 나타낸 도면이다.

도 4b는 도 4a의 구동을 나타낸 파형도이다.

도 5a는 본 명세서의 제1 실시예에 따른 서브 픽셀의 샘플링 기간에서의 구동을 나타낸 도면이다.

도 5b는 도 5a의 구동을 나타낸 파형도이다.

도 6a는 본 명세서의 제1 실시예에 따른 서브 픽셀의 프로그래밍 기간에서의 구동을 나타낸 도면이다.

도 6b는 도 6a의 구동을 나타낸 파형도이다.

도 7a는 본 명세서의 제1 실시예에 따른 서브 픽셀의 홀딩 기간에서의 구동을 나타낸 도면이다.

도 7b는 도 7a의 구동을 나타낸 파형도이다.

도 8a는 본 명세서의 제1 실시예에 따른 서브 픽셀의 발광 기간에서의 구동을 나타낸 도면이다.

도 8b는 도 8a의 구동을 나타낸 파형도이다.

도 9는 본 명세서의 제2 실시예에 따른 서브 픽셀의 회로도이다.

도 10a는 본 명세서의 제2 실시예에 따른 서브 픽셀의 초기화 기간에서의 구동을 나타낸 파형도이다.

도 10b는 도 10a의 구동을 나타낸 도면이다.

도 11a는 본 명세서의 제2 실시예에 따른 서브 픽셀의 샘플링 기간에서의 구동을 나타낸 파형도이다.

도 11b는 도 11a의 구동을 나타낸 회로도이다.

도 12a는 본 명세서의 제2 실시예에 따른 서브 픽셀의 홀딩 기간에서의 구동을 나타낸 회로도이다.

도 12b는 도 12a의 구동을 나타낸 파형도이다.

도 13a는 본 명세서의 제2 실시예에 따른 서브 픽셀의 발광 기간에서의 구동을 나타낸 회로도이다.

도 13b는 도 13a의 구동을 나타낸 파형도이다.

발명을 실시하기 위한 구체적인 내용

- [0019] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.
- [0020] 본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명이 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 명세서 상에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.
- [0021] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.
- [0022] 위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.
- [0023] 시간 관계에 대한 설명일 경우, 예를 들어, '~후에', '~에 이어서', '~다음에', '~전에' 등으로 시간 적 선후 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 연속적이지 않은 경우도 포함할 수 있다.
- [0024] 본 명세서의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하고, 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시할 수도 있다.
- [0025] 본 명세서에서 표시패널의 기관 상에 형성되는 픽셀 회로는 n타입 또는 p타입의 트랜지스터로 구현될 수 있다.

예를 들어, 트랜지스터는 MOSFET(Metal Oxide Semiconductor Field Effect Transistor) 구조의 트랜지스터로 구현될 수 있다. 트랜지스터는 게이트(gate), 소스(source), 및 드레인(drain)을 포함한 3전극 소자이다. 소스는 캐리어(carrier)를 트랜지스터에 공급하는 전극이다. 트랜지스터 내에서 캐리어는 소스로부터 흐르기 시작한다. 드레인은 트랜지스터에서 캐리어가 외부로 나가는 전극이다. 예를 들어, 트랜지스터에서의 캐리어의 흐름은 소스로부터 드레인으로 흐른다. n타입 트랜지스터의 경우, 캐리어가 전자(electron)이기 때문에 소스에서 드레인으로 흐를 수 있도록 소스 전압이 드레인 전압보다 낮은 전압을 가진다. n타입 트랜지스터에서 전자가 소스로부터 드레인쪽으로 흐르기 때문에 전류의 방향은 드레인으로부터 소스 쪽으로 흐른다. p타입 트랜지스터의 경우, 캐리어가 정공(hole)이기 때문에 소스로부터 드레인으로 정공이 흐를 수 있도록 소스 전압이 드레인 전압보다 높다. p타입 트랜지스터의 정공이 소스로부터 드레인 쪽으로 흐르기 때문에 전류가 소스로부터 드레인 쪽으로 흐른다. 트랜지스터의 소스와 드레인은 고정된 것이 아니고, 트랜지스터의 소스와 드레인은 인가 전압에 따라 변경될 수 있다. 또한, 트랜지스터의 소스 및 드레인은 각각 제1 전극 및 제2 전극, 또는 제2 전극 및 제1 전극으로 언급될 수 있다.

- [0026] 이하에서, 게이트 온 전압(gate on voltage)은 트랜지스터가 턴온(turn-on)될 수 있는 게이트 신호의 전압일 수 있다. 게이트 오프 전압(gate off voltage)은 트랜지스터가 턴-오프(turn-off)될 수 있는 게이트 신호의 전압일 수 있다. p타입 트랜지스터에서 게이트 온 전압은 게이트 로우 전압 또는 로직로우(VL)일 수 있고, 게이트 오프 전압은 게이트 하이 전압 또는 로직하이 전압(VH)일 수 있다. n타입 트랜지스터에서 게이트 온 전압은 게이트 하이 전압 또는 로직하이 전압(VH)일 수 있고, 게이트 오프 전압은 게이트 로우 전압 또는 로직로우 전압(VL)일 수 있다. 또한, 이하에서 제시된 고전위 전원전압, 저전위 전원전압, 초기화 전압, 기준전압, 데이터 전압, 게이트 하이 전압, 및 게이트 로우 전압의 크기는 전계발광 표시장치의 휘도에 따라 변동될 수 있다.
- [0027] 이하, 첨부된 도면을 참조하여 본 명세서의 실시예에 따른 전계발광 표시장치에 대하여 설명하기로 한다.
- [0028] 도 1은 본 명세서의 일 실시예에 따른 전계발광 표시장치를 나타낸 블록도이다.
- [0029] 도 1을 참고하면, 전계발광 표시장치(100)는 영상 처리부(110), 타이밍 제어부(120), 게이트 구동부(130), 데이터 구동부(140), 및 표시패널(150)을 포함한다.
- [0030] 영상 처리부(110)는 외부로부터 공급된 영상 데이터와 더불어 각종 장치를 구동하기 위한 구동신호 등을 출력한다. 영상 처리부(110)로부터 출력되는 구동신호에는 데이터 인에이블 신호, 수직 동기신호, 수평 동기신호 및 클럭신호가 포함될 수 있다.
- [0031] 타이밍 제어부(120)는 영상 처리부(110)로부터 공급된 영상 데이터와 더불어 구동신호 등을 공급받는다. 타이밍 제어부(120)는 구동신호에 기초하여 게이트 구동부(130)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호(GTC)와 데이터 구동부(140)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호(DTC)를 출력한다.
- [0032] 게이트 구동부(130)는 타이밍 제어부(120)로부터 공급된 게이트 타이밍 제어신호(GDC)에 응답하여 스캔 신호를 출력한다. 게이트 구동부(130)는 게이트 라인들(GL1, ..., GLp)을 통해 게이트 신호를 출력한다. 게이트 구동부(130)는 IC(integrated circuit)형태로 형성될 수 있고, 표시패널에 내장된 GIP(gate in panel) 형태로 형성될 수도 있다. 게이트 구동부(130)는 표시패널(150)의 좌측 또는 우측에 각각 배치되거나 어느 일측에 배치될 수도 있다. 게이트 구동부(130)는 표시패널의 제1 스캔 라인 내지 제p 스캔 라인에 각각 제1 스캔 신호 내지 제p 스캔 신호를 출력한다.
- [0033] 데이터 구동부(140)는 타이밍 제어부(120)로부터 공급된 데이터 타이밍 제어신호(DTC)에 응답하여 데이터전압을 출력한다. 데이터 구동부(140)는 타이밍 제어부(120)로부터 공급된 디지털 형태의 데이터 신호(DATA)를 샘플링하고 래치(latch)하여 감마 기준전압에 기초한 아날로그 형태의 데이터 신호로 변환한다. 데이터 구동부(140)는 데이터 라인들(DL1, ..., DLq)을 통해 데이터 신호를 출력한다. 데이터 구동부(140)는 IC(integrated circuit)형태로 표시패널 상에 형성되거나, 표시패널에 COF(chip on film) 형태로 형성될 수도 있다.
- [0034] 전원 공급부(180)는 고전위 전원전압(VDD)과 저전위 전원전압(VSS) 등을 출력한다. 전원 공급부(180)로부터 출력된 고전위 전원전압(VDD)과 저전위 전원전압(VSS) 등은 표시패널(150)에 공급된다. 고전위 전원전압(VDD)은 고전위 전원라인을 통해 표시패널(150)에 공급되고, 저전위 전원전압(VSS)은 저전위 전원라인을 통해 표시패널(150)에 공급된다. 전원 공급부(180)로부터 출력된 전압은 게이트 구동부(130)나 데이터 구동부(140)에서 이용될 수도 있다.
- [0035] 표시패널(150)은 게이트 구동부(130) 및 데이터 구동부(140)로부터 공급된 게이트 신호 및 데이터 신호, 그리고

전원 공급부(180)로부터 공급된 전원전압에 대응하여 영상을 표시한다.

- [0036] 표시패널(150)은 서브 픽셀(SP)들이 형성되는 표시영역과 표시영역의 외곽으로 각종 신호 라인들이나 패드 등이 형성되는 비표시영역을 포함한다. 표시영역은 영상을 표시하는 영역이므로 서브 픽셀(SP)들이 위치하는 영역이고, 비표시영역은 영상을 표시하지 않는 영역이므로 더미 서브 픽셀들이 위치하거나 서브 픽셀(SP)이 위치하지 않는 영역이다.
- [0037] 표시영역은 복수의 서브 픽셀(SP)들을 포함하고, 각각의 서브 픽셀(SP)들이 표시하는 계조를 기반으로 영상을 표시한다. 각각의 서브 픽셀(SP)은 컬럼 라인(column line)을 따라 배열되는 데이터 라인과 연결되고, 픽셀 라인(pixel line) 또는 로우 라인(row line)을 따라 배열되는 게이트 라인에 연결된다. 동일한 픽셀 라인에 배치된 서브 픽셀(SP)들은 동일한 게이트 라인을 공유하며 게이트 라인을 통해 동시에 게이트 신호를 인가받는다. 그리고, 제1 픽셀 라인에 배치된 서브 픽셀(SP)들을 제1 서브 픽셀들이라고 정의하고, 제p 픽셀 라인에 배치된 서브 픽셀(SP)들을 제p 서브 픽셀들이라고 정의할 때, 제1 서브 픽셀들부터 제p 서브 픽셀들은 순차적으로 구동된다.
- [0038] 표시패널(150)의 서브 픽셀(SP)들은 매트릭스 형태로 배치되어 화소 어레이를 구성하지만, 이에 한정되지는 않는다. 서브 픽셀(SP)들은 매트릭스 형태 이외에도 픽셀을 공유하는 형태, 스트라이프(stripe) 형태, 다이아몬드(diamond) 형태 등 다양한 형태로 배치될 수 있다.
- [0039] 서브 픽셀(SP)들은 적색 서브 픽셀, 녹색 서브 픽셀, 및 청색 서브 픽셀을 포함하거나 백색 서브 픽셀, 적색 서브 픽셀, 녹색 서브 픽셀, 및 청색 서브 픽셀을 포함할 수 있다. 서브 픽셀(SP)들은 발광 특성에 따라 하나 이상의 다른 발광 면적을 가질 수도 있다.
- [0040] 도 2는 도 1에 도시된 서브 픽셀 및 서브 픽셀에 입력되는 신호 라인에 대한 블록도이다.
- [0041] 하나의 서브 픽셀(SP)은 게이트 라인(GL), 데이터 라인(DL), 고전위 전원라인(VDDL), 저전위 전원라인(VSSL), 초기화 전압라인(ViniL), 및 기준전압 라인(VrefL)과 연결된다. 서브 픽셀(SP)은 픽셀 회로의 구성에 따라 트랜지스터와 커패시터의 개수 및 구동 방법이 결정된다. 이 경우, 게이트 라인(GL)은 스캔 신호를 전달하는 복수의 스캔 라인들 및 에미션 신호를 전달하는 복수의 에미션 라인들을 포함할 수 있다.
- [0042] 도 3은 본 명세서의 제1 실시예에 따른 서브 픽셀의 회로도이다.
- [0043] 표시패널(150)은 서브 픽셀(SP)들을 기반으로 영상을 표시하는 표시영역과 신호라인이나 구동회로 등이 위치하며 영상을 표시하지 않는 비표시영역을 포함한다.
- [0044] 전계발광 표시장치(100)는 서브 픽셀(SP) 내부에 포함된 발광소자(EL)로부터 생성된 빛을 기반으로 영상을 표시한다. 그러나, 전계발광 표시장치는 서브 픽셀(SP)에 포함된 소자의 문턱전압이 변하는 시변 특성 및 표시패널의 대형화로 전원전압이 인가되는 배선의 전압 강하가 발생하므로 이를 보상할 필요가 있다.
- [0045] 따라서, 본 명세서의 일 실시예에 따른 전계발광 표시장치에서 상하 휘도 불균일이나 크로스토크 등의 화질 이슈를 초래하고 있는 문제를 인지하고 이를 개선하기 위한 픽셀 회로를 설명한다. 이하에 설명될 픽셀 회로는 p 타입 트랜지스터들로 구성된 것을 예로 들어 설명하지만, 이에 한정되지 않으며 본 명세서의 실시예는 n타입 트랜지스터들도 적용 가능하다. 그리고, 본 명세서의 제1 실시예에 따른 서브 픽셀(SP)은 n (n 은 자연수, $1 \leq n \leq p$)번째 픽셀 라인에 배치된 서브 픽셀(SP)을 예로서 설명한다.
- [0046] 제 n 서브 픽셀(SP)은 제1 트랜지스터 내지 제7 트랜지스터(T1~T7), 구동 트랜지스터(DT), 커패시터(Cst), 및 발광소자(EL)를 포함한다. 본 명세서의 제1 실시예에서는 제 n 서브 픽셀(SP)이 총 8개의 트랜지스터 및 1개의 커패시터를 기반으로 구현된다.
- [0047] 구동 트랜지스터(DT)는 제1 노드(N1)에 연결된 소스, 제2 노드(N2)에 연결된 게이트, 및 제3 노드(N3)에 연결된 드레인을 포함한다. 구동 트랜지스터(DT)는 제2 노드(N2)에 게이트 온 전압이 인가되면 턴온되어 제3 노드(N3)에 일정한 전류를 제공한다.
- [0048] 제1 트랜지스터(T1)는 제 $n-1$ 스캔 라인에 연결된 게이트, 제2 노드에 연결된 소스, 및 제3 노드에 연결된 드레인을 포함한다. 제1 트랜지스터(T1)는 제 $n+1$ 스캔 라인을 통해 인가된 제 $n+1$ 스캔 신호(Scan($n+1$))의 게이트 온 전압에 응답하여 턴온된다. 제1 트랜지스터(T1)가 턴온되면, 구동 트랜지스터(DT)의 게이트와 드레인이 도통되므로 구동 트랜지스터(DT)는 다이오드 커넥션(diode connection) 상태가 된다.
- [0049] 제2 트랜지스터(T2)는 제 n 스캔 라인에 연결된 게이트, 기준전압 라인에 연결된 소스, 및 제1 노드에 연결된 드

라인을 포함한다. 제2 트랜지스터(T2)는 제n 스캔 라인을 통해서 인가된 제n 스캔 신호(Scan(n))의 게이트 온 전압에 응답하여 턴온된다. 제2 트랜지스터(T2)가 턴온되면, 제1 노드(N1)에 기준전압(Vref)이 인가된다.

[0050] 제3 트랜지스터(T3)는 제n 에미션 라인에 연결된 게이트, 고전위 전원 라인에 연결된 소스, 및 제1 노드에 연결된 드레인을 포함한다. 제3 트랜지스터(T3)는 제n 에미션 라인을 통해 인가된 제n 에미션 신호(EM(n))의 게이트 온 전압에 응답하여 턴온된다. 제3 트랜지스터(T3)가 턴온되면, 제1 노드(N1)에 고전위 전원전압(VDD)이 인가된다.

[0051] 발광소자(EL)는 제3 노드(N3)에 연결된 애노드 및 저전위 전원전압(VSS)이 인가되는 캐소드를 포함한다. 구동 트랜지스터(DT)를 통해 발생한 구동 전류가 발광소자(EL)의 애노드에 인가되면 발광소자(EL)는 발광하게 된다. 예를 들어, 저전위 전원전압(VSS)은 -4V 내지 -2.5V의 전압이다.

[0052] 제4 트랜지스터(T4)는 제n-1 스캔 라인에 연결된 게이트, 제4 노드(N4)에 연결된 소스, 및 초기화 라인에 연결된 드레인을 포함한다. 제4 트랜지스터(T4)는 제n-1 스캔 라인을 통해 인가된 제n-1 스캔 신호(Scan(n-1))의 게이트 온 전압에 응답하여 턴온된다. 제4 트랜지스터(T4)가 턴온되면 발광소자(EL)의 애노드는 초기화 전압을 기반으로 초기화된다.

[0053] 제5 트랜지스터(T5)는 제n 에미션 라인에 연결된 게이트, 고전위 전원라인에 연결된 소스, 및 제4 노드(N4)에 연결된 드레인을 포함한다. 제5 트랜지스터(T5)는 제n 에미션 라인을 통해 인가된 제n 에미션 신호(EM(n))의 게이트 온 전압에 응답하여 턴온된다. 제5 트랜지스터(T5)가 턴온되면, 고전위 전원전압(VDD)이 제4 노드(N4)에 인가된다.

[0054] 커패시터(Cst)는 제2 노드(N2)에 연결된 제1 전극 및 제4 노드(N4)에 연결된 제2 전극을 포함한다.

[0055] 제6 트랜지스터(T6)는 제n-1 스캔 라인에 연결된 게이트, 고전위 전원라인에 연결된 소스, 및 제4 노드(N4)에 연결된 드레인을 포함한다. 제6 트랜지스터(T6)는 제n-1 스캔 라인을 통해 인가된 제n-1 스캔 신호(Scan(n-1))의 게이트 온 전압에 응답하여 턴온된다. 제6 트랜지스터(T6)가 턴온되면, 고전위 전원전압(VDD)이 제4 노드(N4)에 인가된다.

[0056] 제7 트랜지스터(T7)는 제n+1 스캔 라인에 연결된 게이트, 데이터 라인에 연결된 소스, 및 제4 노드(N4)에 연결된 드레인을 포함한다. 제7 트랜지스터(T7)는 제n+1 스캔 라인을 통해 인가된 제n+1 스캔 신호(Scan(n+1))의 게이트 온 전압에 응답하여 턴온된다. 제7 트랜지스터(T7)가 턴온되면, 데이터 전압(Vdata)이 제4 노드(N4)에 인가된다.

[0057] 그리고, 구동 트랜지스터(DT)의 게이트에 인가된 전압은 구동 트랜지스터(DT)의 턴온 상태를 제어하므로, 구동 트랜지스터(DT)의 게이트에 소스 또는 드레인이 연결된 트랜지스터는 누설 전류의 영향이 최대한 억제되도록 서로 직렬 연결된 두 개 이상의 트랜지스터를 포함하도록 구성할 수 있다. 이 경우, 두 개 이상의 트랜지스터들은 동일한 제어신호에 의해 제어된다. 따라서, 본 명세서의 제1 실시예에 따른 제n 서브 픽셀(SP)은 제1 트랜지스터(T1)를 더블 게이트형 트랜지스터로 형성할 수 있다.

[0058] 본 명세서의 제1 실시예에 따른 제n 서브 픽셀(SP)은 초기화 기간, 제1 홀딩 기간, 샘플링 기간, 제2 홀딩 기간, 및 발광 기간의 순으로 동작한다. 초기화 기간은 발광소자(EL)의 애노드를 초기화시키는 기간이고, 제1 홀딩 기간은 구동 트랜지스터(DT)의 소스에 기준 전압(Vref)을 인가하는 기간이며, 샘플링 기간은 데이터 전압(Vdata)을 특정 노드에 기입하고 구동 트랜지스터(DT)의 문턱전압을 샘플링하기 위한 기간이다. 그리고, 제2 홀딩 기간은 데이터 전압(Vdata)을 특정 노드에 유지하고, 발광 기간은 데이터 전압(Vdata)을 기반으로 생성된 구동 전류를 이용하여 발광소자(EL)를 발광시키는 기간이다.

[0059] 본 명세서의 제1 실시예에 따른 제n 서브 픽셀(SP)은 제n 에미션 신호(EM(n))에 게이트 오프 전압이 인가되는 기간 동안, 초기화 기간(INI), 제1 홀딩 기간(HLD1), 샘플링 기간(SAM), 및 제2 홀딩 기간(HLD2)을 가지게 됨에 따라 내부 회로 기반의 보상이 이루어진다. 이 기간들 동안의 동작 특성을 설명하면 다음과 같다. 스캔 신호는 2 수평기간(2H) 동안 게이트 온 전압이 인가되고, 에미션 신호는 4 수평기간(4H) 동안 게이트 오프 전압이 인가되는 것을 일례로 한다. 또한, 초기화 기간(INI), 제1 홀딩 기간(HLD1), 샘플링 기간(SAM), 및 제2 홀딩 기간(HLD2)은 각각 1 수평기간(1H) 동안 이루어지는 것을 일례로 한다. 이어지는 도면에서는 상기와 같은 픽셀 회로의 구동에 대해 설명한다.

[0060] 도 4a는 본 명세서의 제1 실시예에 따른 서브 픽셀의 초기화 기간에서의 구동을 나타낸 도면이다. 도 4b는 도 4a의 구동을 나타낸 파형도이다.

- [0061] 초기화 기간(INI)에서 제 $n-1$ 스캔 신호(Scan($n-1$))는 게이트 온 전압이고, 제 n 스캔 신호(Scan(n)), 제 $n+1$ 스캔 신호(Scan($n+1$)), 및 제 n 에미션 신호(EM(n))는 게이트 오프 전압이다. 예를 들어, 게이트 온 전압은 로직로우 전압(VL)으로 $-8V$ 이고, 게이트 오프 전압은 로직하이 전압(VH)으로 $8V$ 이다.
- [0062] 제 $n-1$ 스캔 라인을 통해 인가된 게이트 온 전압에 의해 제4 트랜지스터($T4$) 및 제6 트랜지스터($T6$)가 턴온된다. 턴온된 제4 트랜지스터($T4$)를 통해 초기화 전압(Vini)이 제4 노드($N4$)에 인가되므로, 발광소자(EL)의 게이트는 초기화 전압(Vini)으로 초기화된다. 그리고, 턴온된 제6 트랜지스터($T6$)를 통해 고전위 전원전압(VDD)이 제4 노드($N4$)에 인가된다. 이 경우, 초기화 전압(Vini)은 저전위 전원전압(VSS)과 같거나 낮은 전압이다. 예를 들어, 초기화 전압(Vini)은 $-3V$ 내지 $-4V$ 사이의 전압이고, 데이터 전압(Vdata)은 $0.3V$ 내지 $6.3V$ 사이에서 휘도에 따라 변동되는 전압이다.
- [0063] 초기화 기간(INI)동안 발광소자(EL)의 애노드는 초기화 전압(Vini) 기반으로 초기화되고, 커패시터(Cst)의 일전극에는 고전위 전원전압(VDD)이 인가된다.
- [0064] 도 5a는 본 명세서의 제1 실시예에 따른 서브 픽셀의 제1 홀딩 기간에서의 구동을 나타낸 도면이다. 도 5b는 도 5a의 구동을 나타낸 파형도이다.
- [0065] 제1 홀딩 기간(HLD1)에서 제 $n-1$ 스캔 신호(Scan($n-1$)) 및 제 n 스캔 신호(Scan(n))는 게이트 온 전압이고, 제 $n+1$ 스캔 신호(Scan($n+1$)), 및 제 n 에미션 신호(EM(n))는 게이트 오프 전압이다. 제 $n-1$ 스캔 신호(Scan($n-1$)) 및 제 n 스캔 신호(Scan(n))는 제1 홀딩 기간(HLD1)에서 게이트 온 전압인 기간이 서로 중첩된다.
- [0066] 제 $n-1$ 스캔 라인을 통해 인가된 게이트 온 전압에 의해 제4 트랜지스터($T4$)는 턴온 상태를 유지하고, 제 n 스캔 라인을 통해 인가된 게이트 온 전압에 의해 제2 트랜지스터($T2$)가 턴온된다. 턴온된 제4 트랜지스터($T4$)를 통해 발광소자(EL)의 애노드에 인가된 초기화 전압(Vini)이 유지되고, 턴온된 제2 트랜지스터($T2$)를 통해 기준 전압(Vref)이 제1 노드($N1$)에 인가된다.
- [0067] 도 6a는 본 명세서의 제1 실시예에 따른 서브 픽셀의 샘플링 기간에서의 구동을 나타낸 도면이다. 도 6b는 도 6a의 구동을 나타낸 파형도이다.
- [0068] 샘플링 기간(SAM)에서 제 n 스캔 신호(Scan(n)) 및 제 $n+1$ 스캔 신호(Scan($n+1$))는 게이트 온 전압이고, 제 $n-1$ 스캔 신호(Scan($n-1$)) 및 제 n 에미션 신호(EM(n))는 게이트 오프 전압이다.
- [0069] 제 n 스캔 라인을 통해 인가된 게이트 온 전압에 의해 제2 트랜지스터($T2$)는 턴온 상태를 유지하고, 제 $n+1$ 스캔 라인을 통해 인가된 게이트 온 전압에 의해 제1 트랜지스터($T1$)가 턴온되어 구동 트랜지스터(DT)는 다이오드 커넥션 상태가 된다. 턴온된 제2 트랜지스터($T2$)를 통해 기준전압(Vref)이 구동 트랜지스터(DT)의 소스에 인가되고, 턴온된 제1 트랜지스터($T1$)에 의해 구동 트랜지스터(DT)의 게이트와 드레인이 서로 연결되므로, 구동 트랜지스터(DT)는 턴온된다. 구동 트랜지스터(DT)의 게이트와 연결된 제2 노드($N2$)의 전압은 기준전압(Vref)과 구동 트랜지스터(DT)의 문턱전압(V_{th})의 합까지 상승한다. 그리고, 제 $n+1$ 스캔 라인을 통해 인가된 게이트 온 전압에 의해 턴온된 제7 트랜지스터($T7$)에 의해 제4 노드($N4$)에 데이터 전압(Vdata)이 인가된다. 따라서, 커패시터(Cst)의 제1 전극에는 기준전압(Vref)과 구동 트랜지스터(DT)의 문턱전압(V_{th})의 합이 인가되고, 제2 전극에는 데이터 전압(Vdata)이 인가되므로, 커패시터(Cst)에는 제1 전극에 인가된 전압과 제2 인가된 전압의 차이($V_{data} - (V_{ref} + V_{th})$)가 충전된다. 이 경우, 기준전압(Vref)은 저전위 전원전압(VSS)보다 높고 고전위 전원전압(VDD)보다 낮은 전압이다. 이 경우, 기준전압(Vref)은 저전위 전원전압(VSS)보다 높고 고전위 전원전압(VDD)보다 낮은 전압이다. 예를 들어, 기준전압(Vref)은 $4V$ 이고, 문턱전압(V_{th})은 $-4V$ 일 수 있으며, 이에 한정되는 것은 아니다.
- [0070] 샘플링 기간(SAM) 동안 제 n 스캔 신호(Scan(n)) 및 제 $n+1$ 스캔 신호(Scan($n+1$)) 모두 게이트 온 전압을 인가시킴으로써, 제4 노드($N4$)에 데이터 전압(Vdata)을 인가하여 커패시터(Cst)의 일전극을 잡아주고 구동 트랜지스터(DT)의 소스에 기준전압(Vref)을 인가하여, 제2 노드($N2$)는 구동 트랜지스터(DT)의 문턱전압(V_{th})을 샘플링하고 기준전압(Vref)을 센싱할 수 있다.
- [0071] 도 7a는 본 명세서의 제1 실시예에 따른 서브 픽셀의 제2 홀딩 기간에서의 구동을 나타낸 도면이다. 도 7b는 도 7a의 구동을 나타낸 파형도이다.
- [0072] 제2 홀딩 기간(HLD2)에서 제 $n+1$ 스캔 신호(Scan($n+1$))는 게이트 온 전압을 유지하고, 제 $n-1$ 스캔 신호(Scan($n-1$)), 제 n 스캔 신호(Scan(n)), 및 제 n 에미션 신호(EM(n))는 게이트 오프 전압이다.
- [0073] 제 $n+1$ 스캔 신호(Scan($n+1$))를 통해 인가된 게이트 온 전압에 의해 제1 트랜지스터($T1$) 및 제7 트랜지스터($T7$)

는 턴온 상태를 유지한다. 따라서, 제2 홀딩 기간(HLD2)에서 커패시터(Cst)는 양단 전압차를 기반으로 데이터 전압(Vdata)을 충전 및 유지하게 된다.

[0074] 도 8a는 본 명세서의 제1 실시예에 따른 서브 픽셀의 발광 기간에서의 구동을 나타낸 도면이다. 도 8b는 도 8a의 구동을 나타낸 파형도이다.

[0075] 발광 기간(EMI)에서 제n 에미션 신호(EM(n))는 게이트 온 전압이고, 제n-1 스캔 신호(Scan(n-1)), 제n 스캔 신호(Scan(n)), 및 제n+1 스캔 신호(Scan(n+1))는 게이트 오프 전압이다.

[0076] 제n 에미션 신호(EM(n))를 통해 인가된 게이트 온 전압에 의해 제3 트랜지스터(T3) 및 제5 트랜지스터(T5)가 턴온된다. 턴온된 제3 트랜지스터(T3)를 통해 고전위 전원전압(VDD)이 제1 노드(N1)에 인가되고, 턴온된 제5 트랜지스터(T5)를 통해 고전위 전원전압(VDD)이 제4 노드(N4)에 인가된다. 커패시터(Cst)의 제2 전극에 연결된 제4 노드(N4)의 전압이 데이터 전압(Vdata)에서 고전위 전원전압(VDD)으로 변동되면서, 커패시터(Cst)의 커플링 현상에 의해 커패시터(Cst)의 제1 전극의 전압이 제4 노드(N4)의 전압 변동량만큼 변동된다. 따라서, 커패시터(Cst)의 제1 전극에 연결된 제2 노드(N2)의 전압은 $V_{ref}+V_{th}+(VDD-Vdata)$ 가 된다. 이 경우, 구동 트랜지스터(DT)의 소스에 고전위 전원전압(VDD)이 인가되기 때문에 구동 트랜지스터(DT)가 턴온되어 발광소자(EL)의 애노드에 구동 전류를 인가한다. 따라서, 발광소자(EL)는 발광한다. 예를 들어, 고전위 전원전압(VDD)은 4.6V이다.

[0077] 본 명세서의 제1 실시예에 따른 제n 서브 픽셀(SP)은 고전위 전원전압(VDD)의 전압 강하분이 고려될 수 있도록 구동 트랜지스터(DT)의 소스 및 게이트에 각각 고전위 전원전압(VDD)을 인가한다. 이에 따라 보상된 제n 서브 픽셀(SP)의 전류를 수식으로 표현하면 다음과 같다.

$$[0078] \quad I_{oled} = K(V_{gs} - V_{th})^2 = K\{(V_{ref}+V_{th}+(VDD-Vdata))-VDD-V_{th}\}^2 = K(V_{ref}-Vdata)^2$$

[0079] 위의 식에서, I_{oled} 는 발광소자(EL)를 통해 흐르는 전류, K는 상수, V_{gs} 는 구동 트랜지스터(DT)의 게이트와 소스 간의 전압, V_{th} 는 구동 트랜지스터(DT)의 문턱전압, VDD는 고전위 전원라인(VDDL)을 통해 인가된 고전위 전원전압, V_{ref} 는 기준전압 라인(V_{refL})을 통해 인가된 기준전압, Vdata는 데이터 라인(DL)을 통해 인가된 데이터 전압을 의미한다.

[0080] 위의 수식에서 알 수 있듯이, I_{oled} 는 기준전압과 데이터 전압 간의 차에 의해 결정된다. 수식에 따르면, 본 명세서의 제1 실시예에 따른 제n 서브 픽셀(SP)은 에미션 기간(EMI)에서 구동 트랜지스터(DT)의 게이트와 소스에 인가되는 고전위 전원전압(VDD) 및 샘플링 기간(SAM)에서 구동 트랜지스터(DT)의 소스에 인가되는 기준전압(V_{ref})으로 인해 고전위 전원전압 강하분이 보상될 수 있음을 알 수 있다.

[0081] 따라서, 고전위 전원전압의 전압 강하를 고려한 시변 특성을 보상할 수 있는 구동회로를 구현하여 표시패널의 상하 휘도 불균일이나 크로스토크 등의 화질 문제를 개선할 수 있다.

[0082] 그리고, 본 명세서의 제1 실시예에 따른 제n 서브 픽셀(SP)을 구성하는 복수의 트랜지스터들 중 제2 트랜지스터(T2) 및 제3 트랜지스터(T3)를 비표시영역의 일측에 배치하여 제n 픽셀 라인에 배치된 q개의 서브 픽셀들에 공용으로 사용하도록 할 수 있다. 또는, 게이트 구동부(130)가 좌측 및 우측에 배치된 경우, 제2 트랜지스터(T2) 및 제3 트랜지스터(T3)를 좌측 및 우측의 비표시영역에 모두 배치하여 각각 q/2개의 서브 픽셀들에 공용으로 사용하도록 할 수 있다. 이에 따라, 서브 픽셀을 구성하는 트랜지스터들의 개수를 줄여 서브 픽셀을 효율적으로 설계하고 고해상도의 표시장치를 구현할 수 있다. 이 경우, 제n 서브 픽셀(SP)을 구성하는 복수의 트랜지스터들 중 제2 트랜지스터(T2) 및 제3 트랜지스터(T3)를 제외한 나머지 트랜지스터들은 서브 픽셀들이 개별로 동작하는데 필요하여 제n 픽셀 라인에 공용으로 사용할 수 없으므로, 제2 트랜지스터(T2) 및 제3 트랜지스터(T3)를 비표시영역에 배치함으로써 고해상도 표시장치를 구현할 수 있다.

[0083] 도 9는 본 명세서의 제2 실시예에 따른 서브 픽셀의 회로도이다. 도 9는 도 3의 픽셀 회로에서 트랜지스터가 두 개가 추가되어 변형된 예이므로, 중복되는 설명에 대해서는 생략하거나 간략히 설명할 수 있다.

[0084] 본 명세서의 제2 실시예에 따른 제n 서브 픽셀(SP)은 제1 트랜지스터 내지 제9 트랜지스터(T1~T9), 구동 트랜지스터(DT), 커패시터(Cst), 및 발광소자(EL)를 포함한다. 본 명세서의 제2 실시예에서는 제n 서브 픽셀(SP)이 총 10개의 트랜지스터 및 1개의 커패시터를 기반으로 구현된다.

[0085] 구동 트랜지스터(DT)는 제1 노드(N1)에 연결된 소스, 제2 노드(N2)에 연결된 게이트, 및 제3 노드(N3)에 연결된 드레인을 포함한다. 구동 트랜지스터(DT)는 제2 노드(N2)에 게이트 온 전압이 인가되면 턴온되어 제3 노드(N3)에 일정한 전류를 제공한다.

- [0086] 제1 트랜지스터(T1)는 제n 스캔 라인에 연결된 게이트, 제2 노드에 연결된 소스, 및 제3 노드에 연결된 드레인을 포함한다. 제1 트랜지스터(T1)는 제n 스캔 라인을 통해 인가된 제n 스캔 신호(Scan(n))의 게이트 온 전압에 응답하여 턴온된다. 제1 트랜지스터(T1)가 턴온되면, 구동 트랜지스터(DT)의 게이트와 드레인이 도통되므로 구동 트랜지스터(DT)는 다이오드 커넥션(diode connection) 상태가 된다.
- [0087] 제2 트랜지스터(T2)는 제n 스캔 라인에 연결된 게이트, 기준전압 라인에 연결된 소스, 및 제1 노드에 연결된 드레인을 포함한다. 제2 트랜지스터(T2)는 제n 스캔 라인을 통해서 인가된 제n 스캔 신호(Scan(n))의 게이트 온 전압에 응답하여 턴온된다. 제2 트랜지스터(T2)가 턴온되면, 제1 노드(N1)에 기준전압(Vref)이 인가된다.
- [0088] 제3 트랜지스터(T3)는 제n 에미션 라인에 연결된 게이트, 고전위 전원 라인에 연결된 소스, 및 제1 노드에 연결된 드레인을 포함한다. 제3 트랜지스터(T3)는 제n 에미션 라인을 통해 인가된 제n 에미션 신호(EM(n))의 게이트 온 전압에 대응하여 턴온된다. 제3 트랜지스터(T3)가 턴온되면, 제1 노드(N1)에 고전위 전원전압(VDD)이 인가된다.
- [0089] 제4 트랜지스터(T4)는 제n 스캔 라인에 연결된 게이트, 제5 노드(N5)에 연결된 소스, 및 초기화 라인에 연결된 드레인을 포함한다. 이 경우, 제5 노드(N5)는 발광소자(EL)의 애노드와 연결된다. 제4 트랜지스터(T4)는 제n 스캔 라인을 통해 인가된 제n 스캔 신호(Scan(n))의 게이트 온 전압에 응답하여 턴온된다. 제4 트랜지스터(T4)가 턴온되면, 제5 노드(N5)에 초기화 전압(Vini)이 인가되므로 발광소자(EL)의 애노드는 초기화된다.
- [0090] 제5 트랜지스터(T5)는 제n 에미션 라인에 연결된 게이트, 고전위 전원라인에 연결된 소스, 및 제4 노드(N4)에 연결된 드레인을 포함한다. 제5 트랜지스터(T5)는 제n 에미션 라인을 통해 인가된 제n 에미션 신호(EM(n))의 게이트 온 전압에 응답하여 턴온된다.
- [0091] 제6 트랜지스터(T6)는 제n-1 스캔 라인에 연결된 게이트, 고전위 전원라인에 연결된 소스, 및 제4 노드(N4)에 연결된 드레인을 포함한다. 제6 트랜지스터(T6)는 제n-1 스캔 라인을 통해 인가된 제n-1 스캔 신호(Scan(n-1))의 게이트 온 전압에 대응하여 턴온된다. 제6 트랜지스터(T6)가 턴온되면, 고전위 전원전압(VDD)이 제4 노드(N4)에 인가된다.
- [0092] 커패시터(Cst)는 제2 노드(N2)에 연결된 제1 전극 및 제4 노드(N4)에 연결된 제2 전극을 포함한다.
- [0093] 제7 트랜지스터(T7)는 제n 스캔 라인에 연결된 게이트, 데이터 라인에 연결된 소스, 및 제4 노드(N4)에 연결된 드레인을 포함한다. 제7 트랜지스터(T7)는 제n 스캔 라인을 통해 인가된 제n 스캔 신호(Scan(n))의 게이트 온 전압에 응답하여 턴온된다. 제7 트랜지스터(T7)가 턴온되면, 데이터 전압(Vdata)이 제4 노드(N4)에 인가된다.
- [0094] 제8 트랜지스터(T8)는 제n-1 스캔 라인에 연결된 게이트, 제2 노드(N2)에 연결된 소스, 및 초기화 라인에 연결된 드레인을 포함한다. 제8 트랜지스터(T8)는 제n-1 스캔 라인을 통해 인가된 제n-1 스캔 신호(Scan(n-1))의 게이트 온 전압에 응답하여 턴온된다. 제8 트랜지스터(T8)가 턴온되면, 초기화 전압(Vini)이 제2 노드(N2)에 인가된다.
- [0095] 제9 트랜지스터(T9)는 제n 에미션 라인에 연결된 게이트, 제3 노드(N3)에 연결된 소스, 및 제5 노드(N5)에 연결된 드레인을 포함한다. 제9 트랜지스터(T9)는 제n 에미션 라인을 통해 인가된 제n 에미션 신호(EM(n))의 게이트 온 전압에 응답하여 턴온된다. 제9 트랜지스터(T9)가 턴온되면, 제3 노드(N3) 및 제5 노드(N5)를 도통시킨다.
- [0096] 발광소자(EL)는 제5 노드(N5)에 연결된 애노드 및 저전위 전원전압(VSS)이 인가되는 캐소드를 포함한다. 제9 트랜지스터(T9)가 턴온되면, 구동 트랜지스터(DT)를 통해 발생한 구동 전류가 발광소자(EL)의 애노드에 인가되므로 발광소자(EL)는 발광하게 된다. 예를 들어, 저전위 전원전압(VSS)은 -4V 내지 -2.5V의 전압일 수 있으며, 이에 한정되는 것은 아니다.
- [0097] 그리고, 구동 트랜지스터(DT)의 게이트에 인가된 전압은 구동 트랜지스터(DT)의 턴온 상태를 제어하므로, 구동 트랜지스터(DT)의 게이트에 소스 또는 드레인이 연결된 트랜지스터는 누설 전류의 영향이 최대한 억제되도록 서로 직렬 연결된 두 개 이상의 트랜지스터를 포함하도록 구성할 수 있다. 이 경우, 두 개 이상의 트랜지스터들은 동일한 제어신호에 의해 제어된다. 따라서, 본 명세서의 제2 실시예에 따른 제n 서브 픽셀(SP)은 제1 트랜지스터(T1) 및 제8 트랜지스터(T8)를 더블 게이트형 트랜지스터로 형성할 수 있다.
- [0098] 본 명세서의 제2 실시예에 따른 제n 서브 픽셀(SP)은 초기화 기간, 샘플링 기간, 홀딩 기간, 및 발광 기간의 순으로 동작한다. 초기화 기간은 구동 트랜지스터(DT)의 게이트 노드를 초기화시키는 기간이고, 샘플링 기간은 구동 트랜지스터(DT)의 문턱전압을 샘플링하고 데이터 라인을 통해 데이터 전압(Vdata)을 인가하는 기간이며, 홀딩 기간은 스캔 신호의 지연으로 인한 불필요한 발광을 방지하기 위한 기간이다. 그리고, 발광 기간은 데이터

전압(Vdata)을 기반으로 생성된 구동 전류를 통해 발광소자(EL)를 발광시키는 시간이다.

- [0099] 본 명세서의 제2 실시예에 따른 제n 서브 픽셀(SP)은 제n 에미션 신호(EM(n))에 게이트 오프 전압이 인가되는 기간 동안, 초기화 기간(INI)과 샘플링 기간(SAM)을 가지게 됨에 따라 내부 회로 기반의 보상이 이루어진다. 이 기간들 동안의 동작 특성을 설명하면 다음과 같다. 스캔 신호는 1 수평기간(1H) 동안 게이트 온 전압이 인가되고, 에미션 신호는 3 수평기간(3H) 동안 게이트 오프 전압이 인가되는 것을 일례로 한다. 또한, 초기화 기간(INI), 샘플링 기간(SAM), 및 홀딩 기간(HLD)은 각각 1 수평기간(1H) 동안 이루어지는 것을 일례로 한다. 이어지는 도면에서는 상기와 같은 픽셀 회로의 구동에 대해 설명한다.
- [0100] 도 10a는 본 명세서의 제2 실시예에 따른 서브 픽셀의 초기화 기간에서의 구동을 나타낸 도면이다. 도 10b는 도 10a의 구동을 나타낸 파형도이다.
- [0101] 초기화 기간(INI)에서 제n-1 스캔 신호(Scan(n-1))는 게이트 온 전압이고, 제n 스캔 신호(Scan(n)) 및 제n 에미션 신호(EM(n))는 게이트 오프 전압이다. 예를 들어, 게이트 온 전압은 로직로우 전압(VL)으로 -8V이고, 게이트 오프 전압은 로직하이 전압(VH)으로 8V일 수 있으며, 이에 한정되는 것은 아니다.
- [0102] 제n-1 스캔 라인을 통해 인가된 게이트 온 전압에 의해 제6 트랜지스터(T6) 및 제8 트랜지스터(T8)가 턴온된다. 턴온된 제6 트랜지스터(T6)를 통해 고전위 전원전압(VDD)이 제4 노드(N4)에 인가되고, 턴온된 제8 트랜지스터(T8)를 통해 초기화 전압(Vini)이 제2 노드(N2)에 인가되므로, 구동 트랜지스터(DT)의 게이트는 초기화 전압(Vini)으로 초기화된다. 이 경우, 초기화 전압(Vini)은 저전위 전원전압(VSS)과 같거나 낮은 전압이다. 예를 들어, 초기화 전압(Vini)은 -3V 내지 -4V 사이의 전압이고, 데이터 전압(Vdata)은 0.3V 내지 6.3V 사이에서 휘도에 따라 변동되는 전압이다.
- [0103] 초기화 기간(INI) 동안 구동 트랜지스터(DT)의 게이트는 초기화 전압(Vini) 기반으로 초기화된다.
- [0104] 도 11a는 본 명세서의 제2 실시예에 따른 서브 픽셀의 샘플링 기간에서의 구동을 나타낸 도면이다. 도 11b는 도 11a의 구동을 나타낸 파형도이다.
- [0105] 샘플링 기간(SAM)에서 제n 스캔 신호(Scan(n))는 게이트 온 전압이고, 제n-1 스캔 신호(Scan(n-1)) 및 제n 에미션 신호(EM(n))는 게이트 오프 전압이다.
- [0106] 제n 스캔 라인을 통해 인가된 게이트 온 전압에 의해 제1 트랜지스터(T1), 제2 트랜지스터(T2), 제4 트랜지스터(T4), 및 제7 트랜지스터(T7)가 턴온된다. 턴온된 제2 트랜지스터(T2)를 통해 기준전압(Vref)이 구동 트랜지스터(DT)의 소스에 인가되고, 턴온된 제1 트랜지스터(T1)에 의해 구동 트랜지스터(DT)의 게이트와 드레인이 서로 연결되므로, 구동 트랜지스터(DT)는 다이오드 커넥션 상태로 턴온된다. 구동 트랜지스터(DT)의 게이트와 연결된 제2 노드(N2)의 전압은 기준전압(Vref)과 구동 트랜지스터(DT)의 문턱전압(Vth)의 합까지 상승한다. 그리고, 턴온된 제7 트랜지스터(T7)를 통해 데이터 전압(Vdata)이 제4 노드(N4)에 인가된다. 따라서, 커패시터(Cst)의 제1 전극에는 기준전압(Vref)과 구동 트랜지스터(DT)의 문턱전압(Vth)의 합이 인가되고, 제2 전극에는 데이터 전압(Vdata)이 인가되므로, 커패시터(Cst)에는 제1 전극에 인가된 전압과 제2 인가된 전압의 차이(Vdata-(Vref+Vth))가 충전된다. 그리고, 제4 트랜지스터(T4)가 턴온되어 발광소자(EL)의 애노드를 초기화 전압(Vini)으로 초기화한다. 예를 들어, 기준전압(Vref)은 4V이고, 문턱전압(Vth)은 -4V일 수 있으며, 이에 한정되는 것은 아니다.
- [0107] 샘플링 기간(SAM) 동안 제n 스캔 신호(Scan(n))에 게이트 온 전압이 인가됨으로써, 제4 노드(N4)에 데이터 전압(Vdata)을 인가하여 커패시터(Cst)의 일전극을 잡아주고 구동 트랜지스터(DT)의 소스에 기준전압(Vref)을 인가하여, 제2 노드(N2)는 구동 트랜지스터(DT)의 문턱전압(Vth)을 샘플링하고 기준전압(Vref)을 센싱할 수 있다.
- [0108] 도 12a는 본 명세서의 제2 실시예에 따른 서브 픽셀의 홀딩 기간에서의 구동을 나타낸 도면이다. 도 12b는 도 12a의 구동을 나타낸 파형도이다.
- [0109] 홀딩 기간(HLD)에서 제n-1 스캔 신호(Scan(n-1)), 제n 스캔 신호(Scan(n)), 및 제n 에미션 신호(EM(n))는 게이트 오프 전압이므로, 제1 트랜지스터 내지 제9 트랜지스터(T1~T9)는 턴오프된다.
- [0110] 홀딩 기간(HLD)에서 제n 스캔 신호(Scan(n))가 게이트 온 전압에서 게이트 오프 전압으로 전환됨에 따라 제1 트랜지스터(T1)의 기생 커패시터에 의해 구동 트랜지스터(DT)의 게이트의 전압이 조금 변동될 수 있다. 이 경우, 구동 트랜지스터(DT)는 턴오프 상태이다.
- [0111] 예를 들어, 제n 스캔 신호(Scan(n))가 게이트 온 전압에서 게이트 오프 전압이되는 순간에 제n 에미션 신호

(EM(n))를 게이트 온 전압으로 전환시킬 경우, 샘플링 에러가 발생할 수 있다. 그 이유는, 도면에 도시된바와 같이 제n 스캔 신호(Scan(n))가 이상적으로 로직로우 전압에서 로직하이 전압으로 전환되는 것이 아니라 RC 딜레이에 의해 로직로우 전압이 로직하이 전압으로 전환되는 시점이 지연될 수 있기 때문이다. 이 경우, 제n 에미션 신호(EM(n))가 게이트 온 전압으로 전환되면 원치않는 발광이 발생할 수 있다. 따라서, 본 명세서의 제2 실시예에 의한 서브 픽셀은 홀딩 기간(HLD)을 포함함으로써, 스캔 신호의 지연으로 인한 불필요한 발광을 방지할 수 있다.

[0112] 도 13a는 본 명세서의 제2 실시예에 따른 서브 픽셀의 발광 기간에서의 구동을 나타낸 도면이다. 도 13b는 도 13a의 구동을 나타낸 파형도이다.

[0113] 발광 기간(EMI)에서 제n 에미션 신호(EM(n))는 게이트 온 전압이다.

[0114] 제n 에미션 신호(EM(n))를 통해 인가된 게이트 온 전압에 의해 제3 트랜지스터(T3), 제5 트랜지스터(T5), 및 제9 트랜지스터(T9)가 턴온된다. 이에 따라, 커패시터(Cst)의 제2 전극에 고전위 전원전압(VDD)이 인가됨으로써, 커패시터(Cst)의 커플링에 의해 제2 노드(N2)의 전압은 $V_{ref}+V_{th}+(V_{dd}-V_{data})$ 가 되고, 구동 트랜지스터(DT)의 소스에도 고전위 전원전압(VDD)이 인가되어 구동 트랜지스터(DT)는 턴온된다. 그리고, 제9 트랜지스터(T9)가 턴온되어 제3 노드(N3)와 제5 노드(N5) 간의 전류 흐름을 도통시킨다. 따라서, 턴온된 구동 트랜지스터(DT)에서 발생된 구동 전류가 제9 트랜지스터(T9)를 통해 발광소자(EL)의 애노드에 인가되어 발광소자를 발광시킨다. 제9 트랜지스터(T9)는 발광 기간(EMI) 이외의 기간에서 턴오프 상태를 유지함으로써 불필요하게 발생할 수 있는 발광을 억제할 수 있다.

[0115] 본 명세서의 제2 실시예에 따른 제n 서브 픽셀(SP)의 전류를 수식으로 표현하면 다음과 같다.

$$[0116] \quad I_{oled} = K(V_{gs} - V_{th})^2 = K\{(V_{ref}+V_{th}+(V_{DD}-V_{data}))-V_{DD}-V_{th}\}^2 = K(V_{ref}-V_{data})^2$$

[0117] 위의 식에서, I_{oled} 는 발광소자(EL)를 통해 흐르는 전류, K는 상수, V_{gs} 는 구동 트랜지스터(DT)의 게이트와 소스 간의 전압, V_{th} 는 구동 트랜지스터(DT)의 문턱전압, VDD는 고전위 전원라인(VDDL)을 통해 인가된 고전위 전원전압, V_{ref} 는 기준전압 라인(V_{refL})을 통해 인가된 기준전압, V_{data} 는 데이터 라인(DL)을 통해 인가된 데이터 전압을 의미한다. 예를 들어, 고전위 전원전압은 4.6이다.

[0118] 위의 수식에서 알 수 있듯이, I_{oled} 는 기준전압과 데이터 전압 간의 차에 의해 결정된다. 수식에 따르면, 본 명세서의 제2 실시예에 따른 제n 서브 픽셀(SP)은 샘플링 기간(SAM)에 구동 트랜지스터(DT)의 소스에 인가되는 기준전압(V_{ref}) 및 발광 기간(EMI)에 구동 트랜지스터(DT)의 게이트 및 소스에 인가되는 고전위 전원전압(VDD)으로 인해 고전위 전원전압 강하분이 보상될 수 있음을 알 수 있다.

[0119] 따라서, 고전위 전원전압의 전압 강하를 고려한 시변 특성을 보상할 수 있는 구동회로를 구현하여 표시패널의 상하 휘도 불균일이나 크로스트크 등의 화질 문제를 개선할 수 있다.

[0120] 또한, 본 명세서의 제2 실시예에 따른 제n 서브 픽셀(SP)은 제8 트랜지스터(T8)를 포함함으로써, 구동 트랜지스터(DT)의 게이트를 초기화하여 표시패널의 블랙 화면의 휘도가 상승하는 것을 방지할 수 있다.

[0121] 그리고, 본 명세서의 제2 실시예에 따른 제n 서브 픽셀(SP)을 구성하는 복수의 트랜지스터들 중 제2 트랜지스터(T2) 및 제3 트랜지스터(T3)를 비표시영역의 일측에 배치하여 제n 픽셀 라인에 배치된 q개의 서브 픽셀들에 공용으로 사용하도록 할 수 있다. 또는, 게이트 구동부(130)가 좌측 및 우측에 배치된 경우, 제2 트랜지스터(T2) 및 제3 트랜지스터(T3)를 좌측 및 우측의 비표시영역에 모두 배치하여 각각 q/2개의 서브 픽셀들에 공용으로 사용하도록 할 수 있다. 이에 따라, 서브 픽셀을 구성하는 트랜지스터들의 개수를 줄여 서브 픽셀을 효율적으로 설계하고 고해상도의 표시장치를 구현할 수 있다. 이 경우, 제n 서브 픽셀(SP)을 구성하는 복수의 트랜지스터들 중 제2 트랜지스터(T2) 및 제3 트랜지스터(T3)를 제외한 나머지 트랜지스터들은 서브 픽셀들이 개별로 동작하는데 필요하여 제n 픽셀 라인에 공용으로 사용할 수 없으므로, 제2 트랜지스터(T2) 및 제3 트랜지스터(T3)를 비표시영역에 배치함으로써 고해상도 표시장치를 구현할 수 있다.

[0122] 본 명세서의 실시예에 따른 전계발광 표시장치는 다음과 같이 설명될 수 있다.

[0123] 본 명세서의 일 실시예에 따른 전계발광 표시장치에 있어서, 전계발광 표시장치는 픽셀 라인들을 포함하는 표시패널을 구비한다. 그리고, 픽셀 라인들 중 제n(n은 자연수)번째 픽셀 라인에 포함된 각각의 픽셀 회로는, 제2 노드에 게이트가 연결되고 제1 노드와 제3 노드 사이에 연결된 구동 트랜지스터, 제n+1 스캔 신호에 응답하여 제2 노드 및 제3 노드 간의 전류 흐름을 도통시키는 제1 트랜지스터, 제n 스캔 신호에 응답하여 제1 노드에 기준전압을 인가하는 제2 트랜지스터, 제n 에미션 신호에 응답하여 제1 노드에 고전위 전원전압을 인가하는 제3

트랜지스터, 제 $n-1$ 스캔 신호에 응답하여 제4 노드에 초기화 전압을 인가하는 제4 트랜지스터, 제 n 에미션 신호에 응답하여 제4 노드에 고전위 전원전압을 인가하는 제5 트랜지스터, 제 $n-1$ 스캔 신호에 응답하여 제4 노드에 고전위 전원전압을 인가하는 제6 트랜지스터, 제 $n+1$ 스캔 신호에 응답하여 제4 노드에 데이터 전압을 인가하는 제7 트랜지스터, 제2 노드와 제4 노드 사이에 연결된 커패시터, 및 제3 노드에 애노드가 연결되고 저전위 전원전압이 인가되는 배선에 캐소드가 연결된 발광소자를 포함한다. 이에 따라, 기준전압을 인가받은 서브 픽셀은 고전위 전원전압의 영향을 받지 않는 구동 전류를 발광소자에 제공하여, 전계발광 표시장치의 화질 이슈를 개선할 수 있다.

[0124] 본 명세서의 다른 특징에 따르면, 기준전압은 저전위 전원전압보다 높고 상기 고전위 전원전압보다 낮은 전압이고, 초기화 전압은 저전위 전원전압과 같거나 낮은 전압이며, 제 $n-1$ 스캔 신호가 게이트 온 전압인 기간과 제 n 스캔 신호가 게이트 온 전압인 기간이 서로 중첩될 수 있다.

[0125] 본 명세서의 다른 특징에 따르면, 제 $n-1$ 스캔 신호 및 제 n 스캔 신호는 2 수평기간 동안 게이트 온 전압이 인가되고, 제 n 에미션 신호는 4 수평기간 동안 게이트 오프 전압이 인가될 수 있다.

[0126] 본 명세서의 다른 특징에 따르면, 픽셀 회로를 구동하기 위한 1 프레임은 제 $n-1$ 스캔 신호의 게이트 온 전압이 제 $n-1$ 픽셀 라인에 입력되는 초기화 기간, 제 $n-1$ 스캔 신호의 게이트 온 전압이 제 $n-1$ 픽셀 라인에 유지되고 제 n 스캔 신호의 게이트 온 전압이 제 n 픽셀 라인에 입력되는 제1 홀딩 기간, 제 n 스캔 신호의 게이트 온 전압이 제 n 픽셀 라인에 유지되고 제 $n+1$ 스캔 신호의 게이트 온 전압이 제 $n+1$ 픽셀 라인에 입력되는 샘플링 기간, 제 $n+1$ 스캔 신호의 게이트 온 전압이 제 $n+1$ 픽셀 라인에 유지되는 제2 홀딩 기간, 및 발광 소자가 발광하는 발광 기간을 포함할 수 있다. 그리고, 초기화 기간에서 제4 트랜지스터 및 제6 트랜지스터가 턴-온되고, 제1 홀딩 기간에서 제2 트랜지스터 및 상4 트랜지스터가 턴-온되고, 샘플링 기간에서 제1 트랜지스터, 제2 트랜지스터, 및 제7 트랜지스터가 턴-온되고, 제2 홀딩 기간에서 제1 트랜지스터 및 제7 트랜지스터가 턴-온되며, 발광 기간에서 제3 트랜지스터 및 제5 트랜지스터가 턴-온될 수 있다.

[0127] 본 명세서의 다른 특징에 따르면, 제1 트랜지스터는 더블 게이트형 트랜지스터일 수 있다.

[0128] 본 명세서의 일 실시예에 따른 전계발광 표시장치에 있어서, 전계발광 표시장치는 픽셀 라인들을 포함하는 표시패널을 구비한다. 그리고, 픽셀 라인들 중 제 n (n 은 자연수)번째 픽셀 라인에 포함된 각각의 픽셀 회로는, 제2 노드에 게이트가 연결되고 제1 노드와 제3 노드 사이에 연결된 구동 트랜지스터, 제 n 스캔 신호에 응답하여 제2 노드 및 상기 제3 노드 간의 전류 흐름을 도통시키는 제1 트랜지스터, 제 n 스캔 신호에 응답하여 제1 노드에 기준전압을 인가하는 제2 트랜지스터, 제 n 에미션 신호에 응답하여 제1 노드에 고전위 전원전압을 인가하는 제3 트랜지스터, 제 n 스캔 신호에 응답하여 제5 노드에 초기화 전압을 인가하는 제4 트랜지스터, 제 n 에미션 신호에 응답하여 제4 노드에 고전위 전원전압을 인가하는 제5 트랜지스터, 제 $n-1$ 스캔 신호에 응답하여 제4 노드에 고전위 전원전압을 인가하는 제6 트랜지스터, 제 n 스캔 신호에 응답하여 제4 노드에 데이터 전압을 인가하는 제7 트랜지스터, 제 $n-1$ 스캔 신호에 응답하여 제2 노드에 초기화 전압을 공급하는 제8 트랜지스터, 제 n 에미션 신호에 응답하여 제3 노드와 제5 노드 간의 전류 흐름을 도통시키는 제9 트랜지스터, 제2 노드와 상기 제4 노드 사이에 연결된 커패시터, 및 제5 노드에 애노드가 연결되고 저전위 전원전압이 인가되는 배선에 캐소드가 연결된 발광소자를 포함한다. 이에 따라, 기준전압을 인가받은 서브 픽셀은 고전위 전원전압의 영향을 받지 않는 구동 전류를 발광소자에 제공하여, 전계발광 표시장치의 화질 이슈를 개선할 수 있다.

[0129] 본 명세서의 다른 특징에 따르면, 픽셀 회로를 구동하기 위한 1 프레임은 제 $n-1$ 스캔 신호의 게이트 온 전압이 제 $n-1$ 픽셀 라인에 입력되는 초기화 기간, 제 n 스캔 신호의 게이트 온 전압이 제 n 픽셀 라인에 입력되는 샘플링 기간, 제 $n-1$ 스캔 신호 및 제 n 스캔 신호의 게이트 오프 전압이 제 n 픽셀 라인에 입력되는 홀딩 기간, 및 제 n 에미션 신호의 게이트 온 전압이 제 n 픽셀 라인에 입력되는 발광 기간을 포함할 수 있다. 그리고, 초기화 기간에서 제6 트랜지스터 및 제8 트랜지스터가 턴-온되고, 샘플링 기간에서 제1 트랜지스터, 제2 트랜지스터, 제4 트랜지스터, 및 제7 트랜지스터가 턴-온되고, 홀딩 기간에서 제1 트랜지스터 내지 제9 트랜지스터가 턴-오프되며, 발광 기간에서 제3 트랜지스터, 제5 트랜지스터, 및 제9 트랜지스터가 턴온될 수 있다.

[0130] 본 명세서의 다른 특징에 따르면, 초기화 기간, 샘플링 기간, 및 홀딩 기간에서 제 n 에미션 신호는 게이트 오프 전압일 수 있다.

[0131] 본 명세서의 다른 특징에 따르면, 제 $n-1$ 스캔 신호 및 제 n 스캔 신호는 1 수평기간 동안 게이트 온 전압이 인가되고, 제 n 에미션 신호는 3 수평기간 동안 게이트 오프 전압이 인가될 수 있다.

[0132] 본 명세서의 다른 특징에 따르면, 제1 트랜지스터 및 제8 트랜지스터는 더블 게이트형 트랜지스터일 수 있다.

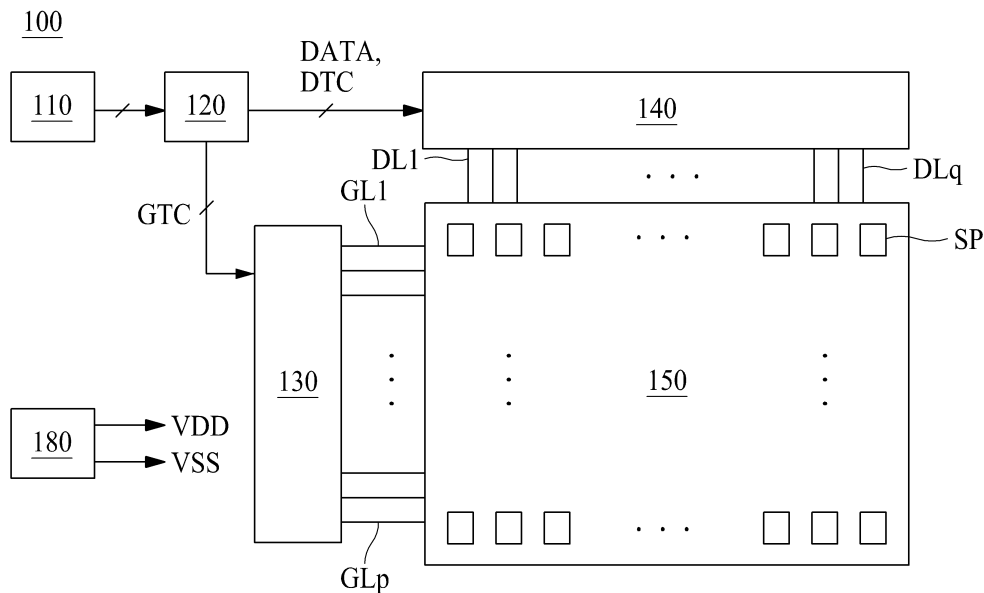
[0133] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 더욱 상세하게 설명하였으나, 본 발명은 반드시 이러한 실시예로 국한되는 것은 아니고, 본 발명의 기술사상을 벗어나지 않는 범위 내에서 다양하게 변형 실시될 수 있다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 그러므로, 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다. 본 발명의 보호 범위는 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

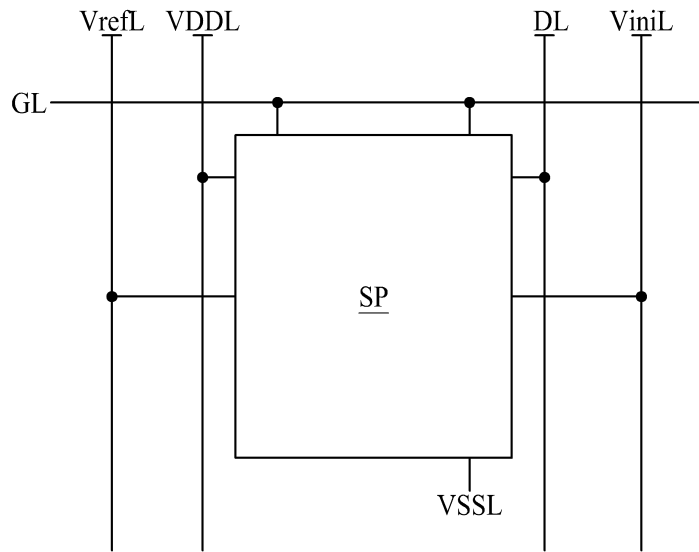
[0134] GL1~GLp : 게이트 라인들
DL1~DLq : 데이터 라인들
100 : 표시장치
110 : 영상 처리부
120 : 타이밍 제어부
130 : 게이트 구동부
140 : 데이터 구동부
150 : 표시패널
180 : 전원 공급부

도면

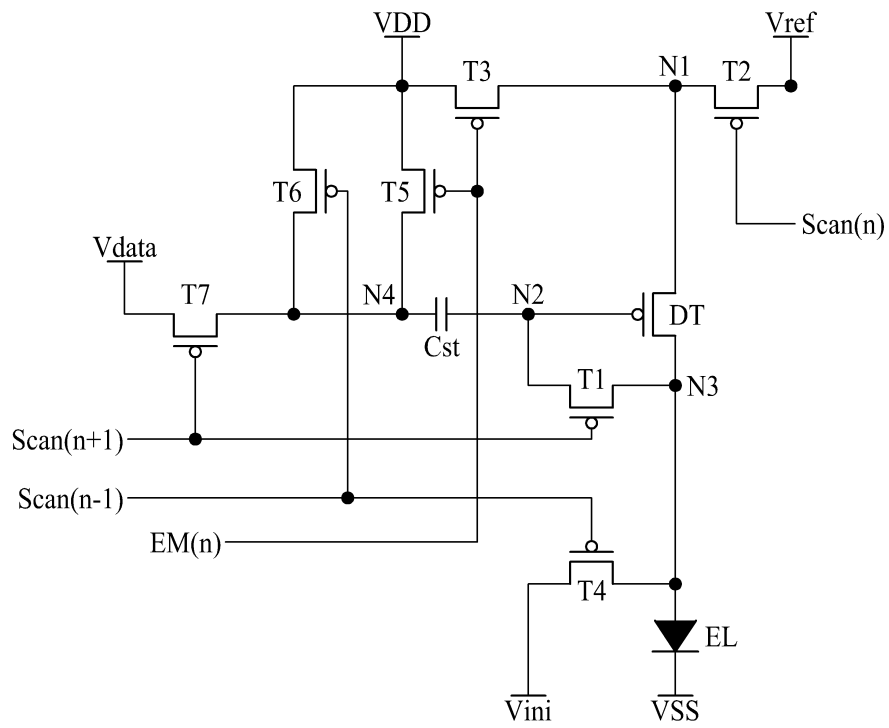
도면1



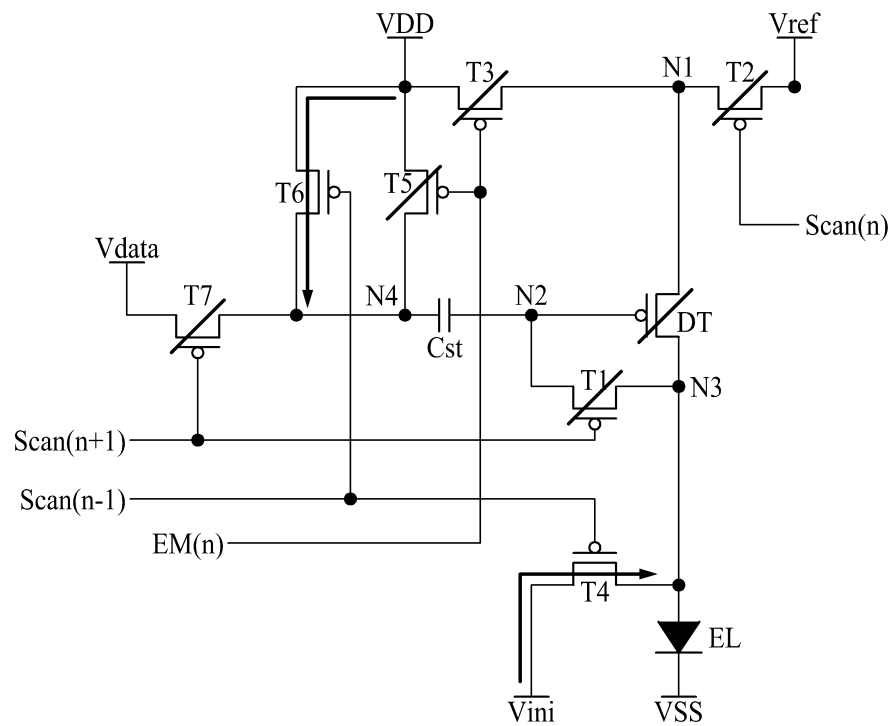
도면2



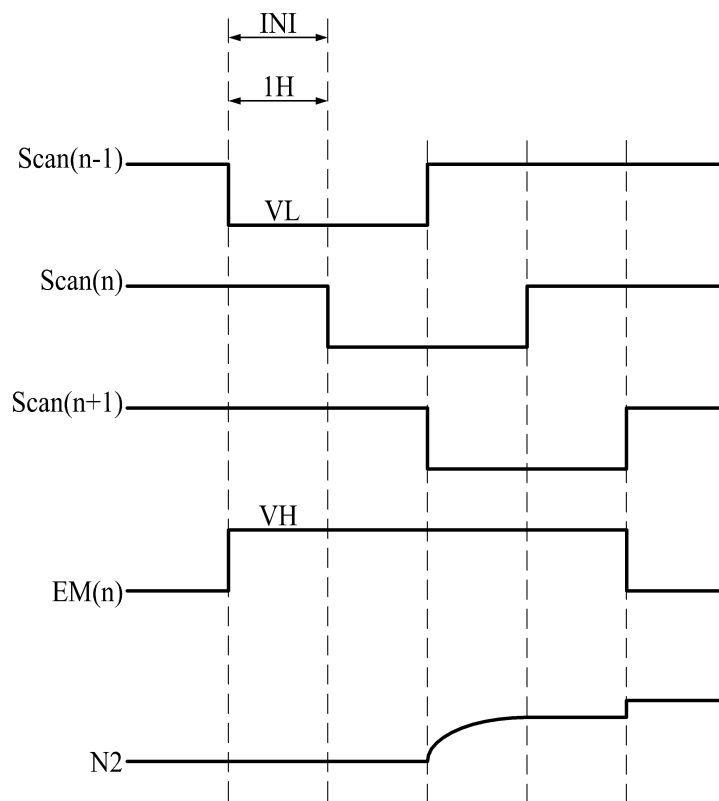
도면3



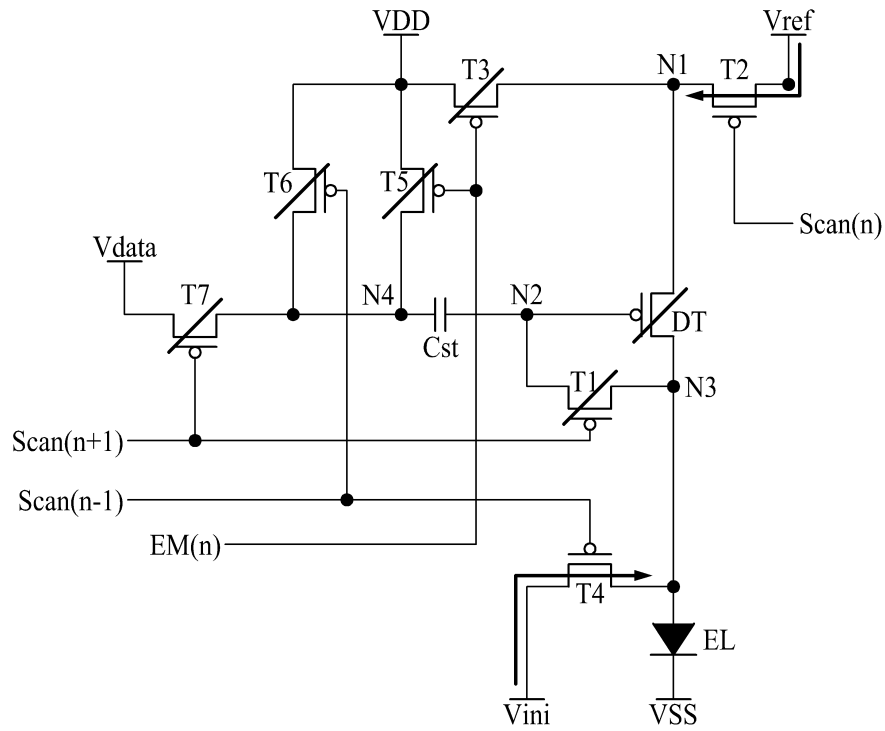
도면4a



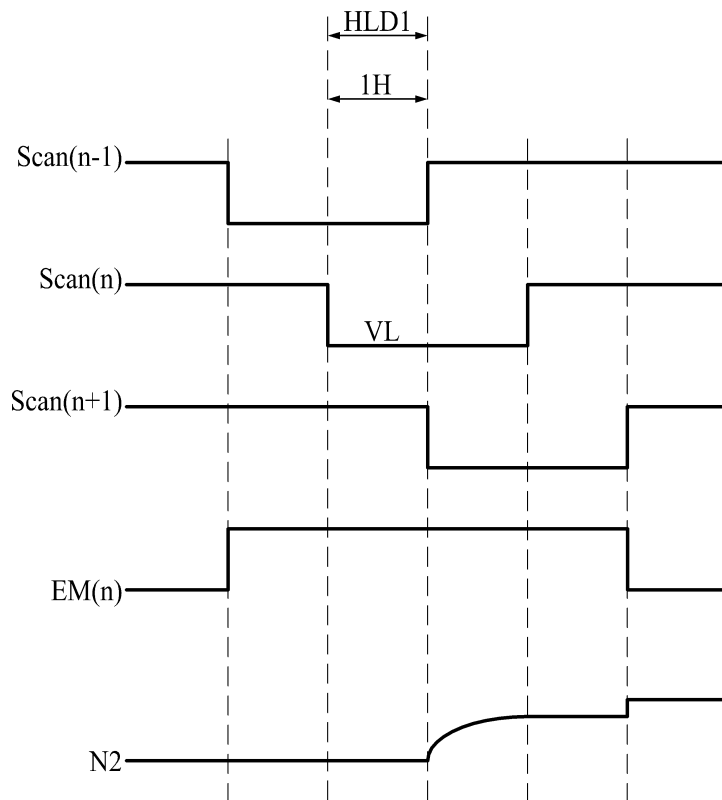
도면4b



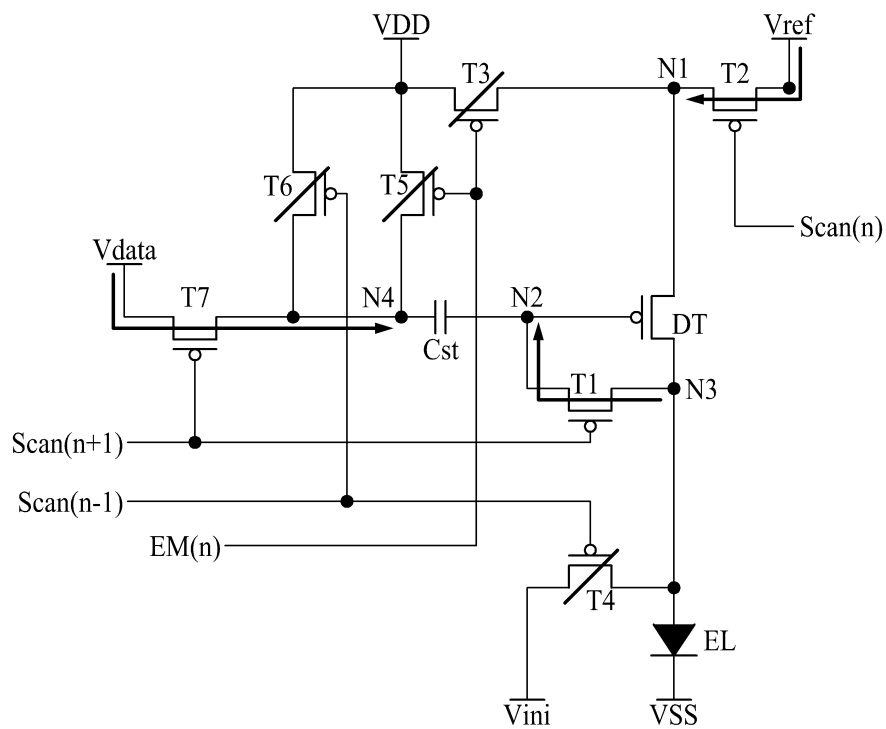
도면5a



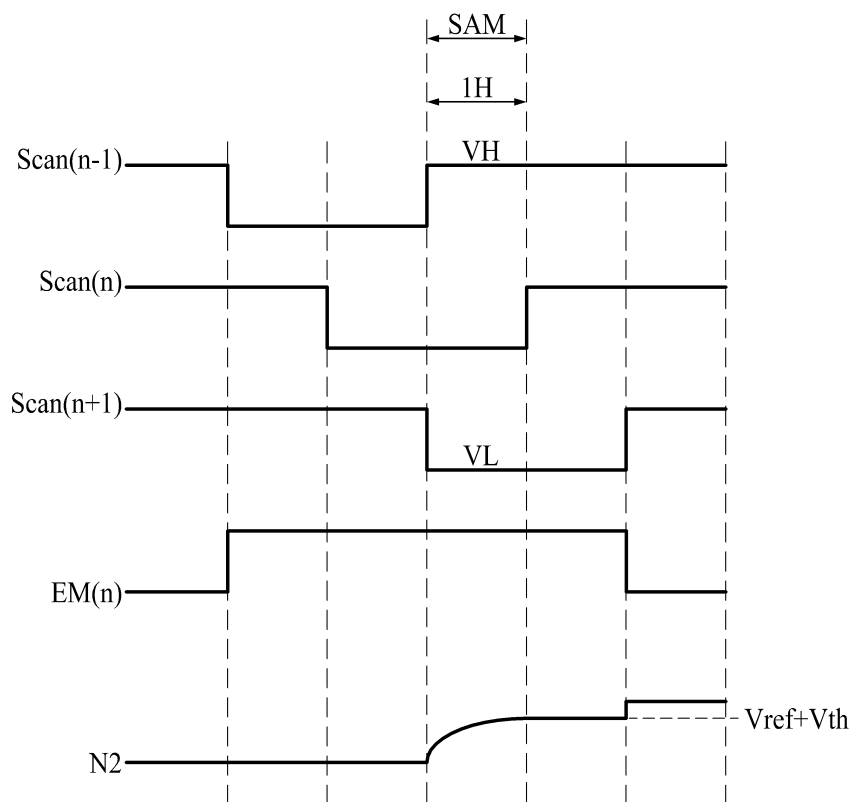
도면5b



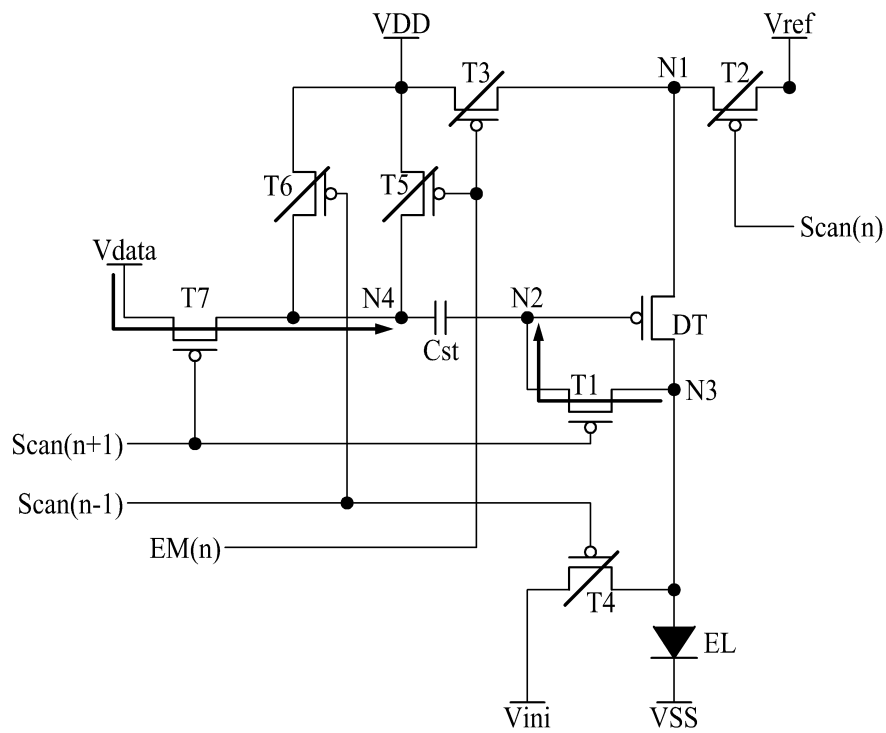
도면6a



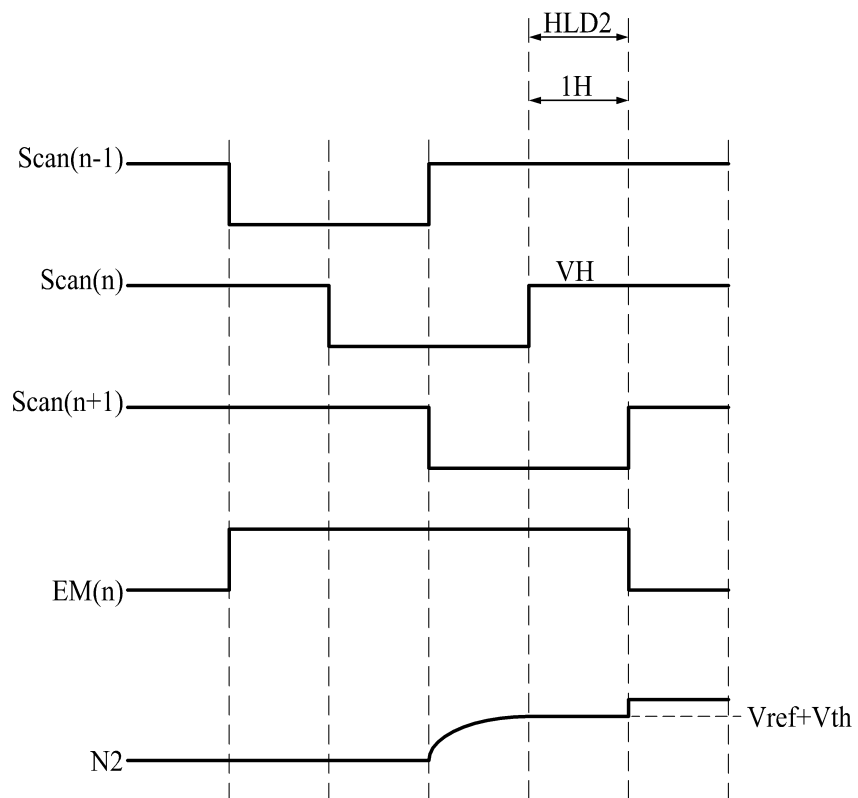
도면6b



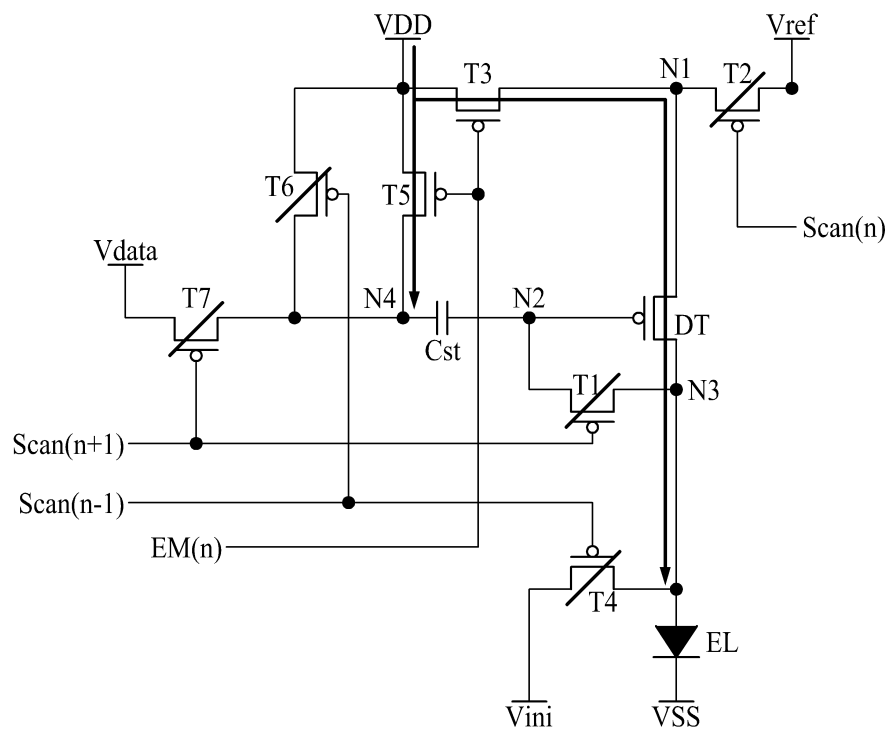
도면7a



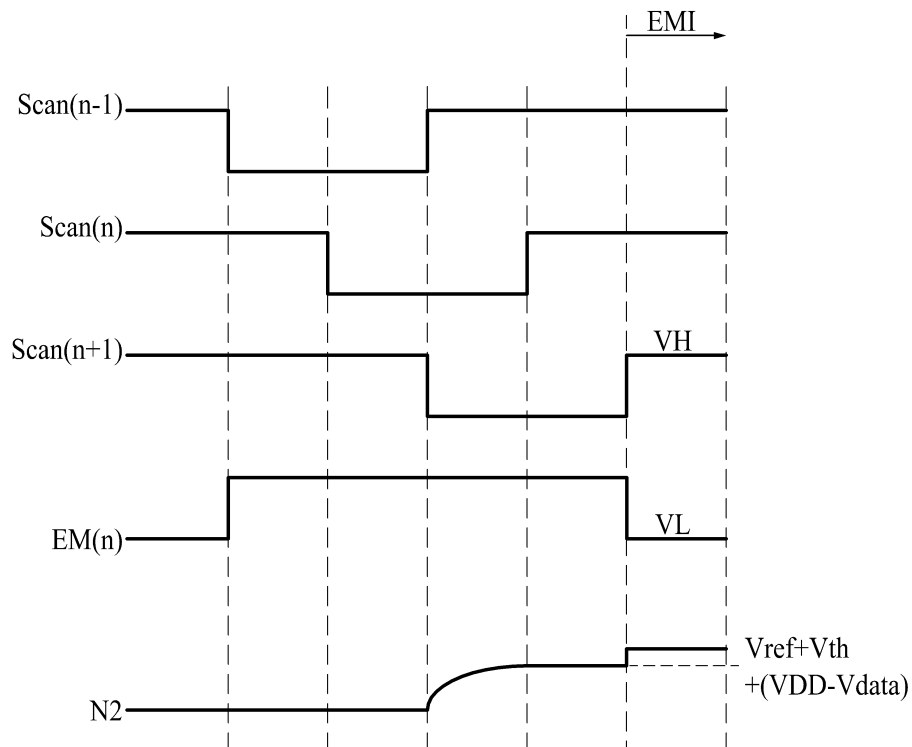
도면7b



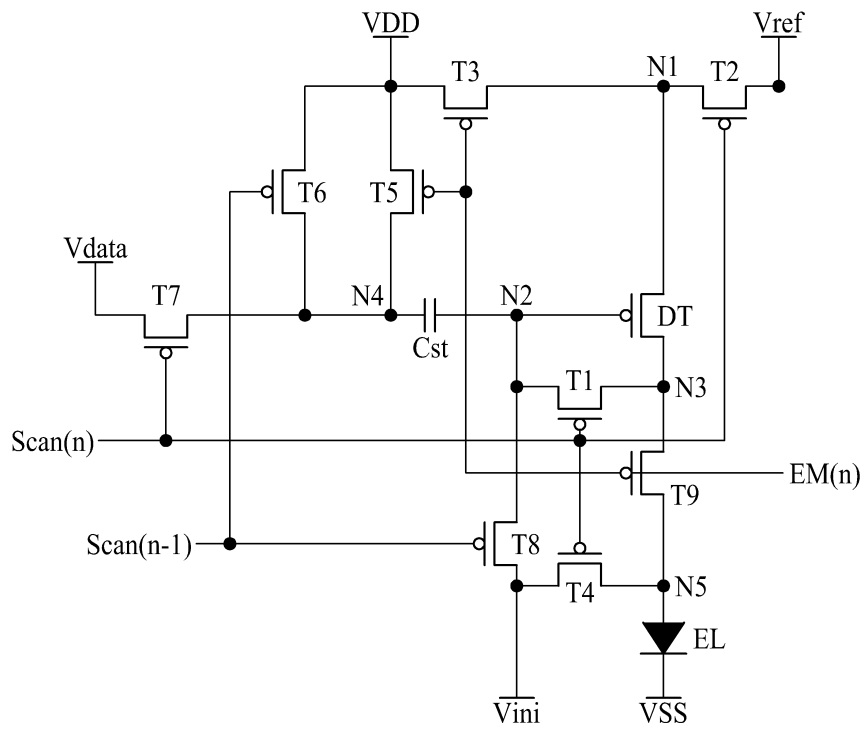
도면8a



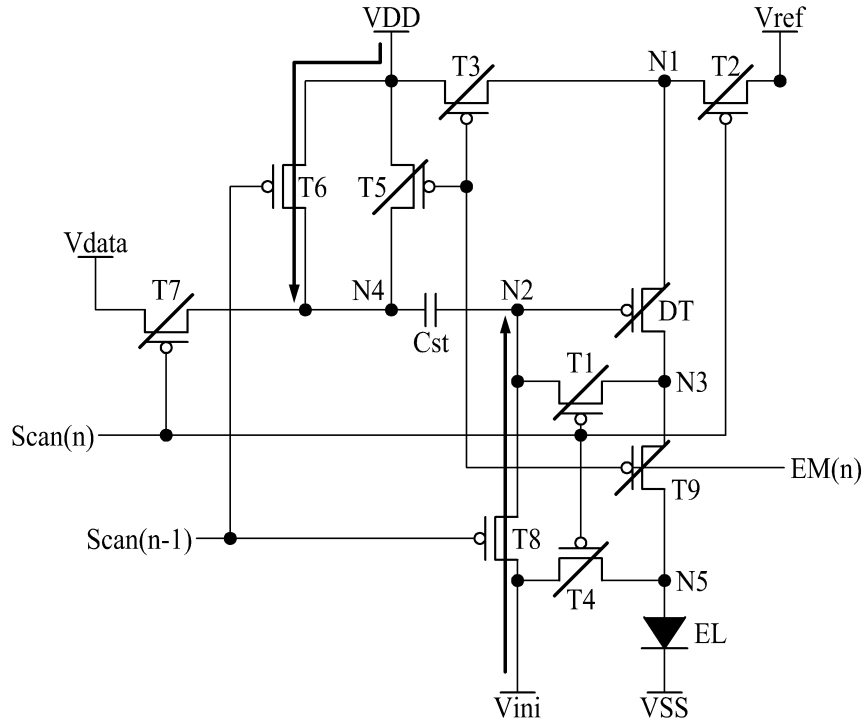
도면 8b



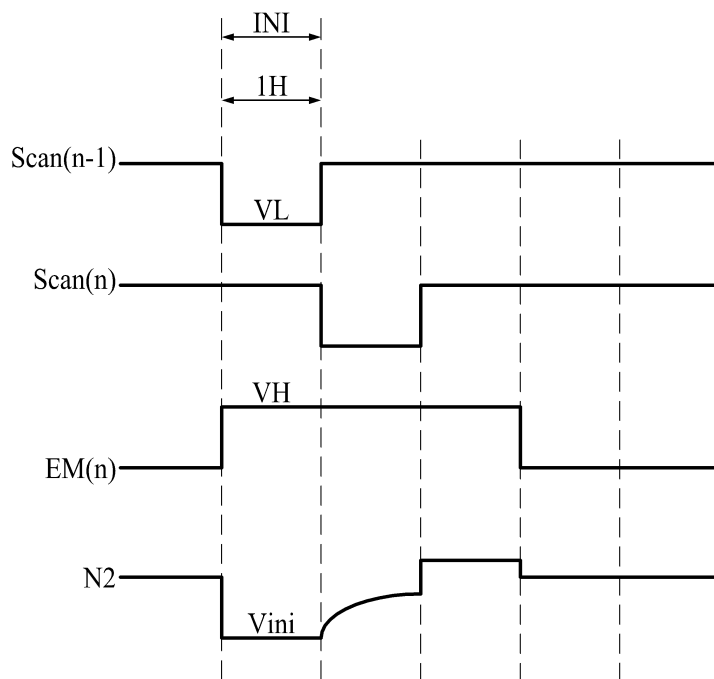
도면9



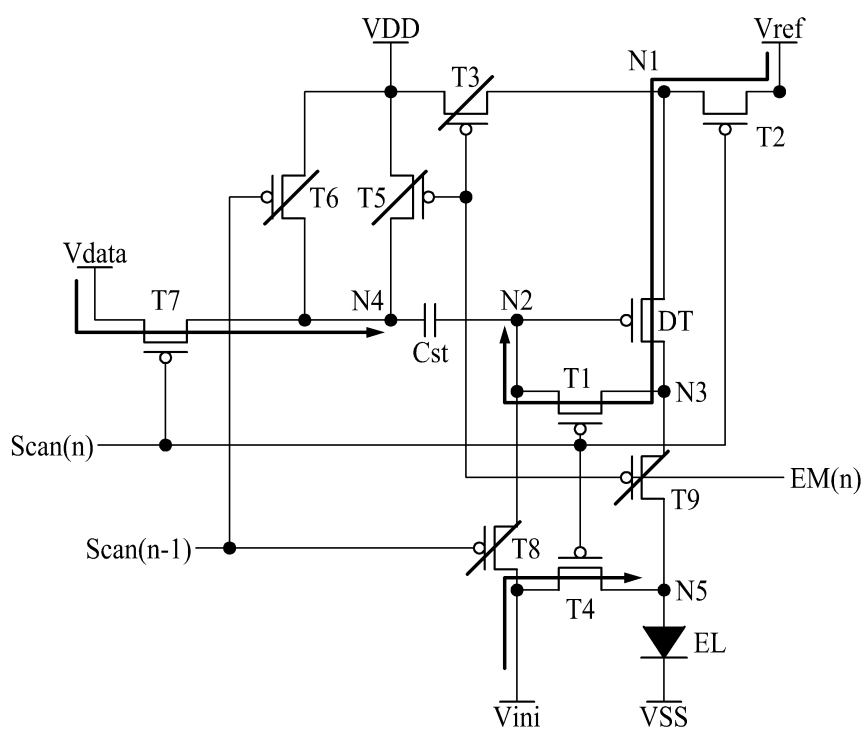
도면10a



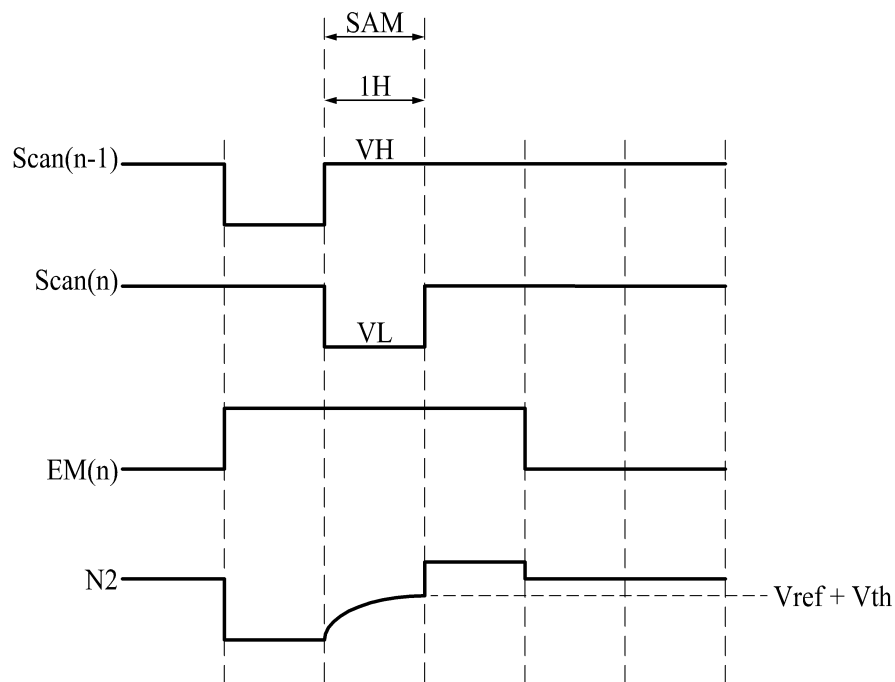
도면10b



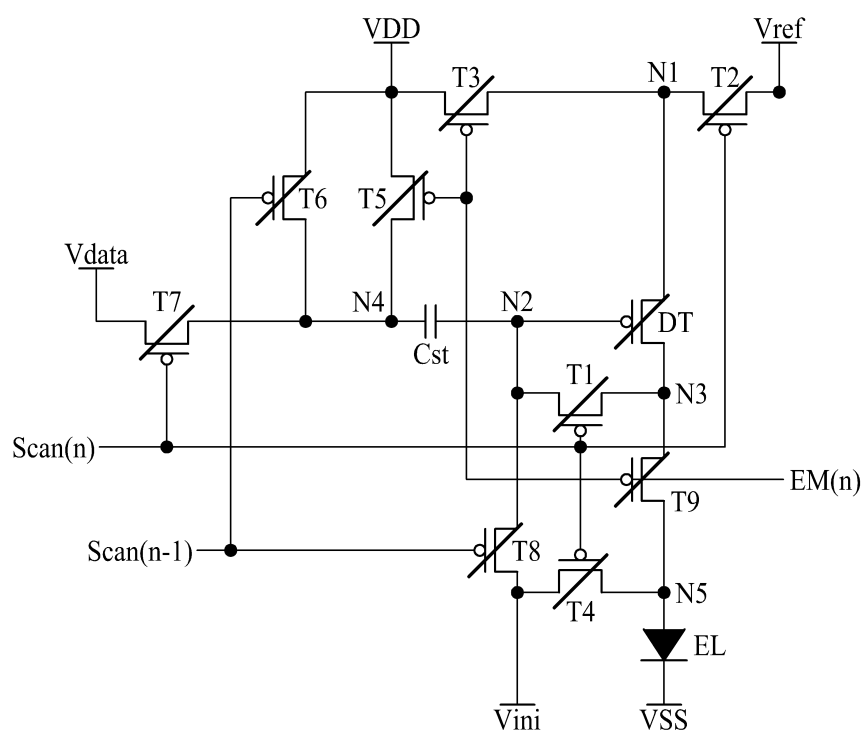
도면11a



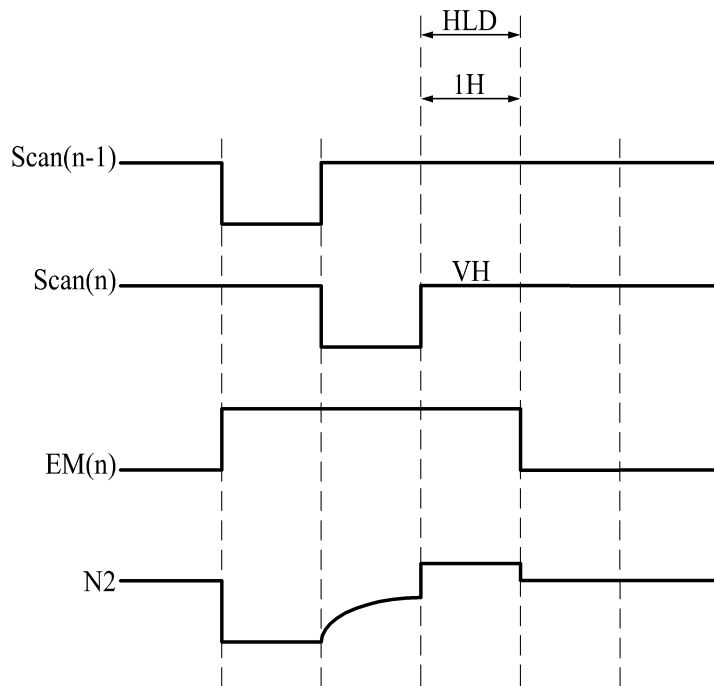
도면11b



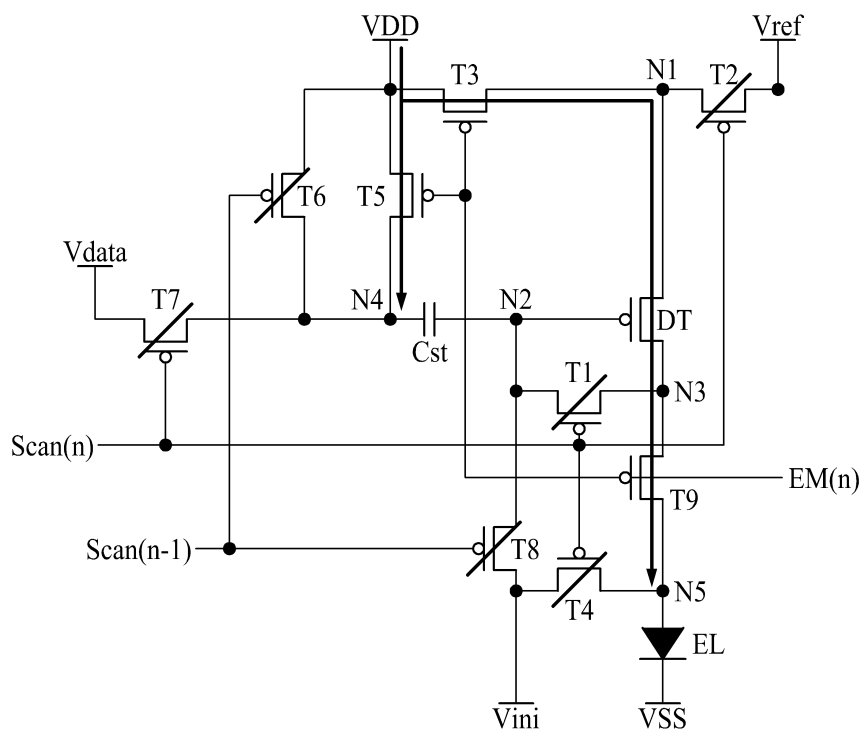
도면12a



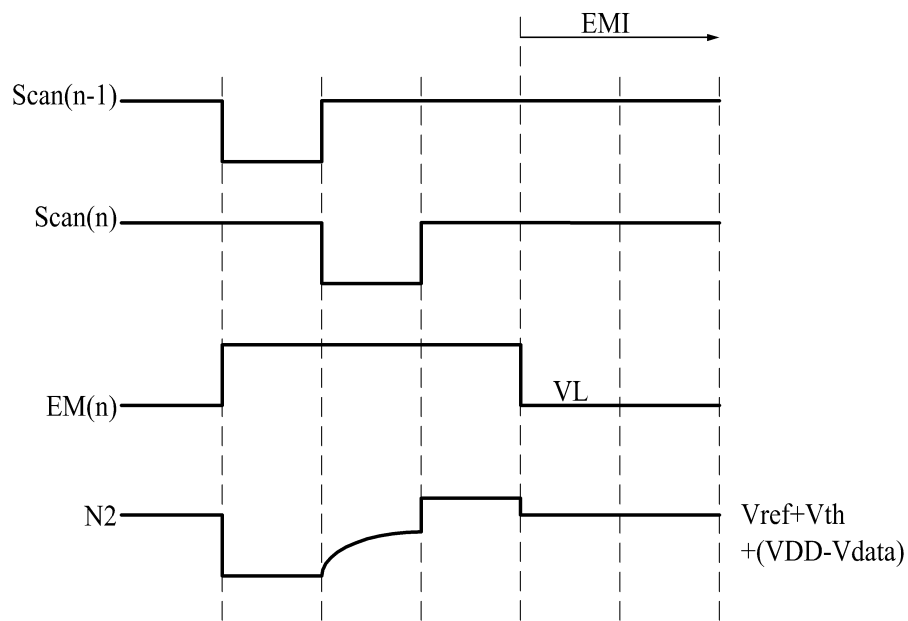
도면12b



도면13a



도면13b



专利名称(译)	电致发光显示器		
公开(公告)号	KR1020190064267A	公开(公告)日	2019-06-10
申请号	KR1020170163688	申请日	2017-11-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	정해운 유준석 김중철		
发明人	정해운 유준석 김중철		
IPC分类号	G09G3/3233		
CPC分类号	G09G3/3233 G09G2230/00 G09G2300/0842 G09G2320/0209 G09G2320/0233		
外部链接	Espacenet		

摘要(译)

根据本公开的实施例的电致发光显示装置包括显示面板，该显示面板包括像素线，并且包括在像素线的第 n (n 是自然数)个像素线中的每个像素电路连接到第二节点。驱动晶体管耦合在第一节点和第三节点之间，第一晶体管响应于 $n+1$ 扫描信号，响应于第 n 扫描信号而在第二节点和第三节点之间传导电流。第二晶体管将参考电压施加到第一节点，第三晶体管响应于第 n 个发射信号将高电位电源电压施加到第一节点，并且响应于 $n-1$ 个扫描信号而初始化第四节点第四晶体管施加电压，第五晶体管响应于第 n 个发射信号向第四节点施加高电位电源电压，以及高响应于 $n-1$ 扫描信号而施加至第四节点的高电位电源电压到第六晶体管，响应于第 $n+1$ 个扫描信号而将数据电压施加到第四节点的第七晶体管，连接在第二节点和第四节点之间的电容器，连接到第三节点的阳极以及低电位电源电压发光器件包括连接至所施加的布线的发光二极管。因此，接收参考电压的子像素可以向发光器件提供不受高电位电源电压影响的驱动电流，从而改善了电致发光显示器的图像质量问题。

