



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0030797
(43) 공개일자 2019년03월25일

(51) 국제특허분류(Int. Cl.)
H01L 51/52 (2006.01) H01L 51/00 (2006.01)
(52) CPC특허분류
H01L 51/5203 (2013.01)
H01L 27/3262 (2013.01)
(21) 출원번호 10-2017-0117728
(22) 출원일자 2017년09월14일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
김태현
서울특별시 노원구 동일로214길 21, 414동 208호
(상계동, 상계주공4단지아파트)
이승민
경기도 화성시 동탄반석로 41, 616동 202호 (반송
동, نار우마을신도브레뉴아파트)
(뒷면에 계속)
(74) 대리인
윤여광, 염주석

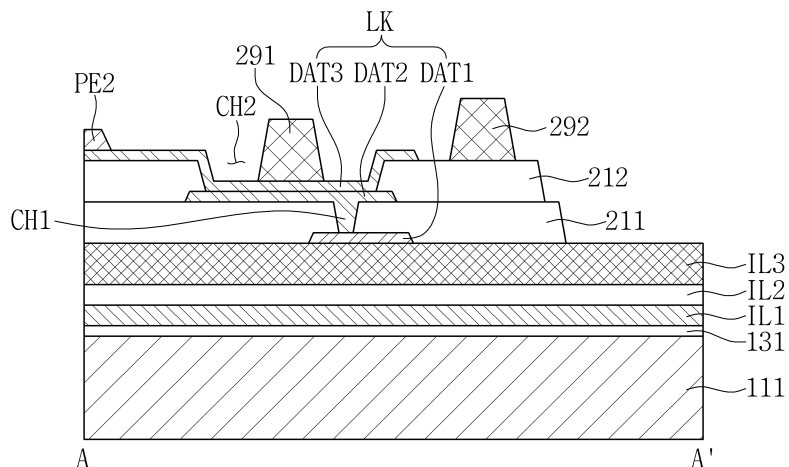
전체 청구항 수 : 총 22 항

(54) 발명의 명칭 유기 발광 표시 장치

(57) 요약

본 발명은 표시 품질이 우수하고, 비표시 영역의 면적이 작은 유기 발광 표시 장치에 관한 것으로, 표시 영역 및 비표시 영역을 포함하는 기판; 기판의 표시 영역에 배치된 제1 전극, 제1 전극 상에 배치된 유기 발광층, 및 유기 발광층 상에 배치된 제2 전극을 포함하는 유기 발광 소자; 기판의 비표시 영역에 배치된 제1 도전선; 제1 도전선 상에 배치된 제1 유기막; 제1 유기막 상에 배치되고, 제1 도전선에 연결된 제2 도전선; 제2 도전선 상에 배치된 제2 유기막; 및 제2 유기막 상에 배치되고, 제2 도전선에 연결된 제3 도전선;을 포함하고, 제3 도전선은 제2 전극에 연결된다.

대표도 - 도6



(52) CPC특허분류

H01L 27/3276 (2013.01)

H01L 51/0097 (2013.01)

H01L 51/5237 (2013.01)

H01L 51/525 (2013.01)

(72) 발명자

최선영

경기도 군포시 산본천로217번길 73, 102호 (산본동)

박상호

경기도 화성시 동탄순환대로26길 55, 411동 1802호 (영천동, 반도유보라2차)

심동환

경기도 화성시 동탄중앙로 213, 242동 1201호 (반송동, 동탄시범한빛마을 금호어울림아파트)

이정규

인천광역시 남동구 소래역남로 39, 504동 601호 (논현동, 에코메트로5단지한화꿈에그린아파트)

조승환

경기도 용인시 수지구 죽전로 87, 432동 1601호 (죽전동, 꽃메마을현대홈타운4차3단지아파트)

명세서

청구범위

청구항 1

표시 영역 및 비표시 영역을 포함하는 기관;

상기 기관의 상기 표시 영역에 배치된 제1 전극, 상기 제1 전극 상에 배치된 유기 발광층, 및 상기 유기 발광층 상에 배치된 제2 전극을 포함하는 유기 발광 소자;

상기 기관의 상기 비표시 영역에 배치된 제1 도전선;

상기 제1 도전선 상에 배치된 제1 유기막;

상기 제1 유기막 상에 배치되고, 상기 제1 도전선에 연결된 제2 도전선;

상기 제2 도전선 상에 배치된 제2 유기막; 및

상기 제2 유기막 상에 배치되고, 상기 제2 도전선에 연결된 제3 도전선;을 포함하고,

상기 제3 도전선은 상기 제2 전극에 연결된 유기 발광 표시 장치.

청구항 2

제1 항에 있어서,

상기 제1 도전선, 상기 제2 도전선 및 상기 제3 도전선은 하나의 링크선을 구성하는 유기 발광 표시 장치.

청구항 3

제1 항에 있어서,

상기 제1 유기막은 제1 컨택홀을 갖고, 상기 제2 유기막은 제2 컨택홀을 가지며,

상기 제2 도전선은 상기 제1 컨택홀을 통해 제1 도전선에 연결되고, 상기 제3 도전선은 상기 제2 컨택홀을 통해 제2 도전선에 연결되는 유기 발광 표시 장치.

청구항 4

제1 항에 있어서,

상기 제3 도전선 상에 배치된 스페이서를 더 포함하는 유기 발광 표시 장치.

청구항 5

제4 항에 있어서,

상기 스페이서는 복수의 층으로 이루어진 유기 발광 표시 장치.

청구항 6

제5 항에 있어서,

상기 제3 도전선은 상기 제2 도전선 및 상기 스페이서와 중첩하는 영역에서 복수의 제1 홀을 갖는 유기 발광 표시 장치.

청구항 7

제6 항에 있어서,

상기 복수의 제1 홀은 각각 약 1 μ m 내지 약 5 μ m의 직경을 갖는 유기 발광 표시 장치.

청구항 8

제1 항에 있어서,

상기 제3 도전선은 상기 제1 유기막 및 상기 제2 유기막과 중첩하는 영역에서 복수의 제2 홀을 갖는 유기 발광 표시 장치.

청구항 9

제8 항에 있어서,

상기 복수의 제2 홀은 각각 약 1 μ m 내지 약 5 μ m의 직경을 갖는 유기 발광 표시 장치.

청구항 10

제1 항에 있어서,

상기 제1 도전선과 상기 제1 유기막 사이에 배치된 제1 무기막을 더 포함하는 유기 발광 표시 장치.

청구항 11

제1 항에 있어서,

상기 제1 유기막과 상기 제2 도전선 사이에 배치된 제2 무기막을 더 포함하는 유기 발광 표시 장치.

청구항 12

제1 항에 있어서,

상기 기판 상에 배치된 게이트 라인 및 데이터 라인;

상기 게이트 라인 및 상기 데이터 라인에 연결된 박막 트랜지스터;

상기 박막 트랜지스터와 중첩하여 배치되고, 상기 박막 트랜지스터에 연결된 제1 보조 전극; 및

상기 제1 보조 전극 및 상기 제1 전극 사이에 배치되고, 상기 제1 보조 전극 및 상기 제1 전극에 각각 연결된 제2 보조 전극;을 더 포함하는 유기 발광 표시 장치.

청구항 13

제12 항에 있어서,

상기 제1 도전선은 상기 제1 보조 전극과 동일층에 배치된 유기 발광 표시 장치.

청구항 14

제13 항에 있어서,

상기 제2 도전선은 상기 제2 보조 전극과 동일층에 배치되고, 상기 제3 도전선은 상기 제1 전극과 동일층에 배치된 유기 발광 표시 장치.

청구항 15

제12 항에 있어서,

상기 데이터 라인과 평행하게 배치되며, 제1 전원선 및 제2 전원선을 포함하는 공통 전원 라인을 더 포함하는 유기 발광 표시 장치.

청구항 16

제15 항에 있어서,

상기 제1 전원선은 상기 제1 도전선 및 상기 제1 보조 전극과 동일층에 배치되고, 상기 제2 전원선은 상기 제2 도전선 및 상기 제2 보조 전극과 동일층에 배치된 유기 발광 표시 장치.

청구항 17

제1 항에 있어서,
상기 제2 전극 및 상기 제3 도전선 상에 배치된 박막 봉지층을 더 포함하고,
상기 박막 봉지층은,
적어도 하나의 무기막; 및
상기 적어도 하나의 무기막과 교호적으로 배치된 적어도 하나의 유기막;을 포함하는 유기 발광 표시 장치.

청구항 18

제1 항에 있어서,
상기 기관은 적어도 하나의 벤딩부를 포함하는 유기 발광 표시 장치.

청구항 19

표시 영역 및 비표시 영역을 포함하는 기관;
상기 기관의 상기 표시 영역에 배치된 제1 전극, 상기 제1 전극 상에 배치된 유기 발광층, 및 상기 유기 발광층 상에 배치된 제2 전극을 포함하는 유기 발광 소자;
상기 기관의 상기 비표시 영역에 배치된 제1 도전선;
상기 제1 도전선 상에 배치된 제1 유기막;
상기 제1 유기막 상에 배치되고, 상기 제1 도전선에 연결된 제2 도전선;
상기 제2 도전선 상에 배치된 제2 유기막;
상기 제2 유기막 상에 배치되고, 상기 제2 도전선에 연결된 제3 도전선; 및
상기 제3 도전선 상에 배치된 스페이서;를 포함하고,
상기 제3 도전선은 상기 제2 도전선 및 상기 스페이서와 중첩하는 영역에서 복수의 제1 홀을 갖는 유기 발광 표시 장치.

청구항 20

제19 항에 있어서,
상기 제3 도전선은 상기 제1 유기막 및 상기 제2 유기막과 중첩하는 영역에서 복수의 제2 홀을 갖는 유기 발광 표시 장치.

청구항 21

제20 항에 있어서,
상기 복수의 제1 홀 및 상기 복수의 제2 홀은 각각 약 1 μ m 내지 약 5 μ m의 직경을 갖는 유기 발광 표시 장치.

청구항 22

제19 항에 있어서,
상기 제3 도전선은 상기 제2 전극에 연결된 유기 발광 표시 장치.

발명의 설명

기술 분야

본 발명은 유기 발광 표시 장치에 관한 것으로, 특히, 표시 품질이 우수하고, 비표시 영역의 면적이 작은 유기

[0001]

발광 표시 장치에 대한 것이다.

배경 기술

- [0002] 유기 발광 표시 장치(organic light emitting display device)는 빛을 방출하는 유기 발광 소자(organic light emitting diode)를 가지고 화상을 표시하는 자발광형 표시 장치다. 유기 발광 표시 장치는 낮은 소비 전력, 높은 휘도 및 높은 반응 속도 등의 특성을 가지므로 현재 표시 장치로 주목받고 있다.
- [0003] 최근 대면적과 고해상도를 가지면서 우수한 표시 품질을 갖는 유기 발광 표시 장치에 대한 수요가 증가하고 있다. 따라서, 대면적과 고해상도를 가지면서도 표시 품질이 우수한 유기 발광 표시 장치에 대한 연구들이 진행되고 있다. 또한, 비표시 영역 및 베젤의 면적을 줄이고, 표시 장치에서 큰 화면이 표시되도록 하는 연구들이 진행되고 있다.

발명의 내용

해결하려는 과제

- [0004] 본 발명은 표시 품질이 우수하고, 비표시 영역의 면적이 작으며, 좁은 베젤(narrow bezel)을 갖는 유기 발광 표시 장치를 제공하는데 그 목적이 있다.

과제의 해결 수단

- [0005] 상기와 같은 목적을 달성하기 위한 본 발명에 따른 유기 발광 표시 장치는, 표시 영역 및 비표시 영역을 포함하는 기판; 기판의 표시 영역에 배치된 제1 전극, 제1 전극 상에 배치된 유기 발광층, 및 유기 발광층 상에 배치된 제2 전극을 포함하는 유기 발광 소자; 기판의 비표시 영역에 배치된 제1 도전선; 제1 도전선 상에 배치된 제1 유기막; 제1 유기막 상에 배치되고, 제1 도전선에 연결된 제2 도전선; 제2 도전선 상에 배치된 제2 유기막; 및 제2 유기막 상에 배치되고, 제2 도전선에 연결된 제3 도전선;을 포함하고, 제3 도전선은 제2 전극에 연결된다.
- [0006] 제1 도전선, 제2 도전선 및 제3 도전선은 하나의 링크선을 구성한다.
- [0007] 제1 유기막은 제1 컨택홀을 갖고, 제2 유기막은 제2 컨택홀을 가지며, 제2 도전선은 제1 컨택홀을 통해 제1 도전선에 연결되고, 제3 도전선은 제2 컨택홀을 통해 제2 도전선에 연결된다.
- [0008] 제3 도전선 상에 배치된 스페이서를 더 포함한다.
- [0009] 스페이서는 복수의 층으로 이루어진다.
- [0010] 제3 도전선은 제2 도전선 및 스페이서와 중첩하는 영역에서 복수의 제1 홀을 갖는다.
- [0011] 복수의 제1 홀은 각각 약 1 μ m 내지 약 5 μ m의 직경을 갖는다.
- [0012] 제3 도전선은 제1 유기막 및 제2 유기막과 중첩하는 영역에서 복수의 제2 홀을 갖는다.
- [0013] 복수의 제2 홀은 각각 약 1 μ m 내지 약 5 μ m의 직경을 갖는다.
- [0014] 제1 도전선과 제1 유기막 사이에 배치된 제1 무기막을 더 포함한다.
- [0015] 제1 유기막과 제2 도전선 사이에 배치된 제2 무기막을 더 포함한다.
- [0016] 기판 상에 배치된 게이트 라인 및 데이터 라인; 게이트 라인 및 데이터 라인에 연결된 박막 트랜지스터; 박막 트랜지스터와 중첩하여 배치되고, 박막 트랜지스터에 연결된 제1 보조 전극; 및 제1 보조 전극 및 제1 전극 사이에 배치되고, 제1 보조 전극 및 제1 전극에 각각 연결된 제2 보조 전극;을 더 포함한다.
- [0017] 제1 도전선은 제1 보조 전극과 동일층에 배치된다.
- [0018] 제2 도전선은 제2 보조 전극과 동일층에 배치되고, 제3 도전선은 제1 전극과 동일층에 배치된다.
- [0019] 데이터 라인과 평행하게 배치되며, 제1 전원선 및 제2 전원선을 포함하는 공통 전원 라인을 더 포함한다.
- [0020] 제1 전원선은 제1 도전선 및 제1 보조 전극과 동일층에 배치되고, 제2 전원선은 제2 도전선 및 제2 보조 전극과 동일층에 배치된다.

- [0021] 제2 전극 및 제3 도전선 상에 배치된 박막 봉지층을 더 포함하고, 박막 봉지층은, 적어도 하나의 무기막; 및 적어도 하나의 무기막과 교호적으로 배치된 적어도 하나의 유기막;을 포함한다.
- [0022] 기관은 적어도 하나의 벤딩부를 포함한다.
- [0023] 또한, 본 발명에 따른 유기 발광 표시 장치는, 표시 영역 및 비표시 영역을 포함하는 기관; 기관의 표시 영역에 배치된 제1 전극, 제1 전극 상에 배치된 유기 발광층, 및 유기 발광층 상에 배치된 제2 전극을 포함하는 유기 발광 소자; 기관의 비표시 영역에 배치된 제1 도전선; 제1 도전선 상에 배치된 제1 유기막; 제1 유기막 상에 배치되고, 제1 도전선에 연결된 제2 도전선; 제2 도전선 상에 배치된 제2 유기막; 제2 유기막 상에 배치되고, 제2 도전선에 연결된 제3 도전선; 및 제3 도전선 상에 배치된 스페이서;를 포함하고, 제3 도전선은 제2 도전선 및 스페이서와 중첩하는 영역에서 복수의 제1 홀을 갖는다.
- [0024] 제3 도전선은 제1 유기막 및 제2 유기막과 중첩하는 영역에서 복수의 제2 홀을 갖는다.
- [0025] 복수의 제1 홀 및 복수의 제2 홀은 각각 약 1 μ m 내지 약 5 μ m의 직경을 갖는다.
- [0026] 제3 도전선은 상기 제2 전극에 연결된다.

발명의 효과

- [0027] 본 발명에 따른 유기 발광 표시 장치는 비표시 영역에 배치된 다층 구조의 링크선을 포함함으로써 우수한 표시 품질을 가지며, 비표시 영역의 면적이 감소될 수 있다. 또한, 기관이 벤딩되어 단자가 표시 영역의 배면에 배치됨으로써 좁은 베젤을 가질 수 있다.

도면의 간단한 설명

- [0028] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 블록도이다.
- 도 2는 기관이 벤딩된 상태에 대한 단면도이다.
- 도 3은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 어느 한 화소에 대한 회로도이다.
- 도 4는 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 어느 한 화소에 대한 평면도이다.
- 도 5는 도 4의 I-I' 선을 따라 자른 단면도이다.
- 도 6은 도 1의 A-A' 선을 따라 자른 단면도이다.
- 도 7은 도 5의 단면도와 도 6의 단면도의 비교도이다.
- 도 8은 도 1의 A-A' 선에 대응되는 본 발명의 다른 일 실시예에 따른 단면도이다.
- 도 9는 본 발명의 또 다른 일 실시예에 따른 유기 발광 표시 장치의 단면도이다.
- 도 10은 본 발명의 또 다른 일 실시예에 따른 유기 발광 표시 장치의 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0029] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 따라서, 몇몇 실시예에서, 잘 알려진 공정 단계들, 잘 알려진 소자 구조 및 잘 알려진 기술들은 본 발명이 모호하게 해석되는 것을 피하기 위하여 구체적으로 설명되지 않는다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.
- [0030] 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에(상에)" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 또한, 층, 막, 영역, 판 등의 부분이 다른 부분 "아래에(하부에)" 있다고 할 때, 이는 다른 부분 "바로 아래에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다.

- [0031] 본 명세서에서 어떤 부분이 다른 부분과 연결되어 있다고 할 때, 이는 직접적으로 연결되어 있는 경우뿐 아니라, 그 중간에 다른 소자를 사이에 두고 전기적으로 연결되어 있는 경우도 포함한다. 또한, 어떤 부분이 어떤 구성 요소를 포함한다고 할 때, 이는 특별히 그에 반대되는 기재가 없는 한 다른 구성 요소를 제외하는 것이 아니라 다른 구성 요소를 더 포함할 수 있는 것을 의미한다.
- [0032] 본 명세서에서 제1, 제2, 제3 등의 용어는 다양한 구성 요소들을 설명하는데 사용될 수 있지만, 이러한 구성 요소들은 상기 용어들에 의해 한정되는 것은 아니다. 상기 용어들은 하나의 구성 요소를 다른 구성 요소들로부터 구별하는 목적으로 사용된다. 예를 들어, 본 발명의 권리 범위로부터 벗어나지 않고, 제1 구성 요소가 제2 또는 제3 구성 요소 등으로 명명될 수 있으며, 유사하게 제2 또는 제3 구성 요소도 교호적으로 명명될 수 있다.
- [0033] 다른 정의가 없다면, 본 명세서에서 사용되는 모든 용어(기술 및 과학적 용어를 포함)는 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 공통적으로 이해될 수 있는 의미로 사용될 수 있을 것이다. 또 일반적으로 사용되는 사전에 정의되어 있는 용어들은 명백하게 특별히 정의되어 있지 않은 한 이상적으로 또는 과도하게 해석되지 않는다.
- [0034] 이하, 도 1 내지 도 7을 참조하여 본 발명의 일 실시예를 설명한다.
- [0035] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치(101)를 나타낸 블록도이다.
- [0036] 도 1을 참조하면, 유기 발광 표시 장치(101)는 표시 영역(DPA)과 비표시 영역(NDA)으로 구분되며, 타이밍 제어부(100), 주사 구동부(200), 데이터 구동부(300) 및 복수의 화소(PX)를 포함한다.
- [0037] 타이밍 제어부(100)는 입력 영상 신호들(미도시)을 수신하고, 영상 데이터들을 생성한다. 또한, 타이밍 제어부(100)는 영상 데이터들과 각종 제어 신호들(DCS, SCS)을 출력한다.
- [0038] 주사 구동부(200)는 타이밍 제어부(100)로부터 주사 제어 신호(SCS)를 수신한다. 주사 제어 신호(SCS)는 주사 구동부(200)의 동작을 개시하는 수직 개시 신호, 신호들의 출력 시기를 결정하는 클럭 신호 등을 포함할 수 있다. 주사 구동부(200)는 복수의 주사 신호들을 생성하고, 복수의 주사 신호들을 복수의 게이트 라인(SL)에 순차적으로 출력한다. 또한, 주사 구동부(200)는 주사 제어 신호(SCS)에 응답하여 복수의 발광 제어 신호들을 생성하고, 복수의 발광 제어 라인(EM)에 복수의 발광 제어 신호들을 출력한다.
- [0039] 도 1에, 복수의 주사 신호들과 복수의 발광 제어 신호들이 하나의 주사 구동부(200)로부터 출력되는 것으로 도시되어 있지만, 본 발명의 일 실시예가 이에 한정되는 것은 아니다. 본 발명의 일 실시예에서, 복수의 주사 구동부가 복수의 주사 신호들을 분할하여 출력하고, 복수의 발광 제어 신호들을 분할하여 출력할 수 있다. 또한, 본 발명의 일 실시예에서, 복수의 주사 신호들을 생성하여 출력하는 구동 회로와 복수의 발광 제어 신호들을 생성하여 출력하는 구동 회로는 별개로 구분될 수 있다.
- [0040] 데이터 구동부(300)는 타이밍 제어부(100)로부터 데이터 제어 신호(DCS) 및 영상 데이터(DATA)를 수신한다. 데이터 구동부(300)는 영상 데이터(DATA)를 데이터 신호들로 변환하고, 데이터 신호를 복수의 데이터 라인(DL)에 출력한다. 데이터 신호는 영상 데이터들의 계조값에 대응하는 아날로그 전압이다. 데이터 구동부(300)는 기판(111)의 일단에 배치된 단자(DPD)를 통해 기판(111) 상에 배치된 데이터 라인(DL)과 접속될 수 있다.
- [0041] 기판(111) 상의 표시 영역(DPA)에 복수의 게이트 라인(SL), 복수의 발광 제어 라인(EM), 복수의 데이터 라인(DL), 및 복수의 화소(PX)가 배치된다. 복수의 게이트 라인(SL)은 제1 방향(DR1)으로 연장되고, 제1 방향과 교차하는 제2 방향(DR2)으로 나열된다. 복수의 발광 제어 라인(EM) 각각은 복수의 게이트 라인(SL) 중 대응하는 게이트 라인에 나란하게 배열될 수 있다. 복수의 데이터 라인(DL)은 복수의 게이트 라인(SL)과 절연되어 교차한다.
- [0042] 화소(PX)는 게이트 라인(SL), 발광 제어 라인(EM), 및 데이터 라인(DL)에 접속된다. 화소(PX)는 제1 전압(ELVDD) 및 제1 전압(ELVDD)보다 낮은 레벨의 제2 전압(ELVSS)을 수신한다. 화소(PX)는 제1 전압(ELVDD)을 인가하는 공통 전원 라인(PL) 및 초기화 전압(Vint)을 수신하는 초기화 라인(RL)을 포함한다. 공통 전원 라인(PL)은 비표시 영역(NDA)에 배치된 공통 전원 공급 라인(PSL)을 통해 제1 전압(ELVDD)을 인가받는다. 제1 전압(ELVDD)을 공통 전압이라고도 한다. 또한, 화소(PX)는 후술하는 유기 발광 소자(OLED)의 제2 전극(PE2)을 통해 제2 전압(ELVSS)을 수신한다(도 5 내지 도 7 참조). 제2 전극(PE2)은 비표시 영역(NDA)에 배치된 링크선(LK)을 통해 제2 전압(ELVSS)을 인가받는다. 이에 대하여는 뒤에서 자세하게 설명하기로 한다.
- [0043] 하나의 화소(PX)가 2개의 게이트 라인(SL)에 전기적으로 연결될 수 있다. 도 1에 도시된 것과 같이, 제2 번째 게이트 라인에 연결된 화소들(PX, 이하 제2 화소행의 화소들)은 제1 번째 게이트 라인에도 연결될 수 있다. 제2

화소행의 화소(PX)들은 제2 번째 게이트 라인에 인가된 주사신호 및 제1 번째 게이트 라인에 인가된 주사신호를 수신한다.

- [0044] 화소(PX)는 적색을 발광하는 적색 화소, 녹색을 발광하는 녹색 화소, 및 청색을 발광하는 청색 화소를 포함할 수 있다. 적색 화소의 유기 발광 소자(OLED), 녹색 화소의 유기 발광 소자(OLED), 및 청색 화소의 유기 발광 소자(OLED)는 서로 다른 물질로 이루어진 유기 발광층을 포함할 수 있다. 화소(PX)는 유기 발광 소자(OLED)의 발광을 제어하는 회로부를 포함한다. 회로부는 복수의 박막 트랜지스터와 커패시터를 포함할 수 있다. 이에 대하여는 뒤에서 자세하게 설명하기로 한다.
- [0045] 복수 회기의 패터닝 공정을 통해 기판(111) 상에 복수의 게이트 라인(SL), 복수의 발광 제어 라인(EM), 복수의 데이터 라인(DL), 공통 전원 라인(PL), 초기화 라인(RL), 공통 전원 공급 라인(PSL), 링크선(LK) 및 복수의 화소(PX)들이 형성될 수 있다. 또한, 복수 회기의 증착 공정 또는 코팅 공정을 통해 기판(111) 상에 복수의 절연층들이 형성될 수 있다. 각각의 절연층은 유기막 및 무기막 중 적어도 하나 이상을 포함할 수 있다.
- [0046] 도 2는 기판(111)이 벤딩된 상태에 대한 단면도이다.
- [0047] 기판(111)은 적어도 하나의 벤딩부(BD)를 포함한다. 예를 들어, 벤딩부(BD)는 표시 영역(DPA)에 위치할 수 있다. 또한, 벤딩부(BD)는 주사 구동부(200)와 인접한 비표시 영역(NDA)에 위치할 수 있고, 데이터 구동부(300)와 인접한 비표시 영역(NDA)에 위치할 수도 있다. 또한, 벤딩부(BD)는 표시 영역(DPA)를 둘러싸며 네 가장자리에 모두 배치될 수도 있다.
- [0048] 기판(111)은 플렉서블 특성을 가지며, 도 2에 도시된 바와 같이 180° 벤딩이 가능하다. 기판(111)으로, 예를 들어, 플라스틱 필름이 사용될 수 있다.
- [0049] 본 발명의 일 실시예에 따른 유기 발광 표시 장치(101)는 기판(111)의 일단에 배치된 단자(DPD)를 포함하며, 이러한 단자(DPD)를 통해 다양한 구동 수단들이 기판(111) 상에 배치된 다양한 신호선들과 접속될 수 있다. 예를 들어, 데이터 구동부(300)는 기판(111)의 일단에 배치된 단자(DPD)를 통해 기판(111) 상에 배치된 데이터 라인(DL)과 접속될 수 있다.
- [0050] 도 2를 참조하면, 벤딩부(BD)에서 기판(111)이 벤딩되어 일부 중첩할 수 있다. 즉, 단자(DPD)를 포함하는 기판(111)의 일단이 표시 영역(DPA)의 배면에 배치될 수 있다. 이와 같이, 기판(111)의 일부가 벤딩되어 단자(DPD)까지도 표시 영역(DPA)의 배면에 배치됨으로써, 좁은 베젤(narrow bezel)을 갖는 유기 발광 표시 장치(101)가 만들어질 수 있다.
- [0051] 본 발명의 일 실시예에 따르면, 벤딩된 상태에서, 벤딩부(BD)의 내측 곡률반경(R1)은 1,000 μ m 이하가 될 수 있다. 보다 구체적으로 벤딩된 상태에서 벤딩부(BD)의 내측 곡률반경(R1)은 0 내지 500 μ m 가 될 수 있다. 플렉서블 특성이 우수한 박형의 기판(111)이 사용되는 경우, 벤딩된 상태에서 벤딩부(BD)의 내측 곡률반경(R1)은 0 내지 50 μ m가 될 수 있다. 예를 들어, 기판(111)으로 투명 고분자 필름이 사용되는 경우 벤딩된 상태에서 벤딩부(BD)의 내측 곡률반경(R1)은 0.1 내지 50 μ m가 될 수 있다.
- [0052] 도 3은 본 발명의 일 실시예에 따른 유기 발광 표시 장치(101)의 어느 한 화소(PX)에 대한 회로도이다.
- [0053] 도 3을 참조하면, 본 발명의 일 실시예에 따른 유기 발광 표시 장치(101)의 일 화소(PX)는 복수의 박막 트랜지스터(T1, T2, T3, T4, T5, T6, T7), 복수의 박막 트랜지스터(T1, T2, T3, T4, T5, T6, T7)에 선택적으로 연결되는 복수의 배선(SLn, SLn-1, SLn-2, EM, Vint, DL, PL), 커패시터(Cst) 및 유기 발광 소자(OLED)를 포함한다.
- [0054] 복수의 박막 트랜지스터(T1, T2, T3, T4, T5, T6, T7)는 제1 박막 트랜지스터(T1), 제2 박막 트랜지스터(T2), 제3 박막 트랜지스터(T3), 제4 박막 트랜지스터(T4), 제5 박막 트랜지스터(T5), 제6 박막 트랜지스터(T6) 및 제7 박막 트랜지스터(T7)를 포함한다.
- [0055] 제1 박막 트랜지스터(T1)의 제1 게이트 전극(G1)은 제3 박막 트랜지스터(T3)의 제3 드레인 전극(D3) 및 제4 박막 트랜지스터(T4)의 제4 드레인 전극(D4)에 연결되어 있고, 제1 소스 전극(S1)은 제2 박막 트랜지스터(T2)의 제2 드레인 전극(D2) 및 제5 박막 트랜지스터(T5)의 제5 드레인 전극(D5)에 연결되어 있고, 제1 드레인 전극(D1)은 제3 박막 트랜지스터(T3)의 제3 소스 전극(S3) 및 제6 박막 트랜지스터(T6)의 제6 소스 전극(S6)에 연결되어 있다.
- [0056] 제2 박막 트랜지스터(T2)의 제2 게이트 전극(G2)은 제1 게이트 라인(SLn)과 연결되어 있고, 제2 소스 전극(S2)

은 데이터 라인(DL)과 연결되어 있으며, 제2 드레인 전극(D2)은 제1 박막 트랜지스터(T1)의 제1 소스 전극(S1) 및 제5 박막 트랜지스터(T5)의 제5 드레인 전극(D5)과 연결되어 있다.

[0057] 제3 박막 트랜지스터(T3)의 제3 게이트 전극(G3)은 제1 게이트 라인(SLn)과 연결되어 있고, 제3 소스 전극(S3)은 제1 박막 트랜지스터(T1)의 제1 드레인 전극(D1) 및 제6 박막 트랜지스터(T6)의 제6 소스 전극(S6)과 연결되어 있으며, 제3 드레인 전극(D3)은 제1 박막 트랜지스터(T1)의 제1 게이트 전극(G1) 및 제4 박막 트랜지스터(T4)의 제4 드레인 전극(D4)과 연결되어 있다.

[0058] 제4 박막 트랜지스터(T4)의 제4 게이트 전극(G4)은 제2 게이트 라인(SLn-1)과 연결되어 있고, 제4 소스 전극(S4)은 초기화 라인(RL)과 연결되어 있으며, 제4 드레인 전극(D4)은 제1 박막 트랜지스터(T1)의 제1 게이트 전극(G1) 및 제3 박막 트랜지스터(T3)의 제3 드레인 전극(D3)과 연결되어 있다. 초기화 라인(RL)을 통해 초기화 전압(Vint)이 인가된다.

[0059] 제5 박막 트랜지스터(T5)의 제5 게이트 전극(G5)은 발광 제어 라인(EM)과 연결되어 있고, 제5 소스 전극(S5)은 공통 전원 라인(PL)과 연결되어 있으며, 제5 드레인 전극(D5)은 제1 박막 트랜지스터(T1)의 제1 소스 전극(S1) 및 제2 박막 트랜지스터(T2)의 제2 드레인 전극(D2)과 연결되어 있다.

[0060] 제6 박막 트랜지스터(T6)의 제6 게이트 전극(G6)은 발광 제어 라인(EM)과 연결되어 있으며, 제6 소스 전극(S6)은 제1 박막 트랜지스터(T1)의 제1 드레인 전극(D1) 및 제3 박막 트랜지스터(T3)의 제3 소스 전극(S3)과 연결되어 있다. 제6 드레인 전극(D6)은 유기 발광 소자(OLED)의 제1 전극(PE1)과 연결되어 있다. 제1 전극(PE1)은 화소 전극일 수 있다.

[0061] 제7 박막 트랜지스터(T7)의 제7 게이트 전극(G7)은 제3 게이트 라인(SLn-2)과 연결되어 있고, 제7 소스 전극(S7)은 유기 발광 소자(OLED)와 연결되어 있으며, 제7 드레인 전극(D7)은 초기화 라인(RL) 및 제4 박막 트랜지스터(T4)의 제4 소스 전극(S4)과 연결되어 있다.

[0062] 이와 같이, 주사 신호를 전달하는 신호선들은 제2 박막 트랜지스터(T2) 및 제3 박막 트랜지스터(T3) 각각의 제2 게이트 전극(G2) 및 제3 게이트 전극(G3) 각각에 제1 주사 신호를 전달하는 제1 게이트 라인(SLn), 제4 박막 트랜지스터(T4)의 제4 게이트 전극(G4)에 제2 주사 신호를 전달하는 제2 게이트 라인(SLn-1), 제7 박막 트랜지스터(T7)의 제7 게이트 전극(G7)에 제3 주사 신호를 전달하는 제3 게이트 라인(SLn-2), 제5 박막 트랜지스터(T5) 및 제6 박막 트랜지스터(T6) 각각의 제5 게이트 전극(G5) 및 제6 게이트 전극(G6) 각각에 발광 제어 신호를 전달하는 발광 제어 라인(EM)을 포함한다.

[0063] 커패시터(Cst)는 공통 전원 라인(PL)과 연결된 일 전극(CE1) 및 제1 박막 트랜지스터(T1)의 제1 게이트 전극(G1), 제3 박막 트랜지스터(T3)의 제3 드레인 전극(D3) 및 제4 박막 트랜지스터(T4)의 제4 드레인 전극(D4)과 연결된 타 전극(CE2)을 포함한다.

[0064] 유기 발광 소자(OLED)는 제1 전극(PE1), 제1 전극(PE1) 상에 위치하는 제2 전극(PE2), 제1 전극(PE1)과 제2 전극(PE2) 사이에 위치하는 유기 발광층(OL)을 포함한다(도 5 참조). 유기 발광 소자(OLED)의 제1 전극(PE1)은 제7 박막 트랜지스터(T7)의 제7 소스 전극(S7) 및 제6 박막 트랜지스터(T6)의 제6 드레인 전극(D6)과 각각 연결된다. 제2 전극(PE2)을 통해 제2 전압(ELVSS)이 인가된다.

[0065] 이하 화소(PX)의 구동을 예를 들어 설명한다.

[0066] 먼저, 제3 게이트 라인(SLn-2)에 제3 주사 신호가 전달되어 제7 박막 트랜지스터(T7)가 턴 온(turn on)되면, 유기 발광 소자(OLED)의 제1 전극(PE1)에 흐르는 잔류 전류가 제7 박막 트랜지스터(T7)를 통해 제4 박막 트랜지스터(T4)로 빠져나감으로써, 유기 발광 소자(OLED)의 제1 전극(PE1)에 흐르는 잔류 전류에 의한 유기 발광 소자(OLED)의 의도치 않은 발광이 억제된다.

[0067] 다음, 제2 게이트 라인(SLn-1)에 제2 주사 신호가 전달되고, 초기화 라인(RL)에 초기화 신호가 전달되면, 제4 박막 트랜지스터(T4)가 턴 온되어 초기화 신호에 의한 초기화 전압(Vint)이 제4 박막 트랜지스터(T4)를 통해 제1 박막 트랜지스터(T1)의 제1 게이트 전극(G1) 및 커패시터(Cst)의 타 전극(CE2)에 공급되며, 이로 인해 제1 게이트 전극(G1) 및 커패시터(Cst)가 초기화된다. 이때, 제1 게이트 전극(G1)이 초기화되면서 제1 박막 트랜지스터(T1)가 턴 온된다.

[0068] 다음, 제1 게이트 라인(SLn)에 제1 주사 신호가 전달되고, 데이터 라인(DL)에 데이터 신호가 전달되면, 제2 박막 트랜지스터(T2) 및 제3 박막 트랜지스터(T3) 각각이 턴 온되어 데이터 신호에 의한 데이터 전압(Vd)이 제2 박막 트랜지스터(T2), 제1 박막 트랜지스터(T1), 제3 박막 트랜지스터(T3)를 통해 제1 게이트 전극(G1)에 공급

된다.

- [0069] 이때, 제1 게이트 전극(G1)에 공급되는 전압은 최초 데이터 라인(DL)으로부터 공급된 데이터 전압(Vd)으로부터 제1 박막 트랜지스터(T1)의 문턱 전압(Threshold voltage, V_{th})만큼 감소한 보상 전압($V_d + V_{th}$, V_{th} 는 (-)의 값)이다. 제1 게이트 전극(G1)에 공급되는 보상 전압($V_d + V_{th}$)은 제1 게이트 전극(G1)에 연결된 커패시터(Cst)의 타 전극(CE2)에도 공급된다.
- [0070] 다음, 커패시터(Cst)의 일 전극(CE1)에는 공통 전원 라인(PL)으로부터 구동 신호에 의한 구동 전압이 공급되고, 타 전극(CE2)에는 보상 전압($V_d + V_{th}$)이 공급됨으로써, 커패시터(Cst)에는 양 전극에 각각에 인가되는 전압 차에 대응하는 전하가 저장되어 일정 시간 동안 제1 박막 트랜지스터(T1)가 턴 온된다.
- [0071] 다음, 발광 제어 라인(EM)에 발광 제어 신호가 인가되면, 제5 박막 트랜지스터(T5) 및 제6 박막 트랜지스터(T6) 각각이 턴 온되어 공통 전원 라인(PL)으로부터 구동 신호에 의한 구동 전압이 제5 박막 트랜지스터(T5)를 통해 제1 박막 트랜지스터(T1)로 공급된다.
- [0072] 그러면, 구동 전압이 커패시터(Cst)에 의해 턴 온되어 있는 제1 박막 트랜지스터(T1)를 통과하면서, 커패시터(Cst)에 의해 제1 게이트 전극(G1)에 공급되는 전압과 구동 전압 간의 전압차에 대응하는 구동 전류(I_d)가 제1 박막 트랜지스터(T1)의 제1 드레인 전극(D1)을 흐르게 되고, 이 구동 전류(I_d)가 제6 박막 트랜지스터(T6)를 통해 유기 발광 소자(OLED)로 공급되어 유기 발광 소자(OLED)가 일정 시간 동안 발광된다.
- [0073] 한편, 본 발명의 일 실시예에 따른 유기 발광 표시 장치(101)의 화소(PX) 구조가 이에 한정되는 것은 아니며, 유기 발광 표시 장치(101)의 화소(PX)는 복수의 박막 트랜지스터, 하나 이상의 커패시터, 하나 이상의 게이트 라인 및 하나 이상의 구동 전원 라인을 포함하는 배선들로 구성될 수 있다.
- [0074] 도 4는 본 발명의 일 실시예에 따른 유기 발광 표시 장치(101)의 어느 한 화소(PX)에 대한 평면도이고, 도 5는 도 4의 I-I' 선을 따라 자른 단면도이다.
- [0075] 도 4 및 도 5를 참조하면, 기판(111)에 배치된 화소(PX)는 제1 박막 트랜지스터(T1), 제2 박막 트랜지스터(T2), 제3 박막 트랜지스터(T3), 제4 박막 트랜지스터(T4), 제5 박막 트랜지스터(T5), 제6 박막 트랜지스터(T6), 제7 박막 트랜지스터(T7), 제1 게이트 라인(SLn), 제2 게이트 라인(SLn-1), 제3 게이트 라인(SLn-2), 발광 제어 라인(EM), 커패시터(Cst), 데이터 라인(DL), 공통 전원 라인(PL), 게이트 브릿지(GB), 초기화 라인(RL) 및 유기 발광 소자(OLED)를 포함한다.
- [0076] 기판(111) 상에 버퍼층(131)이 배치된다. 버퍼층(131)은 불순 원소의 침투를 방지하며 표면을 평탄화하는 역할을 하는 것으로, 이러한 역할을 수행할 수 있는 다양한 물질로 형성될 수 있다. 예를 들어, 버퍼층(131)은 질화규소(SiNx)막, 산화규소(SiO_2)막, 산질화규소(SiOxNy)막 중 어느 하나로 만들어질 수 있다. 그러나, 버퍼층(131)은 반드시 필요한 것은 아니며, 기판(111)의 종류 및 공정 조건에 따라 생략될 수도 있다.
- [0077] 제1 박막 트랜지스터(T1)는 기판(111) 상에 위치하며, 제1 액티브층(A1) 및 제1 게이트 전극(G1)을 포함한다.
- [0078] 제1 액티브층(A1)은 제1 소스 전극(S1), 제1 채널(C1), 제1 드레인 전극(D1)을 포함한다. 제1 소스 전극(S1)은 제2 박막 트랜지스터(T2)의 제2 드레인 전극(D2) 및 제5 박막 트랜지스터(T5)의 제5 드레인 전극(D5) 각각과 연결되어 있으며, 제1 드레인 전극(D1)은 제3 박막 트랜지스터(T3)의 제3 소스 전극(S3) 및 제6 박막 트랜지스터(T6)의 제6 소스 전극(S6) 각각과 연결되어 있다. 제1 게이트 전극(G1)과 중첩하는 제1 액티브층(A1)의 채널 영역인 제1 채널(C1)은 한 번 이상 절곡되어 연장된 형태를 가지고 있다. 제1 액티브층(A1)은 폴리 실리콘 또는 산화물 반도체로 이루어질 수 있다. 산화물 반도체는 티타늄(Ti), hafnium(Hf), 지르코늄(Zr), 알루미늄(Al), tantalum(Ta), 게르마늄(Ge), 아연(Zn), 갈륨(Ga), 주석(Sn) 또는 인듐(In)을 기본으로 하는 산화물, 이들의 복합 산화물인 산화아연(ZnO), 인듐-갈륨-아연 산화물(InGaZnO_4), 인듐-아연 산화물(Zn-In-O), 아연-주석 산화물(Zn-Sn-O), 인듐-갈륨 산화물(In-Ga-O), 인듐-주석 산화물(In-Sn-O), 인듐-지르코늄 산화물(In-Zr-O), 인듐-지르코늄-아연 산화물(In-Zr-Zn-O), 인듐-지르코늄-주석 산화물(In-Zr-Sn-O), 인듐-지르코늄-갈륨 산화물(In-Zr-Ga-O), 인듐-알루미늄 산화물(In-Al-O), 인듐-아연-알루미늄 산화물(In-Zn-Al-O), 인듐-주석-알루미늄 산화물(In-Sn-Al-O), 인듐-알루미늄-갈륨 산화물(In-Al-Ga-O), 인듐-탄탈륨 산화물(In-Ta-O), 인듐-탄탈륨-아연 산화물(In-Ta-Zn-O), 인듐-탄탈륨-주석 산화물(In-Ta-Sn-O), 인듐-탄탈륨-갈륨 산화물(In-Ta-Ga-O), 인듐-게르마늄 산화물(In-Ge-O), 인듐-게르마늄-아연 산화물(In-Ge-Zn-O), 인듐-게르마늄-주석 산화물(In-Ge-Sn-O), 인듐-게르마늄-갈륨 산화물(In-Ge-Ga-O), 티타늄-인듐-아연 산화물(Ti-In-Zn-O), hafnium-인듐-아연 산화물(Hf-In-Zn-O) 중 적어도 하나를 포함할 수 있다. 제1 액티브층(A1)이 산화물 반도체로 이루어지는 경우에는 고온 등의 외

부 환경으로부터 산화물 반도체를 보호하기 위해 별도의 보호층이 추가될 수 있다.

- [0079] 제1 액티브층(A1)의 제1 채널(C1)은 N형 불순물 또는 P형 불순물로 채널 도핑될 수 있으며, 제1 소스 전극(S1) 및 제1 드레인 전극(D1) 각각은 제1 채널(C1)을 사이에 두고 이격되어 제1 채널(C1)에 도핑된 도핑 불순물과 반대 타입의 도핑 불순물이 도핑될 수 있다.
- [0080] 제1 게이트 전극(G1)은 제1 액티브층(A1)의 제1 채널(C1) 상에 위치하고 있으며, 섬(island) 형태를 가질 수 있다. 제1 게이트 전극(G1)은 컨택홀(contact hole)(CNT)을 통하는 게이트 브릿지(GB)에 의해 제4 박막 트랜지스터(T4)의 제4 드레인 전극(D4) 및 제3 박막 트랜지스터(T3)의 제3 드레인 전극(D3)과 연결되어 있다. 제1 게이트 전극(G1)은 커패시터(Cst)의 일 전극(CE1)과 중첩하고 있으며, 제1 박막 트랜지스터(T1)의 게이트 전극으로서 기능하는 동시에 커패시터(Cst)의 타 전극(CE2)으로서도 기능할 수 있다. 즉, 제1 게이트 전극(G1)은 커패시터(Cst)의 일 전극(CE1)과 함께 커패시터(Cst)를 형성한다.
- [0081] 제2 박막 트랜지스터(T2)는 기판(111) 상에 위치하며, 제2 액티브층(A2) 및 제2 게이트 전극(G2)을 포함한다.
- [0082] 제2 액티브층(A2)은 제2 소스 전극(S2), 제2 채널(C2), 제2 드레인 전극(D2)을 포함한다. 제2 소스 전극(S2)은 컨택홀(CNT)을 통해 데이터 라인(DL)과 연결되어 있으며, 제2 드레인 전극(D2)은 제1 박막 트랜지스터(T1)의 제1 소스 전극(S1)과 연결되어 있다. 제2 게이트 전극(G2)과 중첩하는 제2 액티브층(A2)의 채널 영역인 제2 채널(C2)은 제2 소스 전극(S2)과 제2 드레인 전극(D2) 사이에 위치하고 있다. 즉, 제2 액티브층(A2)은 제1 액티브층(A1)과 연결되어 있다.
- [0083] 제2 액티브층(A2)의 제2 채널(C2)은 N형 불순물 또는 P형 불순물로 채널 도핑될 수 있으며, 제2 소스 전극(S2) 및 제2 드레인 전극(D2) 각각은 제2 채널(C2)을 사이에 두고 이격되어 제2 채널(C2)에 도핑된 도핑 불순물과 반대 타입의 도핑 불순물이 도핑될 수 있다. 제2 액티브층(A2)은 제1 액티브층(A1)과 동일한 층에 위치하며, 제1 액티브층(A1)과 동일한 재료로 형성되며, 제1 액티브층(A1)과 일체로 형성되어 있다.
- [0084] 제2 게이트 전극(G2)은 제2 액티브층(A2)의 제2 채널(C2) 상에 위치하고 있으며, 제1 게이트 라인(SLn)과 일체로 형성되어 있다.
- [0085] 제3 박막 트랜지스터(T3)는 기판(111) 상에 위치하며, 제3 액티브층(A3) 및 제3 게이트 전극(G3)을 포함한다.
- [0086] 제3 액티브층(A3)은 제3 소스 전극(S3), 제3 채널(C3), 제3 드레인 전극(D3)을 포함한다. 제3 소스 전극(S3)은 제1 드레인 전극(D1)과 연결되어 있으며, 제3 드레인 전극(D3)은 컨택홀(CNT)을 통하는 게이트 브릿지(GB)에 의해 제1 박막 트랜지스터(T1)의 제1 게이트 전극(G1)과 연결되어 있다. 제3 게이트 전극(G3)과 중첩하는 제3 액티브층(A3)의 채널 영역인 제3 채널(C3)은 제3 소스 전극(S3)과 제3 드레인 전극(D3) 사이에 위치하고 있다.
- [0087] 제3 액티브층(A3)은 제1 액티브층(A1)과 제1 게이트 전극(G1) 사이를 연결하고 있다.
- [0088] 제3 액티브층(A3)의 제3 채널(C3)은 N형 불순물 또는 P형 불순물로 채널 도핑될 수 있으며, 제3 소스 전극(S3) 및 제3 드레인 전극(D3) 각각은 제3 채널(C3)을 사이에 두고 이격되어 제3 채널(C3)에 도핑된 도핑 불순물과 반대 타입의 도핑 불순물이 도핑될 수 있다. 제3 액티브층(A3)은 제1 액티브층(A1) 및 제2 액티브층(A2)과 동일한 층에 위치하며, 제1 액티브층(A1) 및 제2 액티브층(A2)과 동일한 재료로 형성되며, 제1 액티브층(A1) 및 제2 액티브층(A2)과 일체로 형성되어 있다.
- [0089] 제3 게이트 전극(G3)은 제3 액티브층(A3)의 제3 채널(C3) 상에 위치하고 있으며, 제1 게이트 라인(SLn)과 일체로 형성되어 있다. 제3 게이트 전극(G3)은 듀얼 게이트(dual gate) 전극으로서 형성되어 있다.
- [0090] 제4 박막 트랜지스터(T4)는 기판(111) 상에 위치하며, 제4 액티브층(A4) 및 제4 게이트 전극(G4)을 포함한다.
- [0091] 제4 액티브층(A4)은 제4 소스 전극(S4), 제4 채널(C4), 제4 드레인 전극(D4)을 포함한다. 제4 소스 전극(S4)은 컨택홀을 통해 초기화 라인(RL)과 연결되어 있으며, 제4 드레인 전극(D4)은 컨택홀을 통하는 게이트 브릿지(GB)에 의해 제1 박막 트랜지스터(T1)의 제1 게이트 전극(G1)과 연결되어 있다. 제4 게이트 전극(G4)과 중첩하는 제4 액티브층(A4)의 채널 영역인 제4 채널(C4)은 제4 소스 전극(S4)과 제4 드레인 전극(D4) 사이에 위치하고 있다. 즉, 제4 액티브층(A4)은 초기화 라인(RL)과 제1 게이트 전극(G1) 사이를 연결하는 동시에, 제3 액티브층(A3)과 제1 게이트 전극(G1) 각각과 연결되어 있다.
- [0092] 제4 액티브층(A4)의 제4 채널(C4)은 N형 불순물 또는 P형 불순물로 채널 도핑될 수 있으며, 제4 소스 전극(S4) 및 제4 드레인 전극(D4) 각각은 제4 채널(C4)을 사이에 두고 이격되어 제4 채널(C4)에 도핑된 도핑 불순물과 반대 타입의 도핑 불순물이 도핑될 수 있다. 제4 액티브층(A4)은 제1 액티브층(A1), 제2 액티브층(A2), 제3 액티

브층(A3)과 동일한 층에 위치하며, 제1 액티브층(A1), 제2 액티브층(A2), 제3 액티브층(A3)과 동일한 재료로 형성되며, 제1 액티브층(A1), 제2 액티브층(A2), 제3 액티브층(A3)과 일체로 형성되어 있다.

[0093] 제4 게이트 전극(G4)은 제4 액티브층(A4)의 제4 채널(C4) 상에 위치하고 있으며, 제2 게이트 라인(SLn-1)과 일체로 형성되어 있다. 제4 게이트 전극(G4)은 듀얼 게이트(dual gate) 전극으로서 형성되어 있다.

[0094] 제5 박막 트랜지스터(T5)는 기판(111) 상에 위치하며, 제5 액티브층(A5) 및 제5 게이트 전극(G5)을 포함한다.

[0095] 제5 액티브층(A5)은 제5 소스 전극(S5), 제5 채널(C5), 제5 드레인 전극(D5)을 포함한다. 제5 소스 전극(S5)은 컨택홀(CNT)을 통해 공통 전원 라인(PL)과 연결되어 있으며, 제5 드레인 전극(D5)은 제1 박막 트랜지스터(T1)의 제1 소스 전극(S1)과 연결되어 있다. 제5 게이트 전극(G5)과 중첩하는 제5 액티브층(A5)의 채널 영역인 제5 채널(C5)은 제5 소스 전극(S5)과 제5 드레인 전극(D5) 사이에 위치하고 있다. 즉, 제5 액티브층(A5)은 제1 전압(ELVDD)을 인가하는 공통 전원 라인(PL)과 제1 액티브층(A1) 사이를 연결하고 있다.

[0096] 제5 액티브층(A5)의 제5 채널(C5)은 N형 불순물 또는 P형 불순물로 채널 도핑될 수 있으며, 제5 소스 전극(S5) 및 제5 드레인 전극(D5) 각각은 제5 채널(C5)을 사이에 두고 이격되어 제5 채널(C5)에 도핑된 도핑 불순물과 반대 타입의 도핑 불순물이 도핑될 수 있다. 제5 액티브층(A5)은 제1 액티브층(A1), 제2 액티브층(A2), 제3 액티브층(A3), 제4 액티브층(A4)과 동일한 층에 위치하며, 제1 액티브층(A1), 제2 액티브층(A2), 제3 액티브층(A3), 제4 액티브층(A4)과 동일한 재료로 형성되며, 제1 액티브층(A1), 제2 액티브층(A2), 제3 액티브층(A3), 제4 액티브층(A4)과 일체로 형성되어 있다.

[0097] 제5 게이트 전극(G5)은 제5 액티브층(A5)의 제5 채널(C5) 상에 위치하고 있으며, 발광 제어 라인(EM)과 일체로 형성되어 있다.

[0098] 제6 박막 트랜지스터(T6)는 기판(111) 상에 위치하며, 제6 액티브층(A6) 및 제6 게이트 전극(G6)을 포함한다.

[0099] 제6 액티브층(A6)은 제6 소스 전극(S6), 제6 채널(C6), 제6 드레인 전극(D6)을 포함한다. 제6 소스 전극(S6)은 제1 박막 트랜지스터(T1)의 제1 드레인 전극(D1)과 연결되어 있으며, 제6 드레인 전극(D6)은 제1 보조 전극(AE1), 제2 보조 전극(AE2) 및 복수의 컨택홀(CNT)을 통해 유기 발광 소자(OLED)의 제1 전극(PE1)과 연결되어 있다. 제6 게이트 전극(G6)과 중첩하는 제6 액티브층(A6)의 채널 영역인 제6 채널(C6)은 제6 소스 전극(S6)과 제6 드레인 전극(D6) 사이에 위치하고 있다. 즉, 제6 액티브층(A6)은 제1 액티브층(A1)과 유기 발광 소자(OLED)의 제1 전극(PE1) 사이를 연결하고 있다.

[0100] 제6 액티브층(A6)의 제6 채널(C6)은 N형 불순물 또는 P형 불순물로 채널 도핑될 수 있으며, 제6 소스 전극(S6) 및 제6 드레인 전극(D6) 각각은 제6 채널(C6)을 사이에 두고 이격되어 제6 채널(C6)에 도핑된 도핑 불순물과 반대 타입의 도핑 불순물이 도핑될 수 있다. 제6 액티브층(A6)은 제1 액티브층(A1), 제2 액티브층(A2), 제3 액티브층(A3), 제4 액티브층(A4), 제5 액티브층(A5)과 동일한 층에 위치하며, 제1 액티브층(A1), 제2 액티브층(A2), 제3 액티브층(A3), 제4 액티브층(A4), 제5 액티브층(A5)과 동일한 재료로 형성되며, 제1 액티브층(A1), 제2 액티브층(A2), 제3 액티브층(A3), 제4 액티브층(A4), 제5 액티브층(A5)과 일체로 형성되어 있다.

[0101] 제6 게이트 전극(G6)은 제6 액티브층(A6)의 제6 채널(C6) 상에 위치하고 있으며, 발광 제어 라인(EM)과 일체로 형성되어 있다.

[0102] 제7 박막 트랜지스터(T7)는 기판(111) 상에 위치하며, 제7 액티브층(A7) 및 제7 게이트 전극(G7)을 포함한다.

[0103] 제7 액티브층(A7)은 제7 소스 전극(S7), 제7 채널(C7), 제7 드레인 전극(D7)을 포함한다. 제7 소스 전극(S7)은 도 4에 도시되지 않은 다른 화소(도 4에 도시된 화소의 상측에 위치하는 화소일 수 있다.)의 유기 발광 소자(OLED)의 제1 전극(PE1)과 연결되어 있으며, 제7 드레인 전극(D7)은 제4 박막 트랜지스터(T4)의 제4 소스 전극(S4)과 연결되어 있다. 제7 게이트 전극(G7)과 중첩하는 제7 액티브층(A7)의 채널 영역인 제7 채널(C7)은 제7 소스 전극(S7)과 제7 드레인 전극(D7) 사이에 위치하고 있다. 즉, 제7 액티브층(A7)은 유기 발광 소자(OLED)의 제1 전극(PE1)과 제4 액티브층(A4) 사이를 연결하고 있다.

[0104] 제7 액티브층(A7)의 제7 채널(C7)은 N형 불순물 또는 P형 불순물로 채널 도핑될 수 있으며, 제7 소스 전극(S7) 및 제7 드레인 전극(D7) 각각은 제7 채널(C7)을 사이에 두고 이격되어 제7 채널(C7)에 도핑된 도핑 불순물과 반대 타입의 도핑 불순물이 도핑될 수 있다. 제7 액티브층(A7)은 제1 액티브층(A1), 제2 액티브층(A2), 제3 액티브층(A3), 제4 액티브층(A4), 제5 액티브층(A5), 제6 액티브층(A6)과 동일한 층에 위치하며, 제1 액티브층(A1), 제2 액티브층(A2), 제3 액티브층(A3), 제4 액티브층(A4), 제5 액티브층(A5), 제6 액티브층(A6)과 동일한 재료로 형성되며, 제1 액티브층(A1), 제2 액티브층(A2), 제3 액티브층(A3), 제4 액티브층(A4), 제5 액티브층(A5), 제6

액티브층(A6)과 일체로 형성되어 있다.

- [0105] 제7 게이트 전극(G7)은 제7 액티브층(A7)의 제7 채널(C7) 상에 위치하고 있으며, 제3 게이트 라인(SLn-2)과 일체로 형성되어 있다.
- [0106] 제1 박막 트랜지스터(T1)의 제1 액티브층(A1), 제2 박막 트랜지스터(T2)의 제2 액티브층(A2), 제3 박막 트랜지스터(T3)의 제3 액티브층(A3), 제4 박막 트랜지스터(T4)의 제4 액티브층(A4), 제5 박막 트랜지스터(T5)의 제5 액티브층(A5), 제6 박막 트랜지스터(T6)의 제6 액티브층(A6), 제7 박막 트랜지스터(T7)의 제7 액티브층(A7)은 서로 연결되어 있다.
- [0107] 제1 액티브층(A1), 제2 액티브층(A2), 제3 액티브층(A3), 제4 액티브층(A4), 제5 액티브층(A5), 제6 액티브층(A6), 제7 액티브층(A7) 상에 제1 절연층(IL1), 제2 절연층(IL2), 제3 절연층(IL3)이 순차적으로 적층되어 있다. 제1 절연층(IL1), 제2 절연층(IL2), 제3 절연층(IL3) 각각은 실리콘 질화물 또는 실리콘 산화물 등의 무기 절연층 또는 유기 절연층일 수 있다. 또한, 각 절연층들은 단층 또는 복층으로 형성될 수 있다. 상술한 복수의 컨택홀들(CNT)은 제1 절연층(IL1), 제2 절연층(IL2), 제3 절연층(IL3) 각각에 선택적으로 형성된다. 제1 절연층(IL1)은 제1 액티브층(A1), 제2 액티브층(A2), 제3 액티브층(A3), 제4 액티브층(A4), 제5 액티브층(A5), 제6 액티브층(A6), 제7 액티브층(A7) 각각과 접하고 있다.
- [0108] 제1 게이트 라인(SLn)은 제2 액티브층(A2) 및 제3 액티브층(A3) 상에 위치하여 제2 액티브층(A2) 및 제3 액티브층(A3)을 가로지르는 일 방향으로 연장되어 있으며, 제2 게이트 전극(G2) 및 제3 게이트 전극(G3)과 일체로 형성되어 제2 게이트 전극(G2) 및 제3 게이트 전극(G3)과 연결되어 있다.
- [0109] 제2 게이트 라인(SLn-1)은 제1 게이트 라인(SLn)과 이격되어 제4 액티브층(A4) 상에 위치하며, 제4 액티브층(A4)을 가로지르는 일 방향으로 연장되어 있으며, 제4 게이트 전극(G4)과 일체로 형성되어 제4 게이트 전극(G4)과 연결되어 있다.
- [0110] 제3 게이트 라인(SLn-2)은 제2 게이트 라인(SLn-1)과 이격되어 제7 액티브층(A7) 상에 위치하며, 제7 액티브층(A7)을 가로지르는 일 방향으로 연장되어 있으며, 제7 게이트 전극(G7)과 일체로 형성되어 제7 게이트 전극(G7)과 연결되어 있다.
- [0111] 발광 제어 라인(EM)은 제1 게이트 라인(SLn)과 이격되어 제5 액티브층(A5) 및 제6 액티브층(A6) 상에 위치하며, 제5 액티브층(A5) 및 제6 액티브층(A6)을 가로지르는 일 방향으로 연장되어 있으며, 제5 게이트 전극(G5) 및 제6 게이트 전극(G6)과 일체로 형성되어 제5 게이트 전극(G5) 및 제6 게이트 전극(G6)과 연결되어 있다.
- [0112] 상술한, 발광 제어 라인(EM), 제3 게이트 라인(SLn-2), 제2 게이트 라인(SLn-1), 제1 게이트 라인(SLn), 제1 게이트 전극(G1), 제2 게이트 전극(G2), 제3 게이트 전극(G3), 제4 게이트 전극(G4), 제5 게이트 전극(G5), 제6 게이트 전극(G6), 제7 게이트 전극(G7)은 동일한 층에 위치하며, 동일한 재료로 형성되어 있다. 그러나, 본 발명의 일 실시예가 이에 한정되는 것은 아니며, 발광 제어 라인(EM), 제3 게이트 라인(SLn-2), 제2 게이트 라인(SLn-1), 제1 게이트 라인(SLn), 제1 게이트 전극(G1), 제2 게이트 전극(G2), 제3 게이트 전극(G3), 제4 게이트 전극(G4), 제5 게이트 전극(G5), 제6 게이트 전극(G6), 제7 게이트 전극(G7) 각각은 선택적으로 서로 다른 층에 위치하여 서로 다른 재료로 형성될 수 있다.
- [0113] 커패시터(Cst)는 절연층을 사이에 두고 서로 대향하는 일 전극(CE1) 및 타 전극(CE2)을 포함한다. 여기서, 타 전극(CE2)은 제1 게이트 전극(G1)일 수 있다. 커패시터(Cst)의 일 전극(CE1)은 제1 게이트 전극(G1) 상에 위치하며, 컨택홀을 통해 공통 전원 라인(PL)과 연결되어 있다.
- [0114] 커패시터(Cst)의 일 전극(CE1)은 제1 게이트 전극(G1)과 함께 커패시터(Cst)를 형성하며, 제1 게이트 전극(G1)과 커패시터(Cst)의 일 전극(CE1) 각각은 서로 다른 층에서 서로 다르거나 서로 동일한 메탈로 형성될 수 있다.
- [0115] 커패시터(Cst)의 일 전극(CE1)은 제1 게이트 전극(G1)의 일 부분을 노출하는 개구부(OA)를 포함하며, 이 개구부(OA)를 통해 게이트 브릿지(GB)가 제1 게이트 전극(G1)과 연결된다.
- [0116] 데이터 라인(DL)은 제1 게이트 라인(SLn) 상에 위치하여 제1 게이트 라인(SLn)을 가로지르는 방향으로 연장되어 있으며, 컨택홀(CNT)을 통해 제2 액티브층(A2)의 제2 소스 전극(S2)과 연결되어 있다. 데이터 라인(DL)은 제1 게이트 라인(SLn), 제2 게이트 라인(SLn-1), 제3 게이트 라인(SLn-2), 발광 제어 라인(EM)을 가로질러 연장되어 있다.
- [0117] 게이트 브릿지(GB)는 제1 게이트 라인(SLn) 상에 위치하여 공통 전원 라인(PL)과 이격되어 있으며, 컨택홀(CN

T)을 통해 제3 액티브층(A3)의 제3 드레인 전극(D3) 및 제4 액티브층(A4)의 제4 드레인 전극(D4) 각각과 연결된다. 또한, 게이트 브릿지(GB)는 제1 게이트 전극(G1)과 연결된다.

- [0118] 공통 전원 라인(PL)은 데이터 라인(DL)과 이격되어 제1 게이트 라인(SL_n) 상에 위치하여 제1 게이트 라인(SL_n)을 가로지르는 방향으로 연장되어 있다. 즉, 공통 전원 라인(PL)은 제1 게이트 라인(SL_n), 제2 게이트 라인(SL_{n-1}), 제3 게이트 라인(SL_{n-2}), 발광 제어 라인(EM)을 가로질러 연장되어 있다.
- [0119] 공통 전원 라인(PL)은 적어도 하나의 박막 트랜지스터를 통해 유기 발광 소자(OLED)와 연결된다. 도 4 및 5를 참조하면, 공통 전원 라인(PL)은 컨택홀(CNT)을 통해 커패시터(Cst)의 일 전극(CE1) 및 제1 액티브층(A1)과 연결된 제5 액티브층(A5)의 제5 소스 전극(S5)과 연결되어 있다.
- [0120] 본 발명의 일 실시예를 따르면, 공통 전원 라인(PL)은 다층 구조를 가진다. 도 5를 참조하면, 공통 전원 라인(PL)은 2층 구조를 가진다. 그러나, 본 발명의 일 실시예가 도 5로 한정되는 것은 아니며, 공통 전원 라인(PL)은 단층 구조를 가지거나 3층 이상의 층을 가질 수도 있다.
- [0121] 본 발명의 일 실시예에 따르면, 공통 전원 라인(PL)은 제1 전원선(PL1) 및 제1 전원선(PL1)과 중첩된 제2 전원선(PL2)을 포함한다. 또한, 화소(PX)는 제1 전원선(PL1)과 제2 전원선(PL2) 사이에 배치된 제1 유기막(211)을 포함한다. 제1 전원선(PL1)과 제2 전원선(PL2)은 제1 유기막(211)에 형성된 컨택홀(CNT)을 통해 서로 접촉한다.
- [0122] 공통 전원 라인(PL)이 다층 구조를 가짐으로써, 공통 전원 라인(PL)을 통한 전류 및 전원의 공급이 원활해진다. 그에 따라, 전압 강하(IR Drop)가 방지되어 유기 발광 표시 장치(101)가 우수한 발광 효율 및 높은 휘도를 가질 수 있다. 특히, 대형 유기 발광 표시 장치(101)에서 전압 강하(IR Drop)가 방지되어 대형 유기 발광 표시 장치(101)의 표시 품질이 향상된다. 또한, 본 발명의 일 실시예에 따르면, 유기 발광 소자(OLED)의 반응 속도가 향상되고, 공통 전원 라인(PL)의 선평이 감소됨으로써, 고해상도의 유기 발광 표시 장치(101)가 높은 휘도를 가질 수 있다.
- [0123] 제2 전원선(PL2) 상에 제2 유기막(212)이 배치된다. 제2 유기막(212)은 절연막의 역할 및 평탄화막의 역할을 한다.
- [0124] 상술한, 데이터 라인(DL), 공통 전원 라인(PL)의 제1 전원선(PL1), 게이트 브릿지(GB)는 동일한 층에 위치하며, 동일한 재료로 형성되어 있다. 한편, 본 발명의 다른 실시예에서, 데이터 라인(DL), 공통 전원 라인(PL), 게이트 브릿지(GB) 각각은 선택적으로 서로 다른 층에 위치하여 서로 다른 재료로 형성될 수 있다.
- [0125] 초기화 라인(RL)은 제2 게이트 라인(SL_{n-1}) 상에 위치하며, 컨택홀을 통해 제4 액티브층(A4)의 제4 소스 전극(S4)과 연결되어 있다. 초기화 라인(RL)은 유기 발광 소자(OLED)의 제1 전극(PE1)과 동일한 층에 위치하여 동일한 재료로 형성될 수 있다. 한편, 본 발명의 다른 실시예에서 초기화 라인(RL)은 제1 전극(PE1)과 다른 층에 위치하여 다른 재료로 형성될 수도 있다.
- [0126] 화소 정의막(290)은 개구부를 가지며, 개구부를 통해 유기 발광 소자(OLED)의 제1 전극(PE1)이 화소 정의막(290)으로부터 노출된다. 화소 정의막(290)은 유기 발광 소자(OLED)의 발광 영역을 정의할 수 있다.
- [0127] 유기 발광 소자(OLED)는 제1 전극(PE1), 유기 발광층(OL), 제2 전극(PE2)을 포함한다. 제1 전극(PE1)은 제1 보조 전극(AE1), 제2 보조 전극(AE2) 및 복수의 컨택홀(CNT)을 통해 제6 박막 트랜지스터(T6)의 제6 드레인 전극(D6)과 연결된다.
- [0128] 이때, 제1 보조 전극(AE1)과 제2 보조 전극(AE2)은 서로 중첩하여 배치되며, 제1 보조 전극(AE1)과 제2 보조 전극(AE2) 사이에 제1 유기막(211)이 배치된다. 제1 보조 전극(AE1)은 데이터 라인(DL), 공통 전원 라인(PL)의 제1 전원선(PL1), 게이트 브릿지(GB)와 동일한 층에 위치하며, 동일한 재료로 형성된다. 제2 보조 전극(AE2)은 제2 전원선(PL2)과 동일한 층에 위치하며, 동일한 재료로 형성된다.
- [0129] 유기 발광층(OL)은 제1 전극(PE1)과 제2 전극(PE2) 사이에 위치한다. 제2 전극(PE2)은 유기 발광층(OL) 상에 위치한다. 제1 전극(PE1) 및 제2 전극(PE2) 중 하나는 광 투과성을 가질 수 있다. 유기 발광층(OL)으로부터 발광된 빛은 제1 전극(PE1) 및 제2 전극(PE2) 어느 하나 이상의 전극방향으로 방출될 수 있다.
- [0130] 도시되지 않았지만, 유기 발광 소자(OLED) 상에는 유기 발광 소자(OLED)를 덮는 캡핑층(capping layer)이 배치될 수 있다. 또한, 유기 발광 소자(OLED) 상에 박막 봉지층(thin film encapsulation)이 배치되거나, 또는 봉지 기판이 배치될 수 있다.
- [0131] 도 6은 도 1의 A-A' 선을 따라 자른 단면도이다. 즉, 도 6은 본 발명의 일 실시예에 따른 유기 발광 표시 장치

(101)의 비표시 영역의 일부를 나타낸 단면도이다.

- [0132] 도 1 및 도 6을 참조하면, 본 발명의 일 실시예에 따른 유기 발광 표시 장치(101)는 기관(111)의 비표시 영역(NDA)에 배치된 링크선(LK)을 포함한다. 링크선(LK)은 표시 영역(DPA)으로부터 비표시 영역(NDA)으로 연장된 제2 전극(PE2)과 연결되며, 제2 전극(PE2)은 비표시 영역(NDA)에 배치된 링크선(LK)을 통해 제2 전압(ELVSS)을 인가받는다. 링크선(LK)은 제2 전극(PE2)과 적어도 일부 중첩할 수 있다. 본 발명의 일 실시예에 따른 링크선(LK)은 비표시 영역(NDA)에서 제1 방향(DR1)을 따라 연장되는 것으로 도시되어 있으나, 이에 한정되는 것은 아니며, 비표시 영역(NDA)에서 제2 전극(PE2)과 연결될 수 있는 다양한 형태로 배치될 수 있다.
- [0133] 본 발명의 일 실시예에 따른 링크선(LK)은 다층 구조를 갖는다. 구체적으로, 링크선(LK)은 절연층(211, 212)을 사이에 두고 중첩하여 배치된 제1 도전선(DAT1), 제2 도전선(DAT2) 및 제3 도전선(DAT3)을 포함하는 3층 구조를 갖는다. 절연층(211, 212)은 제1 도전선(DAT1)과 제2 도전선(DAT2) 사이에 배치된 제1 유기막(211), 제2 도전선(DAT2)과 제3 도전선(DAT3) 사이에 배치된 제2 유기막(212)을 포함한다.
- [0134] 제1 도전선(DAT1)과 제2 도전선(DAT2)은 제1 컨택홀(CH1)을 통해 서로 접촉하며, 제2 도전선(DAT2)과 제3 도전선(DAT3)은 제2 컨택홀(CH2)을 통해 서로 접촉한다. 또한, 도시되지 않았으나, 제1, 제2 및 제3 도전선(DAT1, DAT2, DAT3) 중 적어도 어느 하나는 평면 상에서 표시 영역(DPA)을 둘러싸며 폐곡선 형태로 배치될 수 있다. 예를 들어, 제1 도전선(DAT1), 제1 컨택홀(CH1) 및 제2 도전선(DAT2)은 평면 상에서 표시 영역(DPA)을 둘러싸며 폐곡선 형태로 배치될 수 있다. 이에 따라, 제1 유기막(211)의 측면으로 수분과 같은 불순물이 침투하는 것을 방지할 수 있다.
- [0135] 본 발명의 일 실시예에 따른 유기 발광 표시 장치(101)는 서로 중첩하는 제1, 제2 및 제3 도전선(DAT1, DAT2, DAT3)을 포함하는 3층 구조의 링크선(LK)을 포함함으로써, 링크선(LK)을 통한 제2 전압(ELVSS)의 공급이 원활해질 수 있다. 또한, 전압 강하(IR Drop)가 방지되어 유기 발광 표시 장치(101)의 표시 품질이 향상될 수 있다. 또한, 링크선(LK)의 선폭이 감소될 수 있으며, 이에 따라, 비표시 영역(NDA)의 면적이 감소될 수 있다.
- [0136] 또한, 도 6에 도시된 바와 같이, 제3 도전선(DAT3) 및 제2 유기막(212) 상에 각각 복수의 스페이서(291, 292)가 배치될 수 있다. 다만, 이에 한정되는 것은 아니며, 스페이서(291, 292)는 생략될 수 있다.
- [0137] 도 7은 도 5의 단면도와 도 6의 단면도의 비교도이다.
- [0138] 도 7을 참조하면, 본 발명의 일 실시예에 따른 유기 발광 표시 장치(101)의 표시 영역(DPA)에 배치된 제1 전극(PE1)은 제1 보조 전극(AE1) 및 제2 보조 전극(AE2)과 중첩하고, 제1 전극(PE1)은 제1 보조 전극(AE1) 및 제2 보조 전극(AE2)을 통해 제6 드레인 전극(D6)과 연결된다.
- [0139] 또한, 비표시 영역(NDA)에 배치된 링크선(LK)은 제1 도전선(DAT1), 제2 도전선(DAT2) 및 제3 도전선(DAT3)을 포함하는 3층 구조를 가지며, 제2 전극(PE2)과 연결된다. 즉, 제2 전극(PE2)은 링크선(LK)을 통해 제2 전압(ELVSS)을 인가받는다.
- [0140] 이때, 링크선(LK)의 제1 도전선(DAT1)은 제1 보조 전극(AE1)과 동일층에 배치되며, 제1 보조 전극(AE1)과 동일 재료로 만들어질 수 있다. 또한, 링크선(LK)의 제2 도전선(DAT2)은 제2 보조 전극(AE2)과 동일층에 배치되며, 제2 보조 전극(AE2)과 동일 재료로 만들어질 수 있다. 또한, 링크선(LK)의 제3 도전선(DAT3)은 제1 전극(PE1)과 동일층에 배치되며, 제1 전극(PE1)과 동일 재료로 만들어질 수 있다.
- [0141] 링크선(LK)의 제3 도전선(DAT3) 상에 스페이서(291)가 배치된다. 스페이서(291)는 화소 정의막(290)과 동일한 재료로 만들어질 수 있으며, 동일한 공정으로 동시에 만들어질 수 있다. 예를 들어, 화소 정의막(290) 및 스페이서(291)는 노광 마스크를 이용하여 만들어질 수 있으며, 마스크의 광 투과도를 조절하여 화소 정의막(290) 및 스페이서(291)의 높이를 조절할 수 있다.
- [0142] 이하, 도 8을 참조하여, 본 발명의 다른 일 실시예를 설명한다. 본 발명의 일 실시예와 동일한 구성에 대한 설명은 설명의 편의를 위해 생략한다.
- [0143] 도 8은 도 1의 A-A' 선에 대응되는 본 발명의 다른 일 실시예에 따른 단면도이다. 즉, 도 8은 본 발명의 다른 일 실시예에 따른 유기 발광 표시 장치(102)의 비표시 영역의 일부를 나타낸 단면도이다. 본 발명의 일 실시예와 동일한 구성에 대한 설명은 설명의 편의를 위해 생략한다.
- [0144] 도 8을 참조하면, 본 발명의 다른 일 실시예에 따른 링크선(LK)의 제3 도전선(DAT3)은 제2 도전선(DAT2)과 스페이서(291) 사이에서 복수의 제1 홀(H1)을 갖고, 제1 유기막(211) 및 제2 유기막(212)과 중첩하는 영역에서 복수

의 제2 홀(H2)을 갖는다. 복수의 제1 홀(H1) 및 복수의 제2 홀(H2)은 각각 약 1 μ m 내지 약 5 μ m의 직경을 가질 수 있다.

- [0145] 제1 유기막(211), 제2 유기막(212) 및 스페이서(291)와 같은 유기물층의 형성 시 열처리에 의한 수분 또는 산소 등이 발생할 수 있다. 발생한 수분 또는 산소는 외부로 빠져나가지 못하고 유기물층 내에 잔존할 수 있으며, 잔존하는 수분 또는 산소에 의해 금속이 오염되거나 산화될 수 있고, 패터닝 불량 발생될 수 있다.
- [0146] 따라서, 링크선(LK)의 제3 도전선(DAT3)이 제1 유기막(211), 제2 유기막(212) 및 스페이서(291)와 중첩하는 영역에서 복수의 제1 및 제2 홀(H1, H2)을 가짐으로써, 공정 중에 발생하는 수분 또는 산소가 외부로 빠져나갈 수 있다. 이에 따라, 유기 발광 표시 장치(102)의 신뢰성을 향상시킬 수 있다.
- [0147] 이하, 도 9를 참조하여, 본 발명의 또 다른 일 실시예를 설명한다. 본 발명의 일 실시예와 동일한 구성에 대한 설명은 설명의 편의를 위해 생략한다.
- [0148] 도 9는 본 발명의 또 다른 일 실시예에 따른 유기 발광 표시 장치(103)의 단면도이다.
- [0149] 도 9를 참조하면, 본 발명의 또 다른 일 실시예에 따른 유기 발광 표시 장치(103)는 제1 유기막(211)을 사이에 두고, 각각 제1 유기막(211)과 중첩하여 배치된 제1 무기막(221) 및 제2 무기막(222)을 더 포함한다.
- [0150] 공통 전원 라인(PL)을 구성하는 제1 전원선(PL1)과 제2 전원선(PL2), 제1 전극(PE1)과 연결된 제1 보조 전극(AE1)과 제2 보조 전극(AE2), 및 링크선(LK)을 구성하는 제1 도전선(DAT1)과 제2 도전선(DAT2)은 각각 금속으로 만들어질 수 있다. 이러한 금속이 제1 유기막(211) 상에 직접 배치되는 경우, 제1 유기막(211)에 잔존하는 수분 또는 산소의 영향으로 금속이 산화될 수 있다. 금속이 산화되는 경우, 에칭 과정, 특히 드라이 에칭 과정에서 정확한 패터닝이 이루어지지 않을 수 있으며, 패터닝 후 불순물이 제1 유기막(211) 상에 잔존할 수 있다. 이러한 불순물은 제품의 불량을 유발한다.
- [0151] 본 발명의 일 실시예에 따르면, 데이터 라인(DL), 제1 전원선(PL1), 게이트 브릿지(GB), 제1 보조 전극(AE1) 및 제1 도전선(DAT1)을 포함하는 금속층과 제1 유기막(211) 사이에 제1 무기막(221)이 배치되고, 제2 전원선(PL2), 제2 보조 전극(AE2) 및 제2 도전선(DAT2)을 포함하는 금속층과 제1 유기막(211) 사이에 제2 무기막(222)이 배치된다. 이에 따라, 복수의 금속층의 형성 과정에서 패터닝 불량을 방지할 수 있다.
- [0152] 또한, 본 발명의 또 다른 일 실시예에 따른 유기 발광 표시 장치(103)는 다층 구조를 갖는 스페이서(291, 293)를 포함할 수 있다. 즉, 스페이서(291, 293)의 충분한 높이를 확보하기 위하여, 복수의 층을 적층하여 스페이서(291, 293)를 형성할 수 있다.
- [0153] 이하, 도 10을 참조하여, 본 발명의 또 다른 일 실시예를 설명한다. 본 발명의 일 실시예와 동일한 구성에 대한 설명은 설명의 편의를 위해 생략한다.
- [0154] 도 10은 본 발명의 또 다른 일 실시예에 따른 유기 발광 표시 장치(104)의 단면도이다.
- [0155] 도 10을 참조하면, 본 발명의 또 다른 일 실시예에 따른 유기 발광 표시 장치(104)는 제2 전극(PE2) 및 링크선(LK) 상에 배치된 박막 봉지층(401, 402, 403)을 더 포함한다.
- [0156] 박막 봉지층(401, 402, 403)은 하나 이상의 무기막(401, 403) 및 하나 이상의 유기막(402)을 포함할 수 있다. 또한, 박막 봉지층(401, 402, 403)은 무기막(401, 403)과 유기막(402)이 교호적으로 적층된 구조를 가질 수 있다. 이때, 무기막(401)이 최하부에 배치된다. 즉, 무기막(401)이 유기 발광 소자(OLED)와 가장 가깝게 배치된다. 본 발명의 또 다른 일 실시예에 따른 박막 봉지층(250)은 2개의 무기막(401, 403)과 1개의 유기막(402)을 포함하고 있으나, 이에 한정되는 것은 아니다.
- [0157] 무기막(401, 403)은 Al_2O_3 , TiO_2 , ZrO , SiO_2 , $AlON$, AlN , $SiON$, Si_3N_4 , ZnO , 및 Ta_2O_5 중 하나 이상의 무기물을 포함하여 형성된다. 무기막(401, 403)은 화학증착(chemical vapor deposition, CVD)법 또는 원자층 증착(atomic layer deposition, ALD)법을 통해 형성된다. 다만, 이에 한정되는 것은 아니며, 무기막(401, 403)은 해당 기술 분야의 종사자에게 공지된 다양한 방법을 통해 형성될 수 있다.
- [0158] 유기막(402)은 고분자(polymer) 계열의 소재로 만들어진다. 여기서, 고분자 계열의 소재는 아크릴계 수지, 에폭시계 수지, 폴리이미드, 및 폴리에틸렌 등을 포함한다. 또한, 유기막(402)은 열증착 공정을 통해 형성된다. 그리고, 유기막(402)을 형성하기 위한 열증착 공정은 유기 발광 소자(OLED)를 손상시키지 않는 온도 범위 내에서 진행된다. 다만, 이에 한정되는 것은 아니며, 유기막(402)은 해당 기술 분야의 종사자에게 공지된 다양한 방법

을 통해 형성될 수 있다.

[0159] 박막의 밀도가 치밀하게 형성된 무기막(401, 403)이 주로 수분 또는 산소의 침투를 억제한다. 즉, 대부분의 수분 및 산소는 무기막(401, 403)에 의해 유기 발광 소자(OLED)로의 침투가 차단된다.

[0160] 박막 봉지층(401, 402, 403)은 10 μ m 이하의 두께로 형성될 수 있다. 따라서, 표시 패널의 전체적인 두께가 매우 얇게 형성될 수 있다. 이와 같이 박막 봉지층(401, 402, 403)이 적용됨으로써, 표시 패널의 플렉시블한 특성이 극대화될 수 있다.

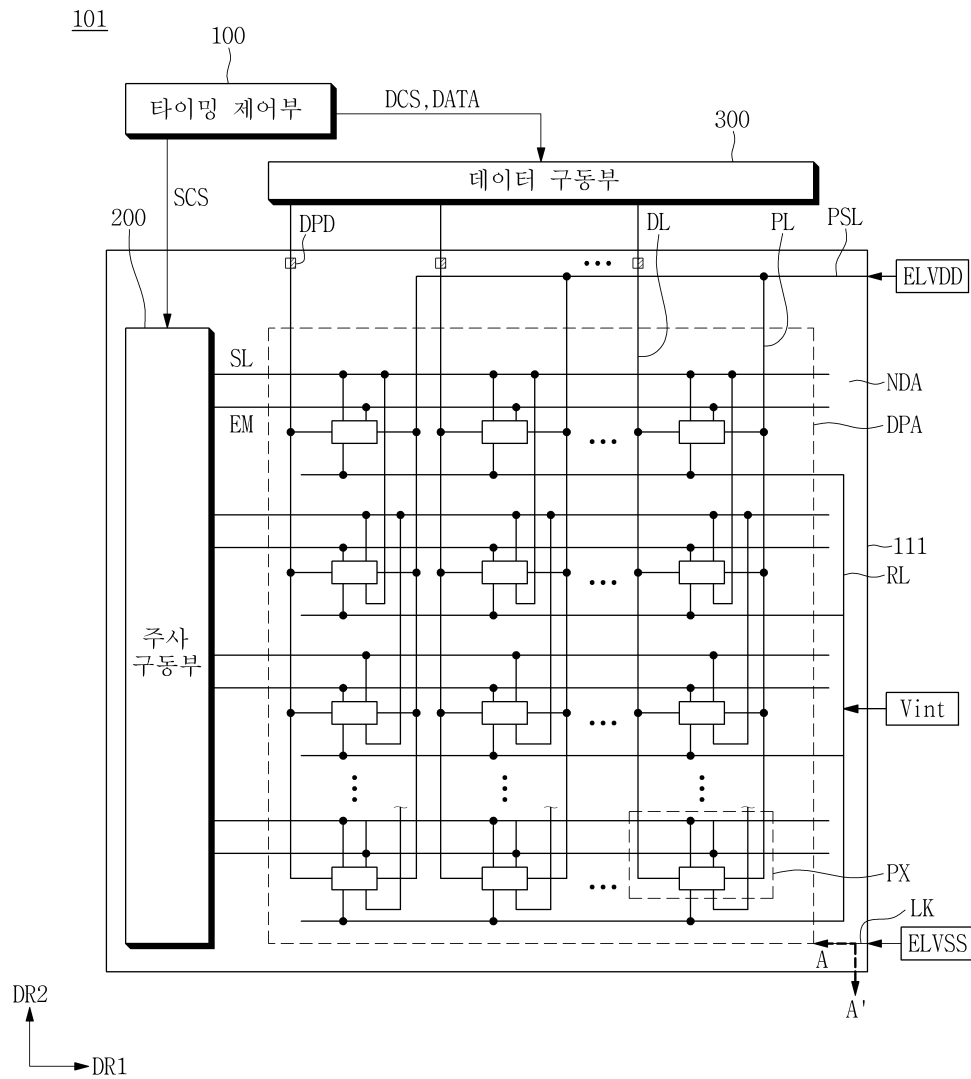
[0161] 이상, 첨부된 도면을 참조하여 본 발명의 일 실시예들을 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명의 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 일 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

부호의 설명

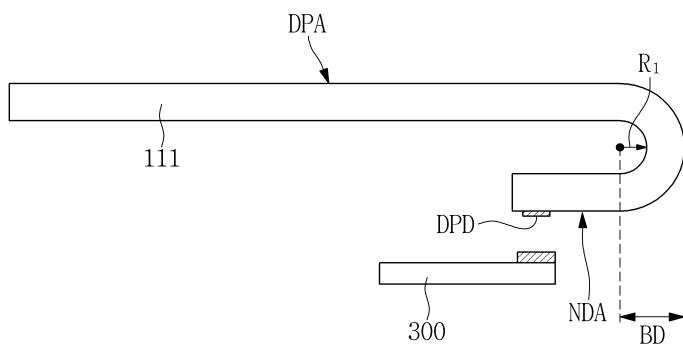
[0162] 111: 기판 211: 제1 유기막
212: 제2 유기막 221: 제1 무기막
222: 제2 무기막 BD: 벤딩부
DPA: 표시 영역 NDA: 비표시 영역
ELVDD: 제1 전압 ELVSS: 제2 전압
LK: 링크선 DAT1: 제1 도전선
DAT2: 제2 도전선 DAT3: 제3 도전선
PE1: 제1 전극 PE2: 제2 전극
OL: 유기 발광층 OLED: 유기 발광 소자

도면

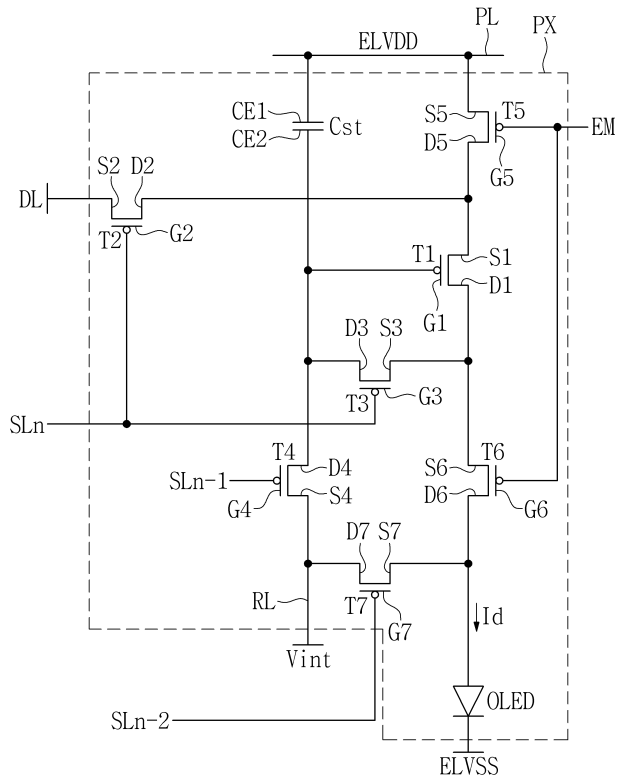
도면1



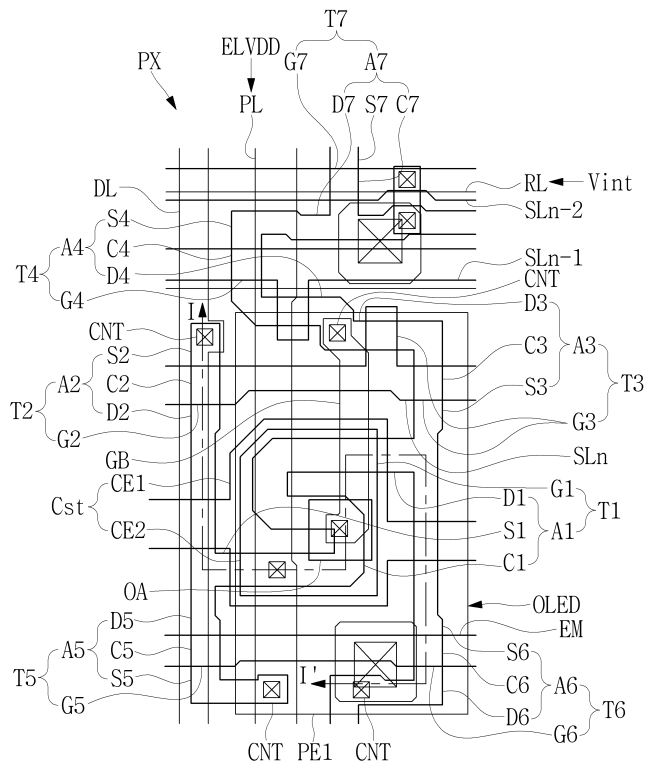
도면2



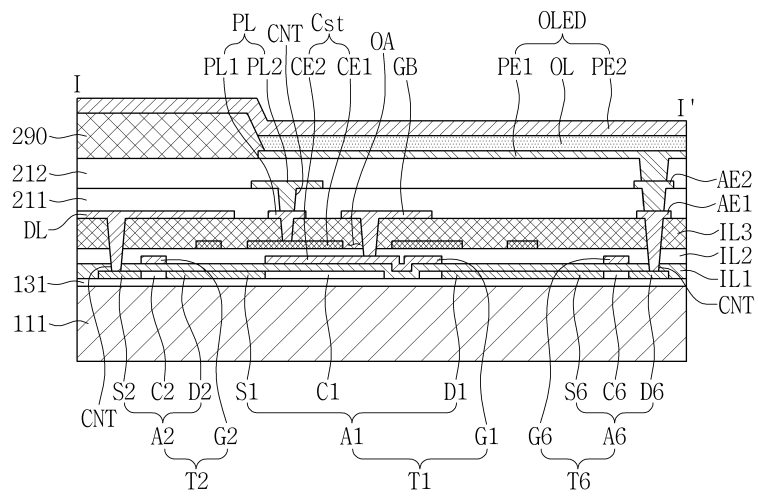
도면3



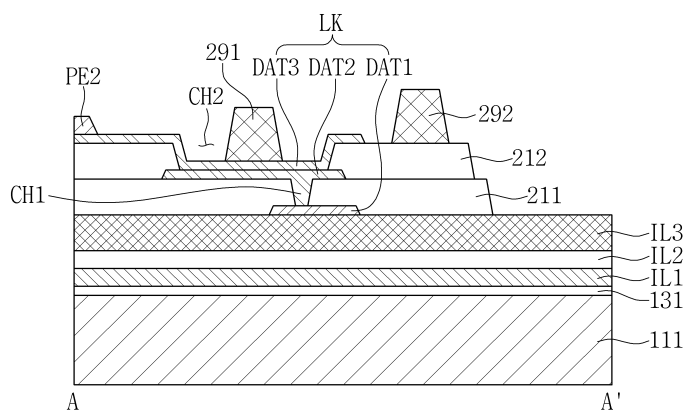
도면4



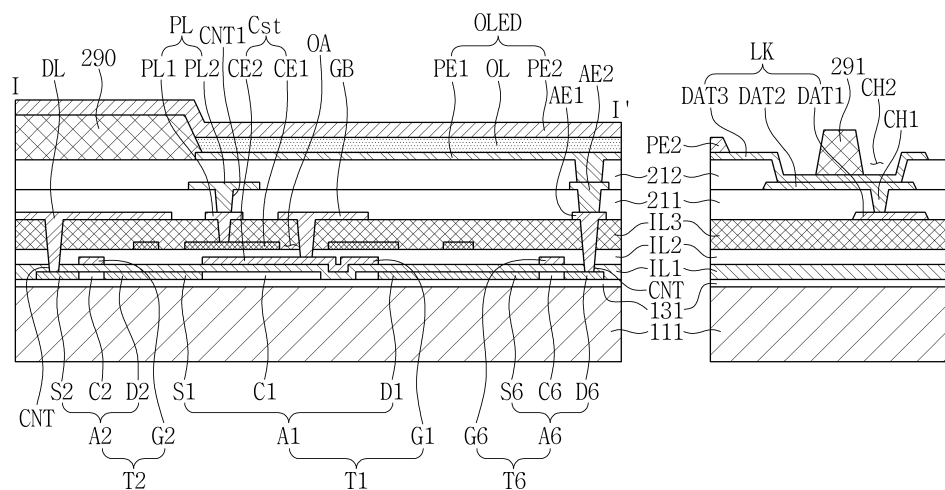
도면5



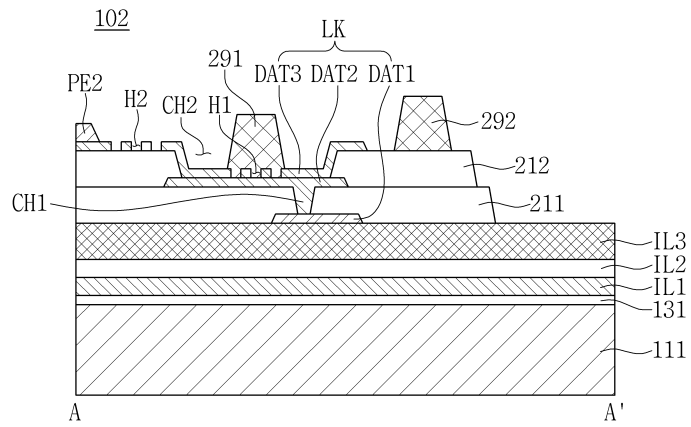
도면6



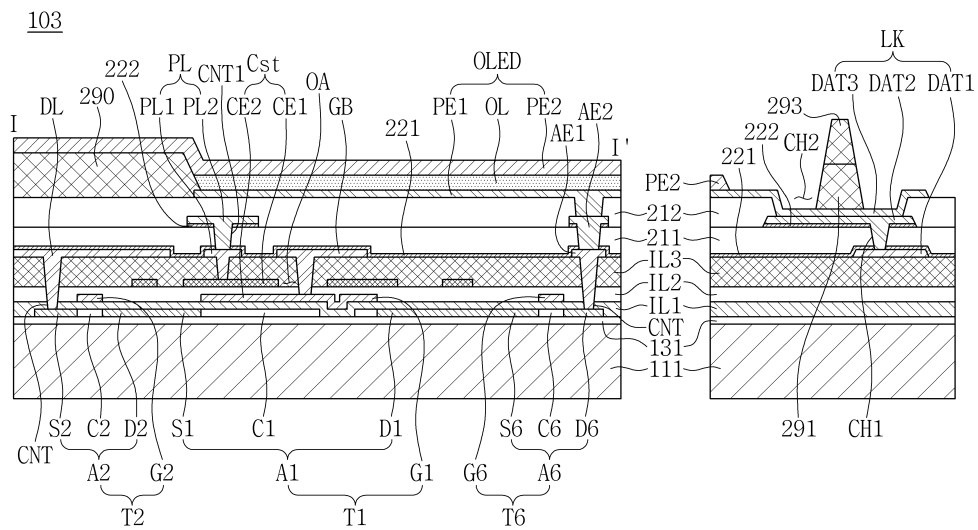
도면7



도면8

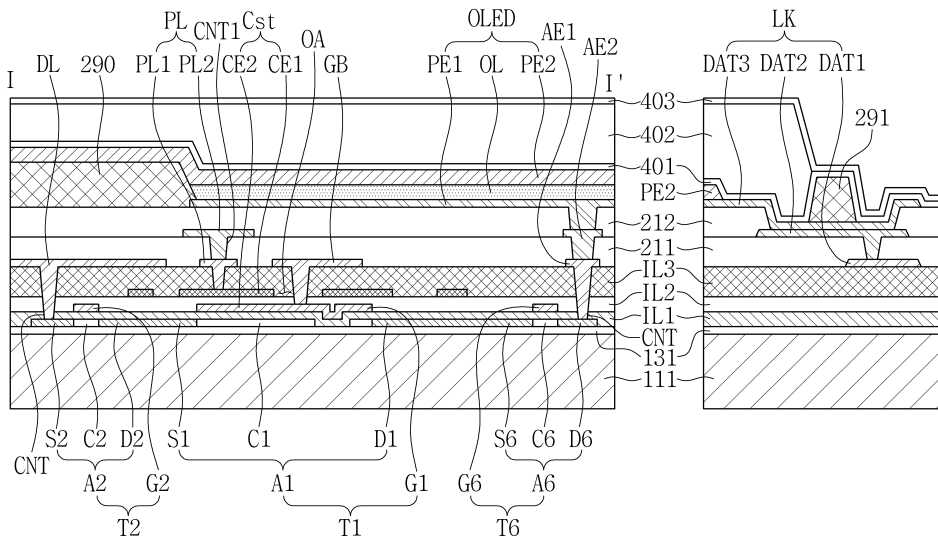


도면9



도면10

104



专利名称(译)	有机发光显示器		
公开(公告)号	KR1020190030797A	公开(公告)日	2019-03-25
申请号	KR1020170117728	申请日	2017-09-14
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	김태현 이승민 최선영 박상호 심동환 이정규 조승환		
发明人	김태현 이승민 최선영 박상호 심동환 이정규 조승환		
IPC分类号	H01L51/52 H01L51/00		
CPC分类号	H01L51/5203 H01L27/3262 H01L27/3276 H01L51/0097 H01L51/5237 H01L51/525 H01L27/329 H01L51/5246 H01L27/1214 H01L27/3297 H01L51/5044		
代理人(译)	Yunyeogwang 锡盐		
外部链接	Espacenet		

摘要(译)

有机发光显示装置技术领域本发明涉及一种显示质量优异且非显示区域的面积小的有机发光显示装置，其包括：基板，其具有显示区域和非显示区域；以及基板。一种有机发光器件，包括：第一电极，设置在基板的显示区域中；有机发射层，设置在第一电极上；以及第二电极，设置在有机发射层上；第一导线设置在基板的非显示区域中；第一有机膜设置在第一导线上；第二导线设置在第一有机层上并连接至第一导线；第二有机膜设置在第二导线上；第三导线设置在第二有机层上并连接到第二导线，其中第三导线连接到第二电极。

