



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0002938
(43) 공개일자 2019년01월09일

(51) 국제특허분류(Int. Cl.)
G09G 3/32 (2016.01)

(52) CPC특허분류
G09G 3/32 (2013.01)
G09G 2320/0233 (2013.01)

(21) 출원번호 10-2017-0083265
(22) 출원일자 2017년06월30일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자
권기태
경기도 파주시 월롱면 엘지로 245
김규진
경기도 파주시 월롱면 엘지로 245
김태훈
경기도 파주시 월롱면 엘지로 245

(74) 대리인
특허법인로얄

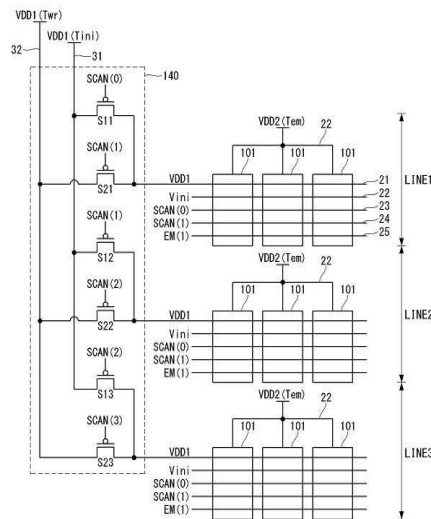
전체 청구항 수 : 총 14 항

(54) 발명의 명칭 표시패널과 이를 이용한 전계 발광 표시장치

(57) 요약

본 발명은 표시패널과 이를 이용한 전계 발광 표시장치에 관한 것이다. 이 표시패널은 발광 소자, 상기 발광 소자를 구동하는 구동 소자, 상기 구동 소자에 연결된 커패시터, 및 다수의 스위치 소자들을 포함하고 초기화 단계와 상기 구동 소자의 문턱 전압이 센싱되는 센싱 단계에 이어서 상기 발광 소자가 발광되는 발광 기간으로 구동 단계로 구동되는 다수의 서브 픽셀들을 구비한다. 본 발명의 표시패널은 상기 초기화 단계와 상기 센싱 단계에 제1 구동 전압을 상기 서브 픽셀들에 공급하는 전원 스위치 회로를 더 구비한다. 상기 서브 픽셀들은 내부 스위치 소자를 이용하여 상기 구동 기간에 제2 구동 전압을 공급 받는다.

대표도 - 도2



명세서

청구범위

청구항 1

발광 소자, 상기 발광 소자를 구동하는 구동 소자, 상기 구동 소자에 연결된 커패시터, 및 다수의 스위치 소자들을 포함하고 초기화 단계와 상기 구동 소자의 문턱 전압이 센싱되는 센싱 단계에 이어서 상기 발광 소자가 발광되는 발광 기간으로 구동 단계로 구동되는 다수의 서브 픽셀들; 및

상기 초기화 단계와 상기 센싱 단계에 제1 구동 전압을 상기 서브 픽셀들에 공급하는 전원 스위치 회로를 구비하고,

상기 서브 픽셀들은 내부 스위치 소자를 이용하여 상기 구동 기간에 제2 구동 전압을 공급 받는 표시패널.

청구항 2

제 1 항에 있어서,

상기 초기화 단계와 상기 센싱 단계에서 상기 커패시터의 제1 전극에 상기 제1 구동 전압이 공급되고,

상기 구동 단계에서 상기 커패시터의 제1 전극에 상기 제2 구동 전압이 공급되며,

상기 커패시터의 제2 전극이 상기 구동 소자의 게이트에 연결되는 표시패널.

청구항 3

제 1 항에 있어서,

상기 제1 구동 전압이 공급되고 픽셀 라인별로 분리되도록 픽셀 라인들의 서브 픽셀들에 연결된 다수의 제1 전원 배선; 및

상기 제2 구동 전압이 공급되고 모든 픽셀 라인들의 서브 픽셀들에 공통으로 연결된 다수의 제2 전원 배선을 더 구비하고,

상기 제1 전원 배선들은 상기 픽셀 라인들 사이에서 분리되고,

상기 초기화 단계와 상기 센싱 단계에서 상기 제1 구동 전압이 상기 제1 전원 배선에 공급되고,

상기 제1 전원 배선을 통해 한 개의 픽셀 라인에 배치된 서브 픽셀들에 상기 제1 구동 전압이 공급될 때, 상기 제2 전원 배선을 통해 상기 한 개의 픽셀 라인을 제외한 다른 픽셀 라인들의 서브 픽셀들에 상기 제2 구동 전압이 공급되는 표시패널.

청구항 4

제 1 항에 있어서,

상기 커패시터의 제1 전극은 상기 제1 전원 배선 상의 제1 노드를 경유하여 상기 내부 스위치 소자에 연결되고, 상기 커패시터의 제2 전극은 제2 노드를 경유하여 상기 구동 소자의 게이트에 연결되며,

상기 내부 스위치 소자는 상기 구동 단계의 시간을 정의하는 EM 신호에 응답하여 상기 구동 단계에서 상기 제2 구동 전압이 공급되는 제3 노드를 상기 제1 노드를 연결하고,

상기 구동 소자가 상기 제2 노드에 연결된 게이트, 상기 제3 노드에 연결된 제1 전극, 및 제4 노드에 연결된 제2 전극을 포함하는 표시패널.

청구항 5

제 4 항에 있어서,

상기 서브 픽셀들 각각은

상기 EM 신호에 응답하여 상기 구동 단계에서 상기 제2 전원 배선을 상기 제3 노드에 연결하는 제2 스위치 소자;

상기 제2 스캔 신호에 응답하여 상기 센싱 단계에서 입력 영상의 데이터 전압이 인가되는 데이터 라인을 상기 제3 노드에 공급하는 제3 스위치 소자;

상기 제2 스캔 신호에 응답하여 상기 센싱 단계에서 상기 제2 노드와 상기 제4 노드를 연결하는 제4 스위치 소자;

상기 제1 스캔 신호에 응답하여 상기 초기화 단계에서 상기 제2 노드를 제5 노드에 연결하는 제5 스위치 소자

상기 제1 스캔 신호에 응답하여 상기 초기화 단계에서 상기 제5 노드를 제6 노드에 연결하는 제6 스위치 소자; 및

상기 EM 신호에 응답하여 상기 구동 단계에서 상기 제4 노드를 상기 제6 노드에 연결하는 제7 스위치 소자를 더 포함하고,

상기 제5 노드는 소정의 초기화 전압이 공급되는 제3 전원 배선 상에서 상기 제5 스위치 소자와 상기 제6 스위치 소자 사이에 형성되고,

상기 제6 노드는 상기 제6 스위치 소자, 상기 제7 스위치 소자, 및 상기 발광 소자의 애노드 사이에 형성되는 표시패널.

청구항 6

입력 영상의 데이터 전압을 데이터 라인으로 출력하는 데이터 구동부;

게이트 신호를 게이트 라인들로 출력하는 게이트 구동부;

발광 소자, 상기 발광 소자를 구동하는 구동 소자, 상기 구동 소자에 연결된 커패시터, 및 다수의 스위치 소자들을 포함하고 초기화 단계와 상기 구동 소자의 문턱 전압이 센싱되는 센싱 단계에 이어서 상기 발광 소자가 발광되는 발광 기간으로 구동 단계로 구동되는 다수의 서브 픽셀들; 및

상기 게이트 신호에 응답하여 상기 초기화 단계와 상기 센싱 단계에 제1 구동 전압을 상기 서브 픽셀들에 공급하는 전원 스위치 회로를 구비하고,

상기 서브 픽셀들은 내부 스위치 소자를 이용하여 상기 구동 기간에 제2 구동 전압을 공급 받는 전계 발광 표시장치.

청구항 7

제 6 항에 있어서,

상기 초기화 단계와 상기 센싱 단계에서 상기 커패시터의 제1 전극에 상기 제1 구동 전압이 공급되고,

상기 구동 단계에서 상기 커패시터의 제1 전극에 상기 제2 구동 전압이 공급되며,

상기 커패시터의 제2 전극이 상기 구동 소자의 게이트에 연결되는 전계 발광 표시장치.

청구항 8

제 6 항에 있어서,

상기 제1 구동 전압과 상기 제2 구동 전압을 출력하는 전원 회로를 더 구비하고,

상기 전원 회로는 제1 구동 전압을 출력하는 제1 출력 단자와, 제2 구동 전압을 출력하는 제2 출력 단자를 포함하고,

상기 전원 회로로부터 상기 제1 및 제2 구동 전압이 동일 전압 레벨로 출력되는 전계 발광 표시장치.

청구항 9

제 6 항에 있어서,

상기 제1 구동 전압과 상기 제2 구동 전압을 출력하는 전원 회로를 더 구비하고,
 상기 전원 회로는 하나의 출력 채널을 통해 단일 구동 전압을 단일 배선으로,
 상기 단일 배선이 제1 및 제2 분기 배선들로 분리되고,
 상기 제1 구동 전압이 상기 제1 분기 배선을 통해 상기 서브 픽셀들에 공급되고,
 상기 제2 구동 전압이 상기 제2 분기 배선을 통해 상기 서브 픽셀들에 공급되는 전계 발광 표시장치.

청구항 10

제 6 항에 있어서,
 상기 제1 구동 전압이 공급되고 픽셀 라인별로 분리되도록 픽셀 라인들의 서브 픽셀들에 연결된 다수의 제1 전원 배선; 및
 상기 제2 구동 전압이 공급되고 모든 픽셀 라인들의 서브 픽셀들에 공통으로 연결된 다수의 제2 전원 배선을 더 구비하고,
 상기 제1 전원 배선들은 상기 픽셀 라인들 사이에서 분리되고,
 상기 전원 회로는 상기 초기화 단계와 상기 센싱 단계에서 상기 제1 구동 전압을 상기 제1 전원 배선에 공급하고,
 상기 제1 전원 배선을 통해 한 개의 픽셀 라인에 배치된 서브 픽셀들에 상기 제1 구동 전압이 공급될 때, 상기 제2 전원 배선을 통해 상기 한 개의 픽셀 라인을 제외한 다른 픽셀 라인들의 서브 픽셀들에 상기 제2 구동 전압이 공급되는 전계 발광 표시장치.

청구항 11

제 10 항에 있어서,
 상기 게이트 신호는 상기 초기화 단계와 상기 센싱 단계의 시간을 정의하고,
 상기 전원 스위치 회로는,
 상기 게이트 신호에 응답하여 상기 제1 구동 전압을 상기 제1 전원 배선에 공급하는 VDD 스위치 소자를 포함하는 전계 발광 표시장치.

청구항 12

제 11 항에 있어서,
 상기 게이트 신호는,
 상기 초기화 단계의 시간을 정의하는 제1 스캔 신호와, 상기 센싱 단계의 시간을 정의하는 제2 스캔 신호를 포함하고,
 상기 전원 스위치 회로는,
 상기 제1 스캔 신호에 응답하여 상기 제1 구동 전압을 상기 제1 전원 배선에 공급하는 제1 VDD 스위치 소자; 및
 상기 제2 스캔 신호에 응답하여 상기 제1 구동 전압을 상기 제1 전원 배선에 공급하는 제2 VDD 스위치 소자를 포함하는 전계 발광 표시장치.

청구항 13

제 6 항에 있어서,
 상기 커패시터의 제1 전극은 상기 제1 전원 배선 상의 제1 노드를 경유하여 상기 내부 스위치 소자에 연결되고,
 상기 커패시터의 제2 전극은 제2 노드를 경유하여 상기 구동 소자의 게이트에 연결되며,
 상기 내부 스위치 소자는 상기 구동 단계의 시간을 정의하는 EM 신호에 응답하여 상기 구동 단계에서 상기 제2 구동 전압이 공급되는 제3 노드를 상기 제1 노드를 연결하고,

상기 구동 소자가 상기 제2 노드에 연결된 게이트, 상기 제3 노드에 연결된 제1 전극, 및 제4 노드에 연결된 제2 전극을 포함하는 전계 발광 표시장치.

청구항 14

제 13 항에 있어서,

상기 서브 픽셀들 각각은

상기 EM 신호에 응답하여 상기 구동 단계에서 상기 제2 전원 배선을 상기 제3 노드에 연결하는 제2 스위치 소자;

상기 제2 스캔 신호에 응답하여 상기 센싱 단계에서 입력 영상의 데이터 전압이 인가되는 데이터 라인을 상기 제3 노드에 공급하는 제3 스위치 소자;

상기 제2 스캔 신호에 응답하여 상기 센싱 단계에서 상기 제2 노드와 상기 제4 노드를 연결하는 제4 스위치 소자;

상기 제1 스캔 신호에 응답하여 상기 초기화 단계에서 상기 제2 노드를 제5 노드에 연결하는 제5 스위치 소자

상기 제1 스캔 신호에 응답하여 상기 초기화 단계에서 상기 제5 노드를 제6 노드에 연결하는 제6 스위치 소자; 및

상기 EM 신호에 응답하여 상기 구동 단계에서 상기 제4 노드를 상기 제6 노드에 연결하는 제7 스위치 소자를 더 포함하고,

상기 제5 노드는 소정의 초기화 전압이 공급되는 제3 전원 배선 상에서 상기 제5 스위치 소자와 상기 제6 스위치 소자 사이에 형성되고,

상기 제6 노드는 상기 제6 스위치 소자, 상기 제7 스위치 소자, 및 상기 발광 소자의 애노드 사이에 형성되는 전계 발광 표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 픽셀들 각각에서 구동 소자의 전기적 특성 편차를 실시간 보상할 수 있는 표시패널과 이를 이용한 전계 발광 표시장치에 관한 것이다.

배경 기술

[0002] 평판 표시장치는 액정 표시장치(Liquid Crystal Display : LCD), 전계 발광 표시장치(Electroluminescence Display), 전계 방출 표시장치(Field Emission Display : FED), 플라즈마 디스플레이 패널(Plasma Display Panel : PDP) 등이 있다.

[0003] 전계 발광 표시장치는 발광층의 재료에 따라 무기 발광 표시장치와 유기 발광 표시장치로 대별된다. 액티브 매트릭스 타입(active matrix type)의 유기 발광 표시장치는 스스로 발광하는 유기 발광 다이오드(Organic Light Emitting Diode: 이하, "OLED"라 함)를 포함하며, 응답속도가 빠르고 발광효율, 휘도 및 시야각이 큰 장점이 있다.

[0004] 평판 표시장치의 구동 회로는 데이터 신호를 데이터 라인들에 공급하는 데이터 구동회로, 게이트 신호(또는 스캔 신호)를 게이트 라인들(또는 스캔 라인들)에 공급하는 게이트 구동회로 등을 포함한다. 게이트 구동회로는 화면을 구성하는 액티브 영역의 TFT(Thin film transistor) 어레이와 함께 동일 기판 상에 직접 형성될 수 있다.

[0005] 유기 발광 표시장치의 픽셀들 각각은 발광소자 즉, OLED에 흐르는 전류를 제어하는 구동 소자를 포함한다. 구동 소자는 트랜지스터(Transistor)로 구현될 수 있다. 문턱 전압, 이동도 등과 같은 구동 소자의 전기적 특성은 모든 픽셀들에서 동일하여야 하지만, 공정 조건, 구동 환경 등에 의해 구동 소자의 전기적 특성이 균일하지 않다. 구동 소자는 구동 시간이 길어질수록 많은 스트레스(stress)를 받게 된다. 또한, 입력 영상의 데이터에 따라 구동 소자의 스트레스가 달라진다. 구동 소자의 전기적 특성은 스트레스에 영향을 받는다. 따라서, 구동

소자들은 구동 시간이 경과되면 전기적 특성이 달라질 수 있다.

[0006] 유기 발광 표시장치의 화질과 수명을 개선하기 위하여, 픽셀들의 구동 특성을 실시간 보상하기 위한 보상 회로가 픽셀 회로에 적용되고 있다. 그런데 이러한 보상 회로는 IR 드롭(drop)의 영향을 배제할 수 없다. IR 드롭은 저항체(R)에 전 류(I)가 흘러 발생하는 픽셀의 구동 전압 강하를 초래한다. 이러한 전압 강하는 화면의 위치에 따라 달라진다. 이로 인하여, 표시패널 상의 화면 위치에 따라 픽셀들 간에 휘도 차이가 발생할 수 있다.

발명의 내용

해결하려는 과제

[0007] 본 발명은 픽셀들 각각에서 구동 소자의 전기적 특성 편차를 실시간 보상할 수 있고 픽셀들에 인가되는 전원의 전압 강하 영향을 최소화할 수 있는 표시패널과 이를 이용한 전계 발광 표시장치를 제공한다.

과제의 해결 수단

[0008] 본 발명의 표시패널은 발광 소자, 상기 발광 소자를 구동하는 구동 소자, 상기 구동 소자에 연결된 커패시터, 및 다수의 스위치 소자들을 포함하고 초기화 단계와 상기 구동 소자의 문턱 전압이 센싱되는 센싱 단계에 이어서 상기 발광 소자가 발광되는 발광 기간으로 구동 단계로 구동되는 다수의 서브 픽셀들을 구비한다. 본 발명의 표시패널은 상기 초기화 단계와 상기 센싱 단계에 제1 구동 전압을 상기 서브 픽셀들에 공급하는 전원 스위치 회로를 더 구비한다. 상기 서브 픽셀들은 내부 스위치 소자를 이용하여 상기 구동 기간에 제2 구동 전압을 공급 받는다.

[0009] 상기 초기화 단계와 상기 센싱 단계에서 상기 커패시터의 제1 전극에 상기 제1 구동 전압이 공급된다. 상기 구동 단계에서 상기 커패시터의 제1 전극에 상기 제2 구동 전압이 공급된다. 상기 커패시터의 제2 전극이 상기 구동 소자의 게이트에 연결된다.

[0010] 상기 표시패널은 상기 제1 구동 전압이 공급되고 픽셀 라인별로 분리되도록 픽셀 라인들의 서브 픽셀들에 연결된 다수의 제1 전원 배선, 및 상기 제2 구동 전압이 공급되고 모든 픽셀 라인들의 서브 픽셀들에 공통으로 연결된 다수의 제2 전원 배선을 더 구비한다. 상기 제1 전원 배선들은 상기 픽셀 라인들 사이에서 분리된다. 상기 초기화 단계와 상기 센싱 단계에서 상기 제1 구동 전압이 상기 제1 전원 배선에 공급된다. 상기 제1 전원 배선을 통해 한 개의 픽셀 라인에 배치된 서브 픽셀들에 상기 제1 구동 전압이 공급될 때, 상기 제2 전원 배선을 통해 상기 한 개의 픽셀 라인을 제외한 다른 픽셀 라인들의 서브 픽셀들에 상기 제2 구동 전압이 공급된다.

[0011] 상기 커패시터의 제1 전극은 상기 제1 전원 배선 상의 제1 노드를 경유하여 상기 내부 스위치 소자에 연결되고, 상기 커패시터의 제2 전극은 제2 노드를 경유하여 상기 구동 소자의 게이트에 연결된다. 상기 내부 스위치 소자는 상기 구동 단계의 시간을 정의하는 EM 신호에 응답하여 상기 구동 단계에서 상기 제2 구동 전압이 공급되는 제3 노드를 상기 제1 노드를 연결한다.

[0012] 상기 구동 소자가 상기 제2 노드에 연결된 게이트, 상기 제3 노드에 연결된 제1 전극, 및 제4 노드에 연결된 제2 전극을 포함한다.

[0013] 상기 서브 픽셀들 각각은 상기 EM 신호에 응답하여 상기 구동 단계에서 상기 제2 전원 배선을 상기 제3 노드에 연결하는 제2 스위치 소자, 상기 제2 스캔 신호에 응답하여 상기 센싱 단계에서 입력 영상의 데이터 전압이 인가되는 데이터 라인을 상기 제3 노드에 공급하는 제3 스위치 소자, 상기 제2 스캔 신호에 응답하여 상기 센싱 단계에서 상기 제2 노드와 상기 제4 노드를 연결하는 제4 스위치 소자, 상기 제1 스캔 신호에 응답하여 상기 초기화 단계에서 상기 제2 노드를 제5 노드에 연결하는 제5 스위치 소자, 상기 제1 스캔 신호에 응답하여 상기 초기화 단계에서 상기 제5 노드를 제6 노드에 연결하는 제6 스위치 소자, 및 상기 EM 신호에 응답하여 상기 구동 단계에서 상기 제4 노드를 상기 제6 노드에 연결하는 제7 스위치 소자를 더 포함한다. 상기 제5 노드는 소정의 초기화 전압이 공급되는 제3 전원 배선 상에서 상기 제5 스위치 소자와 상기 제6 스위치 소자 사이에 형성된다. 상기 제6 노드는 상기 제6 스위치 소자, 상기 제7 스위치 소자, 및 상기 발광 소자의 애노드 사이에 형성된다.

[0014] 본 발명의 전계 발광 표시장치는 입력 영상의 데이터 전압을 데이터 라인으로 출력하는 데이터 구동부, 게이트 신호를 게이트 라인들로 출력하는 게이트 구동부, 다수의 서브 픽셀들, 및 상기 게이트 신호에 응답하여 상기 초기화 단계와 상기 센싱 단계에 제1 구동 전압을 상기 서브 픽셀들에 공급하는 전원 스위치 회로를 구비한다. 상기 서브 픽셀들 각각은 발광 소자, 상기 발광 소자를 구동하는 구동 소자, 상기 구동 소자에 연결된 커패시터, 및 다수의 스위치 소자들을 포함하고 초기화 단계와 상기 구동 소자의 문턱 전압이 센싱되는 센싱 단

계에 이어서 상기 발광 소자가 발광되는 발광 기간으로 구동 단계로 구동된다. 상기 서브 픽셀들은 내부 스위치 소자를 이용하여 상기 구동 기간에 제2 구동 전압을 공급 받는다.

발명의 효과

[0015] 본 발명은 화면 상의 모든 픽셀들에서 구동 소자의 문턱전압을 실시간 보상하고, 픽셀 구동 전압(VDD)의 편차에 영향을 받지 않고 구동 소자의 전류(Ids)을 일정하게 제어함으로써 화면 전체에서 균일한 휘도를 구현할 수 있다. 본 발명은 별도의 알고리즘이나 픽셀에 IR 드롭 보상 회로를 추가하지 않고 VDD의 IR 드롭 편차를 보상할 수 있다.

도면의 간단한 설명

[0016] 도 1은 본 발명의 실시예에 따른 전계 발광 표시장치를 보여 주는 블록도이다.
 도 2는 도 1에 도시된 픽셀 어레이의 일부와 전원 스위치 회로를 보여 주는 도면이다.
 도 3은 IR 드롭으로 인한 전압 강하를 보여 주는 도면이다.
 도 4는 서브 픽셀의 커패시터 양단에 인가되는 전압을 보여 주는 도면이다.
 도 5 및 도 6은 픽셀 회로의 구동 소자를 경유한 페루프를 보여 주는 도면들이다.
 도 7 내지 도 9는 모바일 기기에서 LOG 배선과 제2 VDD 배선의 일부를 확대한 도면들이다.
 도 10 및 도 11은 제2 VDD 배선 상에서의 IR 드롭으로 인한 전압 강하를 보여 주는 도면들이다.
 도 12a 및 도 12b는 본 발명의 실시예 따른 전원 회로와 표시패널 사이의 VDD 경로를 보여 주는 도면들이다.
 도 13은 공통 VDD로 모든 픽셀 라인들의 픽셀들을 구동하는 예를 보여 주는 도면이다.
 도 14는 센싱 단계의 픽셀 라인에 인가되는 VDD와 구동 단계의 픽셀 라인에 인가되는 VDD가 분리된 예를 보여 주는 도면이다.
 도 15 및 도 16은 전원 스위치 회로와 픽셀 회로의 연결 관계를 보여 주는 회로도들이다.
 도 17은 본 발명의 실시예에 따른 픽셀 회로를 보여 주는 회로도이다.
 도 18 내지 도 20은 도 17에 도시된 픽셀 회로의 실시간 보상 방법을 단계적으로 보여 주는 회로도들이다.

발명을 실시하기 위한 구체적인 내용

[0017] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

[0018] 본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명은 도면에 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 실질적으로 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명을 생략한다.

[0019] 본 명세서 상에서 언급된 "구비한다", "포함한다", "갖는다", "이루어진다" 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수로 해석될 수 있다.

[0020] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.

[0021] 위치 관계에 대한 설명일 경우, 예를 들어, '~ 상에', '~ 상부에', '~ 하부에', '~ 옆에' 등으로 두 구성요소들 간에 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 그 구성요소들 사이에 하나 이상의 다른 구성 요소가 개재될 수 있다.

[0022] 구성 요소들을 구분하기 위하여 제1, 제2 등이 사용될 수 있으나, 이 구성 요소들은 구성 요소 앞에 붙은 서수

나 구성 요소 명칭으로 그 기능이나 구조가 제한되지 않는다.

- [0023] 이하의 실시예들은 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하며, 기술적으로 다양한 연동 및 구동이 가능하다. 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시 가능할 수도 있다.
- [0024] 본 발명의 전계 발광 표시장치에서 픽셀 회로는 n 타입 TFT(NMOS)와 p 타입 TFT(PMOS) 중 하나 이상을 포함할 수 있다. TFT는 게이트(gate), 소스(source) 및 드레인(drain)을 포함한 3 전극 소자이다. 소스는 캐리어(carrier)를 트랜지스터에 공급하는 전극이다. TFT 내에서 캐리어는 소스로부터 흐르기 시작한다. 드레인은 TFT에서 캐리어가 외부로 나가는 전극이다. TFT에서 캐리어의 흐름은 소스로부터 드레인으로 흐른다. n 타입 TFT의 경우, 캐리어가 전자(electron)이기 때문에 소스로부터 드레인으로 전자가 흐를 수 있도록 소스 전압이 드레인 전압보다 낮은 전압을 가진다. n 타입 TFT에서 전류의 방향은 드레인으로부터 소스 쪽으로 흐른다. p 타입 TFT(PMOS)의 경우, 캐리어가 정공(hole)이기 때문에 소스로부터 드레인으로 정공이 흐를 수 있도록 소스 전압이 드레인 전압보다 높다. p 타입 TFT에서 정공이 소스로부터 드레인 쪽으로 흐르기 때문에 전류가 소스로부터 드레인 쪽으로 흐른다. TFT의 소스와 드레인은 고정된 것이 아니라는 것에 주의하여야 한다. 예컨대, 소스와 드레인은 인가 전압에 따라 변경될 수 있다. 따라서, TFT의 소스와 드레인으로 인하여 발명이 제한되지 않는다. 이하의 설명에서 TFT의 소스와 드레인을 제1 및 제2 전극으로 칭하기로 한다.
- [0025] 픽셀 회로에 인가되는 게이트 신호는 게이트 온 전압(Gate On Voltage)과 게이트 오프 전압(Gate Off Voltage) 사이에서 스윙한다. 게이트 온 전압은 TFT의 문턱 전압 보다 높은 전압으로 설정되며, 게이트 오프 전압은 TFT의 문턱 전압 보다 낮은 전압으로 설정된다. TFT는 게이트 온 전압에 응답하여 턴-온(turn-on)되는 반면, 게이트 오프 전압에 응답하여 턴-오프(turn-off)된다. n 타입 TFT의 경우에, 게이트 온 전압은 게이트 하이 전압(Gate High Voltage, VGH)이고, 게이트 오프 전압은 게이트 로우 전압(Gate Low Voltage, VGL)일 수 있다. p 타입 TFT의 경우에, 게이트 온 전압은 게이트 로우 전압(VGL)이고, 게이트 오프 전압은 게이트 하이 전압(VGH)일 수 있다.
- [0026] 이하, 첨부된 도면을 참조하여 본 발명의 다양한 실시예들을 상세히 설명한다. 이하의 실시예들에서, 전계발광 표시장치는 유기발광 물질을 포함한 유기발광 표시장치를 중심으로 설명한다. 본 발명의 기술적 사상은 유기발광 표시장치에 국한되지 않고, 무기발광 물질을 포함한 무기발광 표시장치에 적용될 수 있다. 무기발광 표시장치는 양자점(quantum dot) 표시장치를 예로 들 수 있으나, 이에 한정되는 것은 아니다.
- [0027] 도 1은 본 발명의 실시예에 따른 전계 발광 표시장치를 보여 주는 블록도이다. 도 2는 도 1에 도시된 픽셀 어레이의 일부와 전원 스위치 회로를 보여 주는 도면이다. 도 2에서, 픽셀 어레이의 일부 구성 요소들은 생략되어 있다.
- [0028] 도 1 및 도 2를 참조하면, 본 발명의 실시예에 따른 전계 발광 표시장치는 표시패널(100)과, 표시패널 구동회로를 포함한다.
- [0029] 표시패널(100)은 화면 상에서 입력 영상을 표시하는 액티브 영역(AA)을 포함한다. 액티브 영역(AA)에 픽셀 어레이가 배치된다. 픽셀 어레이는 신호 배선들과 픽셀들을 포함한다. 신호 배선들은 데이터 라인들(102)과, 데이터 라인들(102)과 교차되는 게이트 라인들(103)을 포함한다. 픽셀 어레이에 VDD, Vini, VSS 등의 전원을 픽셀들에 공급하기 위한 전원 배선들과 전극들이 배치될 수 있다. 픽셀들은 매트릭스 형태로 배치되는 픽셀들을 포함한다. 도 2에서, LINE1~LINE3은 픽셀 어레이에서 게이트 라인들을 공유하는 픽셀들을 포함한 픽셀 라인들을 나타낸다.
- [0030] 픽셀들 각각은 컬러 구현을 위하여 적색 서브 픽셀, 녹색 서브 픽셀, 청색 서브 픽셀로 나뉘어질 수 있다. 픽셀들 각각은 백색 서브 픽셀을 더 포함할 수 있다. 서브 픽셀들(101) 각각은 픽셀 회로를 포함한다. 픽셀 회로는 발광 소자, 구동 소자, 다수의 스위치 소자, 커패시터를 포함한다. 픽셀 회로는 스위치 소자들을 이용하여 픽셀들 각각에서 구동 소자의 전기적 특성 편차를 실시간 보상할 수 있는 보상 회로를 포함한다. 구동 소자와 스위치 소자들은 PMOS 구조의 TFT로 구현될 수 있으나 이에 한정되지 않는다.
- [0031] 표시패널(100)은 픽셀 구동 전압(VDD)을 서브 픽셀들(101)에 공급하기 위한 VDD 배선(21, 22), 픽셀 회로를 초기화하기 위한 초기화 전압(Vini)을 서브 픽셀들(101)에 공급하기 위한 Vini 배선(22), 저전위 전원 전압(VSS)을 서브 픽셀들에 공급하기 위한 VSS 배선 및 VSS 전극, VGH가 인가되는 VGH 배선, VGL이 인가되는 VGL 배선 등을 더 포함할 수 있다. VDD 배선은 VDD1이 인가되는 제1 VDD 배선(21)과, VDD2가 인가되는 제2 VDD 배선(22)으로 분리된다. 제1 VDD 배선(21)은 전원 회로(150)를 통해 VDD1이 공급되고 픽셀 라인별로 분리되도록 픽셀

라인들의 서브 픽셀들에 연결된다. 제2 VDD 배선(22)은 VDD2가 공급되고 모든 픽셀 라인들의 서브 픽셀들에 공통으로 연결된다.

- [0032] 제1 VDD 배선(21)은 게이트 라인과 나란한 금속 배선으로 형성된다. 제1 VDD 배선(21)은 VDD1이 픽셀 라인들(LINE1~LINE3)에 독립적으로 인가될 수 있도록 픽셀 라인들(LINE1~LINE3) 사이에서 분리된다. VDD1은 전원 스위치 회로(140)의 스위치 소자(S11~S14)를 통해 제1 VDD 배선(21)에 인가된다. 전원 스위치 회로(140)는 1 픽셀 라인씩 순차적으로 VDD1을 픽셀 라인들(LINE1~LINE3)에 공급한다.
- [0033] VDD, Vini, VSS 등의 전원 전압은 전원 회로(150)로부터 발생된다. $VDD = VDD1 = VDD2 = 4.5V$, $VSS = -2.5V$, $Vini = -3.5V$, $VGH = 7.0V$, $VGL = -5.5V$ 등으로 전원 전압이 설정될 수 있으나 이에 한정되지 않는다. 전원 전압은 표시패널(100)의 구동 특성이나 모델에 따라 달라질 수 있다.
- [0034] 표시패널(100) 상에 도시하지 않은 터치 센서들이 배치될 수 있다. 터치 입력은 별도의 터치 센서들을 이용하여 센싱되거나 픽셀들을 통해 센싱될 수 있다. 터치 센서들은 온-셀(On-cell type) 또는 애드 온 타입(Add on type)으로 표시패널의 화면 상에 배치되거나 픽셀 어레이에 내장되는 인-셀(In-cell type) 터치 센서들로 구현될 수 있다.
- [0035] 전원 회로(150)는 직류-직류 변환기(DC-DC converter), 차지 펌프(Charge pump), 레귤레이터(Regulator) 등을 이용하여 픽셀들의 구동에 필요한 전원을 발생한다. 전원 회로(150)는 PMIC(Power Module Integrated Circuit)로 구현될 수 있으나 이에 한정되지 않는다.
- [0036] 표시패널 구동회로는 데이터 구동부(110), 게이트 구동부(120), 전원 스위치 회로(140) 등을 구비한다. 표시패널 구동회로는 데이터 구동부(110)와 데이터 라인들(102) 사이에 배치된 디멀티플렉서(112)를 더 구비할 수 있다.
- [0037] 표시패널 구동회로는 타이밍 컨트롤러(Timing controller, TCON)(130)의 제어 하에 표시패널(100)의 픽셀들에 입력 영상의 데이터를 기입한다. 표시패널 구동회로는 터치 센서들을 구동하기 위한 터치 센서 구동부를 더 구비할 수 있다. 터치 센서 구동부는 도 1에서 생략되어 있다. 모바일 기기에서 표시패널 구동회로, 타이밍 컨트롤러(130), 전원 회로(150) 등은 하나의 집적 회로에 집적될 수 있다.
- [0038] 표시패널 구동회로는 저속 구동 모드로 동작할 수 있다. 저속 구동 모드는 입력 영상을 분석하여 입력 영상이 미리 설정된 시간 만큼 변화가 없을 때 표시장치의 소비 전력을 줄인다. 저속 구동 모드는 정지 영상이 일정 시간 이상 입력될 때 픽셀들의 리프레쉬 레이트(Refresh rate 또는 Frame rate)를 낮춤으로써 픽셀들의 데이터 기입 주기를 길게 제어하여 소비 전력을 줄일 수 있다. 저속 구동 모드는 정지 영상이 입력될 때에 한정되지 않는다. 표시장치가 대기 모드로 동작하거나 사용자 명령이나 입력 영상이 소정 시간 이상 표시패널 구동 회로에 입력되지 않을 때 표시패널 구동 회로는 저속 구동 모드로 동작할 수 있다.
- [0039] 데이터 구동부(110)는 매 프레임 기간마다 타이밍 컨트롤러(130)로부터 수신되는 입력 영상의 디지털 데이터를 감마 보상 전압으로 변환하여 픽셀들에 인가될 데이터 신호를 발생한다. 데이터 구동부(110)는 출력 단자들 각각에서 출력 버퍼(AMP)를 통해 데이터 신호의 전압(이하 “데이터 전압” 이라 함)을 출력한다.
- [0040] 디멀티플렉서(112)는 데이터 구동부(110)와 데이터 라인들(102) 사이에 배치되어 데이터 구동부(110)로부터 출력되는 데이터 전압을 데이터 라인들(102)로 분배한다. 디멀티플렉서(112)로 인하여, 데이터 구동부(110)의 출력 채널 수를 데이터 라인들에 비하여 1/2 이하로 줄일 수 있다.
- [0041] 게이트 구동부(120)는 타이밍 컨트롤러(130)의 제어 하에 게이트 신호를 게이트 라인들(103)로 출력한다. 게이트 구동부(120)는 시프트 레지스터(Shift register)를 이용하여 게이트 신호를 시프트(shift)함으로써 그 신호들을 게이트 라인들(103)에 순차적으로 공급할 수 있다. 게이트 신호는 데이터가 기입될 라인의 픽셀들을 선택하기 위한 스캔 신호(SCAN(0)~SCAN(3))와, 데이터 전압이 충전된 픽셀들의 발광 시간을 정의하는 발광 스위칭 신호(이하, “EM 신호” 라 함)(EM(1)~EM(3))를 포함한다. 게이트 라인들(103)은 스캔 신호(SCAN(0)~SCAN(3))가 공급되는 게이트 라인들(23, 24)와, EM 신호(EM(1)~EM(3))가 공급되는 게이트 라인들(25)을 포함한다.
- [0042] 전원 스위치 회로(140)는 타이밍 컨트롤러(130)로부터 출력된 제어 신호 또는 게이트 구동부(120)로부터 출력된 스캔 신호에 따라 VDD1 경로를 스위칭할 수 있다. 전원 스위치 회로(140)는 도 2에서 게이트 구동부(120)로부터의 스캔 신호(SCAN(0)~SCAN(3))에 응답하여 VDD1을 시프트(shift)하여 1 픽셀 라인씩 순차적으로 VDD1을 픽셀 라인들(LINE1~LINE3)에 공급한다. 따라서, VDD1은 1 픽셀 라인씩 픽셀들에 공급된다. VDD1은 1 픽셀 라인에 배치된 픽셀들의 초기화 과정(이하, “초기화 단계(Tini)”라 함)과, 1 픽셀 라인의 픽셀들에 형성된 구동 소자의

문턱 전압 센싱 및 데이터 기입 과정(이하, "센싱 단계(Twr)"라 함)에서 픽셀 회로에 공급된다. VDD1은 초기화 단계(Tini)용 VDD와, 센싱 단계(Twr)용 VDD로 분리될 수 있으나 이에 한정되지 않는다.

- [0043] 표시패널(100)은 픽셀 라인들의 개수 만큼 다수의 제1 VDD 배선들(21)이 형성될 수 있다. 제1 VDD 배선(21)은 픽셀 라인들(LINE1~LINE3) 간에 분리되고 1 픽셀 라인의 픽셀들에 연결된다. 전원 스위치 회로(140)의 VDD 스위치 소자들(S11~S14)은 초기화 단계(Tini)에서 VDD1을 제1 VDD 배선(21)에 공급하는 제1 스위치 소자들(S11, S12, S13)과, 센싱 단계(Twr)에서 VDD1을 VDD1 배선(21)에 공급하는 제2 스위치 소자들(S21, S22, S23)로 나뉘어질 수 있다. 제1 스위치 소자들(S11, S12, S13)은 스캔 신호(SCAN(0)~SCAN(2))에 응답하여 제1 VDD 입단부 배선(31)을 제1 VDD 배선(21)에 공급한다. 제2 스위치 소자들(S21, S22, S23)은 스캔 신호(SCAN(1)~SCAN(3))에 응답하여 제2 VDD 입단부 배선(32)을 제1 VDD 배선(21)에 공급한다.
- [0044] 전원 스위치 회로(140)의 구성은 도 2에 한정되지 않는다. 예를 들어, 도 16에 도시된 바와 같이 초기화 단계(Tini)와 센싱 단계(Twr)에서 VDD1이 단일 경로를 통해 픽셀들에 공급될 수 있다. 이 경우에, 하나의 제1 VDD 배선에 연결되는 VDD 스위치 소자가 한 개만 필요하기 때문에 전원 스위치 회로(140)의 점유 면적을 최소화하여 전원 스위치 회로(140)로 인한 표시패널(100)의 베젤(bezel) 영역 증가를 최소화할 수 있다.
- [0045] 서브 픽셀들의 픽셀 회로, 디멀티플렉서(112), 게이트 구동부(120) 및 전원 스위치 회로(140)는 동일한 제조 공정으로 표시패널(100)의 기판 상에 직접 형성될 수 있다. 픽셀 회로, 디멀티플렉서(112), 게이트 구동부(120), 및 전원 스위치 회로(140)의 트랜지스터들은 NMOS 또는 PMOS 트랜지스터로 구현될 수 있고, 동일한 타입의 트랜지스터로 구현될 수 있다.
- [0046] 타이밍 컨트롤러(130)는 도시하지 않은 호스트 시스템으로부터 입력 영상의 디지털 비디오 데이터(DATA)와, 그와 동기되는 타이밍 신호를 수신한다. 타이밍 신호는 수직 동기신호(Vsync), 수평 동기신호(Hsync), 클럭 신호(DCLK) 및 데이터 인에이블신호(DE) 등을 포함한다. 호스트 시스템은 TV(Television) 시스템, 셋톱박스, 네비게이션 시스템, 개인용 컴퓨터(PC), 홈 시어터 시스템, 모바일 기기의 시스템 중 어느 하나일 수 있다.
- [0047] 타이밍 컨트롤러(130)는 입력 프레임 주파수를 i 배 체배하여 입력 프레임 주파수 $\times i$ (i 는 0 보다 큰 양의 정수) Hz의 프레임 주파수로 표시패널 구동부(110, 112, 120, 140)의 동작 타이밍을 제어할 수 있다. 입력 프레임 주파수는 NTSC(National Television Standards Committee) 방식에서 60Hz이며, PAL(Phase-Alternating Line) 방식에서 50Hz이다. 타이밍 컨트롤러는 저속 구동 모드에서 픽셀들의 리프레쉬 레이트를 낮추기 위하여 프레임 주파수를 1Hz ~ 30Hz 사이의 주파수로 낮출 수 있다.
- [0048] 타이밍 컨트롤러(130)는 호스트 시스템으로부터 수신된 타이밍 신호(Vsync, Hsync, DE)를 바탕으로 데이터 구동부(110)를 제어하기 위한 데이터 타이밍 제어신호, 디멀티플렉서(112)를 제어하기 위한 스위치 제어신호, 게이트 구동부(120)를 제어하기 위한 게이트 타이밍 제어신호 등을 발생하여 표시패널 구동회로의 동작 타이밍을 제어한다.
- [0049] 타이밍 컨트롤러(130)로부터 출력된 게이트 타이밍 제어신호는 도시하지 않은 레벨 시프터(level shifter)를 통해 게이트 온 전압과 게이트 오프 전압으로 변환되어 게이트 구동부(120)에 공급될 수 있다. 레벨 시프터는 게이트 타이밍 제어신호의 로우 레벨 전압(low level voltage)을 게이트 로우 전압(VGL)으로 변환하고, 게이트 타이밍 제어신호의 하이 레벨 전압(high level voltage)을 게이트 하이 전압(VGH)으로 변환한다.
- [0050] 본 발명은 보상 회로를 포함한 픽셀 회로를 이용하여 픽셀들 각각에서 구동 소자의 전기적 특성 편차를 실시간 보상한다. 실시간 보상 과정은 Tini 단계, Twr 단계, 및 픽셀들이 발광되는 구동 단계(Tem)로 나뉘어진다. 본 발명은 실시간 보상 과정에서 IR 드롭에 대한 영향을 최소화하기 위하여 VDD1과 VDD2로 분리한다. VDD1은 초기화 단계(Tini)와 센싱 단계(Twr)에서 1 픽셀 라인 단위로 픽셀들의 스토리지 커패시터(Cst)에 인가된다. VDD2는 VDD1이 인가되는 픽셀 라인을 제외한 픽셀들의 스토리지 커패시터(Cst)에 인가된다. VDD2는 구동 단계(Tem)에서 구동되는 픽셀들에 공급된다. 예를 들어, 도 2에서 제2 픽셀 라인(LINE2)이 초기화 단계(Tini) 또는 센싱 단계(Twr)일 때 제2 픽셀 라인에 배치된 픽셀들에 VDD1이 인가되고, 그 이외의 나머지 픽셀 라인들(LINE1, LINE3)에 VDD2가 인가된다.
- [0051] VDD1은 전원 스위치 회로(140)의 스위치 소자와 제1 VDD 배선(21)을 통해 초기화 단계(Tini) 또는 센싱 단계(Twr)에서 동작하는 1 픽셀 라인의 픽셀들에 공급된다. VDD1은 스캔 신호에 따라 순차적으로 1 픽셀 라인씩 시프트되면서 모든 픽셀 라인들(LINE1~LINE3)에 순차적으로 공급된다. VDD2는 메쉬(mesh) 형태의 제2 VDD 배선(22)을 통해 모든 픽셀 라인들(LINE1~LINE3)에 공통으로 공급된다.

- [0052] 도 3 내지 도 9를 결부하여 픽셀들에 영향을 주는 IR 드롭에 대하여 설명하기로 한다.
- [0053] IR 드롭은 도 3에 도시된 바와 같이 저항(R)을 통해 전류(I)가 흐를 때 발생하는 전압 강하(Voltage Drop)를 의미한다. 도 3에서, V_{ext} 는 외부 입력 전압이고, V_{in} 은 부하(Load)에 공급되는 실제 입력 전압이다. V_{out} 은 부하(Load)를 통과한 출력 전압(V_{out})이다. 실제 입력 전압(V_{in})은 $V_{in} = V_{ext} - IR$ 이다.
- [0054] 픽셀 회로는 센싱 단계(T_{wr})에서 구동 소자의 문턱 전압이 샘플링되는 스토리지 커패시터(C_{st})를 포함한다. 도 4에 도시된 바와 같이 서브 픽셀에 형성된 스토리지 커패시터(C_{st})의 일측 전극에 VDD가 인가되고 타측 전극에 VDD-DATA- V_{th} 가 인가된다. DATA는 서브 픽셀에 인가되는 데이터 전압이고, V_{th} 는 구동 소자의 문턱 전압이다. 도 5는 픽셀 회로의 구동 단계(T_{em})에서 흐르는 전류를 나타낸다. 도 6은 픽셀 회로의 센싱 단계(T_{em})에서 흐르는 전류를 나타낸다.
- [0055] 구동 단계(T_{em})에서 전류(I)는 도 5에 도시된 바와 같이 전원 회로(150)의 VDD 단자로부터 PCB (Printed Circuit Board, PCB) 배선, 표시패널(100) 내의 VDD 배선 및 구동 소자(Driving TR)로 흐르고, 다시 표시패널(100) 내의 VSS 배선을 통해 전원 회로(150)의 VSS 단자로 흐른다. PCB에는 타이밍 콘트롤러(130), 전원 회로(150), 다수의 배선들이 형성된다. PCB에 형성된 배선들은 타이밍 콘트롤러(130)과 전원 회로(150)를 표시패널 구동회로에 연결한다. 모바일 기기의 경우에, PCB는 FPCB(Flexible Printed Circuit Board)으로 구현될 수 있다.
- [0056] 표시패널(100) 내의 VDD 배선은 LOG(Line on glass) 배선과, LOG 배선에 연결된 VDD 배선을 포함한다. LOG 배선은 표시패널의 기판 상에 형성되어 PCB 배선을 VDD 배선에 연결한다.
- [0057] 표시패널(100) 내의 VDD 배선은 표시패널의 기판 상에 형성되어 PCB 배선과 연결된 LOG(Line on glass) 배선과, LOG 배선에 연결된 VDD 배선을 포함한다.
- [0058] 센싱 단계(T_{wr})에서 전류(I)는 도 6에 도시된 바와 같이 전원 회로(150)의 D-IC Amp로부터 PCB 배선, 표시패널(100) 내의 데이터 라인(102), 구동 소자(Driving TR), 및 스토리지 커패시터(C_{st})로 흐르고, 다시 표시패널(100) 내의 VDD 배선과 PCB 배선을 통해 전원 회로의 VSS 단자로 흐른다.
- [0059] 도 7 내지 도 9는 표시패널(100) 내의 제2 VDD 배선을 보여 주는 도면들이다. 도 7 내지 도 9에서 제1 VDD 배선(21)은 생략되어 있다. 도 7에서 “D-IC”는 모바일 기기의 드라이브 IC를 나타낸다. 드라이브 IC(D-IC)에 전원 회로(150), 타이밍 콘트롤러(130), 데이터 구동부(110) 등이 집적될 수 있다.
- [0060] 도 7 내지 도 9를 참조하면, 표시패널(100) 내의 VDD 배선은 PCB(또는 FPCB)를 통해 전원 회로(150)로부터 VDD2를 공급 받는 LOG 배선(20), LOG 배선(20)에 연결된 메쉬 형태의 제2 VDD 배선(22)을 포함한다. LOG 배선(20)의 저항이 제2 VDD 배선(22) 보다 크다.
- [0061] 제2 VDD 배선(22)은 도 8에 도시된 수직 배선들(22a)과, 도 9에 도시된 수평 배선들(22b)을 포함한다. 수직 배선들(22a)과 수평 배선들(22b)은 절연층을 사이에 두고 직교하고 적어도 일부 교차점들에서 절연층을 관통하는 콘택홀들(Contact hole)을 통해 서로 연결된다. 도 7 내지 도 9에서 B, C, D, E 위치에 콘택홀이 형성될 수 있다.
- [0062] LOG 배선 저항을 통해 입력 IR 드롭이 발생한다. LOG 배선 저항이 크기 때문에 VDD2의 전압은 입력 IR 드롭에 의해 변동될 수 있다. LOG 배선(20) 상의 A 지점의 전류 I_a 는 B, C, D, E 위치의 픽셀들의 구동에 필요한 전류를 각각 I_b , I_c , I_d , I_e 라 할 때, I_a 는 $I_b+I_c+I_d+I_e$ 이다. 따라서, A 지점 상의 전압 $V_a = VDD2 - (R_a * I_a) = VDD2 - \{R_a * (I_b+I_c+I_d+I_e)\}$ 이다. 여기서, IR 드롭은 $R_a * (I_b+I_c+I_d+I_e)$ 이다. R_a 는 A 지점에서 LOG 배선 저항이다. IR 드롭은 모든 픽셀들에서 요구되는 전류량에 따라 변동되는 전압이고 LOG 배선(20)의 저항이 크기 때문에 입력 IR 드롭이 제2 VDD 배선(22) 상의 IR 드롭 보다 크다.
- [0063] 제2 VDD 배선(22)의 IR 드롭은 수직 배선들(22a)에서 발생하는 수직 IR 드롭과, 수평 배선들(22b)에서 발생하는 수평 IR 드롭으로 나뉘어질 수 있다. 수직 IR 드롭은 도 8에 도시된 바와 같이, 수직 배선(22a) 상에서 나타나는 IR 드롭이다. 제2 VDD 배선(22)에서 수평 배선들(22b)을 제거하고 수직 IR 드롭을 해석할 때 B 지점에 흐르는 전류는 B 지점에서 요구되는 전류(I_b)에 C 지점에서 요구되는 전류(I_c)가 더해진 것이다. B 지점의 전압 $V_b = V_a - \{R_b * (I_b+I_c)\}$ 이다. R_b 는 b 지점에서의 저항이다.
- [0064] 수평 IR 드롭은 도 9에 도시된 바와 같이, 수평 배선(22b) 상에서 나타나는 IR 드롭이다. 제2 VDD 배선(22)에서 수직 배선들(22a)을 제거하고 수평 IR 드롭을 해석할 때 B 지점에 흐르는 전류는 B 지점에서 요구되는 전류

(1b)에 D 지점에서 요구되는 전류(I_d)가 더해진 것이다. B 지점의 전압 V_b는 V_b = V_a - {R_b * (I_b + I_d)}이다.

[0065] 전계 발광 표시장치에서 다른 픽셀들에서 발생하는 VDD의 IR 드롭 영향을 받아 픽셀의 휘도가 달라질 수 있다. 예를 들어, 도 10에 도시된 바와 같이, 모든 픽셀들이 화이트 계조로 점등된 경우에 P1 위치의 점등 픽셀에 인가되는 VDD의 전압 강하가 커진다. 이에 비하여, 일부 픽셀들이 점등되고 대부분의 픽셀들이 소등되어 있다면, P1 위치의 점등 픽셀에 인가되는 VDD의 전압 강하가 상대적으로 작다.

[0066] 픽셀들의 구동 소자를 통해 발광 소자에 일정한 전류가 흘러야 모든 픽셀들이 같은 계조에서 동일한 휘도로 발광될 수 있다. 고 PPI(pixel per inch) 모델의 경우, VDD 배선의 저항이 커져 도 11에 도시된 바와 같이 표시패널(100)의 하단(P1, P2)으로 갈수록 IR 드롭이 커진다. IR 드롭으로 인한 구동 소자에 인가되는 VDD의 전압 강하는 표시패널의 위치 별로 발광 소자에 흐르는 전류가 변동되며, 이로 인해 휘도 불균일이 발생할 수 있다.

[0067] 표시패널의 상단 위치(P0)에 VDD가 인가되면 IR 드롭으로 인하여 중간 위치(P1)에서 VDD는 VDD-α로 낮아지고, 하단 위치(P2)에서 VDD는 VDD-β로 더 낮아진다.

[0068] P0, P1, P2 위치의 발광 소자에 흐르는 전류를 IP0, IP1, IP2라 할 때 발광소자들의 전류는 아래와 같이 다르게 되어 동일 계조에서 픽셀들 간에 휘도 차이가 발생할 수 있다.

[0069]
$$I_{P0} = \frac{k}{2}(V_{DATA} - VDD)^2$$

[0070]
$$I_{P1} = \frac{k}{2}(V_{DATA} - (VDD - \alpha))^2$$

[0071]
$$I_{P2} = \frac{k}{2}(V_{DATA} - (VDD - \beta))^2$$

[0072] 여기서, k는 MOSFET의 전자 이동도, 절연막의 기생 용량, 채널비(W/L)로 결정되는 상수값이다.

[0073] 본 발명은 구동 단계(Tem)에서 픽셀 회로에 인가되는 VDD(VDD2)와, 초기화 단계(Tini) 및 센싱 단계(Twr)에서 픽셀 회로에 인가되는 VDD(VDD1)를 분리함으로써 구동 단계(Tem)에서 발생하는 IR 드롭으로 인한 VDD의 전압 강하 영향 없이 구동 소자를 통해 발광 소자에 흐르는 전류를 일정하게 제어할 수 있다. 그 결과, 본 발명은 IR 드롭을 보상하기 위한 별도의 알고리즘이나 보상 회로의 추가 개발 없이, VDD 배선 상의 IR 드롭을 보상하고 구동 소자의 전류 편차로 인한 픽셀들 간의 휘도 차이를 방지할 수 있다.

[0074] 도 12a 및 도 12b는 본 발명의 실시예 따른 전원 회로와 표시패널 사이의 VDD 경로를 보여 주는 도면들이다.

[0075] 본 발명의 전원 회로(150)는 도 12a에 도시된 바와 같이 별개의 출력 채널들을 통해 VDD1과 VDD2를 출력하여 표시패널(100)에 공급할 수 있다. VDD1은 전원 회로(150)의 제1 출력 단자(CH1)를 통해 출력되어 PCB 상의 제1 배선(42)과 표시패널(100)의 VDD 입단부 배선들(31, 32)과 제1 VDD 배선(21)에 공급된다. VDD2는 전원 회로(150)의 제2 출력 단자(CH2)를 통해 출력되어 PCB 상의 제2 배선(44)과 표시패널(100)의 LOG 배선(20)과 제2 VDD 배선(22)에 공급된다. 도 12a의 경우에 전원 회로(150)로부터 VDD1과 VDD2는 동일 전압 레벨로 출력될 수 있으나 서로 다른 전압 레벨로 출력될 수도 있다. 표시패널의 구동 특성이나 응용 분야에 따라 VDD1과 VDD2의 전압이 결정될 수 있다.

[0076] 도 12b의 경우에 VDD1과 VDD2는 전원 회로(150)로부터 동일 전압으로 출력된다. 본 발명의 전원 회로(150)는 도 12b에 도시된 바와 같이 단일 채널을 통해 VDD1과 VDD2를 출력하여 표시패널(100)에 공급할 수 있다. 전원 회로(150)의 제1 출력 단자(CH1)를 통해 출력되는 VDD는 PCB 상의 입단부 단일 배선(50)에 공급된다. 입단부 단일 배선(50)은 두 개의 분기 배선들(46, 48)로 분리된다. 제1 분기 배선(46)에 인가된 VDD1은 표시패널(100)의 VDD 입단부 배선들(31, 32)과 제1 VDD 배선(21)에 공급된다. 제2 분기 배선(48)에 인가된 VDD2는 표시패널(100)의 LOG 배선(20)과 제2 VDD 배선(22)에 공급된다.

[0077] 도 12b에서 입단부 단일 배선(50)의 저항은 최소로 설계되어야 한다. 입단부 단일 배선(50)의 저항(R_t)에 흐르는 전류(I_t)는 I_t = I₁ + I₂ 로 X 노드의 전압 (V_x) = R_t * I_t = R_t * (I₁ + I₂)가 된다. 제2 분기 배선(48)을 통해 흐르는 전류(I₂)에 의해 센싱 단계(Twr)에 서브 픽셀들에 공급되는 VDD1이 변경될 수 있다. 이 때문에 R_t를 분기 배선들(46, 48)의 저항 R₁, R₂ 대비 1%미만으로 설정하여 분기 배선의 전류(I₂)로 인한 VDD1의 변동을 1% 미만으로 억제하여야 한다.

- [0078] 도 13은 공통 VDD로 모든 픽셀 라인들의 픽셀들을 구동하는 예를 보여 주는 도면이다. 도 14는 센싱 단계의 픽셀 라인에 인가되는 VDD와 구동 단계의 픽셀 라인에 인가되는 VDD가 분리된 예를 보여 주는 도면이다.
- [0079] 도 13에 도시된 바와 같이, 전원 회로(150)로부터 출력된 공통 VDD는 입단 저항(Rin)을 통해 구동 단계(Tem)로 동작하는 서브 픽셀들(62)에 공급된다. 또한, 공통 VDD는 입단 저항(Rin)을 통해 초기화 단계(Tini) 또는 센싱 단계(Twr)로 동작하는 서브 픽셀들(61)에 공급된다. 이 경우, 초기화 단계(Tini) 또는 센싱 단계(Twr)로 동작하는 서브 픽셀들(61)에 인가되는 VDD는 다른 서브 픽셀들(62)로 인하여 IR 드롭의 변동이 커진다. 도 13에서, “Idr”은 구동 단계(Tem)로 동작하는 서브 픽셀들(62)의 구동 소자를 통해 흐르는 전류이다. “Isc”는 초기화 단계(Tini) 또는 센싱 단계(Twr)로 동작하는 서브 픽셀(61)의 구동 소자를 통해 흐르는 전류이다. $I_{sc} = I_{dr}$ 이라 할 때 도 13에 도시된 서브 픽셀(61)에 공급되는 전압(Vsc)은 $V_{sc} = V_{DD_{PMIC}} - (I_{sc} * N * M * \text{서브 픽셀 수} * R_{in})$ 이다. 여기서, $V_{DD_{PMIC}}$ 는 전원 회로(150)로부터 출력되는 공통 VDD의 전압이다. $N * M$ 은 표시패널(100)의 해상도이다.
- [0080] 도 14를 참조하면, 전원 회로(150)는 VDD 스위치 소자를 이용하여 초기화 단계(Tini)와 센싱 단계(Twr)에서 VDD1을 제1 VDD 배선(21)에 공급한다. 제1 VDD 배선(21)을 통해 한 개의 픽셀 라인에 배치된 서브 픽셀들에 VDD1이 공급될 때, 제2 VDD 배선(22)을 통해 VDD1이 인가되는 한 개의 픽셀 라인을 제외한 다른 픽셀 라인들의 서브 픽셀들에 VDD2가 공급된다.
- [0081] 도 14에 도시된 바와 같이, 전원 회로(150)로부터 출력된 VDD1은 제1 입단 저항(Rin1)을 통해 초기화 단계(Tini) 또는 센싱 단계(Twr)로 동작하는 서브 픽셀(63)에 공급된다. 전원 회로(150)로부터 출력된 VDD2는 제2 입단 저항(Rin2)을 통해 구동 단계(Tem)로 동작하는 서브 픽셀(64)에 공급된다. $I_{sc} = I_{dr}$ 이라 할 때 도 14에 도시된 서브 픽셀(63)에 공급되는 전압(Vsc)은 $V_{sc} = V_{DD_{PMIC}} - (I_{sc} * R_{in2})$ 이다. 여기서, $V_{DD_{PMIC}}$ 는 전원 회로(150)로부터 출력되는 공통 VDD의 전압이다. 따라서, 서브 픽셀(63)에 공급되는 VDD1은 다른 서브 픽셀들의 영향을 받지 않기 때문에 IR 드롭으로 인한 전압 강하가 거의 없다.
- [0082] 도 15 및 도 16은 전원 스위치 회로와 픽셀 회로의 연결 관계를 보여 주는 회로도들이다.
- [0083] 전원 스위치 회로(140)는 도 15에 도시된 바와 같이, 제1 VDD 배선(21)에 연결된 제1 및 제2 VDD 스위치 소자들(S1, S2)을 포함할 수 있다. 제1 VDD 스위치 소자(S1)는 제N-1(N은 양의 정수) 스캔 신호(SCAN(N-1))에 응답하여 초기화 단계용 VDD1(Tini)의 경로를 스위칭한다. 제N-1 스캔 신호(SCAN(N-1))는 제N 픽셀 라인의 초기화 단계(Tini)를 정의한다. 제2 VDD 스위치 소자(S2)는 제N 스캔 신호(SCAN(N))에 응답하여 센싱 단계용 VDD1(Twr)의 경로를 스위칭한다. 제N 스캔 신호(SCAN(N))는 제N 픽셀 라인의 센싱 단계(Twr)를 정의한다. VDD 스위치 소자들(S1, S2)과 제1 VDD 배선(21)을 통해 픽셀 회로에 인가된 VDD1은 픽셀 회로의 스토리지 커패시터(Cst)에 인가된다. 도 15에서 T1은 픽셀 회로의 내부 스위치 소자이다. 스위치 소자(T1)는 서브 픽셀들(101) 각각에 배치되어 EM 신호에 응답하여 구동 단계(Tem)에서 VDD2를 스토리지 커패시터(Cst)에 공급한다. 스토리지 커패시터(Cst)는 픽셀 회로의 보상부(70)에 연결된다.
- [0084] 전원 스위치 회로(140)는 도 16에 도시된 바와 같이, 제1 VDD 배선(21)에 연결된 단일 VDD 스위치 소자(S0)를 포함할 수 있다. 단일 VDD 스위치 소자(S0)는 게이트 신호(SCAN)에 응답하여 초기화 단계(Tini)와 센싱 단계(Twr)에서 VDD1 경로를 스위칭한다. 게이트 신호(SCAN)는 초기화 단계(Tini)와 센싱 단계(Twr)의 시간을 정의한다. 이 게이트 신호(SCAN)는 게이트 구동부(120)로부터 발생될 수 있다. 단일 VDD 스위치 소자(S0)와 제1 VDD 배선(21)을 통해 픽셀 회로에 인가된 VDD1은 픽셀 회로의 스토리지 커패시터(Cst)에 인가된다. 픽셀 회로의 스위치 소자(T1)는 EM 신호에 응답하여 구동 단계(Tem)에서 VDD2를 스토리지 커패시터(Cst)에 공급한다. 스토리지 커패시터(Cst)는 픽셀 회로의 보상부(70)에 연결된다. 보상부(70)는 발광 소자, 구동 소자, 다수의 스위치 소자들을 포함한다. 구동 소자와 스위치 소자들은 도 17에 도시된 바와 같이 트랜지스터들로 구현될 수 있다.
- [0085] 도 17 내지 도 20은 본 발명의 실시예에 따른 픽셀 회로와 그 실시간 보상 방법을 단계적으로 보여 주는 도면들이다.
- [0086] 서브 픽셀들 각각은 도 17 내지 도 20에 도시된 픽셀 회로를 포함한다.
- [0087] 도 17을 참조하면, 픽셀 회로는 발광 소자(EL), 구동 소자(DT), 스토리지 커패시터(Cst) 및 다수의 스위치 소자들(T1~T7)을 포함한다. 구동 소자(DT)와 스위치 소자들(T1~T7)은 PMOS 구조의 TFT들로 구현될 수 있으나 이에 한정되지 않는다.

- [0088] 발광 소자(EL)는 OLED로 구현될 수 있다. OLED는 애노드와 캐소드 사이에 형성된 유기 화합물층을 포함한다. 유기 화합물층은 정공주입층(Hole Injection layer, HIL), 정공수송층(Hole transport layer, HTL), 발광층(Emission layer, EML), 전자수송층(Electron transport layer, ETL) 및 전자주입층(Electron Injection layer, EIL) 등을 포함할 수 있으나 이에 한정되지 않는다. OLED가 턴-온(turn-on)될 때, 정공수송층(HTL)을 통과한 정공과 전자수송층(ETL)을 통과한 전자가 발광층(EML)으로 이동되어 여기자가 형성되어 발광층(EML)에서 가시광이 발광된다. OLED는 구동 소자(DT)의 게이트-소스 간 전압(V_{gs})에 따라 조절되는 전류로 발광한다. OLED의 애노드는 제6 노드(n_6)를 통해 제6 및 제7 스위치 소자들(T_6 , T_7)에 연결된다. OLED의 캐소드는 VSS가 인가되는 VSS 전극에 연결된다. OLED의 전류패스는 제2 및 제7 스위치 소자(T_7)에 의해 스위칭된다.
- [0089] 스토리지 커패시터(Cst)의 제1 전극은 제1 노드(n_1)를 경유하여 전원 스위치 회로(140)의 스위치 소자들(S_1 , S_2)과, 픽셀 회로의 제1 스위치 소자(T_1)에 연결된다. 제1 노드(n_1)는 제1 VDD 배선(21) 상에서 전원 스위치 회로(140)의 출력 단자, 픽셀 회로의 제1 스위치 소자(T_1)의 제1 전극 및 스토리지 커패시터(Cst)의 제1 전극 사이에 존재한다. 스토리지 커패시터(Cst)의 제2 전극은 제2 노드(n_2)를 통해 구동 소자(DT)의 게이트, 제4 스위치 소자(T_4)의 제1 전극, 및 제5 스위치 소자(T_5)의 제1 전극에 연결된다. 제2 노드(n_2)는 스토리지 커패시터(Cst)의 제2 전극, 구동 소자(DT)의 게이트, 제4 스위치 소자(T_4)의 제1 전극, 및 제5 스위치 소자(T_5)의 제1 전극 사이에 존재한다.
- [0090] 제1 스위치 소자(T_1)는 EM 신호($EM(N)$)에 응답하여 구동 단계(T_{em})에서 VDD2가 공급되는 제3 노드(n_3)를 제1 노드(n_1)에 연결하여 스토리지 커패시터(Cst)에 VDD2를 공급한다. 도 17 내지 도 20에 도시된 “VDD2- α ”에서 α 는 IR 드롭으로 인한 전압 강하분이다. 제1 스위치 소자(T_1)는 EM 신호($EM(N)$)가 인가되는 게이트 라인(25)에 연결된 게이트, 제1 노드(n_1)에 연결된 제1 전극, 및 제3 노드(n_3)에 연결된 제2 전극을 포함한다. 제3 노드(n_3)는 제1 스위치 소자(T_1)의 제2 전극, 제2 스위치 소자(T_2)의 제2 전극, 제3 스위치 소자의 제1 전극, 및 구동 소자(DT)의 제1 전극 사이에 존재한다.
- [0091] 제2 스위치 소자(T_2)는 EM 신호($EM(N)$)에 응답하여 구동 단계(T_{em})에서 제2 VDD 배선(22)을 제3 노드(n_3)를 연결한다. 제2 스위치 소자(T_2)는 EM 신호($EM(N)$)가 인가되는 게이트 라인(25)에 연결된 게이트, 제2 VDD 배선(22)에 연결된 제1 전극, 및 제3 노드(n_3)에 연결된 제2 전극을 포함한다.
- [0092] 제3 스위치 소자(T_3)는 제N 스캔 신호(SCAN(N))에 응답하여 센싱 단계(T_{wr})에서 데이터 라인(102)을 제3 노드(n_3)에 공급하는 스위치 소자이다. 제3 스위치 소자(T_3)는 제N 스캔 신호(SCAN(N))가 인가되는 게이트 라인(24)에 연결된 게이트, 제3 노드(n_3)에 연결된 제1 전극, 및 데이터 라인(102)에 연결된 제2 전극을 포함한다.
- [0093] 제4 스위치 소자(T_4)는 제N 스캔 신호(SCAN(N))에 응답하여 센싱 단계(T_{wr})에서 제2 노드(n_2)와 제4 노드(n_4)를 연결한다. 제4 스위치 소자(T_4)는 게이트 라인(24)에 연결된 게이트, 제2 노드(n_2)에 연결된 제1 전극, 및 제4 노드(n_4)에 연결된 제2 전극을 포함한다. 제4 노드(n_4)는 구동 소자(DT)의 제2 전극, 제4 스위치 소자(T_4)의 제2 전극, 제7 스위치 소자(T_7)의 제1 전극 사이에 존재한다.
- [0094] 제5 스위치 소자(T_5)는 제N-1 스캔 신호(SCAN(N-1))에 응답하여 초기화 단계(T_{ini})에서 제2 노드(n_2)를 제5 노드(n_5)에 연결한다. 제5 스위치 소자(T_5)는 제N-1 스캔 신호(SCAN(N-1))가 인가되는 게이트 라인(23)에 연결된 게이트, 제2 노드(n_2)에 연결된 제1 전극, 및 제5 노드(n_5)에 연결된 제2 전극을 포함한다. 제5 노드(n_5)는 Vini 배선(22) 상에서 제5 스위치 소자(T_5)의 제2 전극과 제6 스위치 소자(T_6)의 제1 전극 사이에 존재한다.
- [0095] 제6 스위치 소자(T_6)는 제N-1 스캔 신호(SCAN(N-1))에 응답하여 초기화 단계(T_{ini})에서 제5 노드(n_5)를 제6 노드(n_6)에 연결한다. 제6 스위치 소자(T_6)는 게이트 라인(23)에 연결된 게이트, 제5 노드(n_5)에 연결된 제1 전극, 및 제6 노드(n_6)에 연결된 제2 전극을 포함한다. 제6 노드(n_6)는 제6 스위치 소자(T_6)의 제2 전극, 제7 스위치 소자(T_7)의 제2 전극 및 발광 소자(EL)의 애노드 사이에 존재한다.
- [0096] 제7 스위치 소자(T_7)는 EM 신호($EM(N)$)에 응답하여 구동 단계(T_{em})에서 제4 노드(n_4)를 제6 노드(n_6)에 연결한다. 제7 스위치 소자(T_7)는 EM 신호($EM(N)$)가 인가되는 게이트 라인(25)에 연결된 게이트, 제4 노드(n_4)에 연결된 제1 전극, 및 발광 소자(EL)의 애노드에 연결된 제2 전극을 포함한다.
- [0097] 구동 소자(DT)의 문턱 전압(V_{th})은 센싱 단계(T_{wr})에서 스토리지 커패시터(Cst)에 저장된다. 구동 소자(DT)는 구동 단계(T_{em})에서 게이트-소스 간 전압(V_{gs})에 따라 발광 소자(EL)에 흐르는 전류를 조절한다. 구동 소자(DT)는 제2 노드(n_2)에 연결된 게이트, 제3 노드(n_3)에 연결된 제1 전극, 및 제4 노드(n_4)에 연결된 제2 전극을 포함한다.

[0098] 제N-1 스캔 신호(SCAN(N-1))의 펄스가 발생하는 1 수평 기간(1H) 동안 제N-1 픽셀 라인의 픽셀들은 센싱 단계(Twr)로 동작하고, 제N 픽셀 라인의 픽셀들은 초기화 단계(Tini)로 동작한다. 제N-1 스캔 신호(SCAN(N-1))는 제N-1 픽셀 라인의 센싱 단계 시간과, 제N 픽셀 라인의 초기화 단계 시간을 정의한다. 제N 스캔 신호(SCAN(N))의 펄스가 발생하는 1 수평 기간(1H) 동안 제N 픽셀 라인의 픽셀들은 센싱 단계(Twr)로 동작하고, 제N+1 픽셀 라인의 픽셀들은 초기화 단계(Tini)로 동작한다. 제N 스캔 신호(SCAN(N))는 제N 픽셀 라인의 센싱 단계 시간과, 제N+1 픽셀 라인의 초기화 단계 시간을 정의한다. 이하에서, 도 18 내지 도 20을 결부하여 제N 픽셀 라인에 배치된 서브 픽셀의 실시간 보상 동작을 설명하기로 한다. 도 18 내지 도 20에서 화살표는 전류 경로(current path)를 나타낸다.

[0099] 도 18을 참조하면, 초기화 단계(Tini)에서 픽셀 회로의 주요 노드들이 초기화된다. 초기화 단계(Tini)에서, 제N-1 스캔 신호(SCAN(N-1))은 게이트 온 전압의 펄스로 발생된다. 초기화 단계(Tini)에서, 제N 스캔 신호(SCAN(N))와 EM 신호(EM(N))는 게이트 오프 전압이다. 제1 VDD 스위치 소자(S1), 제5 스위치 소자(T5) 및 제6 스위치 소자(T6)는 초기화 단계(Tini)에서 제N-1 스캔 신호(SCAN(N-1))에 응답하여 턴-온(turn-on)되고, 그 이외의 스위치 소자들은 오프 상태이다.

[0100] 초기화 단계에서, 제1 노드(n1)에 VDD1이 인가되고, 제2, 제5 및 제6 노드(n2, n5, n6)에 Vini가 인가된다. 따라서, 스토리지 커패시터(Cst)의 제1 전극 전압은 VDD1으로 초기화되고, 스토리지 커패시터(Cst)의 제2 전극 전압은 Vini로 초기화된다. 또한, 초기화 단계(Tini)에서 발광 소자(EL)의 애노드 전압이 Vini로 초기화된다. 초기화 단계(Tini)에서 구동 소자(DT)의 게이트 전압(Vg)은 Vini로 초기화된다. 초기화 단계(Tini)에서 제3 노드(n3)에 연결된 스위치 소자들(T2, T2, T3)이 모드 턴-오프(tur-off)되어 있기 때문에 구동 소자(DT)의 소스(source)인 제1 전극은 플로팅(floating)된다.

[0101] 도 19를 참조하면, 센싱 단계(Twr)에서 데이터 전압(Vdata)이 구동 소자(DT)에 인가되어 구동 소자(DT)의 문턱 전압이 센싱된다. 센싱 단계(Twr)에서 제N 스캔 신호(SCAN(N))은 게이트 온 전압의 펄스로 발생된다. 초기화 단계(Tini)에서, 제N-1 스캔 신호(SCAN(N-1))는 게이트 오프 전압으로 반전되고, EM 신호(EM(N))는 게이트 오프 전압을 유지한다. 제2 VDD 스위치 소자(S2), 제3 스위치 소자(T3) 및 제4 스위치 소자(T4)는 센싱 단계(Twr)에서 제N 스캔 신호(SCAN(N))에 응답하여 턴-온되고, 그 이외의 스위치 소자들은 오프 상태이다. 스토리지 커패시터(Cst)의 제1 전극 전압은 제2 VDD 스위치 소자(S2)를 통해 인가되는 VDD1으로 인하여 센싱 단계(Twr)에서 VDD1을 유지한다.

[0102] 센싱 단계(Twr)에서 구동 소자(DT)의 게이트-소스 간 전압(Vgs)은 문턱 전압(Vth)에 도달할 때까지 상승한다. 센싱 단계(Twr)에서 구동 소자(DT)가 게이트-소스 간 전압(Vgs)이 문턱 전압(Vth)에 도달할 때까지 턴-온되기 때문에 구동 소자(DT)의 문턱 전압(Vth)이 센싱되어 스토리지 커패시터(Cst)에 저장된다. 초기화 단계(Tini)에서 구동 소자(DT)의 게이트 전압(Vg)은 Vdata+Vth로 변하고, 구동 소자(DT)의 소스 전압(Vs)은 Vdata이다.

[0103] 초기화 단계(Vini)와 센싱 단계(Twr)에서 픽셀 회로에 인가되는 VDD1은 구동 단계(Tem)로 동작하는 다른 서브 픽셀들의 영향을 받지 않기 때문에 화면 전체에서 IR 드롭이 없다. 따라서, IR 드롭 편차 없이 화면 상의 모든 픽셀들에서 스토리지 커패시터의 전압이 균일하게 초기화될 수 있고, 구동 소자(DT)의 문턱 전압을 센싱할 수 있다.

[0104] 도 20을 참조하면, 구동 단계(Tem)에서 구동 소자(DT)의 게이트-소스 간 전압(Vgs)으로 결정되는 전류로 발광 소자(EL)가 발광한다. 구동 단계(Tem)에서 EM 신호(EM(N))가 게이트 온 전압으로 발생되어 제1, 제2 및 제7 스위치 소자들(T1, T2, T7)이 턴-온된다. 구동 단계(Tem)에서 제N-1 및 제N 스캔 신호(SCAN(N-1), SCAN(N))은 게이트 오프 전압이기 때문에 VDD 스위치 소자들(S1, S2)과, 픽셀 회로에서 스캔 신호에 따라 온/오프되는 스위치 소자들(T3, T4, T5, T6)은 오프 상태를 유지한다.

[0105] 구동 단계(Tem)에서 발광 소자(EL)의 밝기는 구동 소자(DT)를 통해 흐르는 전류(Ids)로 제어된다.

[0106] 구동 단계(Tem)에서 픽셀 회로에는 IR 드롭으로 인하여 a 만큼 전압 강하가 발생한 VDD2-a가 공급된다. 이 때 스토리지 커패시터(Cst)의 제1 전극 전압은 VDD2-a로 변하고, 이로 인하여 구동 소자(DT)의 게이트 전압이 Vdata+Vth-a로 변한다. 구동 소자(DT)의 게이트 전압(Vg)이 Vdata+Vth-a 이고 소스 전압(Vs)이 VDD2-a=VDD-a이기 때문에 구동 소자(DT)의 드레인-소스 전류(Ids)는 아래와 같이 IR 드롭으로 인한 VDD2의 전압 강하 영향을 받지 않는다.

[0107]
$$I_{ds} = \frac{k}{2} (V_{gs} - V_{th})^2$$

[0108]
$$= \frac{k}{2}(V_{data} + V_{th} - \alpha - (VDD - \alpha) - V_{th})^2$$

[0109]
$$= \frac{k}{2}(V_{data} - VDD)^2$$

[0111] 또한, 구동 소자(DT)를 통해 흐르는 전류(Ids)는 구동 소자(DT)의 문턱 전압(Vth)에 영향을 받지 않는다. 따라서, 화면 전체에서 구동 소자의 문턱 전압 편차가 실시간 보상된다.

[0112] 따라서, 본 발명은 화면 상의 모든 픽셀들에서 VDD의 전압 강하 편차와 Vth 편차에 영향을 받지 않고 구동 소자의 전류(Ids)를 일정하게 제어함으로써 화면 전체에서 균일한 휘도를 구현할 수 있다. 화면 상의 모든 픽셀들은 Vth 편차와 VDD의 전압 강하 편차에 영향을 받지 않고 균일한 휘도로 발광된다.

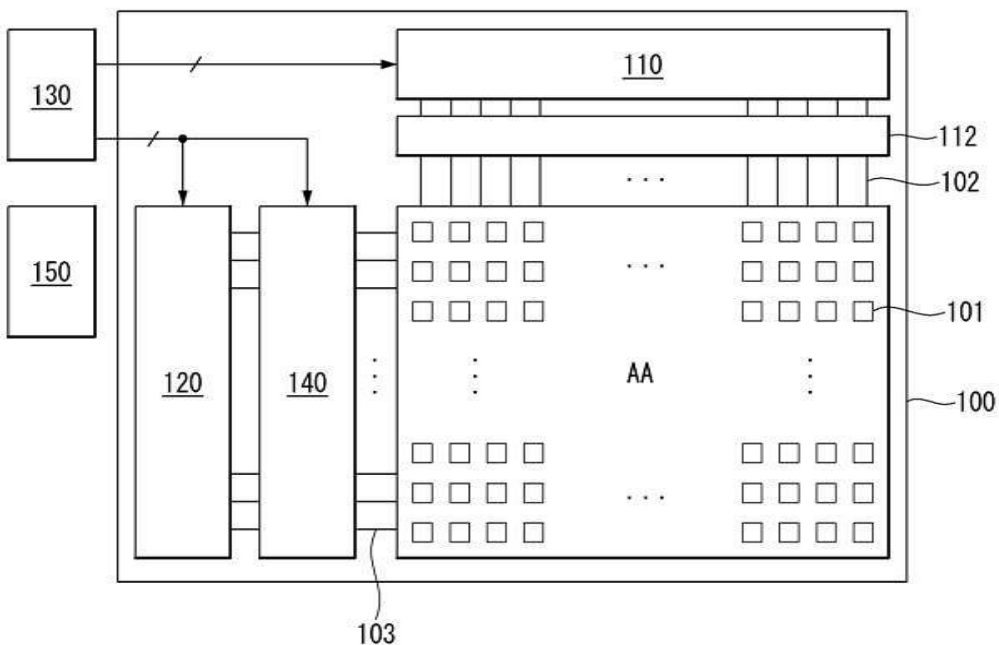
[0113] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

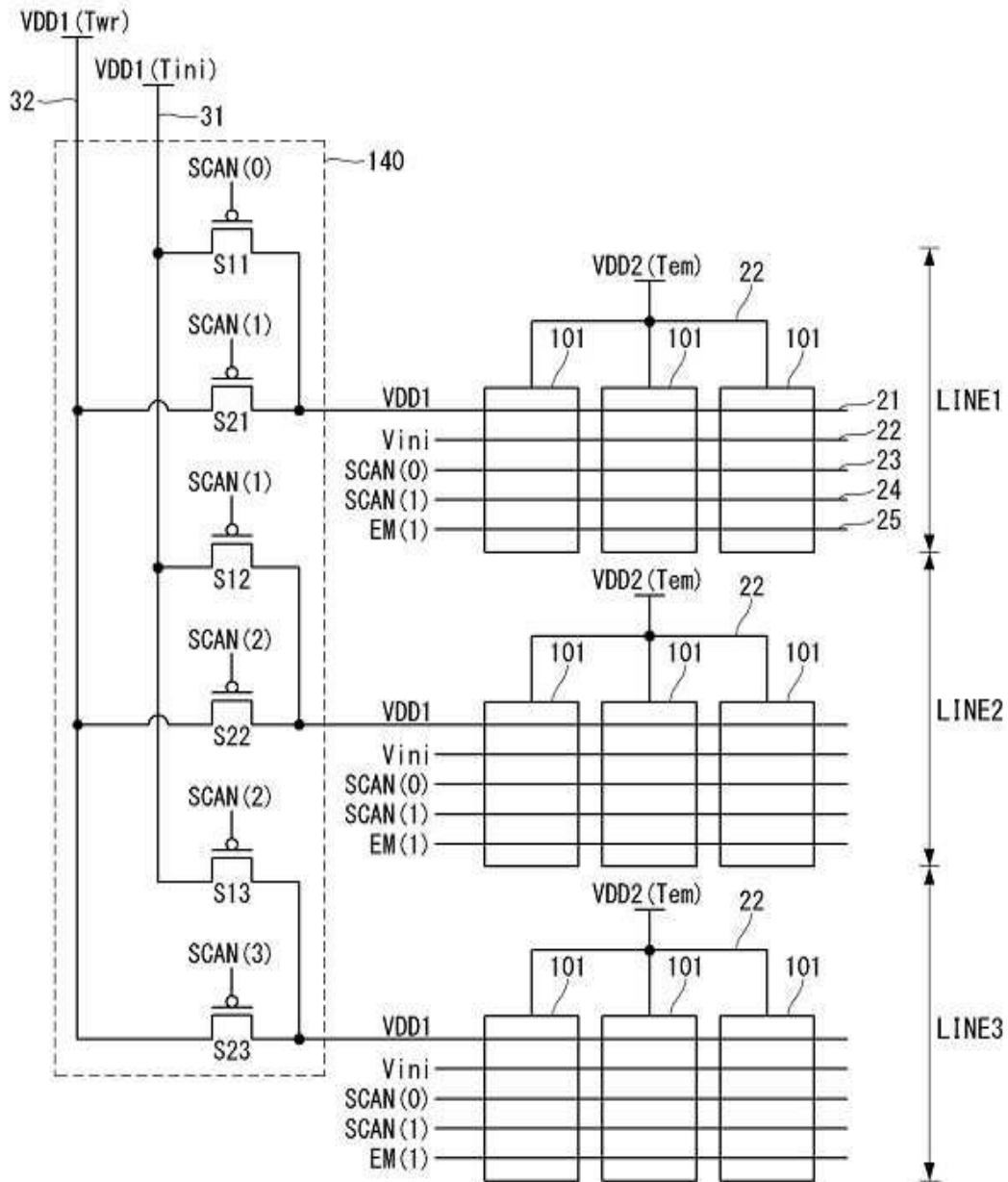
- [0114] 102, D1~D4 : 데이터 라인 103, G1~G3 : 게이트 라인
 100 : 표시패널 101, 101A, 101B : 서브 픽셀
 110 : 데이터 구동부 120 : 게이트 구동부
 140 : 전원 스위치 회로

도면

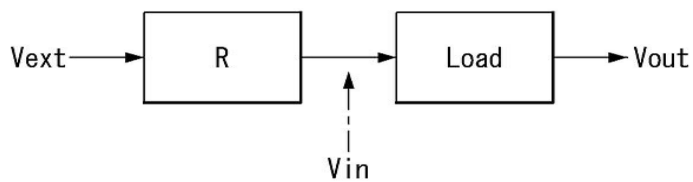
도면1



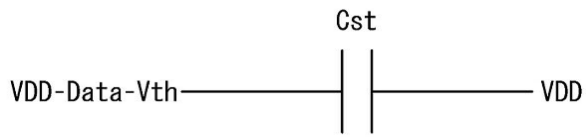
도면2



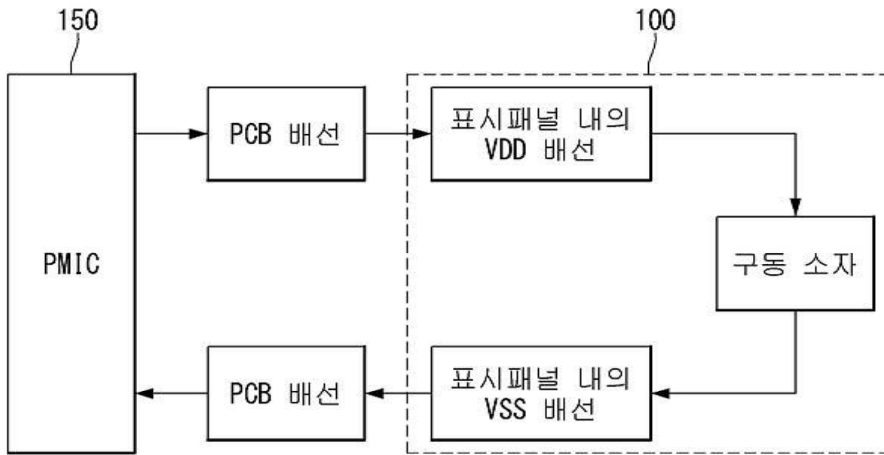
도면3



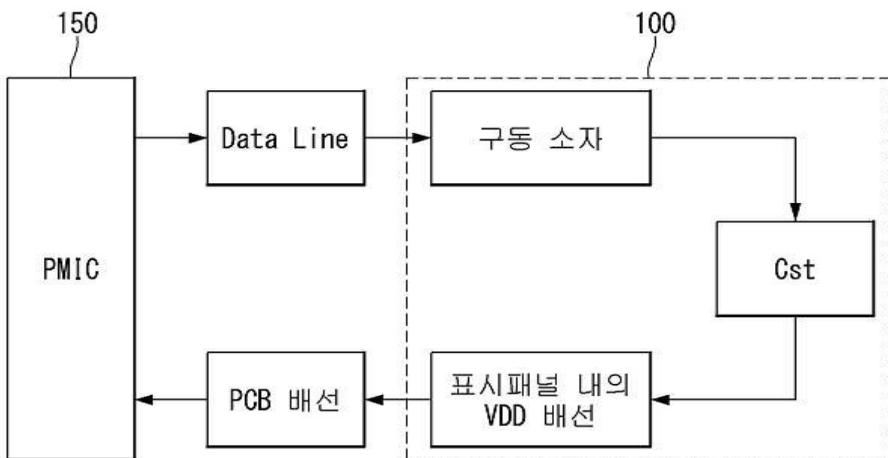
도면4



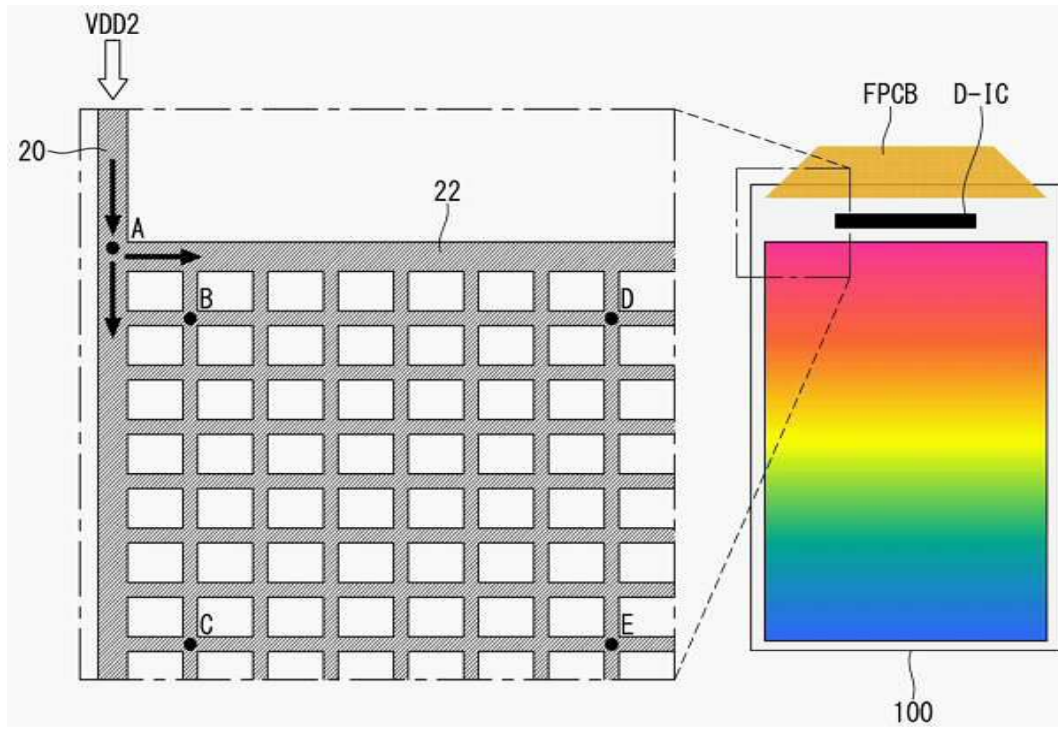
도면5



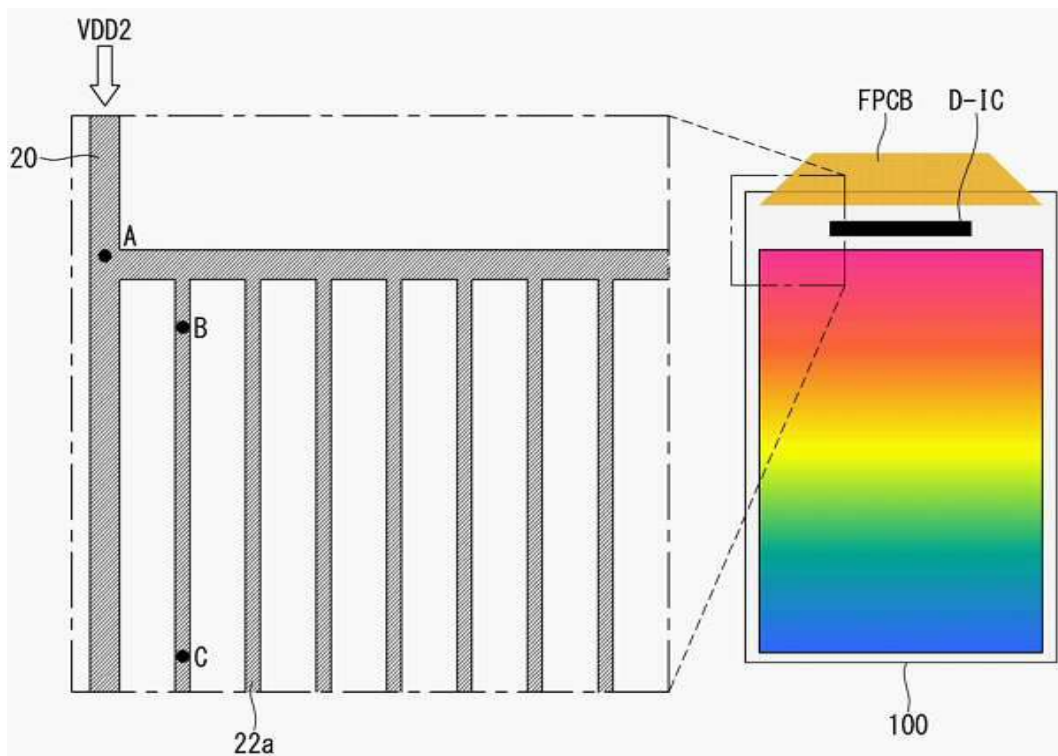
도면6



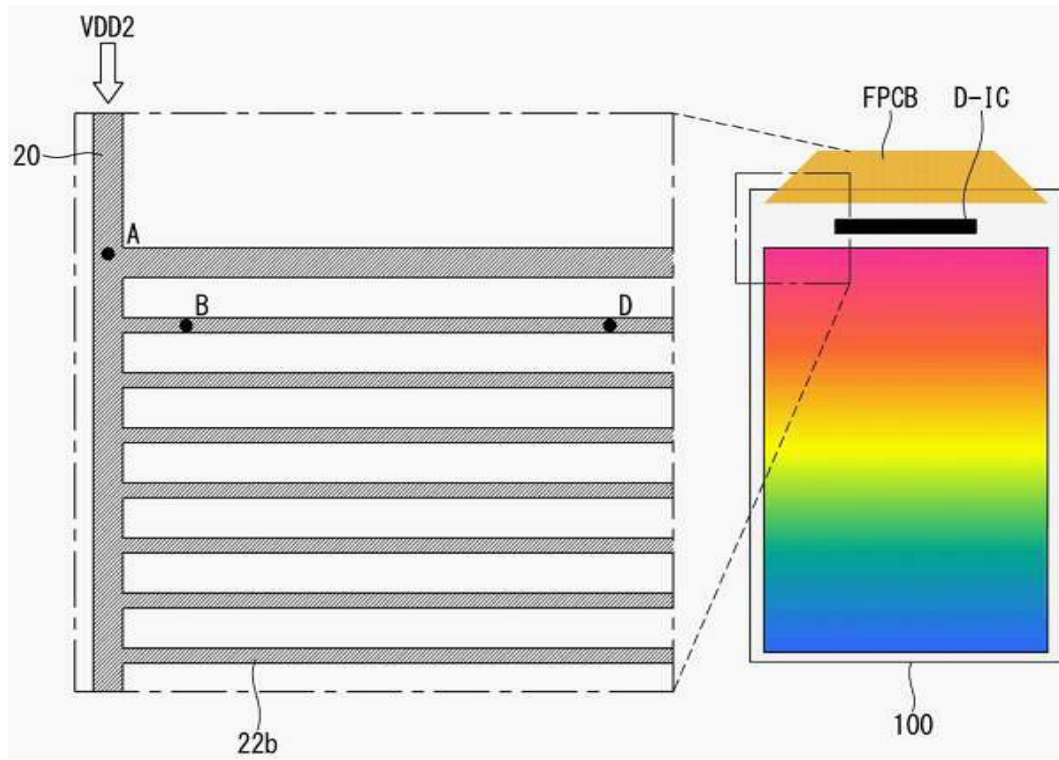
도면7



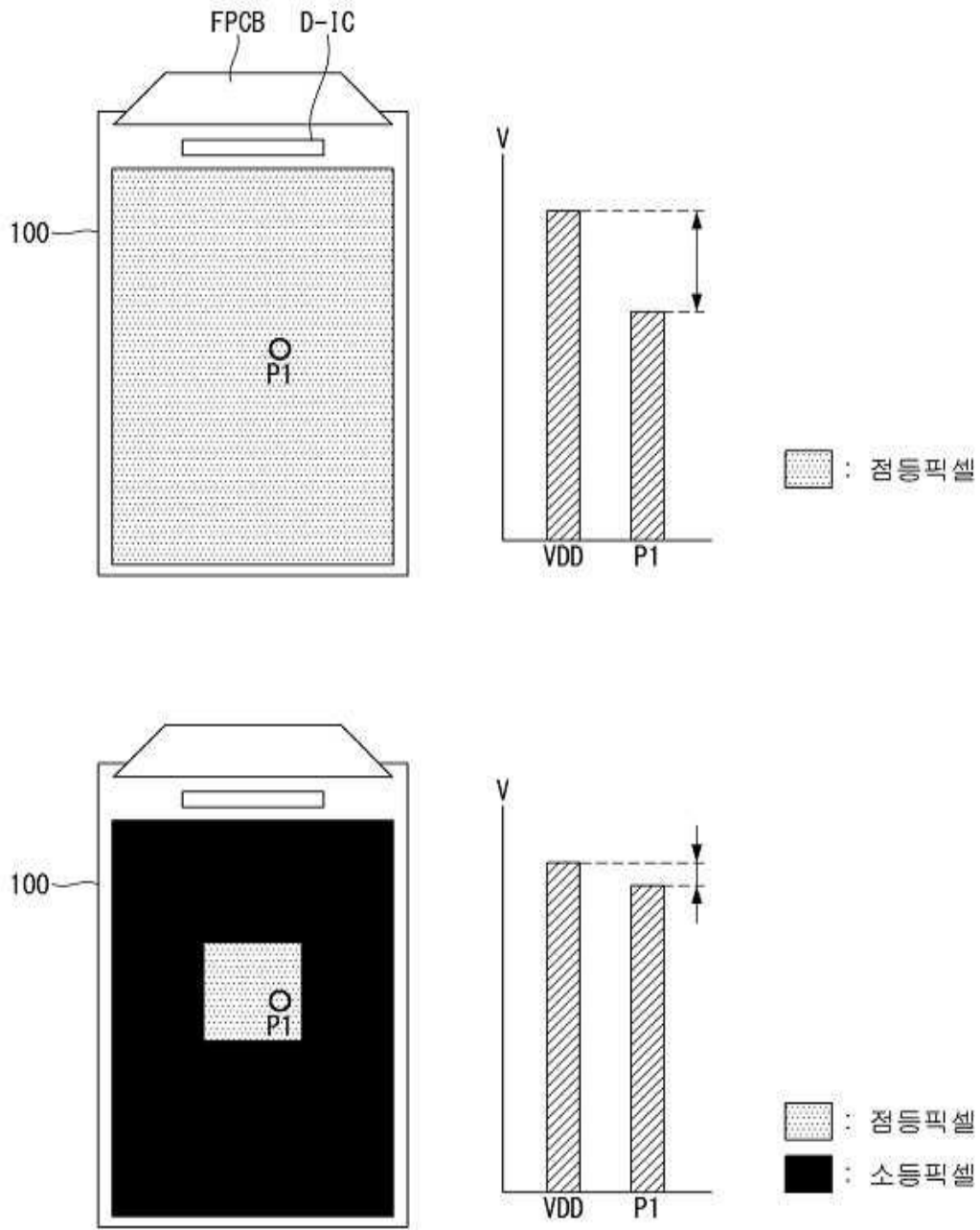
도면8



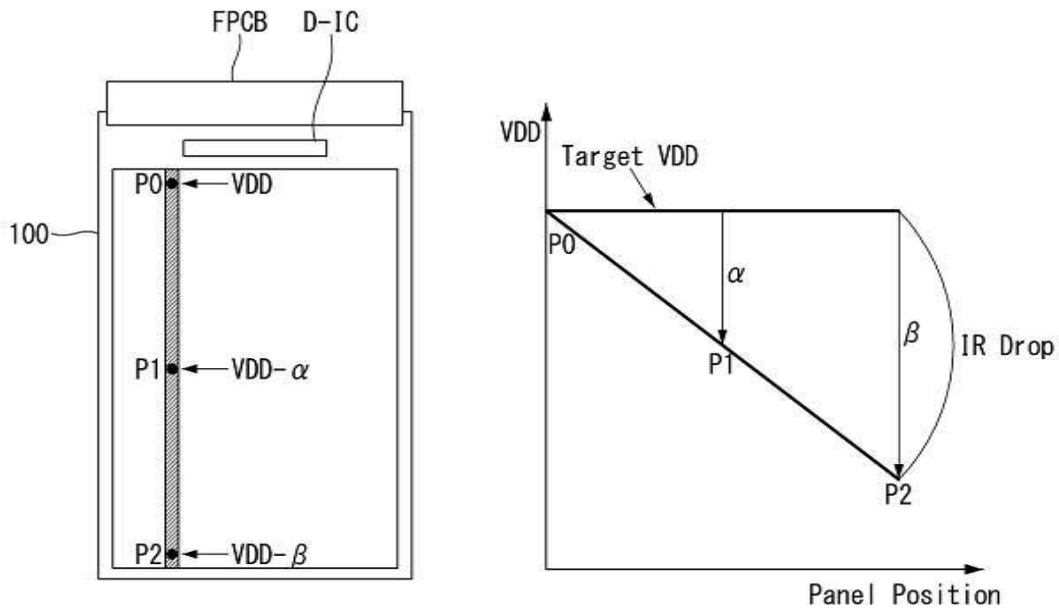
도면9



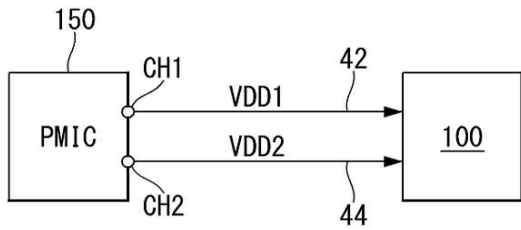
도면10



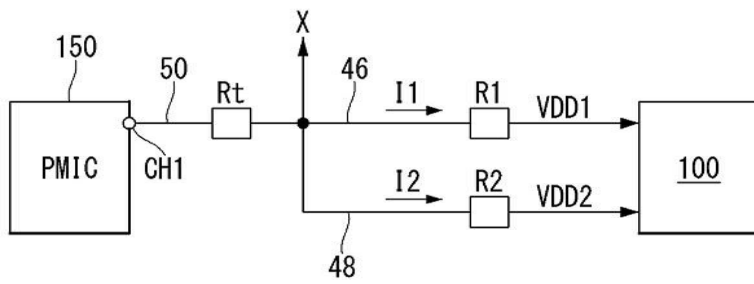
도면11



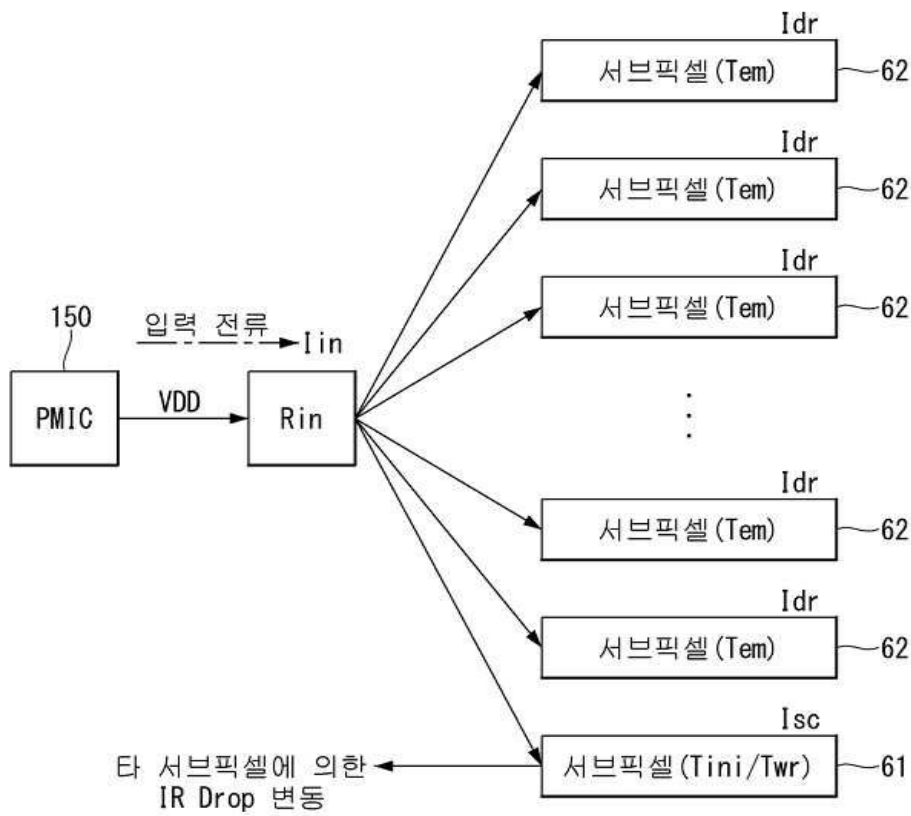
도면12a



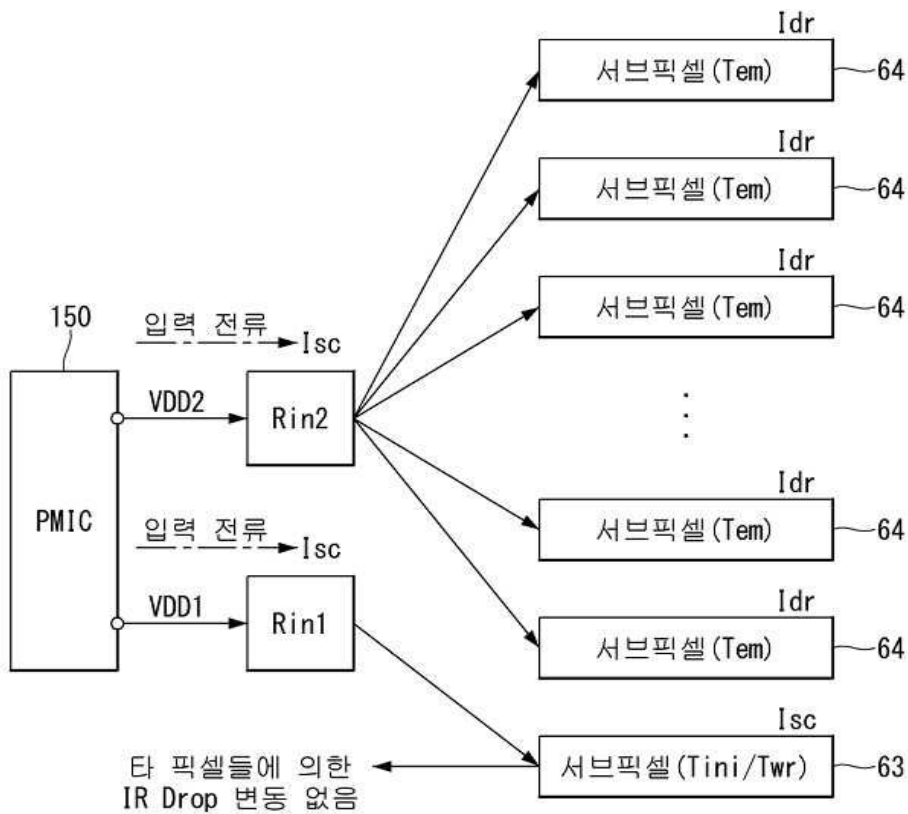
도면12b



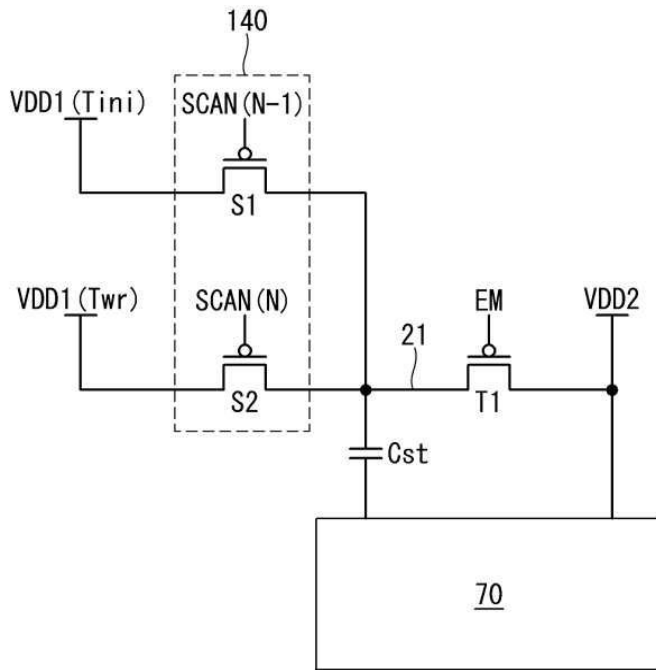
도면13



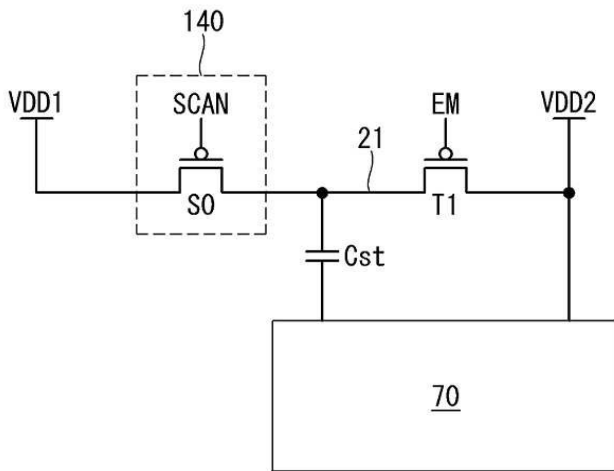
도면14



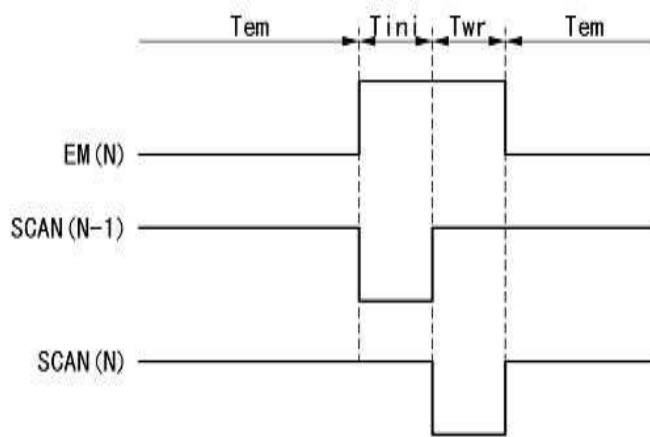
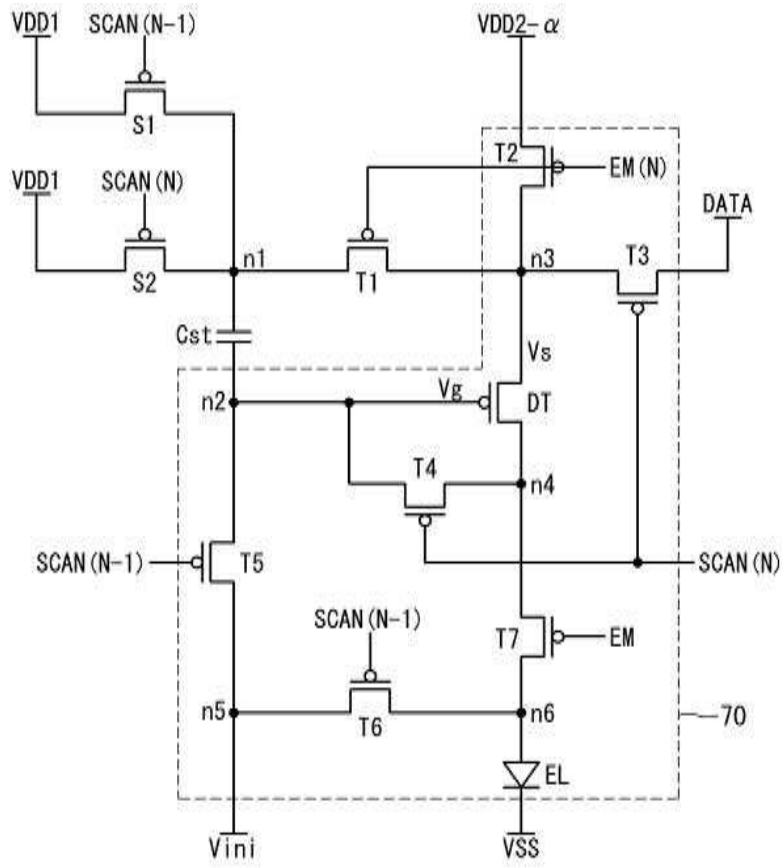
도면15



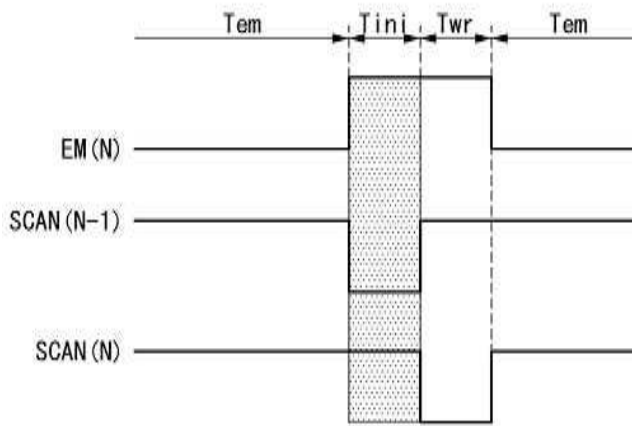
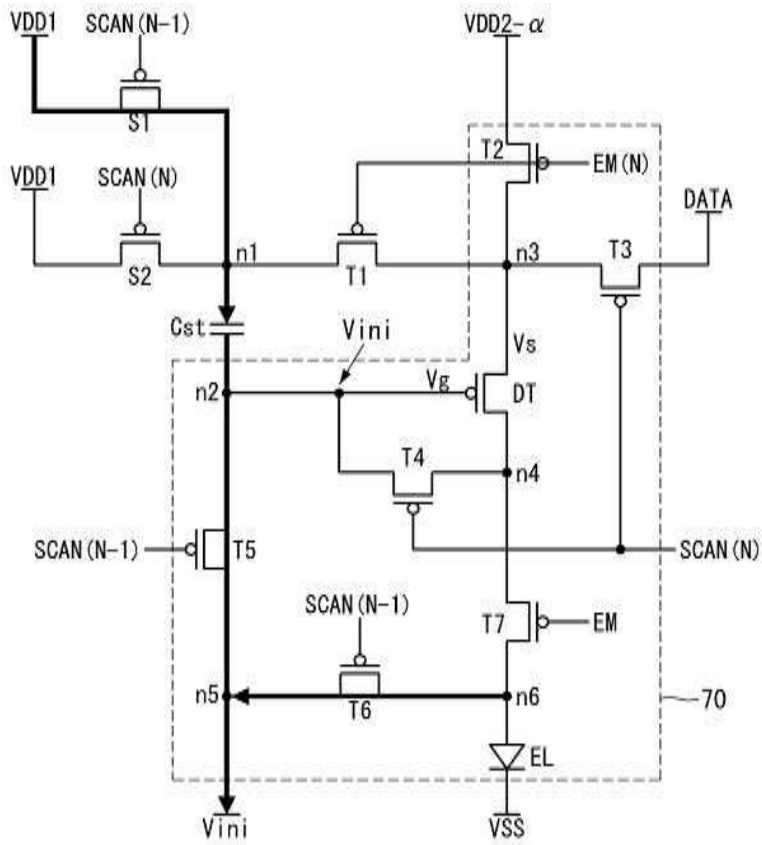
도면16



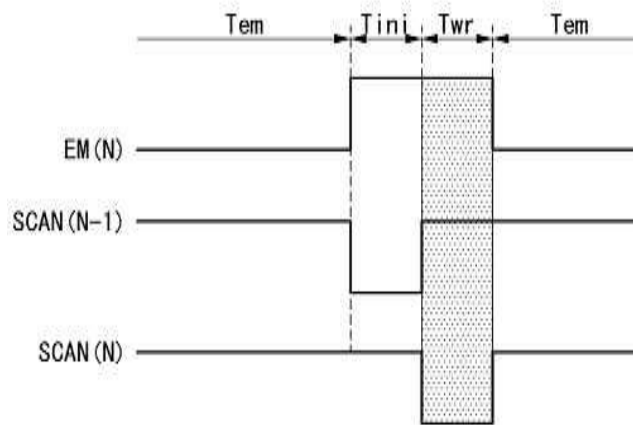
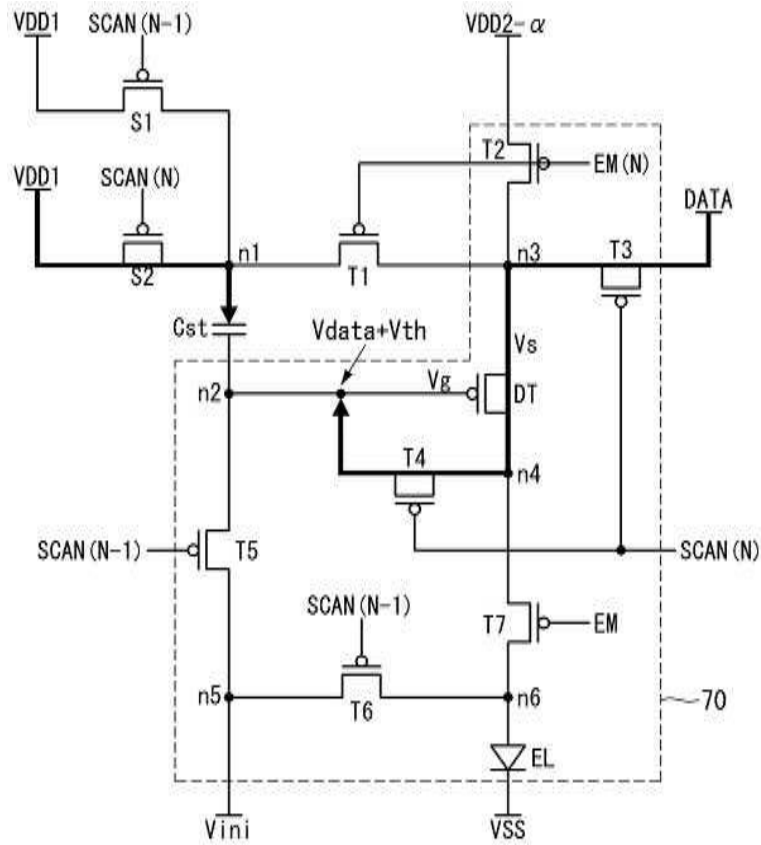
도면17



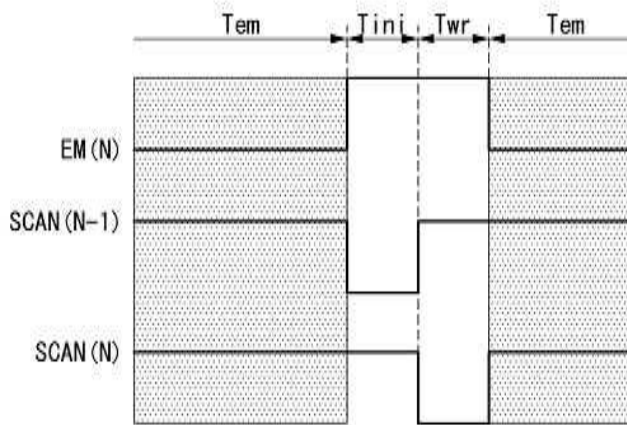
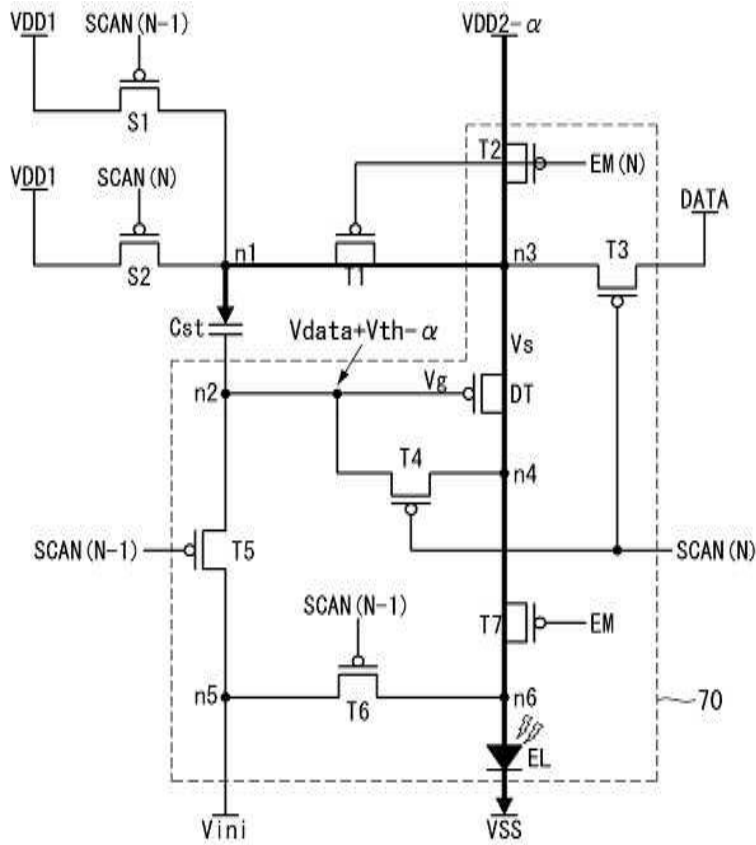
도면18



도면19



도면20



专利名称(译)	显示面板和使用其的电致发光显示器		
公开(公告)号	KR1020190002938A	公开(公告)日	2019-01-09
申请号	KR1020170083265	申请日	2017-06-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	권기태 김규진 김태훈		
发明人	권기태 김규진 김태훈		
IPC分类号	G09G3/32		
CPC分类号	G09G3/32 G09G2320/0233		
外部链接	Espacenet		

摘要(译)

显示面板和使用该显示面板的电致发光显示器技术领域本发明涉及显示面板和使用该显示面板的电致发光显示器。显示面板包括发光元件，用于驱动发光元件的驱动元件，连接到该驱动元件的电容器以及多个开关元件，以及初始化步骤和感测步骤，其中感测该驱动元件的阈值电压。在具有发光期间的发光期间的驱动步骤中驱动多个子像素。显示面板还包括电源开关电路，该电源开关电路用于在初始化步骤和感测步骤中向子像素提供第一驱动电压。通过使用内部开关元件在驱动周期中为子像素提供第二驱动电压。

