



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0096786
(43) 공개일자 2016년08월17일

(51) 국제특허분류(Int. Cl.)

H01L 27/32 (2006.01)

(52) CPC특허분류

H01L 27/3248 (2013.01)

H01L 27/3262 (2013.01)

(21) 출원번호 10-2015-0018150

(22) 출원일자 2015년02월05일

심사청구일자 없음

(71) 출원인

삼성디스플레이 주식회사

경기도 용인시 기흥구 삼성로 1 (농서동)

(72) 발명자

이정규

서울특별시 구로구 경인로 382 124동 1702호 (개
봉동, 한마을아파트)

권도현

경기도 성남시 분당구 판교원로82번길 30 1301동
2703호 (운중동, 산운마을13단지아파트)

(뒷면에 계속)

(74) 대리인

팬코리아특허법인

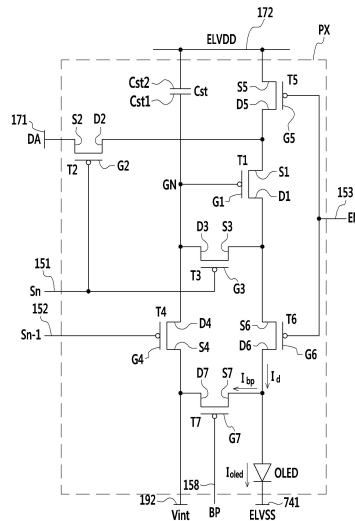
전체 청구항 수 : 총 8 항

(54) 발명의 명칭 유기 발광 표시 장치

(57) 요약

본 발명에 따른 유기 발광 표시 장치는 기관, 상기 기관 위에 형성되어 있으며 스캔 신호를 전달하는 스캔 라인, 상기 스캔 라인과 교차하며 데이터 전압 및 구동 전압을 각각 전달하는 데이터 라인 및 구동 전원 라인, 상기 스캔 라인 및 상기 데이터 라인과 연결되어 있는 스위칭 트랜지스터, 상기 스위칭 트랜지스터에 연결되어 있는 구동 트랜지스터, 상기 구동 트랜지스터와 전기적으로 연결되어 있는 유기 발광 다이오드를 포함하고, 상기 구동 전원 라인이 스토리지 캐피시터의 스토리지 전극을 형성한다.

대표도 - 도1



(72) 발명자

심동환

경기도 용인시 기흥구 삼성로 1 (농서동, 남자 사외
기숙사 월계수동 511호)

이민정

서울특별시 강남구 논현로 213, 109동 104호 (도곡
동, 역삼럭키아파트)

조승환

경기도 용인시 수지구 죽전로 87, 432동 1601호 (죽
전동, 꽃메마을현대홈타운4차3단지아파트)

명세서

청구범위

청구항 1

기관,

상기 기관 위에 형성되어 있으며 스캔 신호를 전달하는 스캔 라인,

상기 스캔 라인과 교차하며 데이터 전압 및 구동 전압을 각각 전달하는 데이터 라인 및 구동 전원 라인,

상기 스캔 라인 및 상기 데이터 라인과 연결되어 있는 스위칭 트랜지스터,

상기 스위칭 트랜지스터에 연결되어 있는 구동 트랜지스터, 그리고

상기 구동 트랜지스터와 전기적으로 연결되어 있는 유기 발광 다이오드

를 포함하고,

상기 구동 전원 라인이 스토리지 캐패시터의 스토리지 전극을 형성하는 유기 발광 표시 장치.

청구항 2

제1항에서,

상기 구동 전원 라인은,

상기 구동 트랜지스터의 구동 게이트 전극과 함께 상기 스토리지 전극을 형성하는 유기 발광 표시 장치.

청구항 3

제2항에서,

상기 기관 위에 차례로 형성되어 있는 제1 게이트 절연막, 층간 절연층 및 제2 게이트 절연막을 더 포함하고,

상기 구동 트랜지스터는,

상기 층간 절연층에 형성된 제1 구동 게이트 전극, 그리고

상기 제2 게이트 절연막에 형성된 제2 구동 게이트 전극을 포함하는 유기 발광 표시 장치.

청구항 4

제3항에서,

상기 제2 구동 게이트 전극은,

상기 구동 전원 라인과 함께 상기 스토리지 캐패시터의 스토리지 전극을 형성하는 유기 발광 표시 장치.

청구항 5

제4항에서,

상기 구동 전원 라인은,

상기 제2 구동 절연막 위에서 상기 제2 구동 게이트 전극과 중첩하여 형성되는 유기 발광 표시 장치.

청구항 6

제1항에서,

상기 기관 위에 차례로 형성되어 있는 층간 절연층, 게이트 절연막 및 보호막을 더 포함하고,

상기 스토리지 캐패시터는,

상기 게이트 절연막에 형성된 게이트 전극으로 형성되는 제1 스토리지 전극, 그리고
상기 구동 전원 라인으로 형성되는 제2 스토리지 전극을 포함하는 유기 발광 표시 장치.

청구항 7

제6항에서,
상기 구동 전원 라인은,
상기 보호막에 형성되는 유기 발광 표시 장치.

청구항 8

제7항에서,
상기 구동 전원 라인은,
상기 게이트 전극과 중첩하여 상기 제2 스토리지 전극을 형성하는 유기 발광 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명은 유기 발광 표시 장치에 관한 것이다.

배경 기술

- [0002] 유기 발광 표시 장치는 두 개의 전극과 그 사이에 위치하는 유기 발광층을 포함하며, 하나의 전극으로부터 주입된 전자(electron)와 다른 전극으로부터 주입된 정공(hole)이 유기 발광층에서 결합하여 여기자(exciton)를 형성하고, 여기자가 에너지를 방출하면서 발광한다.
- [0003] 이러한 유기 발광 표시 장치는 자발광 소자인 유기 발광 다이오드를 포함하는 복수개의 화소를 포함하며, 각 화소에는 유기 발광 다이오드를 구동하기 위한 복수개의 트랜지스터 및 스토리지 커패시터(Storage capacitor)가 형성되어 있다. 복수개의 트랜지스터는 기본적으로 스위칭 트랜지스터 및 구동 트랜지스터를 포함한다.
- [0004] 구동 트랜지스터는 유기 발광 다이오드로 흐르는 구동 전류를 제어하며, 이러한 구동 트랜지스터의 구동 게이트 노드(driving gate node)에 연결된 스토리지 커패시터에 데이터 전압을 저장하여 1 프레임(frame) 동안 유지한다. 따라서, 1 프레임 동안 구동 트랜지스터에서 유기 발광 다이오드로 일정한 양의 구동 전류를 공급하여 발광하게 된다.
- [0005] 그러나, 구동 트랜지스터의 구동 게이트 전극에 연결된 구동 게이트 노드와 데이터선 사이에 형성된 기생 커패시턴스(Parasitic Capacitance) 또는 구동 트랜지스터의 구동 게이트 노드와 스캔선의 중첩부에 형성된 기생 커패시턴스 때문에, 데이터선의 전압 변화 또는 스캔선의 스캔 신호가 구동 트랜지스터의 구동 게이트 노드의 전압에 영향을 미치게 된다. 이러한 구동 게이트 노드의 전압 변화가 유기 발광 다이오드에 흐르는 구동 전류를 변경시켜 휘도 변화를 발생시키는 수직 크로스톡(Vertical Crosstalk) 현상이 발생하게 된다.
- [0006] 이를 방지하기 위해 데이터선과 구동 게이트 노드간 각격을 최대한 멀리 형성하고 있으나, 고해상도 구조로 갈수록 화소의 크기는 작아지고, 설비 스펙 및 사진 식각 공정 능력의 한계로 인해서 공정 디자인 룰(Design Rule)이 계속 작아질 수만은 없으므로, 수직 크로스톡을 최소화하는데 한계가 있다.

발명의 내용

해결하려는 과제

[0007] 본 발명이 해결하고자 하는 과제는 고해상도 구조에서 수직 크로스톡을 최소화할 수 있는 유기 발광 표시 장치를 제공하고자 한다.

과제의 해결 수단

[0008] 본 발명의 유기 발광 표시 장치는 기판, 상기 기판 위에 형성되어 있으며 스캔 신호를 전달하는 스캔 라인, 상

기 스캔 라인과 교차하며 데이터 전압 및 구동 전압을 각각 전달하는 데이터 라인 및 구동 전원 라인, 상기 스캔 라인 및 상기 데이터 라인에 연결되어 있는 스위칭 트랜지스터, 상기 스위칭 트랜지스터에 연결되어 있는 구동 트랜지스터, 그리고 상기 구동 트랜지스터와 전기적으로 연결되어 있는 유기 발광 다이오드를 포함하고, 상기 구동 전원 라인이 스토리지 커패시터의 스토리지 전극을 형성한다.

[0009] 상기 구동 전원 라인은, 상기 구동 트랜지스터의 구동 게이트 전극과 함께 상기 스토리지 전극을 형성할 수 있다.

[0010] 상기 기판 위에 차례로 형성되어 있는 제1 게이트 절연막, 층간 절연층 및 제2 게이트 절연막을 더 포함하고, 상기 구동 트랜지스터는, 상기 층간 절연층에 형성된 제1 구동 게이트 전극, 그리고 상기 제2 게이트 절연막에 형성된 제2 구동 게이트 전극을 포함할 수 있다.

[0011] 상기 제2 구동 게이트 전극은, 상기 구동 전원 라인과 함께 상기 스토리지 커패시터의 스토리지 전극을 형성할 수 있다.

[0012] 상기 구동 전원 라인은, 상기 제2 구동 절연막 위에서 상기 제2 구동 게이트 전극과 중첩하여 형성될 수 있다.

[0013] 상기 기판 위에 차례로 형성되어 있는 층간 절연층, 게이트 절연막 및 보호막을 더 포함하고, 상기 스토리지 커패시터는, 상기 게이트 절연막에 형성된 게이트 전극으로 형성되는 제1 스토리지 전극, 그리고 상기 구동 전원 라인으로 형성되는 제2 스토리지 전극을 포함할 수 있다.

[0014] 상기 구동 전원 라인은, 상기 보호막에 형성될 수 있다.

[0015] 상기 구동 전원 라인은, 상기 게이트 전극과 중첩하여 상기 제2 스토리지 전극을 형성할 수 있다.

발명의 효과

[0016] 본 발명의 실시예에 따른 유기 발광 표시 장치에 따르면, 구동 전원 라인을 스토리지 커패시터의 스토리지 전극으로 사용함으로써, 스토리지 커패시터의 용량을 증가시켜 크로스톡을 최소화하고 구동 특성을 개선할 수 있는 구조를 제공한다.

도면의 간단한 설명

[0017] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 화소를 나타낸 회로도이다.

도 2는 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 하나의 화소에 인가되는 신호의 타이밍도이다.

도 3은 본 발명의 한 실시예에 따른 유기 발광 표시 장치의 복수개의 트랜지스터 및 커패시터를 개략적으로 도시한 도면이다.

도 4는 도 3에서 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 하나의 화소를 나타낸 배치도이다.

도 5는 도 3의 유기 발광 표시 장치를 V - V' 선을 따라 자른 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0018] 아래에서는 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다. 그리고 도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 유사한 부분에 대해서는 유사한 도면 부호를 붙였다.

[0019] 명세서 전체에서, 어떤 부분이 다른 부분과 "연결"되어 있다고 할 때, 이는 "직접적으로 연결"되어 있는 경우뿐 아니라, 그 중간에 다른 소자를 사이에 두고 "전기적으로 연결"되어 있는 경우도 포함한다. 또한 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.

[0020] 이하, 도 1 내지 도 5를 참조하여 본 발명의 일 실시예에 따른 유기 발광 표시 장치를 설명한다.

[0021] 이하, 도 1을 참조하여 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 화소의 회로를 설명한다. 여기서, 화소는 이미지를 표시하는 최소 단위를 의미할 수 있다.

- [0022] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 화소를 나타낸 회로도이다.
- [0023] 도 1에 도시된 바와 같이, 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 하나의 화소(Px)는 복수의 박막 트랜지스터(T1, T2, T3, T4, T5, T6, T7), 복수의 박막 트랜지스터(T1, T2, T3, T4, T5, T6, T7)에 선택적으로 연결되는 복수의 배선(Sn, Sn-1, Sn-2, EM, Vin, DA, ELVDD), 스토리지 커패시터(Cst), 유기 발광 소자(OLED)를 포함한다.
- [0024] 복수의 박막 트랜지스터(T1, T2, T3, T4, T5, T6, T7)는 제1 박막 트랜지스터(T1), 제2 박막 트랜지스터(T2), 제3 박막 트랜지스터(T3), 제4 박막 트랜지스터(T4), 제5 박막 트랜지스터(T5), 제6 박막 트랜지스터(T6), 제7 박막 트랜지스터(T7)를 포함한다.
- [0025] 그리고, 복수의 박막 트랜지스터 트랜지스터(T1, T2, T3, T4, T5, T6, T7)는 구동 트랜지스터(driving transistor)(T1), 스위칭 트랜지스터(switching transistor)(T2), 보상 트랜지스터(compensation transistor)(T3), 초기화 트랜지스터(initialization transistor)(T4), 동작 제어 트랜지스터(operation control transistor)(T5), 발광 제어 트랜지스터(light emission control transistor)(T6) 및 바이패스 트랜지스터(bypass transistor)(T7)를 포함한다
- [0026] 제1 박막 트랜지스터(T1)의 제1 게이트 전극(G1)은 제3 박막 트랜지스터(T3)의 제3 드레인 전극(D3) 및 제4 박막 트랜지스터(T4)의 제4 드레인 전극(D4) 각각에 연결되어 있고, 제1 소스 전극(S1)은 제2 박막 트랜지스터(T2)의 제2 드레인 전극(D2) 및 제5 박막 트랜지스터(T5)의 제5 드레인 전극(D5)에 연결되어 있고, 제1 드레인 전극(D1)은 제3 박막 트랜지스터(T3)의 제3 소스 전극(S3) 및 제6 박막 트랜지스터(T6)의 제6 소스 전극(S6) 각각에 연결되어 있다.
- [0027] 제2 박막 트랜지스터(T2)의 제2 게이트 전극(G2)은 제1 스캔 라인(Sn)과 연결되어 있고, 제2 소스 전극(S2)은 데이터 라인(DA)과 연결되어 있으며, 제2 드레인 전극(D2)은 제1 박막 트랜지스터(T1)의 제1 소스 전극(S1)과 연결되어 있다.
- [0028] 제3 박막 트랜지스터(T3)의 제3 게이트 전극(G3)은 제1 스캔 라인(Sn)과 연결되어 있고, 제3 소스 전극(S3)은 제1 박막 트랜지스터(T1)의 제1 드레인 전극(D1)과 연결되어 있으며, 제3 드레인 전극(D3)은 제1 박막 트랜지스터(T1)의 제1 게이트 전극(G1)과 연결되어 있다.
- [0029] 제4 박막 트랜지스터(T4)의 제4 게이트 전극(G4)은 제2 스캔 라인(Sn-1)과 연결되어 있고, 제4 소스 전극(S4)은 초기화 전원 라인(Vin)과 연결되어 있으며, 제4 드레인 전극(D4)은 제1 박막 트랜지스터(T1)의 제1 게이트 전극(G1)과 연결되어 있다.
- [0030] 제5 박막 트랜지스터(T5)의 제5 게이트 전극(G5)은 발광 제어 라인(EM)과 연결되어 있고, 제5 소스 전극(S5)은 구동 전원 라인(ELVDD)과 연결되어 있으며, 제5 드레인 전극(D5)은 제1 박막 트랜지스터(T1)의 제1 소스 전극(S1)과 연결되어 있다.
- [0031] 제6 박막 트랜지스터(T6)의 제6 게이트 전극(G6)은 발광 제어 라인(EM)과 연결되어 있으며, 제6 소스 전극(S6)은 제1 박막 트랜지스터(T1)의 제1 드레인 전극(D1)과 연결되어 있다.
- [0032] 제7 박막 트랜지스터(T7)의 제7 게이트 전극(G7)은 바이패스 신호(BP)를 전달하는 바이패스 제어선인 제3 스캔 라인(Sn-2)과 연결되어 있고, 제7 소스 전극(S7)은 유기 발광 소자(OLED)와 연결되어 있으며, 제7 드레인 전극(D7)은 제4 박막 트랜지스터(T4)의 제4 소스 전극(S4)과 연결되어 있다.
- [0033] 복수의 배선들은 제2 박막 트랜지스터(T2) 및 제3 박막 트랜지스터(T3) 각각의 제2 게이트 전극(G2) 및 제3 게이트 전극(G3) 각각에 제1 스캔 신호를 전달하는 제1 스캔 라인(Sn), 제4 박막 트랜지스터(T4)의 제4 게이트 전극(G4)에 제2 스캔 신호를 전달하는 제2 스캔 라인(Sn-1), 제7 박막 트랜지스터(T7)의 제7 게이트 전극(G7)에 제3 스캔 신호를 전달하는 제3 스캔 라인(Sn-2), 제5 박막 트랜지스터(T5) 및 제6 박막 트랜지스터(T6) 각각의 제5 게이트 전극(G5) 및 제6 게이트 전극(G6) 각각에 발광 제어 신호를 전달하는 발광 제어 라인(EM), 제2 박막 트랜지스터(T2)의 제2 소스 전극(S2)에 데이터 신호를 전달하는 데이터 라인(DA), 스토리지 커패시터(Cst)의 일 전극 및 제5 박막 트랜지스터(T5)의 제5 소스 전극(S5) 각각에 구동 신호를 공급하는 구동 전원 라인(ELVDD), 제4 박막 트랜지스터(T4)의 제4 소스 전극(S4)에 초기화 신호를 공급하는 초기화 전원 라인(Vin)을 포함한다. 여기서, 데이터 라인(DA), 구동 전원 라인(ELVDD)은 데이터 배선으로 형성될 수 있다.
- [0034] 그리고, 스토리지 커패시터(Cst)는 구동 전원 라인(ELVDD)과 연결된 일 전극과 제1 게이트 전극(G1) 및 제3 박

막 트랜지스터(T3)의 제3 드레인 전극(D3) 각각과 연결된 타 전극을 포함한다.

- [0035] 유기 발광 소자(OLED)는 제1 전극, 제1 전극 상에 위치하는 제2 전극, 제1 전극과 제2 전극 사이에 위치하는 유기 발광층을 포함한다. 유기 발광 소자(OLED)의 제1 전극은 제7 박막 트랜지스터(T7)의 제7 소스 전극(S7) 및 제6 박막 트랜지스터(T6)의 제6 드레인 전극(D6) 각각과 연결되어 있으며, 제2 전극은 공통 신호가 전달되는 공통 전원(ELVSS)과 연결된다.
- [0036] 이러한 화소 회로는 구동의 일례로서, 우선, 제3 스캔 라인(Sn-2)에 바이패스 신호(BP)인 제3 스캔 신호가 전달되어 제7 박막 트랜지스터(T7)가 턴 온(turn on)되면, 유기 발광 소자(OLED)의 제1 전극에 흐르는 잔류 전류가 제7 박막 트랜지스터(T7)를 통해 제4 박막 트랜지스터(T4)로 빠져나감으로써, 유기 발광 소자(OLED)의 제1 전극에 흐르는 잔류 전류에 의한 유기 발광 소자(OLED)의 의도치 않은 발광이 억제된다.
- [0037] 다음, 제2 스캔 라인(Sn-1)에 제2 스캔 신호가 전달되고, 초기화 전원 라인(Vin)에 초기화 신호가 전달되면, 제4 박막 트랜지스터(T4)가 턴 온되어 초기화 신호에 의한 초기화 전압이 제4 박막 트랜지스터(T4)를 통해 제1 박막 트랜지스터(T1)의 제1 게이트 전극(G1) 및 스토리지 커패시터(Cst)의 타 전극에 공급되며, 이로 인해 제1 게이트 전극(G1) 및 스토리지 커패시터(Cst)가 초기화된다. 이때, 제1 게이트 전극(G1)이 초기화되면서 제1 박막 트랜지스터(T1)가 턴 온된다.
- [0038] 다음, 제1 스캔 라인(Sn)에 제1 스캔 신호가 전달되고, 데이터 라인(DA)에 데이터 신호가 전달되면, 제2 박막 트랜지스터(T2) 및 제3 박막 트랜지스터(T3) 각각이 턴 온되어 데이터 신호에 의한 데이터 전압(Vd)이 제2 박막 트랜지스터(T2), 제1 박막 트랜지스터(T1), 제3 박막 트랜지스터(T3)를 통해 제1 게이트 전극(G1)에 공급된다. 이때, 제1 게이트 전극(G1)에 공급되는 전압은 최초 데이터 라인(DA)으로부터 공급된 데이터 전압(Vd)으로부터 제1 박막 트랜지스터(T1)의 문턱 전압(Threshold voltage, Vth)만큼 감소한 보상 전압{Vd+Vth, Vth는 (-)의 값}이 공급된다. 제1 게이트 전극(G1)에 공급되는 보상 전압(Vd+Vth)은 제1 게이트 전극(G1)에 연결된 스토리지 커패시터(Cst)의 타 전극에도 공급된다.
- [0039] 다음, 스토리지 커패시터(Cst)의 일 전극에는 구동 전원 라인(ELVDD)으로부터 구동 신호에 의한 구동 전압(Ve1)이 공급되고, 타 전극에는 상술한 보상 전압(Vd+Vth)이 공급됨으로써, 스토리지 커패시터(Cst)에는 양 전극에 각각에 인가되는 전압 차에 대응하는 전하가 저장되어 일정 시간 동안 제1 박막 트랜지스터(T1)가 턴 온된다.
- [0040] 다음, 발광 제어 라인(EM)에 발광 제어 신호가 인가되면, 제5 박막 트랜지스터(T5) 및 제6 박막 트랜지스터(T6) 각각이 턴 온되어 구동 전원 라인(ELVDD)으로부터 구동 신호에 의한 구동 전압(Ve1)이 제5 박막 트랜지스터(T5)를 통해 제1 박막 트랜지스터(T1)로 공급된다.
- [0041] 그러면, 구동 전압(Ve1)이 스토리지 커패시터(Cst)에 의해 턴 온되어 있는 제1 박막 트랜지스터(T1)를 통과하면서, 스토리지 커패시터(Cst)에 의해 제1 게이트 전극(G1)에 공급되는 전압과 구동 전압(Ve1) 간의 전압차에 대응하는 구동 전류(Id)가 제1 박막 트랜지스터(T1)의 제1 드레인 전극(D1)을 흐르게 되고, 이 구동 전류(Id)가 제6 박막 트랜지스터(T6)를 통해 유기 발광 소자(OLED)로 공급되어 유기 발광 소자(OLED) 일정 시간 동안 발광된다.
- [0042] 한편, 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 화소 회로는 제1 박막 트랜지스터(T1) 내지 제7 박막 트랜지스터(T7), 스토리지 커패시터(Cst), 제1 스캔 라인(Sn) 내지 제3 스캔 라인(Sn-2), 데이터 라인(DA), 구동 전원 라인(ELVDD), 초기화 전원 라인(Vin)으로 구성되었으나, 이에 한정되지 않고 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 화소 회로는 2개 이상인 복수의 박막 트랜지스터, 하나 이상의 커패시터, 하나 이상의 스캔 라인 및 하나 이상의 구동 전원 라인을 포함하는 배선들로 구성될 수 있다.
- [0043] 이하에서 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 하나의 화소의 구체적인 동작 과정을 도 2를 참고하여 상세히 설명한다.
- [0044] 도 2는 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 하나의 화소에 인가되는 신호의 타이밍도이다.
- [0045] 도 2에 도시한 바와 같이, 우선, 초기화 기간 동안 전단 스캔선(152)을 통해 로우 레벨(low level)의 전단 스캔 신호(Sn-1)가 공급된다. 그러면, 로우 레벨의 전단 스캔 신호(Sn-1)에 대응하여 초기화 트랜지스터(T4)가 턴 온(Turn on)되며, 초기화 전압선(192)으로부터 초기화 트랜지스터(T4)를 통해 초기화 전압(Vint)이 구동 트랜지스터(T1)의 게이트 전극(G1)에 연결되고, 초기화 전압(Vint)에 의해 구동 트랜지스터(T1)가 초기화된다.
- [0046] 이 후, 데이터 프로그래밍 기간 중 스캔선(151)을 통해 로우 레벨의 스캔 신호(Sn)가 공급된다. 그러면, 로우 레벨의 스캔 신호(Sn)에 대응하여 스위칭 트랜지스터(T2) 및 보상 트랜지스터(T3)가 턴 온된다. 이 때, 구동

트랜지스터(T1)는 턴 온된 보상 트랜지스터(T3)에 의해 다이오드 연결되고, 순방향으로 바이어스 된다.

[0047] 그러면, 데이터선(171)으로부터 공급된 데이터 신호(Dm)에서 구동 트랜지스터(T1)의 문턱 전압(Threshold voltage, V_{th})만큼 감소한 보상 전압($Dm+V_{th}$, V_{th} 는 (-)의 값)이 구동 트랜지스터(T1)의 게이트 전극(G1)에 인가된다. 스토리지 커패시터(Cst)의 양단에는 구동 전압(ELVDD)과 보상 전압($Dm+V_{th}$)이 인가되고, 스토리지 커패시터(Cst)에는 양단 전압 차에 대응하는 전하가 저장된다.

[0048] 이 후, 발광 기간 동안 발광 제어선(153)으로부터 공급되는 발광 제어 신호(EM)가 하이 레벨에서 로우 레벨로 변경된다. 그러면, 발광 기간 동안 로우 레벨의 발광 제어 신호(EM)에 의해 동작 제어 트랜지스터(T5) 및 발광 제어 트랜지스터(T6)가 턴 온된다.

[0049] 그러면, 구동 트랜지스터(T1)의 게이트 전극(G1)의 게이트 전압과 구동 전압(ELVDD) 간의 전압차에 따르는 구동 전류(I_d)가 발생하고, 발광 제어 트랜지스터(T6)를 통해 구동 전류(I_d)가 유기 발광 다이오드(OLED)에 공급된다. 발광 기간동안 스토리지 커패시터(Cst)에 의해 구동 트랜지스터(T1)의 구동 게이트-소스 전압(V_{gs})은 ' $(Dm+V_{th})-ELVDD$ '으로 유지되고, 구동 트랜지스터(T1)의 전류-전압 관계에 따르면, 구동 전류(I_d)는 구동 게이트-소스 전압에서 문턱 전압을 차감한 값의 제곱 ' $(Dm-ELVDD)^2$ '에 비례한다. 따라서 구동 전류(I_d)는 구동 트랜지스터(T1)의 문턱 전압(V_{th})에 관계 없이 결정된다.

[0050] 이 때, 바이패스 트랜지스터(T7)는 바이패스 제어선(158)으로부터 바이패스 신호(BP)를 전달받는다. 바이패스 신호(BP)는 바이패스 트랜지스터(T7)를 항상 오프시킬 수 있는 소정 레벨의 전압으로서, 바이패스 트랜지스터(T7)는 트랜지스터 오프 레벨의 전압을 게이트 전극(G7)에 전달받게 됨으로써, 바이패스 트랜지스터(T7)가 항상 오프되고, 오프된 상태에서 구동 전류(I_d)의 일부는 바이패스 전류(I_{bp})로 바이패스 트랜지스터(T7)를 통해 빠져나가게 한다.

[0051] 블랙 영상을 표시하는 구동 트랜지스터(T1)의 최소 전류가 구동 전류로 흐를 경우에도 유기 발광 다이오드(OLED)가 발광하게 된다면 제대로 블랙 영상이 표시되지 않는다. 따라서, 본 발명의 일 실시예에 따른 폴더블 표시 장치의 바이패스 트랜지스터(T7)는 구동 트랜지스터(T1)의 최소 전류의 일부를 바이패스 전류(I_{bp})로서 유기 발광 다이오드 쪽의 전류 경로 외의 다른 전류 경로로 분산시킬 수 있다. 여기서 구동 트랜지스터(T1)의 최소 전류란 구동 트랜지스터(T1)의 구동 게이트-소스 전압(V_{gs})이 문턱 전압(V_{th})보다 작아서 구동 트랜지스터(T1)가 오프되는 조건에서의 전류를 의미한다. 이렇게 구동 트랜지스터(T1)를 오프시키는 조건에서의 최소 구동 전류(예를 들어 10pA 이하의 전류)가 유기 발광 다이오드(OLED)에 전달되어 블랙 휘도의 영상으로 표현된다. 블랙 영상을 표시하는 최소 구동 전류가 흐르는 경우 바이패스 전류(I_{bp})의 우회 전달의 영향이 큰 반면, 일반 영상 또는 화이트 영상과 같은 영상을 표시하는 큰 구동 전류가 흐를 경우에는 바이패스 전류(I_{bp})의 영향이 거의 없다고 할 수 있다. 따라서, 블랙 영상을 표시하는 구동 전류가 흐를 경우에 구동 전류(I_d)로부터 바이패스 트랜지스터(T7)를 통해 빠져나온 바이패스 전류(I_{bp})의 전류량만큼 감소된 유기 발광 다이오드(OLED)의 발광 전류(I_{oled})는 블랙 영상을 확실하게 표현할 수 있는 수준으로 최소의 전류량을 가지게 된다. 따라서, 바이패스 트랜지스터(T7)를 이용하여 정확한 블랙 휘도 영상을 구현하여 콘트라스트비를 향상시킬 수 있다. 도 2에서는 바이패스 신호(BP)는 전단 스캔 신호($Sn-1$)와 동일하나, 반드시 이에 한정되는 것은 아니다.

[0052] 이하, 도 3 및 도 4를 참조하여 상술한 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 화소의 배치를 설명한다.

[0053] 도 3은 본 발명의 한 실시예에 따른 유기 발광 표시 장치의 복수개의 트랜지스터 및 커패시터를 개략적으로 도시한 도면이다. 도 4는 도 3에서 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 하나의 화소(OLED1)를 나타낸 배치도이다.

[0054] 도 3을 참조하면, 본 발명의 한 실시예에 따른 유기 발광 표시 장치는 복수개의 화소(OLED)를 포함하며, 각각의 화소(OLED1, OLED2)는 대칭되는 구조를 형성한다.

[0055] 각각의 화소(OLED1, OLED2)에는 도 3에 도시된 바와 같이 스캔 라인(Sn , Sn), 발광 제어 라인(EM), 구동 전원 라인(ELVDD) 및 데이터 배선(DW) 등이 배치된다. 그리고, 각각의 화소(OLED1, OLED2)에 형성된 구동 전원 라인(ELVDD)과 데이터 배선(DW)은 대칭되는 구조를 갖는다.

[0056] 그리고, 구동 전원 라인(ELVDD)은 하나의 배선으로 형성되며, 제1 화소(OLED1) 및 제2 화소(OLED2) 사이에서 대칭 구조를 갖고 형성된다. 또한, 구동 전원 라인(ELVDD)은 스토리지 커패시터(Cst)의 일전극을 형성한다. 구동 전원 라인(ELVDD)은 제1 스토리지 전극(Cst1)과 함께 스토리지 커패시터(Cst)를 형성한다.

- [0057] 이하에서는 도 4를 참조하여 유기 발광 표시 장치의 제1 화소(OLED1)에 대해서 상세히 설명하며, 제2 화소(OLED2)는 제1 화소(OLED1)와 동일하므로 이하 설명에서는 생략한다.
- [0058] 도 1, 도 3 및 도 4에 도시된 바와 같이, 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 기판(110), 제1 박막 트랜지스터(T1), 제2 박막 트랜지스터(T2), 제3 박막 트랜지스터(T3), 제4 박막 트랜지스터(T4), 제5 박막 트랜지스터(T5), 제6 박막 트랜지스터(T6), 제7 박막 트랜지스터(T7), 제1 스캔 라인(Sn), 제2 스캔 라인(Sn-1)이나 제3 스캔 라인(Sn-2), 발광 제어 라인(EM), 스토리지 커패시터(Cst), 데이터 배선(DW)인 데이터 라인(DA)과 구동 전원 라인(ELVDD)과 게이트 브릿지(GB), 초기화 전원 라인(Vin), 유기 발광 소자(OLED)를 포함한다.
- [0059] 도 3에서, 제2 스캔 라인(Sn-1) 및 제3 스캔 라인(Sn-2)은 하나의 스캔 라인으로 도시하였으나, 이에 한정되지 않고, 제2 스캔 라인(Sn-1) 및 제3 스캔 라인(Sn-2)은 서로 이격된 각각의 스캔 라인으로 위치할 수 있다.
- [0060] 기판(110)은 유리, 석영, 세라믹, 사파이어, 플라스틱, 금속 등으로 형성될 수 있으며, 플렉서블(flexible)하거나, 스트레처블(stretchable)하거나, 롤러블(rollable)하거나, 폴더블(foldable)할 수 있다. 기판(SUB)이 플렉서블하거나, 스트레처블하거나, 롤러블하거나, 폴더블함으로써, 전체적인 유기 발광 표시 장치가 플렉서블하거나, 스트레처블하거나, 롤러블하거나, 폴더블할 수 있다.
- [0061] 제1 박막 트랜지스터(T1)는 기판(SUB) 상에 위치하며, 제1 액티브 패턴(A1) 및 제1 게이트 전극(G1)을 포함한다.
- [0062] 제1 액티브 패턴(A1)은 제1 소스 전극(S1), 제1 채널(C1), 제1 드레인 전극(D1)을 포함한다. 제1 소스 전극(S1)은 제2 박막 트랜지스터(T2)의 제2 드레인 전극(D2) 및 제5 박막 트랜지스터(T5)의 제5 드레인 전극(D5) 각각과 연결되어 있으며, 제1 드레인 전극(D1)은 제3 박막 트랜지스터(T3)의 제3 소스 전극(S3) 및 제6 박막 트랜지스터(T6)의 제6 소스 전극(S6) 각각과 연결되어 있다. 제1 게이트 전극(G1)과 중첩하는 제1 액티브 패턴(A1)의 채널 영역인 제1 채널(C1)은 한 번 이상 절곡 연장된 형태를 가지고 있으며, 제1 채널(C1)이 한정된 공간인 제1 게이트 전극(G1)과 중첩하는 공간 내에서 한 번 이상 절곡 연장되어 있음으로써, 제1 채널(C1)의 길이를 길게 형성할 수 있기 때문에, 제1 게이트 전극(G1)에 인가되는 게이트 전압의 구동 범위(driving range)를 넓게 형성할 수 있다. 이로 인해, 제1 게이트 전극(G1)에 인가되는 게이트 전압의 크기를 넓은 구동 범위 내에서 변화시켜 유기 발광 소자(OLED)로부터 발광되는 빛의 계조를 보다 세밀하게 제어함으로써, 유기 발광 표시 장치로부터 표시되는 이미지의 품질이 향상될 수 있다. 이러한 제1 액티브 패턴(A1)은 그 형태가 다양하게 변형될 수 있으며, 일례로 '역S', 'S', 'M', 'W' 등의 다양한 형태로 변형될 수 있다.
- [0063] 제1 액티브 패턴(A1)은 폴리 실리콘 또는 산화물 반도체로 이루어질 수 있다. 산화물 반도체는 티타늄(Ti), 하프늄(Hf), 지르코늄(Zr), 알루미늄(Al), 탄탈륨(Ta), 게르마늄(Ge), 아연(Zn), 갈륨(Ga), 주석(Sn) 또는 인듐(In)을 기본으로 하는 산화물, 이들의 복합 산화물인 산화아연(ZnO), 인듐-갈륨-아연 산화물(InGaZnO4), 인듐-아연 산화물(Zn-In-O), 아연-주석 산화물(Zn-Sn-O) 인듐-갈륨 산화물 (In-Ga-O), 인듐-주석 산화물(In-Sn-O), 인듐-지르코늄 산화물(In-Zr-O), 인듐-지르코늄-아연 산화물(In-Zr-Zn-O), 인듐-지르코늄-주석 산화물(In-Zr-Sn-O), 인듐-지르코늄-갈륨 산화물(In-Zr-Ga-O), 인듐-알루미늄 산화물(In-Al-O), 인듐-아연-알루미늄 산화물(In-Zn-Al-O), 인듐-주석-알루미늄 산화물(In-Sn-Al-O), 인듐-알루미늄-갈륨 산화물(In-Al-Ga-O), 인듐-탄탈륨 산화물(In-Ta-O), 인듐-탄탈륨-아연 산화물(In-Ta-Zn-O), 인듐-탄탈륨-주석 산화물(In-Ta-Sn-O), 인듐-탄탈륨-갈륨 산화물(In-Ta-Ga-O), 인듐-게르마늄 산화물(In-Ge-O), 인듐-게르마늄-아연 산화물(In-Ge-Zn-O), 인듐-게르마늄-주석 산화물(In-Ge-Sn-O), 인듐-게르마늄-갈륨 산화물(In-Ge-Ga-O), 티타늄-인듐-아연 산화물(Ti-In-Zn-O), 하프늄-인듐-아연 산화물(Hf-In-Zn-O) 중 어느 하나를 포함할 수 있다. 제1 액티브 패턴(A1)이 산화물 반도체로 이루어지는 경우에는 고온 등의 외부 환경에 취약한 산화물 반도체를 보호하기 위해 별도의 보호층이 추가될 수 있다.
- [0064] 제1 액티브 패턴(A1)의 제1 채널(C1)은 N형 불순물 또는 P형 불순물로 채널 도핑될 수 있으며, 제1 소스 전극(S1) 및 제1 드레인 전극(D1) 각각은 제1 채널(C1)을 사이에 두고 이격되어 제1 채널(C1)에 도핑된 도핑 불순물과 반대 타입의 도핑 불순물이 도핑될 수 있다.
- [0065] 제1 게이트 전극(G1)은 제1 액티브 패턴(A1)의 제1 채널(C1) 상에 위치하고 있으며, 섬(island) 형태를 가지고 있다. 제1 게이트 전극(G1)은 층간 절연층(ILD)에 위치하며, 제4 박막 트랜지스터(T4)의 제4 드레인 전극(D4) 및 제3 박막 트랜지스터(T3)의 제3 드레인 전극(D3)과 연결되어 있다. 제1 게이트 전극(G1)은 스토리지 커패시터 전극(CE)과 중첩하고 있으며, 제1 박막 트랜지스터(T1)의 게이트 전극으로서 기능하는 동시에 스토리지 커패

시터(Cst)의 타 전극으로서도 기능할 수 있다. 즉, 제1 게이트 전극(G1)은 스토리지 커패시터 전극(CE)과 함께 스토리지 커패시터(Cst)를 형성한다. 제1 게이트 전극(G1)은 메탈(metal)로 형성될 수 있다.

- [0066] 제2 박막 트랜지스터(T2)는 기판(110) 상에 위치하며, 제2 액티브 패턴(A2) 및 제2 게이트 전극(G2)을 포함한다.
- [0067] 제2 액티브 패턴(A2)은 제2 소스 전극(S2), 제2 채널(C2), 제2 드레인 전극(D2)을 포함한다. 제2 소스 전극(S2)은 데이터 라인(DA)과 연결되어 있으며, 제2 드레인 전극(D2)은 제1 박막 트랜지스터(T1)의 제1 소스 전극(S1)과 연결되어 있다. 제2 게이트 전극(G2)과 중첩하는 제2 액티브 패턴(A2)의 채널 영역인 제2 채널(C2)은 제2 소스 전극(S2)과 제2 드레인 전극(D2) 사이에 위치하고 있다. 즉, 제2 액티브 패턴(A2)은 제1 액티브 패턴(A1)과 연결되어 있다.
- [0068] 제2 액티브 패턴(A2)의 제2 채널(C2)은 N형 불순물 또는 P형 불순물로 채널 도핑될 수 있으며, 제2 소스 전극(S2) 및 제2 드레인 전극(D2) 각각은 제1 채널(C1)을 사이에 두고 이격되어 제1 채널(C1)에 도핑된 도핑 불순물과 반대 타입의 도핑 불순물이 도핑될 수 있다. 제2 액티브 패턴(A2)은 제1 액티브 패턴(A1)과 동일한 층에 위치하며, 제1 액티브 패턴(A1)과 동일한 재료로 형성되며, 제1 액티브 패턴(A1)과 일체로 형성되어 있다.
- [0069] 제2 게이트 전극(G2)은 제2 액티브 패턴(A2)의 제2 채널(C2) 상에 위치하고 있으며, 제1 스캔 라인(Sn)과 일체로 형성되어 있다.
- [0070] 제3 박막 트랜지스터(T3)는 기판(110) 상에 위치하며, 제3 액티브 패턴(A3) 및 제3 게이트 전극(G3)을 포함한다.
- [0071] 제3 액티브 패턴(A3)은 제3 소스 전극(S3), 제3 채널(C3), 제3 드레인 전극(D3)을 포함한다. 제3 소스 전극(S3)은 제1 드레인 전극(D1)과 연결되어 있으며, 제3 드레인 전극(D3)은 제1 박막 트랜지스터(T1)의 제1 게이트 전극(G1)과 연결되어 있다. 제3 게이트 전극(G3)과 중첩하는 제3 액티브 패턴(A3)의 채널 영역인 제3 채널(C3)은 제3 소스 전극(S3)과 제3 드레인 전극(D3) 사이에 위치하고 있다. 즉, 제3 액티브 패턴(A3)은 제1 액티브 패턴(A1)과 제1 게이트 전극(G1) 사이를 연결하고 있다.
- [0072] 제3 액티브 패턴(A3)의 제3 채널(C3)은 N형 불순물 또는 P형 불순물로 채널 도핑될 수 있으며, 제3 소스 전극(S3) 및 제3 드레인 전극(D3) 각각은 제3 채널(C3)을 사이에 두고 이격되어 제3 채널(C3)에 도핑된 도핑 불순물과 반대 타입의 도핑 불순물이 도핑될 수 있다. 제3 액티브 패턴(A3)은 제1 액티브 패턴(A1) 및 제2 액티브 패턴(A2)과 동일한 층에 위치하며, 제1 액티브 패턴(A1) 및 제2 액티브 패턴(A2)과 동일한 재료로 형성되며, 제1 액티브 패턴(A1) 및 제2 액티브 패턴(A2)과 일체로 형성되어 있다.
- [0073] 제3 게이트 전극(G3)은 제3 액티브 패턴(A3)의 제3 채널(C3) 상에 위치하고 있으며, 제1 스캔 라인(Sn)과 일체로 형성되어 있다. 제3 게이트 전극(G3)은 듀얼 게이트(dual gate) 전극으로서 형성되어 있다.
- [0074] 제4 박막 트랜지스터(T4)는 기판(SUB) 상에 위치하며, 제4 액티브 패턴(A4) 및 제4 게이트 전극(G4)을 포함한다.
- [0075] 제4 액티브 패턴(A4)은 제4 소스 전극(S4), 제4 채널(C4), 제4 드레인 전극(D4)을 포함한다. 제4 소스 전극(S4)은 콘택홀을 통해 초기화 전원 라인(Vin)과 연결되어 있으며, 제4 드레인 전극(D4)은 제1 박막 트랜지스터(T1)의 제1 게이트 전극(G1)과 연결되어 있다. 제4 게이트 전극(G4)과 중첩하는 제4 액티브 패턴(A4)의 채널 영역인 제4 채널(C4)은 제4 소스 전극(S4)과 제4 드레인 전극(D4) 사이에 위치하고 있다. 즉, 제4 액티브 패턴(A4)은 초기화 전원 라인(Vin)과 제1 게이트 전극(G1) 사이를 연결하는 동시에, 제3 액티브 패턴(A3)과 제1 게이트 전극(G1) 각각과 연결되어 있다.
- [0076] 제4 액티브 패턴(A4)의 제4 채널(C4)은 N형 불순물 또는 P형 불순물로 채널 도핑될 수 있으며, 제4 소스 전극(S4) 및 제4 드레인 전극(D4) 각각은 제4 채널(C4)을 사이에 두고 이격되어 제4 채널(C4)에 도핑된 도핑 불순물과 반대 타입의 도핑 불순물이 도핑될 수 있다. 제4 액티브 패턴(A4)은 제1 액티브 패턴(A1), 제2 액티브 패턴(A2), 제3 액티브 패턴(A3)과 동일한 층에 위치하며, 제1 액티브 패턴(A1), 제2 액티브 패턴(A2), 제3 액티브 패턴(A3)과 동일한 재료로 형성되며, 제1 액티브 패턴(A1), 제2 액티브 패턴(A2), 제3 액티브 패턴(A3)과 일체로 형성되어 있다.
- [0077] 제4 게이트 전극(G4)은 제4 액티브 패턴(A4)의 제4 채널(C4) 상에 위치하고 있으며, 제2 스캔 라인(Sn-1)과 일체로 형성되어 있다. 제4 게이트 전극(G4)은 듀얼 게이트(dual gate) 전극으로서 형성되어 있다.

- [0078] 제5 박막 트랜지스터(T5)는 기판(SUB) 상에 위치하며, 제5 액티브 패턴(A5) 및 제5 게이트 전극(G5)을 포함한다.
- [0079] 제5 액티브 패턴(A5)은 제5 소스 전극(S5), 제5 채널(C5), 제5 드레인 전극(D5)을 포함한다. 제5 소스 전극(S5)은 구동 전원 라인(ELVDD)과 연결되어 있으며, 제5 드레인 전극(D5)은 제1 박막 트랜지스터(T1)의 제1 소스 전극(S1)과 연결되어 있다. 제5 게이트 전극(G5)과 중첩하는 제5 액티브 패턴(A5)의 채널 영역인 제5 채널(C5)은 제5 소스 전극(S5)과 제5 드레인 전극(D5) 사이에 위치하고 있다. 즉, 제5 액티브 패턴(A5)은 구동 전원 라인(ELVDD)과 제1 액티브 패턴(A1) 사이를 연결하고 있다.
- [0080] 제5 액티브 패턴(A5)의 제5 채널(C5)은 N형 불순물 또는 P형 불순물로 채널 도핑될 수 있으며, 제5 소스 전극(S5) 및 제5 드레인 전극(D5) 각각은 제5 채널(C5)을 사이에 두고 이격되어 제5 채널(C5)에 도핑된 도핑 불순물과 반대 타입의 도핑 불순물이 도핑될 수 있다. 제5 액티브 패턴(A5)은 제1 액티브 패턴(A1), 제2 액티브 패턴(A2), 제3 액티브 패턴(A3), 제4 액티브 패턴(A4)과 동일한 층에 위치하며, 제1 액티브 패턴(A1), 제2 액티브 패턴(A2), 제3 액티브 패턴(A3), 제4 액티브 패턴(A4)과 동일한 재료로 형성되며, 제1 액티브 패턴(A1), 제2 액티브 패턴(A2), 제3 액티브 패턴(A3), 제4 액티브 패턴(A4)과 일체로 형성되어 있다.
- [0081] 제5 게이트 전극(G5)은 제5 액티브 패턴(A5)의 제5 채널(C5) 상에 위치하고 있으며, 발광 제어 라인(EM)과 일체로 형성되어 있다.
- [0082] 제6 박막 트랜지스터(T6)는 기판(SUB) 상에 위치하며, 제6 액티브 패턴(A6) 및 제6 게이트 전극(G6)을 포함한다.
- [0083] 제6 액티브 패턴(A6)은 제6 소스 전극(S6), 제6 채널(C6), 제6 드레인 전극(D6)을 포함한다. 제6 소스 전극(S6)은 제1 박막 트랜지스터(T1)의 제1 드레인 전극(D1)과 연결되어 있으며, 제6 드레인 전극(D6)은 컨택홀을 통해 유기 발광 소자(OLED)의 제1 전극(E1)과 연결되어 있다. 제6 게이트 전극(G6)과 중첩하는 제6 액티브 패턴(A6)의 채널 영역인 제6 채널(C6)은 제6 소스 전극(S6)과 제6 드레인 전극(D6) 사이에 위치하고 있다. 즉, 제6 액티브 패턴(A6)은 제1 액티브 패턴(A1)과 유기 발광 소자(OLED)의 제1 전극(E1) 사이를 연결하고 있다.
- [0084] 제6 액티브 패턴(A6)의 제6 채널(C6)은 N형 불순물 또는 P형 불순물로 채널 도핑될 수 있으며, 제6 소스 전극(S6) 및 제6 드레인 전극(D6) 각각은 제6 채널(C6)을 사이에 두고 이격되어 제6 채널(C6)에 도핑된 도핑 불순물과 반대 타입의 도핑 불순물이 도핑될 수 있다. 제6 액티브 패턴(A6)은 제1 액티브 패턴(A1), 제2 액티브 패턴(A2), 제3 액티브 패턴(A3), 제4 액티브 패턴(A4), 제5 액티브 패턴(A5)과 동일한 층에 위치하며, 제1 액티브 패턴(A1), 제2 액티브 패턴(A2), 제3 액티브 패턴(A3), 제4 액티브 패턴(A4), 제5 액티브 패턴(A5)과 동일한 재료로 형성되며, 제1 액티브 패턴(A1), 제2 액티브 패턴(A2), 제3 액티브 패턴(A3), 제4 액티브 패턴(A4), 제5 액티브 패턴(A5)과 일체로 형성되어 있다.
- [0085] 제6 게이트 전극(G6)은 제6 액티브 패턴(A6)의 제6 채널(C6) 상에 위치하고 있으며, 발광 제어 라인(EM)과 일체로 형성되어 있다.
- [0086] 제7 박막 트랜지스터(T7)는 기판(SUB) 상에 위치하며, 제7 액티브 패턴(A7) 및 제7 게이트 전극(G7)을 포함한다.
- [0087] 제7 액티브 패턴(A7)은 제7 소스 전극(S7), 제7 채널(C7), 제7 드레인 전극(D7)을 포함한다. 제7 소스 전극(S7)은 도 2에 도시되지 않은 다른 화소(도 2에 도시된 화소의 상측에 위치하는 화소일 수 있다.)의 유기 발광 소자의 제1 전극과 연결되어 있으며, 제7 드레인 전극(D7)은 제4 박막 트랜지스터(T4)의 제4 소스 전극(S4)과 연결되어 있다. 제7 게이트 전극(G7)과 중첩하는 제7 액티브 패턴(A7)의 채널 영역인 제7 채널(C7)은 제7 소스 전극(S7)과 제7 드레인 전극(D7) 사이에 위치하고 있다. 즉, 제7 액티브 패턴(A7)은 유기 발광 소자의 제1 전극과 제4 액티브 패턴(A4) 사이를 연결하고 있다.
- [0088] 제7 액티브 패턴(A7)의 제7 채널(C7)은 N형 불순물 또는 P형 불순물로 채널 도핑될 수 있으며, 제7 소스 전극(S7) 및 제7 드레인 전극(D7) 각각은 제7 채널(C7)을 사이에 두고 이격되어 제7 채널(C7)에 도핑된 도핑 불순물과 반대 타입의 도핑 불순물이 도핑될 수 있다. 제7 액티브 패턴(A7)은 제1 액티브 패턴(A1), 제2 액티브 패턴(A2), 제3 액티브 패턴(A3), 제4 액티브 패턴(A4), 제5 액티브 패턴(A5), 제6 액티브 패턴(A6)과 동일한 층에 위치하며, 제1 액티브 패턴(A1), 제2 액티브 패턴(A2), 제3 액티브 패턴(A3), 제4 액티브 패턴(A4), 제5 액티브 패턴(A5), 제6 액티브 패턴(A6)과 동일한 재료로 형성되며, 제1 액티브 패턴(A1), 제2 액티브 패턴(A2), 제3 액티브 패턴(A3), 제4 액티브 패턴(A4), 제5 액티브 패턴(A5), 제6 액티브 패턴(A6)과 일체로 형성되어 있다.

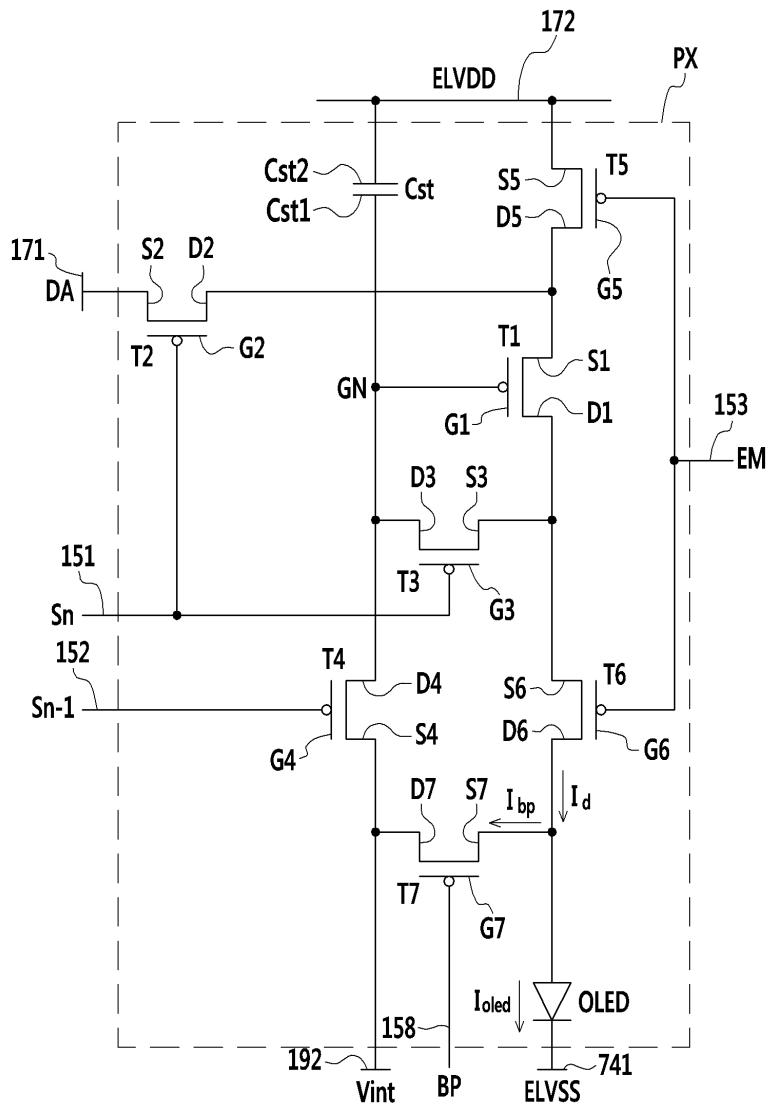
- [0089] 제7 게이트 전극(G7)은 제7 액티브 패턴(A7)의 제7 채널(C7) 상에 위치하고 있으며, 제3 스캔 라인(Sn-2)과 일체로 형성되어 있다.
- [0090] 제1 스캔 라인(Sn)은 제2 액티브 패턴(A2) 및 제3 액티브 패턴(A3) 상에 위치하여 제2 액티브 패턴(A2) 및 제3 액티브 패턴(A3)을 가로지르는 일 방향으로 연장되어 있으며, 제2 게이트 전극(G2) 및 제3 게이트 전극(G3)과 일체로 형성되어 제2 게이트 전극(G2) 및 제3 게이트 전극(G3)과 연결되어 있다.
- [0091] 제2 스캔 라인(Sn-1)은 제1 스캔 라인(Sn)과 이격되어 제4 액티브 패턴(A4) 상에 위치하며, 제4 액티브 패턴(A4)을 가로지르는 일 방향으로 연장되어 있으며, 제4 게이트 전극(G4)과 일체로 형성되어 제4 게이트 전극(G4)과 연결되어 있다. 제2 스캔 라인(Sn-1)은 제3 스캔 라인(Sn-2)과 일체로 형성되나, 이에 한정되지 않고 제3 스캔 라인(Sn-2)과 다른 라인으로서 형성될 수 있다.
- [0092] 제3 스캔 라인(Sn-2)은 제2 스캔 라인(Sn-1)과 이격되어 제7 액티브 패턴(A7) 상에 위치하며, 제7 액티브 패턴(A7)을 가로지르는 일 방향으로 연장되어 있으며, 제7 게이트 전극(G7)과 일체로 형성되어 제7 게이트 전극(G7)과 연결되어 있다. 제3 스캔 라인(Sn-2)은 제2 스캔 라인(Sn-1)과 일체로 형성되나, 이에 한정되지 않고 제2 스캔 라인(Sn-1)과 다른 라인으로서 형성될 수 있다.
- [0093] 발광 제어 라인(EM)은 제1 스캔 라인(Sn)과 이격되어 제5 액티브 패턴(A5) 및 제6 액티브 패턴(A6) 상에 위치하며, 제5 액티브 패턴(A5) 및 제6 액티브 패턴(A6)을 가로지르는 일 방향으로 연장되어 있으며, 제5 게이트 전극(G5) 및 제6 게이트 전극(G6)과 일체로 형성되어 제5 게이트 전극(G5) 및 제6 게이트 전극(G6)과 연결되어 있다.
- [0094] 상술한, 발광 제어 라인(EM), 제3 스캔 라인(Sn-2), 제2 스캔 라인(Sn-1), 제1 스캔 라인(Sn), 제1 게이트 전극(G1), 제2 게이트 전극(G2), 제3 게이트 전극(G3), 제4 게이트 전극(G4), 제5 게이트 전극(G5), 제6 게이트 전극(G6), 제7 게이트 전극(G7)은 동일한 층에 위치하며, 동일한 재료로 형성되어 있다. 일례로, 발광 제어 라인(EM), 제3 스캔 라인(Sn-2), 제2 스캔 라인(Sn-1), 제1 스캔 라인(Sn), 제1 게이트 전극(G1), 제2 게이트 전극(G2), 제3 게이트 전극(G3), 제4 게이트 전극(G4), 제5 게이트 전극(G5), 제6 게이트 전극(G6), 제7 게이트 전극(G7)은 제1 게이트 배선을 형성할 수 있다.
- [0095] 한편, 본 발명의 다른 실시예에서, 발광 제어 라인(EM), 제3 스캔 라인(Sn-2), 제2 스캔 라인(Sn-1), 제1 스캔 라인(Sn), 제1 게이트 전극(G1), 제2 게이트 전극(G2), 제3 게이트 전극(G3), 제4 게이트 전극(G4), 제5 게이트 전극(G5), 제6 게이트 전극(G6), 제7 게이트 전극(G7) 각각은 선택적으로 서로 다른 층에 위치하여 서로 다른 재료로 형성될 수 있다.
- [0096] 스토리지 커패시터(Cst)는 절연층을 사이에 두고 서로 대향하는 일 전극 및 타 전극을 포함한다. 상술한 일 전극은 스토리지 커패시터 전극(CE)이며, 타 전극은 제1 게이트 전극(G1)일 수 있다. 스토리지 커패시터 전극(CE)은 제1 게이트 전극(G1) 상에 위치하며, 구동 전원 라인(ELVDD)과 연결되어 있다. 스토리지 커패시터 전극(CE)은 제1 게이트 전극(G1) 상에서 제1 게이트 전극(G1)과 중첩하고 있다.
- [0097] 스토리지 커패시터 전극(CE)은 제1 게이트 전극(G1)과 함께 스토리지 커패시터(Cst)를 형성하며, 제1 게이트 전극(G1)과 스토리지 커패시터 전극(CE) 각각은 서로 다른 층에서 서로 다르거나 서로 동일한 메탈로 형성되어 있다. 스토리지 커패시터 전극(CE)은 일 방향으로 연장되어 있으며, 서로 이웃하는 복수의 화소(Px)를 가로지르고 있다. 스토리지 커패시터 전극(CE)은 상술한 제1 게이트 배선 상에 위치하는 제2 게이트 배선으로 형성될 수 있다.
- [0098] 데이터 배선(DW)은 제1 게이트 전극(G1)을 포함하는 제1 게이트 배선과 스토리지 커패시터 전극(CE)을 포함하는 제2 게이트 배선 상에 위치하며, 데이터 라인(DA), 구동 전원 라인(ELVDD), 게이트 브릿지(GB)를 포함한다.
- [0099] 유기 발광 소자(OLED)는 제1 전극(E1), 유기 발광층(OL), 제2 전극(E2)을 포함한다. 제1 전극(E1)은 컨택홀을 통해 제6 박막 트랜지스터(T6)의 제6 드레인 전극(D6)과 연결되어 있다. 유기 발광층(OL)은 제1 전극(E1)과 제2 전극(E2) 사이에 위치하고 있다. 제2 전극(E2)은 유기 발광층(OL) 상에 위치하고 있다. 제1 전극(E1) 및 제2 전극(E2) 중 하나 이상의 전극은 광 투과성 전극, 광 반사성 전극, 광 반투과성 전극 중 어느 하나 이상일 수 있으며, 유기 발광층(OL)으로부터 발광된 빛은 제1 전극(E1) 및 제2 전극(E2) 어느 하나 이상의 전극 방향으로 방출될 수 있다.
- [0100] 유기 발광 소자(OLED) 상에는 유기 발광 소자(OLED)를 덮는 캡핑층(capping layer)가 위치할 수 있으며, 이 캡핑층을 사이에 두고 유기 발광 소자(OLED) 상에는 박막 봉지층(thin film encapsulation)이 위치하거나, 또는

봉지 기판이 위치할 수 있다.

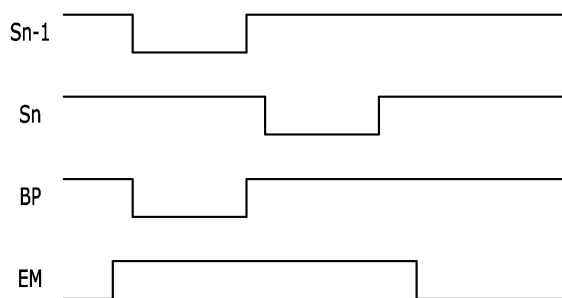
- [0101] 도 5는 도 3의 유기 발광 표시 장치를 V - V' 선을따라 자른 단면도이다.
- [0102] 도 3 내지 도 5를 참조하면, 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 기판(110), 버퍼층(120), 제1 게이트 절연막(130), 층간 절연층(ILD)(140), 제2 게이트 절연막(150), 보호막(VIA)(160), 화소를 덮는 화소 정의막(Pixel Defined Layer, PDL)(미도시)을 포함한다.
- [0103] 기판(110) 위에는 버퍼층(120)이 형성되어 있다. 기판(110)은 유리, 석영, 세라믹, 플라스틱 등으로 이루어진 절연성 기판으로 형성될 수 있다. 그리고, 버퍼층(120)은 다결정 규소를 형성하기 위한 결정화 공정 시 기판(110)으로부터 불순물을 차단하여 다결정 규소의 특성을 향상시키고, 기판(110)이 받는 스트레스를 줄이는 역할을 할 수 있다.
- [0104] 버퍼층(120) 위에는 도 5에서와 같이 구동 트랜지스터(T1)의 구동 액티브 패턴(211) 및 스위칭 트랜지스터(T2)의 스위칭 액티브 패턴(221)을 포함한다. 이와 같이, 버퍼층(120) 위에는 구동 채널, 스위칭 채널, 보상 채널, 초기화 채널, 동작 제어 채널, 발광 제어 채널 및 바이패스 채널을 포함하는 채널을 포함하는 반도체가 형성되어 있다.
- [0105] 층간 절연층(140)은 질화 규소(SiNx) 또는 산화 규소(SiO₂) 등으로 형성될 수 있다. 층간 절연층(140)에는 구동 트랜지스터(T1)의 제1 구동 게이트 전극(212) 및 스위칭 트랜지스터(T2)의 제1 스위칭 게이트 전극(222)이 형성된다. 그리고, 층간 절연층(140)에는 제2 스캔 라인(Sn-1)과 연결된 제1 게이트 전극(232)이 형성된다.
- [0106] 그리고, 층간 절연층(140) 위에는 제2 게이트 절연막(150)이 형성된다. 제2 게이트 절연막(150)은 구동 트랜지스터(T1)의 제2 구동 게이트 전극(215)를 포함한다.
- [0107] 제2 게이트 절연막 (150) 위에는 보호막(160)이 형성된다. 그리고, 보호막(160)은 유기막으로 형성될 수 있다. 보호막(160)에는 구동 전원 라인(ELVDD)(216, 226) 스위칭 트랜지스터(T2)의 데이터 라인(DA)이 형성된다.
- [0108] 그리고, 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 구동 전원 라인(ELVDD)이 스토리지 커패시터(Cst)의 스토리지 전극을 형성한다. 여기서, 구동 전원 라인(ELVDD)은 구동 트랜지스터(T1)의 구동 게이트 전극과 함께 상기 스토리지 전극을 형성할 수 있다.
- [0109] 구동 트랜지스터(T1)는 층간 절연막(140)에 형성된 제1 구동 게이트 전극(212) 및 제2 게이트 절연막(150)에 형성된 제2 구동 게이트 전극(215)을 포함한다. 그리고, 제2 구동 게이트 전극(215)이 제1 구동 전원 라인(ELVDD)(216)과 함께 스토리지 커패시터(Cst)의 스토리지 전극을 형성한다. 제1 구동 전원 라인(216)은 제2 게이트 절연막(150) 위에 형성되며, 제2 구동 게이트 전극(215)과 중첩하며 보호막(160)에 형성될 수 있다.
- [0110] 그리고, 스토리지 커패시터(Cst)는 제2 게이트 절연막(150)에 형성된 게이트 전극(225) 및 이와 중첩되어 보호막(160)에 형성된 제2 구동 전원 라인(ELVDD)(226)으로 형성될 수 있다. 여기서, 제2 게이트 절연막(150)에 형성된 게이트 전극(225)이 제1 스토리지 전극(Cst1)을 형성하고, 제2 구동 전원 라인(226)이 제2 스토리지 전극을 형성 할 수 있다.
- [0111] 이와 같이, 본 발명의 한 실시예에 따른 유기 발광 표시 장치는 구동 전원 라인을 스토리지 커패시터의 스토리지 전극으로 사용함으로써, 스토리지 커패시터의 용량을 증가시켜 크로스톡을 최소화하고 구동 특성을 개선할 수 있는 구조를 제공한다.
- [0112] 이상에서 설명한 본 발명의 실시예는 장치 및 방법을 통해서만 구현이 되는 것은 아니며, 본 발명의 실시예의 구성에 대응하는 기능을 실현하는 프로그램 또는 그 프로그램이 기록된 기록 매체를 통해 구현될 수도 있다.
- [0113] 이상에서 본 발명의 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

도면

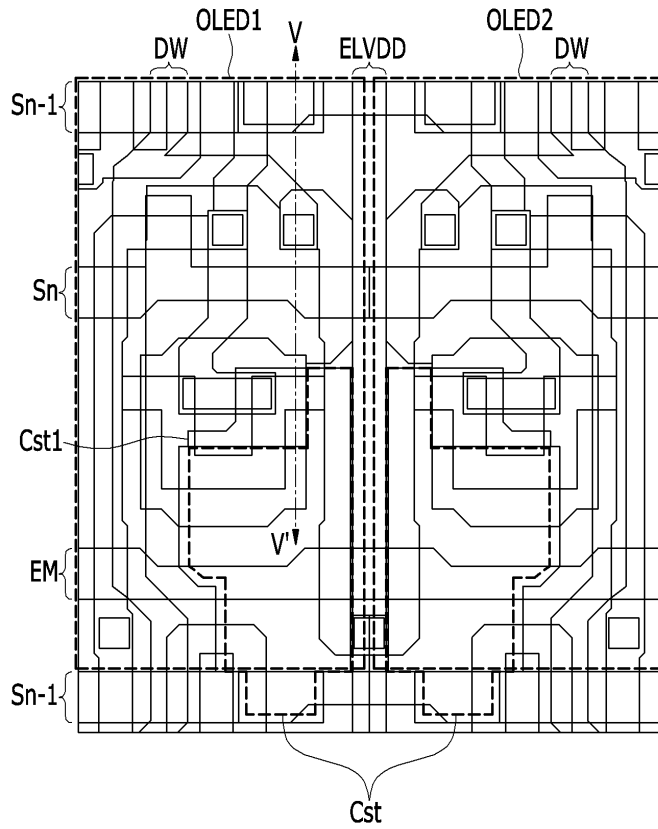
도면1



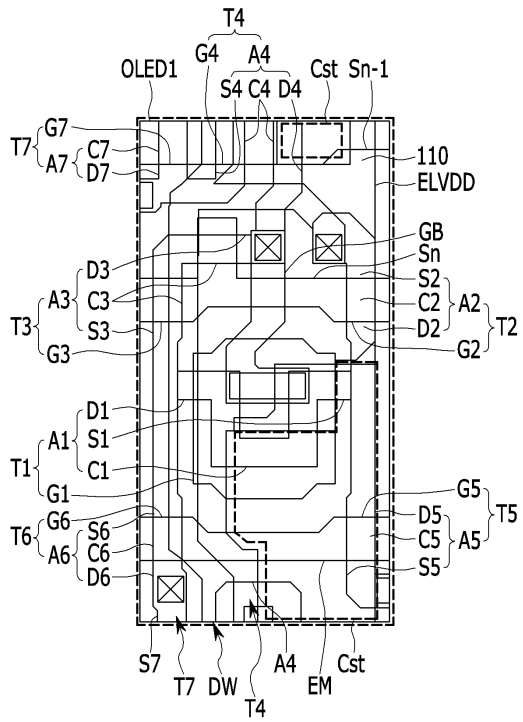
도면2



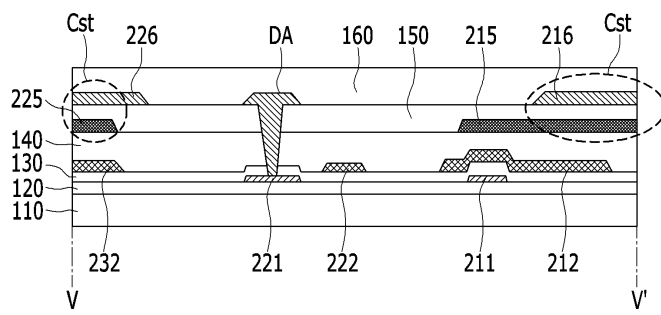
도면3



도면4



도면5



专利名称(译)	相关技术的描述		
公开(公告)号	KR1020160096786A	公开(公告)日	2016-08-17
申请号	KR1020150018150	申请日	2015-02-05
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	LEE JUNG KYU 이정규 KWON DO HYUN 권도현 SHIM DONG HWAN 심동환 LEE MIN JUNG 이민정 CHO SEUNG HWAN 조승환		
发明人	이정규 권도현 심동환 이민정 조승환		
IPC分类号	H01L27/32		
CPC分类号	H01L27/3248 H01L27/3262 H01L27/3276 H01L27/124 H01L27/1255 H01L27/3265		
外部链接	Espacenet		

摘要(译)

根据本发明的有机发光显示器包括基板，形成在基板上并传输扫描信号的扫描线，与扫描线交叉并传输数据电压和驱动电压的数据线和驱动电源线，连接到数据线的开关晶体管，连接到开关晶体管的驱动晶体管，以及电连接到驱动晶体管的有机发光二极管，其中驱动电源线形成存储电容器的存储电极。

