



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0093153
(43) 공개일자 2016년08월08일

(51) 국제특허분류(Int. Cl.)
G09G 3/30 (2006.01)

(52) CPC특허분류
G09G 3/30 (2013.01)

(21) 출원번호 10-2015-0013441

(22) 출원일자 2015년01월28일

심사청구일자 없음

(71) 출원인

삼성디스플레이 주식회사

경기도 용인시 기흥구 삼성로 1 (농서동)

(72) 발명자

김정택

서울특별시 송파구 올림픽로33길 17, 9동 311호

고준철

경기도 화성시 동탄문화센터로 38, 413동 1502호
(뒷면에 계속)

(74) 대리인

박영우

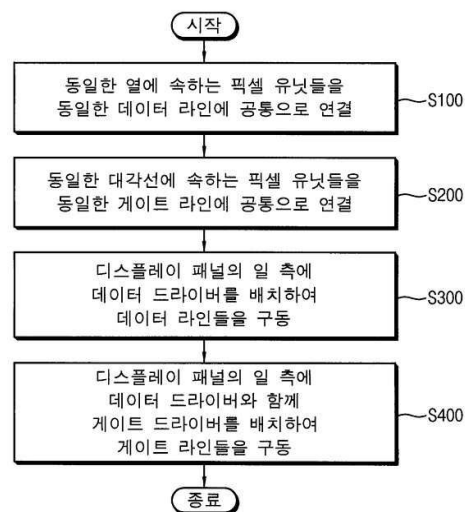
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 전계발광 디스플레이 장치 및 전계발광 디스플레이 장치의 단변 구동 방법

(57) 요약

전계발광 디스플레이 장치는 디스플레이 패널, 데이터 드라이버 및 게이트 드라이버를 포함한다. 상기 디스플레이 패널은 복수의 데이터 라인들 및 복수의 게이트 라인들에 각각 연결되고 복수의 행들 및 복수의 열들의 매트릭스 형태로 배열된 복수의 픽셀 유닛들을 포함한다. 동일한 열에 속하는 픽셀 유닛들은 동일한 데이터 라인에 공통으로 연결되고, 동일한 대각선에 속하는 픽셀 유닛들은 동일한 게이트 라인에 공통으로 연결된다. 상기 데이터 드라이버는 상기 디스플레이 패널의 일측에 배치되어 상기 데이터 라인들을 구동하고, 상기 게이트 드라이버는 상기 디스플레이 패널의 일측에 상기 데이터 드라이버와 함께 배치되어 상기 게이트 라인들을 구동한다.

대표도 - 도1



(72) 발명자

이수연

경기도 화성시 동탄중앙로 189, 336동 2003호

임경호

경기도 수원시 영통구 태장로71번길 19, 207동
1202호

최영우

경기도 수원시 팔달구 창룡대로 194, 403동 204호

명세서

청구범위

청구항 1

복수의 데이터 라인들 및 복수의 게이트 라인들에 각각 연결되고 복수의 행들 및 복수의 열들의 매트릭스 형태로 배열된 복수의 픽셀 유닛들을 포함하고, 동일한 열에 속하는 픽셀 유닛들은 동일한 데이터 라인에 공통으로 연결되고, 동일한 대각선에 속하는 픽셀 유닛들은 동일한 게이트 라인에 공통으로 연결되는 디스플레이 패널;

상기 디스플레이 패널의 일측에 배치되어 상기 데이터 라인들을 구동하는 데이터 드라이버; 및

상기 디스플레이 패널의 일측에 상기 데이터 드라이버와 함께 배치되어 상기 게이트 라인들을 구동하는 게이트 드라이버를 포함하는 전계발광 디스플레이 장치.

청구항 2

제1 항에 있어서,

상기 픽셀 유닛들은 m 개의(m 은 자연수) 행들 및 n 개의(n 은 m 보다 큰 자연수) 열들의 매트릭스 형태로 배열되고,

i 번째 행(i 는 1 이상 m 이하의 자연수) 및 j 번째 열(j 는 1 이상 n 이하의 자연수)에 속한 픽셀 유닛들은 $i+j-1$ 번째 게이트 라인($i+j-1$ 은 1 이상 $m+n-1$ 이하의 자연수)에 공통으로 연결되는 것을 특징으로 하는 전계발광 디스플레이 장치.

청구항 3

제2 항에 있어서,

상기 첫번째 게이트 라인 내지 상기 $n-m$ 번째 게이트 라인의 각각은, 상기 디스플레이 패널의 상측에서 상기 게이트 드라이버에 연결되고 대각선 방향으로 신장된 대각선 게이트 라인을 포함하고,

상기 $n-m+1$ 번째 게이트 라인 내지 상기 $m+n-1$ 번째 게이트 라인의 각각은, 상기 디스플레이 패널의 상측에서 상기 게이트 드라이버에 연결되고 열 방향으로 신장된 수직 게이트 라인 및 상기 디스플레이 패널의 하측에서 상기 수직 게이트 라인에 연결되고 대각선 방향으로 신장된 대각선 게이트 라인을 포함하는 것을 특징으로 하는 전계발광 디스플레이 장치.

청구항 4

제3 항에 있어서,

상기 첫번째 게이트 라인 내지 상기 $m+n-1$ 번째 게이트 라인은, 상기 첫번째 게이트 라인 내지 상기 $n-m$ 번째 게이트 라인을 포함하는 제1 그룹, 상기 $n-m+1$ 번째 게이트 라인 내지 상기 n 번째 게이트 라인을 포함하는 제2 그룹 및 상기 $n+1$ 번째 게이트 라인 내지 상기 $m+n-1$ 번째 게이트 라인을 포함하는 제3 그룹으로 그룹화되는 것을 특징으로 하는 전계발광 디스플레이 장치.

청구항 5

제4 항에 있어서,

상기 게이트 드라이버는,

상기 제1 그룹의 게이트 라인들을 구동하는 제1 게이트 드라이버; 및

상기 제2 그룹 및 상기 제3 그룹의 게이트 라인들을 구동하는 제2 게이트 드라이버를 포함하는 것을 특징으로 하는 전계발광 디스플레이 장치.

청구항 6

제5 항에 있어서,

상기 제1 게이트 드라이버 및 상기 제2 게이트 드라이버는, 스캔 주소 신호 및 래치 클록 신호를 공통으로 수신하여 하나의 스캔 주기마다 상기 제1 그룹 내지 상기 제3 그룹의 게이트 라인들 중 하나를 구동하여 활성화하는 것을 특징으로 하는 전계발광 디스플레이 장치.

청구항 7

제6 항에 있어서,

상기 제1 게이트 드라이버 및 상기 제2 게이트 드라이버는, 상기 제1 그룹 내지 상기 제3 그룹의 게이트 라인들을 동시 스캔 순차 발광(Progressive Emission with Simultaneous Scan; PEES) 방식으로 구동하는 것을 특징으로 하는 전계발광 디스플레이 장치.

청구항 8

제6 항에 있어서,

상기 첫번째 게이트 라인 내지 상기 $m+n-1$ 번째 게이트 라인의 각각의 활성화 시간들은 모두 동일한 것을 특징으로 하는 전계발광 디스플레이 장치.

청구항 9

제6 항에 있어서,

상기 첫번째 게이트 라인 내지 상기 $m+n-1$ 번째 게이트 라인의 각각의 활성화 시간들은 게이트 라인의 부하에 따라서 가변되는 것을 특징으로 하는 전계발광 디스플레이 장치.

청구항 10

제6 항에 있어서,

상기 하나의 스캔 주기마다 상기 데이터 라인들의 일부에만 유효한 데이터 신호가 인가되고 나머지 데이터 라인들에는 더미 데이터 신호가 인가되는 것을 특징으로 하는 전계발광 디스플레이 장치.

청구항 11

제5 항에 있어서,

상기 제1 게이트 드라이버는, 제1 스캔 주소 신호 및 제1 래치 클록 신호를 수신하여 하나의 스캔 주기마다 상기 제1 그룹의 게이트 라인들 중 하나를 구동하여 활성화하고,

상기 제2 게이트 드라이버는, 제2 스캔 주소 신호 및 제2 래치 클록 신호를 수신하여 상기 하나의 스캔 주기마다 상기 제2 그룹의 게이트 라인들 중 하나와 상기 제3 그룹의 게이트 라인들 중 하나를 구동하여 활성화하는 것을 특징으로 하는 전계발광 디스플레이 장치.

청구항 12

제11 항에 있어서,

상기 제1 게이트 드라이버는 상기 제1 그룹의 게이트 라인들을 동시 스캔 순차 발광 방식으로 구동하고,

상기 제2 게이트 드라이버는 상기 제2 그룹의 게이트 라인들을 동시 스캔 순차 발광 방식으로 구동함과 동시에 상기 제3 그룹의 게이트 라인들을 동시 스캔 순차 방식으로 구동하는 것을 특징으로 하는 전계발광 디스플레이 장치.

청구항 13

제11 항에 있어서,

상기 제2 게이트 드라이버는, 상기 하나의 스캔 주기를 제1 하프 스캔 주기 및 제2 하프 스캔 주기로 이등분하고, 상기 제1 하프 스캔 주기 동안에 상기 제2 그룹의 게이트 라인들 중 하나를 구동하여 활성화하고, 상기 제2 하프 스캔 주기 동안에 상기 제3 그룹의 게이트 라인들 중 하나를 구동하여 활성화하는 것을 특징으로 하는 전

계발광 디스플레이 장치.

청구항 14

제11 항에 있어서,

상기 제2 게이트 드라이버는, 상기 하나의 스캔 주기 동안에 상기 제2 그룹의 게이트 라인들 중 하나를 구동하여 활성화하는 시간의 적어도 일부와 상기 제3 그룹의 게이트 라인들 중 하나를 구동하여 활성화하는 시간의 적어도 일부를 중첩시키는 것을 특징으로 하는 전계발광 디스플레이 장치.

청구항 15

제11 항에 있어서,

상기 하나의 스캔 주기마다 상기 데이터 라인들의 전체에 유효한 데이터 신호가 인가되는 것을 특징으로 하는 전계발광 디스플레이 장치.

청구항 16

제1 항에 있어서,

상기 데이터 라인들의 각각은 적색 데이터 라인, 녹색 데이터 라인 및 청색 데이터 라인을 포함하고,

상기 픽셀 유닛들의 각각은 상기 적색 데이터 라인에 연결된 적색 서브 픽셀, 상기 녹색 데이터 라인에 연결된 녹색 서브 픽셀 및 상기 청색 데이터 라인에 연결된 청색 서브 픽셀을 포함하고,

상기 동일한 픽셀 유닛에 포함되는 상기 적색 서브 픽셀, 상기 녹색 서브 픽셀 및 상기 청색 서브 픽셀은 동일한 게이트 라인에 공통으로 연결되는 것을 특징으로 하는 전계발광 디스플레이 장치.

청구항 17

복수의 데이터 라인들 및 복수의 게이트 라인들에 각각 연결되고 복수의 행들 및 복수의 열들의 매트릭스 형태로 배열된 복수의 픽셀 유닛들로 이루어진 디스플레이 패널을 포함하는 전계발광 디스플레이 장치의 단변 구동(single-side driving) 방법으로서,

동일한 열에 속하는 픽셀 유닛들을 동일한 데이터 라인에 공통으로 연결하는 단계;

동일한 대각선에 속하는 픽셀 유닛들을 동일한 게이트 라인에 공통으로 연결하는 단계;

상기 디스플레이 패널의 일측에 데이터 드라이버를 배치하여 상기 데이터 라인들을 구동하는 단계; 및

상기 디스플레이 패널의 일측에 상기 데이터 드라이버와 함께 게이트 드라이버를 배치하여 상기 게이트 라인들을 구동하는 단계를 포함하는 전계발광 디스플레이 장치의 단변 구동 방법.

청구항 18

제17 항에 있어서,

상기 동일한 대각선에 속한 픽셀 유닛들을 동일한 게이트 라인에 공통으로 연결하는 단계는,

m 개의(m 은 자연수) 행들 및 n 개의(n 은 m 보다 큰 자연수) 열들의 매트릭스 형태로 배열된 상기 픽셀 유닛들에 대하여, i 번째 행(i 는 1 이상 m 이하의 자연수) 및 j 번째 열(j 는 1 이상 n 이하의 자연수)에 속한 픽셀 유닛들을 $i+j-1$ 번째 게이트 라인($i+j-1$ 은 1 이상 $m+n-1$ 이하의 자연수)에 공통으로 연결하는 단계를 포함하는 것을 특징으로 하는 전계발광 디스플레이 장치의 단변 구동 방법.

청구항 19

제18 항에 있어서,

상기 첫번째 게이트 라인 내지 상기 $n-m$ 번째 게이트 라인의 각각은 상기 디스플레이 패널의 상측에서 상기 게이트 드라이버에 연결되고 대각선 방향으로 신장된 대각선 게이트 라인을 포함하고,

상기 $n-m+1$ 번째 게이트 라인 내지 상기 $m+n-1$ 번째 게이트 라인의 각각은 상기 디스플레이 패널의 상측에서 상기 게이트 드라이버에 연결되고 열 방향으로 신장된 수직 게이트 라인 및 상기 디스플레이 패널의 하측에서 상기

수직 게이트 라인에 연결되고 대각선 방향으로 신장된 대각선 게이트 라인을 포함하는 것을 특징으로 하는 전계 발광 디스플레이 장치의 단변 구동 방법.

청구항 20

제19 항에 있어서,

상기 게이트 라인들을 구동하는 단계는,

상기 첫번째 게이트 라인 내지 상기 n -번째 게이트 라인을 포함하는 제1 그룹을 제1 게이트 드라이버에 연결하여 구동하는 단계; 및

상기 n -번째+1번째 게이트 라인 내지 상기 n -번째 게이트 라인을 포함하는 제2 그룹 및 상기 n -번째+1번째 게이트 라인 내지 상기 m -번째+1번째 게이트 라인을 포함하는 제3 그룹을 제2 게이트 드라이버에 연결하여 구동하는 단계를 포함하는 것을 특징으로 하는 전계발광 디스플레이 장치의 단변 구동 방법.

발명의 설명

기술 분야

[0001] 본 발명은 디스플레이 장치에 관한 것으로서, 더욱 상세하게는 전계발광 디스플레이 장치 및 전계발광 디스플레이 장치의 단변 구동 방법에 관한 것이다.

배경 기술

[0002] 액정(liquid crystal) 디스플레이 장치, 플라스마(plasma) 디스플레이 장치, 전계발광(electroluminescent) 디스플레이 장치와 같은 평판 디스플레이 장치들이 개발되고 있다. 특히 전계발광 디스플레이 장치는 전자와 정공의 재결합에 의하여 빛을 발생하는 발광 다이오드(LED; light emitting diode) 또는 유기 발광 다이오드(OLED; organic light emitting diode)를 이용하여 빠른 응답 속도와 낮은 소비전력으로 구동될 수 있다.

[0003] 전계발광 디스플레이 장치의 구동은 계조를 표현하는 방식에 따라 아날로그 구동 또는 디지털 구동으로 구분될 수 있다. 아날로그 구동은 발광 다이오드(이하, 유기 발광 다이오드를 포함한다)가 동일한 발광 시간 동안 발광하면서 픽셀(또는 화소)에 인가되는 데이터 전압의 레벨을 변경함으로써 계조를 표현할 수 있다. 디지털 구동은 픽셀에 동일한 레벨의 데이터 전압을 인가하면서 발광 다이오드가 발광되는 발광 시간을 변경함으로써 계조를 표현할 수 있다. 이러한 디지털 구동은, 아날로그 구동에 비하여, 전계발광 디스플레이 장치의 간단한 구조의 픽셀 및 구동 IC(Integrated Circuit)를 포함하는 장점이 있다. 또한, 전계발광 디스플레이 장치의 디스플레이 패널이 대형화되고 해상도가 높아질수록 디지털 구동을 채택할 필요성이 증가된다.

[0004] 전계발광 디스플레이 장치에서 베젤(bezel) 폭을 감소하기 위하여 새로운 구조 및 새로운 구동 방법이 연구되고 있으나 데이터율의 증가, 충전 시간의 부족 등의 문제가 발생한다.

발명의 내용

해결하려는 과제

[0005] 본 발명의 일 목적은 효율적으로 단변 구동을 수행할 수 있는 전계발광 디스플레이 장치를 제공하는 것이다.

[0006] 또한 본 발명의 일 목적은 전계발광 디스플레이 장치의 효율적인 단변 구동 방법을 제공하는 것이다.

과제의 해결 수단

[0007] 본 발명의 일 목적을 달성하기 위하여, 본 발명의 실시예들에 따른 전계발광 디스플레이 장치는 디스플레이 패널, 데이터 드라이버 및 게이트 드라이버를 포함한다. 상기 디스플레이 패널은 복수의 데이터 라인들 및 복수의 게이트 라인들에 각각 연결되고 복수의 행들(rows) 및 복수의 열들(columns)의 매트릭스 형태로 배열된 복수의 픽셀 유닛들을 포함한다. 동일한 열에 속하는 픽셀 유닛들은 동일한 데이터 라인에 공통으로 연결되고, 동일한 대각선에 속하는 픽셀 유닛들은 동일한 게이트 라인에 공통으로 연결된다. 상기 데이터 드라이버는 상기 디스플레이 패널의 일측에 배치되어 상기 데이터 라인들을 구동하고, 상기 게이트 드라이버는 상기 디스플레이 패널의 일측에 상기 데이터 드라이버와 함께 배치되어 상기 게이트 라인들을 구동한다.

- [0008] 일 실시예에 있어서, 상기 픽셀 유닛들은 m 개의(m 은 자연수) 행들 및 n 개의(n 은 m 보다 큰 자연수) 열들의 매트릭스 형태로 배열되고, i 번째 행(i 는 1 이상 m 이하의 자연수) 및 j 번째 열(j 는 1 이상 n 이하의 자연수)에 속한 픽셀 유닛들은 $i+j-1$ 번째 게이트 라인($i+j-1$ 은 1 이상 $m+n-1$ 이하의 자연수)에 공통으로 연결될 수 있다.
- [0009] 일 실시예에 있어서, 상기 첫번째 게이트 라인 내지 상기 $n-m$ 번째 게이트 라인의 각각은, 상기 디스플레이 패널의 상측에서 상기 게이트 드라이버에 연결되고 대각선 방향으로 신장된 대각선 게이트 라인을 포함하고, 상기 $n-m+1$ 번째 게이트 라인 내지 상기 $m+n-1$ 번째 게이트 라인의 각각은, 상기 디스플레이 패널의 상측에서 상기 게이트 드라이버에 연결되고 열 방향으로 신장된 수직 게이트 라인 및 상기 디스플레이 패널의 하측에서 상기 수직 게이트 라인에 연결되고 대각선 방향으로 신장된 대각선 게이트 라인을 포함할 수 있다.
- [0010] 일 실시예에 있어서, 상기 첫번째 게이트 라인 내지 상기 $m+n-1$ 번째 게이트 라인은, 상기 첫번째 게이트 라인 내지 상기 $n-m$ 번째 게이트 라인을 포함하는 제1 그룹, 상기 $n-m+1$ 번째 게이트 라인 내지 상기 n 번째 게이트 라인을 포함하는 제2 그룹 및 상기 $n+1$ 번째 게이트 라인 내지 상기 $m+n-1$ 번째 게이트 라인을 포함하는 제3 그룹으로 그룹화될 수 있다.
- [0011] 일 실시예에 있어서, 상기 게이트 드라이버는, 상기 제1 그룹의 게이트 라인들을 구동하는 제1 게이트 드라이버 및 상기 제2 그룹 및 상기 제3 그룹의 게이트 라인들을 구동하는 제2 게이트 드라이버를 포함할 수 있다.
- [0012] 일 실시예에 있어서, 상기 제1 게이트 드라이버 및 상기 제2 게이트 드라이버는, 스캔 주소 신호 및 래치 클록 신호를 공통으로 수신하여 하나의 스캔 주기마다 상기 제1 그룹 내지 상기 제3 그룹의 게이트 라인들 중 하나를 구동하여 활성화할 수 있다.
- [0013] 일 실시예에 있어서, 상기 제1 게이트 드라이버 및 상기 제2 게이트 드라이버는, 상기 제1 그룹 내지 상기 제3 그룹의 게이트 라인들을 동시 스캔 순차 발광(Progressive Emission with Simultaneous Scan; PEES) 방식으로 구동할 수 있다.
- [0014] 일 실시예에 있어서, 상기 첫번째 게이트 라인 내지 상기 $m+n-1$ 번째 게이트 라인의 각각의 활성화 시간들은 모두 동일할 수 있다.
- [0015] 일 실시예에 있어서, 상기 첫번째 게이트 라인 내지 상기 $m+n-1$ 번째 게이트 라인의 각각의 활성화 시간들은 게이트 라인의 부하에 따라서 가변될 수 있다.
- [0016] 일 실시예에 있어서, 상기 하나의 스캔 주기마다 상기 데이터 라인들의 일부에만 유효한 데이터 신호가 인가되고 나머지 데이터 라인들에는 더미 데이터 신호가 인가될 수 있다.
- [0017] 일 실시예에 있어서, 상기 제1 게이트 드라이버는, 제1 스캔 주소 신호 및 제1 래치 클록 신호를 수신하여 하나의 스캔 주기마다 상기 제1 그룹의 게이트 라인들 중 하나를 구동하여 활성화하고, 상기 제2 게이트 드라이버는, 제2 스캔 주소 신호 및 제2 래치 클록 신호를 수신하여 상기 하나의 스캔 주기마다 상기 제2 그룹의 게이트 라인들 중 하나와 상기 제3 그룹의 게이트 라인들 중 하나를 구동하여 활성화할 수 있다.
- [0018] 일 실시예에 있어서, 상기 제1 게이트 드라이버는 상기 제1 그룹의 게이트 라인들을 동시 스캔 순차 발광 방식으로 구동하고, 상기 제2 게이트 드라이버는 상기 제2 그룹의 게이트 라인들을 동시 스캔 순차 발광 방식으로 구동함과 동시에 상기 제3 그룹의 게이트 라인들을 동시 스캔 순차 방식으로 구동할 수 있다.
- [0019] 일 실시예에 있어서, 상기 제2 게이트 드라이버는, 상기 하나의 스캔 주기를 제1 하프 스캔 주기 및 제2 하프 스캔 주기로 이등분하고, 상기 제1 하프 스캔 주기 동안에 상기 제2 그룹의 게이트 라인들 중 하나를 구동하여 활성화하고, 상기 제2 하프 스캔 주기 동안에 상기 제3 그룹의 게이트 라인들 중 하나를 구동하여 활성화할 수 있다.
- [0020] 일 실시예에 있어서, 상기 제2 게이트 드라이버는, 상기 하나의 스캔 주기 동안에 상기 제2 그룹의 게이트 라인들 중 하나를 구동하여 활성화하는 시간의 적어도 일부와 상기 제3 그룹의 게이트 라인들 중 하나를 구동하여 활성화하는 시간의 적어도 일부를 중첩시킬 수 있다.
- [0021] 일 실시예에 있어서, 상기 하나의 스캔 주기마다 상기 데이터 라인들의 전체에 유효한 데이터 신호가 인가될 수 있다.
- [0022] 일 실시예에 있어서, 상기 데이터 라인들의 각각은 적색 데이터 라인, 녹색 데이터 라인 및 청색 데이터 라인을 포함하고, 상기 픽셀 유닛들의 각각은 상기 적색 데이터 라인에 연결된 적색 서브 픽셀, 상기 녹색 데이터 라인에 연결된 녹색 서브 픽셀 및 상기 청색 데이터 라인에 연결된 청색 서브 픽셀을 포함하고, 상기 동일한 픽셀

유닛에 포함되는 상기 적색 서브 픽셀, 상기 녹색 서브 픽셀 및 상기 청색 서브 픽셀은 동일한 게이트 라인에 공통으로 연결될 수 있다.

[0023] 상기 일 목적을 달성하기 위해 본 발명의 실시예들에 따라서 복수의 데이터 라인들 및 복수의 게이트 라인들에 각각 연결되고 복수의 행들 및 복수의 열들의 매트릭스 형태로 배열된 복수의 픽셀 유닛들로 이루어진 디스플레이 패널을 포함하는 전계발광 디스플레이 장치의 단변 구동(single-side driving) 방법이 제공된다. 상기 단변 구동 방법은 동일한 열에 속하는 픽셀 유닛들을 동일한 데이터 라인에 공통으로 연결하는 단계, 동일한 대각선에 속하는 픽셀 유닛들을 동일한 게이트 라인에 공통으로 연결하는 단계, 상기 디스플레이 패널의 일측에 데이터 드라이버를 배치하여 상기 데이터 라인들을 구동하는 단계 및 상기 디스플레이 패널의 에 상기 데이터 드라이버와 함께 게이트 드라이버를 배치하여 상기 게이트 라인들을 구동하는 단계를 포함한다.

[0024] 일 실시예에 있어서, 상기 동일한 대각선에 속한 픽셀 유닛들을 동일한 게이트 라인에 공통으로 연결하는 단계는, m 개의(m 은 자연수) 행들 및 n 개의(n 은 m 보다 큰 자연수) 열들의 매트릭스 형태로 배열된 상기 픽셀 유닛들에 대하여, i 번째 행(i 는 1 이상 m 이하의 자연수) 및 j 번째 열(j 는 1 이상 n 이하의 자연수)에 속한 픽셀 유닛들을 $i+j-1$ 번째 게이트 라인($i+j-1$ 은 1 이상 $m+n-1$ 이하의 자연수)에 공통으로 연결하는 단계를 포함할 수 있다.

[0025] 일 실시예에 있어서, 상기 첫번째 게이트 라인 내지 상기 $n-m$ 번째 게이트 라인의 각각은 상기 디스플레이 패널의 상측에서 상기 게이트 드라이버에 연결되고 대각선 방향으로 신장된 대각선 게이트 라인을 포함하고, 상기 $n-m+1$ 번째 게이트 라인 내지 상기 $m+n-1$ 번째 게이트 라인의 각각은 상기 디스플레이 패널의 상측에서 상기 게이트 드라이버에 연결되고 열 방향으로 신장된 수직 게이트 라인 및 상기 디스플레이 패널의 하측에서 상기 수직 게이트 라인에 연결되고 대각선 방향으로 신장된 대각선 게이트 라인을 포함할 수 있다.

[0026] 일 실시예에 있어서, 상기 게이트 라인들을 구동하는 단계는, 상기 첫번째 게이트 라인 내지 상기 $n-m$ 번째 게이트 라인을 포함하는 제1 그룹을 제1 게이트 드라이버에 연결하여 구동하는 단계 및 상기 $n-m+1$ 번째 게이트 라인 내지 상기 n 번째 게이트 라인을 포함하는 제2 그룹 및 상기 $n+1$ 번째 게이트 라인 내지 상기 $m+n-1$ 번째 게이트 라인을 포함하는 제3 그룹을 제2 게이트 드라이버에 연결하여 구동하는 단계를 포함할 수 있다.

발명의 효과

[0027] 본 발명의 실시예들에 따른 전계발광 디스플레이 장치 및 그 단변 구동 방법은 데이터 드라이버 및 게이트 드라이버를 디스플레이 패널의 일측에 함께 배치함으로써 베젤 폭을 감소할 수 있다.

[0028] 또한 본 발명의 실시예들에 따른 전계발광 디스플레이 장치 및 그 단변 구동 방법은 전압의 세기가 아닌 발광 시간을 통해 계조를 표현하는 디지털 구동을 통하여 단변 구동에서 발생할 수 있는 디스플레이 패널의 우측 하단부의 화질 열화 현상을 해결할 수 있다.

[0029] 또한 본 발명의 실시예들에 따른 전계발광 디스플레이 장치 및 그 단변 구동 방법은 단변 구동 패널에서 픽셀 유닛들의 그룹화를 통하여 데이터율을 감소하고 충전 시간을 확보할 수 있다.

도면의 간단한 설명

[0030] 도 1은 본 발명의 실시예들에 따른 전계발광 디스플레이 장치의 단변 구동 방법을 나타내는 순서도이다.

도 2는 본 발명의 실시예들에 따른 단변 구동 구조의 전계발광 디스플레이 장치를 나타내는 블록도이다.

도 3은 도 2의 전계발광 디스플레이 장치에 포함되는 디스플레이 패널의 일 실시예를 나타내는 도면이다.

도 4는 도 3의 디스플레이 패널에 포함되는 픽셀 유닛의 일 실시예를 나타내는 도면이다.

도 5는 도 4의 픽셀 유닛에 포함되는 서브 픽셀의 일 예를 나타내는 회로도이다.

도 6은 도 5의 서브 픽셀의 수직 구조를 설명하기 위한 디스플레이 패널의 단면도이다.

도 7a 및 7b는 본 발명의 일 실시예에 따른 게이트 라인들 및 픽셀 유닛들의 그룹화를 나타내는 도면들이다.

도 8은 도 2의 전계발광 디스플레이 장치에 포함되는 게이트 드라이버의 일 실시예를 나타내는 블록도이다.

도 9, 10 및 11은 도 8의 게이트 드라이버를 이용한 단변 구동 방법의 일 실시예를 나타내는 도면들이다.

도 12는 본 발명의 일 실시예에 따른 단변 구동 방법에서의 데이터 인가 방법의 일 실시예를 설명하기 위한 도

면이다.

도 13은 도 2의 전계발광 디스플레이 장치에 포함되는 게이트 드라이버의 일 실시예를 나타내는 블록도이다.

도 14 및 15는 도 13의 게이트 드라이버를 이용한 단변 구동 방법의 일 실시예를 나타내는 도면들이다.

도 16은 본 발명의 일 실시예에 따른 단변 구동 방법에서의 데이터 인가 방법의 일 실시예를 설명하기 위한 도면이다.

도 17은 도 13의 게이트 드라이버를 이용한 단변 구동 방법의 일 실시예를 나타내는 도면이다.

도 18a 및 18b는 본 발명의 일 실시예에 따른 게이트 라인의 부하에 따른 충전 시간의 가변을 나타내는 도면들이다.

도 19는 본 발명의 일 실시예에 따른 단변 구동 방법을 나타내는 타이밍도이다.

도 20은 본 발명의 실시예들에 따른 전자 기기를 나타내는 블록도이다.

도 21은 본 발명의 실시예들에 따른 휴대용 단말기를 나타내는 블록도이다.

발명을 실시하기 위한 구체적인 내용

- [0031] 이하, 첨부한 도면들을 참조하여, 본 발명의 바람직한 실시예를 보다 상세하게 설명하고자 한다. 도면상의 동일한 구성요소에 대해서는 동일한 참조부호를 사용하고 동일한 구성요소에 대해서 중복된 설명은 생략한다.
- [0032] 도 1은 본 발명의 실시예들에 따른 전계발광 디스플레이 장치의 단변 구동 방법(single-side driving method)을 나타내는 순서도이다.
- [0033] 도 1에는 복수의 데이터 라인들 및 복수의 게이트 라인들에 각각 연결되고 복수의 행들 및 복수의 열들의 매트릭스 형태로 배열된 복수의 픽셀 유닛들로 이루어진 디스플레이 패널을 포함하는 전계발광 디스플레이 장치의 단변 구동 방법이 도시되어 있다.
- [0034] 도 1을 참조하면, 동일한 열에 속하는 픽셀 유닛들을 동일한 데이터 라인에 공통으로 연결한다(S100). 또한, 동일한 대각선에 속하는 픽셀 유닛들을 동일한 게이트 라인에 공통으로 연결한다(S200). 예를 들어, 디스플레이 패널의 픽셀 유닛들은 m 개의(m 은 자연수) 행들 및 n 개의(n 은 m 보다 큰 자연수) 열들의 매트릭스 형태로 배열될 수 있다. 이 경우, j 번째 열(j 는 1 이상 n 이하의 자연수)에 속하는 m 개의 픽셀 유닛들은 j 번째 데이터 라인에 공통으로 연결될 수 있다. 또한, i 번째 행(i 는 1 이상 m 이하의 자연수) 및 j 번째 열에 속한 픽셀 유닛들은 $i+j-1$ 번째 게이트 라인($i+j-1$ 은 1 이상 $m+n-1$ 이하의 자연수)에 공통으로 연결될 수 있다. 픽셀 유닛들의 구조 및 픽셀 유닛들과 데이터/게이트 라인들의 연결 관계에 대해서는 도 3 내지 4를 참조하여 후술한다.
- [0035] 상기 디스플레이 패널의 일측에 데이터 드라이버를 배치하여 상기 데이터 라인들을 구동한다(S300). 또한 상기 디스플레이 패널의 일측에 상기 데이터 드라이버와 함께 게이트 드라이버를 배치하여 상기 게이트 라인들을 구동한다(S400). 데이터 드라이버 및 게이트 드라이버를 디스플레이 패널의 일측에 함께 배치함으로써 베젤 폭을 감소할 수 있다.
- [0036] 도 2는 본 발명의 실시예들에 따른 단변 구동 구조의 전계발광 디스플레이 장치를 나타내는 블록도이다.
- [0037] 도 2에 도시된 디스플레이 장치(100) 또는 디스플레이 모듈은 전자와 정공의 재결합에 의하여 빛을 발생하는 발광 다이오드(LED; light emitting diode) 또는 유기 발광 다이오드(OLED; organic light emitting diode)를 포함하는 전계발광(electroluminescent) 디스플레이 장치일 수 있다.
- [0038] 도 2를 참조하면, 디스플레이 장치(100)는 복수의 픽셀 유닛들을 포함하는 디스플레이 패널(110), 게이트 드라이버(GDRV)(120), 데이터 드라이버(DDRV)(130) 및 타이밍 컨트롤러(TCON)(150)를 포함할 수 있다. 도 2에 도시되지는 않았으나, 디스플레이 장치(100)는 전원 및 전압 신호를 제공하는 전압 공급부, 디스플레이 이미지 데이터를 일시적으로 저장하는 버퍼 메모리 등을 더 포함할 수 있다.
- [0039] 디스플레이 패널(110)에 포함되는 픽셀 유닛들은, 도 3을 참조하여 후술하는 바와 같이, 복수의 데이터 라인들($D1 \sim Dn$) 및 복수의 게이트 라인들($G1 \sim Gm+n-1$)에 각각 연결되고 복수의 행들($1 \sim m$) 및 복수의 열들($1 \sim n$)의 매트릭스 형태로 배열될 수 있다. 상기 픽셀 유닛들의 각각은 복수의 서브 픽셀들을 포함할 수 있다. 예를 들어, 도 4를 참조하여 후술하는 바와 같이 각각의 픽셀 유닛은 행 방향으로 배열된 적색(R) 서브 픽셀, 녹색(G) 서브 픽셀 및 청색(B) 서브 픽셀을 포함할 수 있다. 이 경우, 도 3에 도시된 데이터 라인들($D1 \sim Dn$)의 각각은 3개의 RGB

서브 픽셀들을 각각 구동하기 위한 3개의 신호 라인들을 포함할 수 있다.

- [0040] 데이터 드라이버(130)는 디스플레이 패널(110)의 일측에 배치되어 데이터 라인들(D1~Dn)을 구동할 수 있다. 또한 게이트 드라이버(120)는 디스플레이 패널(110)의 일측에 데이터 드라이버(130)와 함께 배치되어 게이트 라인들(G1~Gm+n-1)을 구동할 수 있다. 일 실시예에서, 도 2에 도시된 바와 같이, 데이터 드라이버(130) 및 게이트 드라이버(120)는 디스플레이 패널(110)의 상측에 함께 배치될 수 있다. 데이터 드라이버(130)는 데이터 라인들(D1~Dn)을 통하여 데이터 신호들을 열 단위로 픽셀 유닛들에 제공할 수 있고, 게이트 드라이버(120)는 게이트 라인들(G1~Gm+n-1)을 통하여 게이트 신호들을 대각선 단위로 픽셀 유닛들에 제공할 수 있다.
- [0041] 타이밍 컨트롤러(150)는 외부에서 전달되는 입력 영상 데이터를 수신하고 디스플레이 영상 데이터를 데이터 드라이버(130)에 전달한다. 또한 타이밍 컨트롤러(150)는 수직동기신호, 수평동기신호, 클록 신호 등을 외부로부터 제공 받아 게이트 드라이버(120) 및 데이터 드라이버(130)를 제어하기 위한 신호들을 생성하여 각각에 전달한다. 즉 타이밍 컨트롤러(150)는 게이트 드라이버(120)를 제어하는 스캔 구동 제어 신호(SCS) 및 데이터 드라이버(130)를 제어하는 데이터 구동 제어 신호(DCS)를 각각 생성하여 전달한다. 일 실시예에서, 게이트 드라이버(120) 및/또는 데이터 드라이버(130)는 디스플레이 패널(110)과 함께 집적될 수 있다. 다른 실시예에서, 게이트 드라이버(120) 및/또는 데이터 드라이버(130)는 디스플레이 패널(110)과 구별되는 별개의 칩으로서 구현될 수 있다.
- [0042] 이와 같이, 데이터 드라이버(130) 및 게이트 드라이버(120)는 디스플레이 패널(110)의 일측에 함께 배치함으로써 베젤 폭 또는 베젤 영역의 면적을 감소하고 3변 무 베젤 디스플레이 장치를 구현할 수 있다.
- [0043] 도 3은 도 2의 전계발광 디스플레이 장치에 포함되는 디스플레이 패널의 일 실시예를 나타내는 도면이고, 도 4는 도 3의 디스플레이 패널에 포함되는 픽셀 유닛의 일 실시예를 나타내는 도면이다.
- [0044] 도 3을 참조하면, 디스플레이 패널(110)은 m 개의(m은 자연수) 행들 및 n 개의(n은 m보다 큰 자연수) 열들의 매트릭스 형태로 배열된 복수의 픽셀 유닛들(P11~Pmn)을 포함할 수 있다.
- [0045] j번째 열(j는 1 이상 n 이하의 자연수)에 속하는 m개의 픽셀 유닛들(P1j~Pmj)은 j번째 데이터 라인(Dj)에 공통으로 연결될 수 있다. 첫번째 열에 속하는 m개의 픽셀 유닛들(P11~Pm1)은 첫번째 데이터 라인(D1)에 공통으로 연결될 수 있고, 두번째 열에 속하는 m개의 픽셀 유닛들(P12~Pm2)은 두번째 데이터 라인(D2)에 공통으로 연결될 수 있고, 이와 같은 방식으로, 마지막의 n번째 열에 속하는 m개의 픽셀 유닛들(P1n~Pmn)은 n번째 데이터 라인(Dn)에 공통으로 연결될 수 있다.
- [0046] i번째 행(i는 1 이상 m 이하의 자연수) 및 j번째 열에 속한 픽셀 유닛들은 i+j-1번째 게이트 라인(i+j-1은 1 이상 m+n-1 이하의 자연수)에 공통으로 연결될 수 있다.
- [0047] 디스플레이 패널(110)의 좌측 상부에 대해서는 게이트 라인에 연결되는 픽셀 유닛들의 개수가 1개씩 증가할 수 있다. 첫번째 게이트 라인(G1)에는 1개의 픽셀 유닛(P11)이 공통으로 연결되고, 두번째 게이트 라인(G2)에는 2개의 픽셀 유닛들(P21, P12)이 공통으로 연결되고, 세번째 게이트 라인(G3)에는 3개의 픽셀 유닛들(P31, P22, P13)이 공통으로 연결될 수 있다. 이와 같은 방식으로 m-1번째 게이트 라인(Gm-1)에는 m-1개의 픽셀 유닛들(P(m-1)1~P1(m-1))이 공통으로 연결되고 m번째 게이트 라인(Gm)에는 m개의 픽셀 유닛들(Pm1~P1m)이 공통으로 연결될 수 있다.
- [0048] 디스플레이 패널(110)의 중앙 부분에 대해서는 하나의 게이트 라인에 연결된 픽셀 유닛들의 개수는 행의 개수(m)와 동일하게 유지될 수 있다. 즉 m+1번째 게이트 라인(Gm) 내지 n번째 게이트 라인(Gn)의 각각에 공통으로 연결된 픽셀 유닛들의 개수는 m개로 일정할 수 있다.
- [0049] 디스플레이 패널(110)의 우측 하부에 대해서는 게이트 라인에 연결되는 픽셀 유닛들의 개수가 1개씩 감소할 수 있다. n+1번째 게이트 라인(Gn+1)에는 m-1개의 픽셀 유닛들(Pm(n-m+2)~P2n)이 공통으로 연결되고, n+2번째 게이트 라인(Gn+2)에는 m-2개의 픽셀 유닛들(Pm(n-m+3)~P3n)이 공통으로 연결될 수 있다. 이와 같은 방식으로, m+n-3번째 게이트 라인(Gm+n-3)에는 3개의 픽셀 유닛들(Pm(n-2), P(m-1)(n-1), P(m-2)n)이 공통으로 연결되고, m+n-2번째 게이트 라인(Gm+n-2)에는 2개의 픽셀 유닛들(Pm(n-1), P(m-1)n)이 공통으로 연결되고, 마지막의 m+n-1번째 게이트 라인(Gm+n-1)에는 1개의 픽셀 유닛(Pmn)이 연결될 수 있다.
- [0050] 첫번째 게이트 라인(G1) 내지 n-m번째 게이트 라인(Gn-m)의 각각은 대각선 방향으로 신장된 대각선 게이트 라인을 포함하고, 도 2에 바와 같이, 게이트 드라이버(120)는 디스플레이 패널(110)의 상측에 배치될 수 있고, 첫번째 게이트 라인(G1) 내지 n-m번째 게이트 라인(Gn-m)의 각각에 포함되는 대각선 게이트 라인은 디스플레이 패널

(110)의 상측에서 게이트 드라이버(120)에 연결될 수 있다.

- [0051] $n-m+1$ 번째 게이트 라인(G_{n-m+1}) 내지 $m+n-1$ 번째 게이트 라인(G_{m+n-1})의 각각은, 디스플레이 패널(110)의 상측에서 게이트 드라이버(120)에 연결되고 열 방향으로 신장된 수직 게이트 라인 및 디스플레이 패널(110)의 하측에서 상기 수직 게이트 라인에 연결되고 대각선 방향으로 신장된 대각선 게이트 라인을 포함할 수 있다.
- [0052] 도 4에는 i 번째 게이트 라인(G_i) 및 j 번째 데이터 라인에 연결된 하나의 픽셀 유닛(P_{ij})의 일 예가 도시되어 있다. 각각의 데이터 라인(D_j)은 적색 데이터 라인(D_{j_R}), 녹색 데이터 라인(D_{j_G}) 및 청색 데이터 라인(D_{j_B})을 포함하고, 각각의 픽셀 유닛(P_{ij})은 적색 데이터 라인(D_{j_R})에 연결된 적색 서브 픽셀(R), 녹색 데이터 라인(D_{j_G})에 연결된 녹색 서브 픽셀(G) 및 청색 데이터 라인(D_{j_B})에 연결된 청색 서브 픽셀(B)을 포함할 수 있다. 동일한 픽셀 유닛(P_{ij})에 포함되는 적색 서브 픽셀(R), 녹색 서브 픽셀(G) 및 청색 서브 픽셀(B)은 동일한 게이트 라인(G_i)에 공통으로 연결될 수 있다.
- [0053] 도 5는 도 4의 픽셀 유닛에 포함되는 서브 픽셀의 일 예를 나타내는 회로도이다.
- [0054] 도 5를 참조하면, 서브 픽셀(SPX)은, 스위칭 트랜지스터(ST), 스토리지 커패시터(CST), 구동 트랜지스터(DT) 및 유기 발광 다이오드($OLED$)를 포함할 수 있다. 도 4에 도시된 적색 서브 픽셀(R), 녹색 서브 픽셀(G) 및 청색 서브 픽셀(B)은 각각 도 5에 도시된 바와 같은 구조를 가질 수 있다.
- [0055] 스위칭 트랜지스터(ST)는 데이터 신호($DATA$)에 연결된 제1 전극, 스토리지 커패시터(CST)에 연결된 제2 전극 및 스캔 신호($SCAN$)에 연결된 게이트 전극을 가질 수 있다. 스위칭 트랜지스터(ST)는 스캔 드라이버로부터 인가된 스캔 신호($SCAN$)에 응답하여 데이터 드라이버로부터 제공된 데이터 신호($DATA$)를 스토리지 커패시터(CST)에 전송할 수 있다.
- [0056] 스토리지 커패시터(CST)는 고 전원 전압($ELVDD$)에 연결된 제1 전극 및 구동 트랜지스터(DT)의 게이트 전극에 연결된 제2 전극을 가질 수 있다. 스토리지 커패시터(CST)는 스위칭 트랜지스터(ST)를 통하여 전송된 데이터 신호($DATA$)의 전압을 저장할 수 있다.
- [0057] 구동 트랜지스터(DT)는 고 전원 전압($ELVDD$)에 연결된 제1 전극, 유기 발광 다이오드($OLED$)에 연결된 제2 전극, 및 스토리지 커패시터(CST)에 연결된 게이트 전극을 가질 수 있다. 구동 트랜지스터(DT)는 스토리지 커패시터(CST)에 저장된 데이터 신호($DATA$)에 따라 턴-온 또는 턴-오프될 수 있다. 유기 발광 다이오드($OLED$)는 구동 트랜지스터(DT)에 연결된 애노드 전극 및 저 전원 전압($ELVSS$)에 연결된 캐소드 전극을 가질 수 있다.
- [0058] 유기 발광 다이오드($OLED$)는, 구동 트랜지스터(DT)가 턴-온되는 동안, 고 전원 전압($ELVDD$)으로부터 저 전원 전압($ELVSS$)으로 흐르는 전류에 기초하여 발광할 수 있다.
- [0059] 서브 픽셀(SPX)의 이러한 단순한 구조, 즉 두 개의 트랜지스터들(ST , DT) 및 하나의 커패시터(CST)를 포함하는 2T1C 구조는 서브 픽셀(SPX)의 제어 신호를 단순화하여 단면 구동에 적합할 수 있다.
- [0060] 도 6은 도 5의 서브 픽셀의 수직 구조를 설명하기 위한 디스플레이 패널의 단면도이다.
- [0061] 도 6에는 도 5의 서브 픽셀(SPX)의 구성 요소들 중에서 구동 트랜지스터(DT)와 유기 발광 다이오드($OLED$)가 예시적으로 도시되어 있다. 도 6을 참조하면, 디스플레이 패널(300)은 기판(301), 버퍼층(301), 액티브 패턴(310), 게이트 절연층(330), 게이트 전극(335), 제1 층간 절연막(340), 금속층(350)에 형성되는 연결 패턴들(351, 352), 제2 층간 절연막(355), 애노드 전극(360), 픽셀 정의막(365), 유기 발광층(370), 및 캐소드 전극(375)을 포함할 수 있다.
- [0062] 유리, 투명 플라스틱, 투명 세라믹 등과 같은 투명 절연 물질로 구성될 수 있는 기판(301) 상에 버퍼층(305)이 형성되고 버퍼층(305) 상에 액티브 패턴(310)을 형성할 수 있다. 액티브 패턴(310)은 스퍼터링 공정, 화학 기상 증착 공정, 프린팅 공정, 스프레이 공정, 진공 증착 공정, 원자층 적층 공정, 졸-겔 공정, 플라즈마 증대 화학 기상 증착 공정 등을 이용하여 형성될 수 있다. 액티브 패턴(310)은 소스-드레인 영역들(315, 320) 및 게이트 전극(335)의 하부에 위치하는 채널 영역(325)을 포함할 수 있다.
- [0063] 액티브 패턴(310)이 형성된 후 액티브 패턴(310)을 커버하는 게이트 절연층(330)이 형성될 수 있다. 게이트 절연층(330)은 화학 기상 증착 공정, 열산화 공정, 플라즈마 증대 화학 기상 증착(PECVD) 공정, 고밀도 플라즈마-화학 기상 증착(HDP-CVD) 공정 등을 이용하여 형성될 수 있다. 게이트 절연층(330)은 액티브 패턴(310)을 충분히 커버하도록 상대적으로 두꺼운 두께로 형성될 수 있다.
- [0064] 게이트 절연층(330) 상에는 게이트 전극(335)이 형성될 수 있다. 게이트 전극(335)은 스퍼터링(sputtering) 공

정, 스프레이(spray) 공정, 화학 기상 증착(CVD) 공정, 원자층 적층(ALD) 공정, 진공 증착(vacuum evaporation) 공정, 프린팅(printing) 공정 등을 통해 형성될 수 있다.

- [0065] 게이트 전극(335)이 형성된 후에 액티브 패턴(310)은 불순물에 의해 도핑될 수 있다. 소스-드레인 영역들(315, 320)에는 불순물이 도핑되고, 게이트 전극(335)의 하부에 위치하는 채널 영역(325)은 불순물이 도핑되지 않는다. 수 있다. 그 결과, 소스-드레인 영역들(315, 320)은 도체로 동작할 수 있고, 게이트 전극(335)의 하부에 위치하는 채널 영역(325)은 구동 트랜지스터(DT)의 채널로 동작할 수 있다.
- [0066] 게이트 절연층(330) 상에는 게이트 전극(335)을 덮는 제1 층간 절연막(340)이 형성될 수 있다. 제1 층간 절연막(340)은 게이트 전극(335)을 충분히 커버하도록 상대적으로 두꺼운 두께로 형성될 수 있다. 이 경우, 제1 층간 절연막(340)은 실질적으로 평탄한 상면을 가질 수 있으며, 이와 같은 제1 층간 절연막(340)의 평탄한 상면을 구현하기 위하여 제1 층간 절연막(340)에 대해 평탄화 공정이 추가적으로 수행될 수 있다.
- [0067] 제1 층간 절연막(340)을 부분적으로 식각하여, 액티브 패턴(310)의 소스-드레인 영역들(315, 320)을 각각 노출시키는 콘택 홀들을 형성할 수 있다. 다음에, 상기 콘택 홀들을 채우면서 금속층(350) 내에 연결 패턴들(351, 352)을 형성할 수 있다.
- [0068] 제1 층간 절연막(340) 상에는 연결 패턴들(351, 352)을 덮는 제2 층간 절연막(355)이 형성될 수 있다. 제2 층간 절연막(355)은 연결 패턴들(351, 352)을 충분히 커버하도록 상대적으로 두꺼운 두께로 형성될 수 있다. 이 경우, 제2 층간 절연막(355)은 실질적으로 평탄한 상면을 가질 수 있으며, 이와 같은 제2 층간 절연막(355)의 평탄한 상면을 구현하기 위하여 제2 층간 절연막(355)에 대해 평탄화 공정이 추가적으로 수행될 수 있다.
- [0069] 제2 층간 절연막(355)을 부분적으로 식각하여, 연결 패턴(351)의 일부를 노출시키는 콘택 홀을 형성할 수 있다. 다음에, 콘택 홀을 채우면서 제2 층간 절연막(355) 상에 애노드 전극(360)을 형성할 수 있다. 애노드 전극(360)은 제2 층간 절연막(355)의 일부 상에 형성될 수 있다.
- [0070] 제2 층간 절연막(355) 상에는 제1 전극(360)을 덮는 픽셀 정의막(365)이 형성될 수 있다. 픽셀 정의막(365)은 애노드 전극(360)을 충분히 커버하도록 상대적으로 두꺼운 두께로 형성될 수 있다.
- [0071] 픽셀 정의막(365)은 제1 전극(360)의 일부에 개구를 형성할 수 있고, 상기 개구에는 유기 발광층(370)이 형성될 수 있다. 즉, 유기 발광층(370)은 픽셀 정의막(365)의 상기 개구를 통해 노출되는 애노드 전극(360) 상에 배치될 수 있다.
- [0072] 마지막으로, 픽셀 정의막(365), 및 유기 발광층(370) 상에는 캐소드 전극(375)이 형성될 수 있다. 캐소드 전극(375)은 픽셀들이 형성되는 액티브 영역의 전체를 덮도록 형성될 수 있다.
- [0073] 도 5 및 6을 참조하여 설명한 서브 픽셀의 구조는 본 발명의 실시예들을 설명하기 위한 예시적인 것이며 서브 픽셀의 구조는 다양하게 변경될 수 있다.
- [0074] 도 7a 및 7b는 본 발명의 일 실시예에 따른 게이트 라인들 및 픽셀 유닛들의 그룹화를 나타내는 도면들이다.
- [0075] 도 7a를 참조하면, 첫번째 게이트 라인(G_1) 내지 n -번째 게이트 라인(G_n)의 각각은 대각선 방향으로 신장된 대각선 게이트 라인을 포함할 수 있다. 예를 들어, n -번째 게이트 라인은 대각선 방향으로 신장된 하나의 대각선 게이트 라인(DG_n)을 포함할 수 있다. 게이트 드라이버(120)는 도 2에 도시된 바와 같이 디스플레이 패널(110)의 상측에 배치될 수 있고, 대각선 게이트 라인(DG_n)은 디스플레이 패널(110)의 상측에서 게이트 드라이버(120)에 연결될 수 있다.
- [0076] n - m +1번째 게이트 라인(G_{n-m+1}) 내지 m -번째 게이트 라인(G_m)의 각각은, 디스플레이 패널(110)의 상측에서 게이트 드라이버(120)에 연결되고 열 방향으로 신장된 수직 게이트 라인 및 디스플레이 패널(110)의 하측에서 상기 수직 게이트 라인에 연결되고 대각선 방향으로 신장된 대각선 게이트 라인을 포함할 수 있다. 예를 들어, n -번째 게이트 라인(G_n)은 하나의 수직 게이트 라인(VG_n) 및 하나의 대각선 게이트 라인(DG_n)을 포함할 수 있다.
- [0077] 첫번째 게이트 라인(G_1) 내지 m -번째 게이트 라인(G_m)은, 제1 그룹(GRA), 제2 그룹(GRB) 및 제3 그룹(GRC)으로 그룹화될 수 있다. 제1 그룹(GRA)은 첫번째 게이트 라인(G_1) 내지 n -번째 게이트 라인(G_n)을 포함할 수 있고, 제2 그룹(GRB)은 n - m +1번째 게이트 라인(G_{n-m+1}) 내지 n -번째 게이트 라인을 포함할 수 있고, 제3 그룹(GRC)은 n - m +1번째 게이트 라인(G_{n-m+1}) 내지 m -번째 게이트 라인(G_m)을 포함할 수 있다. 도 7b에 도시된 바와 같이, 게이트 라인들($G_1 \sim G_m$)의 그룹화에 따라서 디스플레이 패널(110)에 배열된 픽셀 유닛들도 제1

그룹(GRA), 제2 그룹(GRB) 및 제3 그룹(GRC)으로 그룹화될 수 있다. 이와 같이 데이터 라인을 중첩하여 사용하지 않도록 게이트 라인들 및 픽셀 유닛들을 그룹화함으로써, 도 13 내지 17을 참조하여 후술하는 바와 같이 각 그룹들에 속하는 2개 또는 3개의 게이트 라인들을 하나의 스캔 주기 동안에 함께 활성화할 수 있다. 복수의 게이트 라인들을 동시에 활성화함으로써, 데이터율을 감소하고 충전 시간을 확보할 수 있다.

[0078] 도 8은 도 2의 전계발광 디스플레이 장치에 포함되는 게이트 드라이버의 일 실시예를 나타내는 블록도이다.

[0079] 도 8을 참조하면, 게이트 드라이버(120a)는 제1 게이트 드라이버(GDRV1)(121a) 및 제2 게이트 드라이버(GDRV2)(122a)를 포함할 수 있다. 제1 게이트 드라이버(121a)는 제1 그룹(GRA)의 게이트 라인들, 즉 첫번째 게이트 라인(G1) 내지 n - m 번째 게이트 라인(G_{n-m})을 구동할 수 있다. 제2 게이트 드라이버(122a)는 제2 그룹(GRB) 및 제3 그룹(GRC)의 게이트 라인들, 즉 n - m +1번째 게이트 라인(G_{n-m+1}) 내지 $m+n$ -1번째 게이트 라인(G_{m+n-1})을 구동할 수 있다. 전술한 바와 같이, 제1 게이트 라인(G1) 내지 제 n 게이트 라인(G_n)의 경우에는 대각선 방향으로 신장된 대각선 게이트 라인이 제1 및 제2 게이트 드라이버들(121a, 122a)에 각각 연결될 수 있고, n +1번째 게이트 라인(G_{n+1}) 내지 $m+n$ -1번째 게이트 라인(G_{m+n-1})의 경우에는 열 방향으로 신장된 수직 게이트 라인이 제1 및 제2 게이트 드라이버들(121a, 122a)에 각각 연결될 수 있다.

[0080] 제1 게이트 드라이버(121a) 및 제2 게이트 드라이버(122a)는, 도 2를 참조하여 전술한 스캔 구동 제어 신호(SCS)를 공통으로 수신할 수 있다. 스캔 구동 제어 신호(SCS)는 스캔 주소 신호(SCIN), 래치 클럭 신호(LATCK), 펄스폭 확장 모드 신호(PWBR), 펄스폭 종료 신호(PWCUT) 등을 포함할 수 있다. 스캔 주소 신호(SCIN)는 활성화되는 게이트 라인의 번호를 나타낼 수 있고 게이트 라인들의 개수에 따라 복수의 비트들을 포함할 수 있다. 래치 클럭 신호(LATCK)는 게이트 라인에 인가되는 게이트 신호의 활성화 타이밍을 나타낼 수 있고, 펄스폭 종료 신호(PWCUT)는 상기 게이트 신호의 비활성화 타이밍을 나타낼 수 있다. 펄스폭 확장 모드 신호(PWBR)는 복수의 게이트 라인들이 동시에 활성화될 수 있는지 여부를 나타낼 수 있다.

[0081] 제1 게이트 드라이버(121a) 및 제2 게이트 드라이버(122a)는, 스캔 주소 신호(SCIN) 및 래치 클럭 신호(LATCK)를 공통으로 수신하여 하나의 스캔 주기마다 제1 그룹(GRA), 제2 그룹(GRB) 및 제3 그룹(GRC)의 게이트 라인들($G1 \sim G_{m+n-1}$) 중 하나를 구동하여 활성화할 수 있다.

[0082] 도 9, 10 및 11은 도 8의 게이트 드라이버를 이용한 단변 구동 방법의 일 실시예를 나타내는 도면들이다.

[0083] 도 9에는 제1 스캔 주기(T_p), 제2 스캔 주기(T_q) 및 제3 스캔 주기(T_r)에 대하여 스캔 구동 제어 신호들(SCIN, LATCK, PWBR, PWCUT), 게이트 신호들($G(A1)$, $G(B1)$, $G(C1)$) 및 데이터(D_p , D_q , D_r)가 예시되어 있다. 제1 스캔 주기(T_p), 제2 스캔 주기(T_q) 및 제3 스캔 주기(T_r)는 반드시 시간적으로 연속한 스캔 주기들을 나타내는 것은 아니며, 시간적으로 서로 이격된 스캔 주기들일 수 있다.

[0084] 도 9에서, A1은 제1 그룹(GRA)에 속하는 게이트 라인의 번호를 나타내고, B1은 제2 그룹(GRB)에 속하는 게이트 라인의 번호를 나타내고, C1은 제3 그룹(GRC)에 속하는 게이트 라인의 번호를 나타낼 수 있다. $G(A1)$ 는 제1 그룹(GRA)에 속하는 게이트 라인에 인가되는 게이트 신호를 나타내고, $G(B1)$ 은 제2 그룹(GRB)에 속하는 게이트 라인에 인가되는 게이트 신호를 나타내고, $G(C1)$ 은 제3 그룹(GRC)에 속하는 게이트 라인에 인가되는 게이트 신호를 나타낼 수 있다.

[0085] 도 9에 도시된 바와 같이, 하나의 스캔 주기마다 제1 그룹(GRA), 제2 그룹(GRB) 및 제3 그룹(GRC)에 속하는 게이트 라인들, 즉 첫번째 게이트 라인($G1$) 내지 $m+n$ -1번째 게이트 라인(G_{m+n-1}) 중 하나를 구동하여 활성화할 수 있다. 펄스폭 확장 모드 신호(PWBR)는 논리 로우 레벨로 비활성화되고, 이에 따라서 한번에 하나의 게이트 라인만이 활성화 될 수 있다. 이때, 제1 그룹(GRA), 제2 그룹(GRB) 및 제3 그룹(GRC)에 속하는 게이트 라인들의 각각의 활성화 시간들(TON)은 모두 동일할 수 있다.

[0086] 예를 들어, FHD의 해상도의 경우, 행들의 개수(m)는 1080이고 열들의 개수(n)는 1920이고, 게이트 라인들의 개수($n+m-1$)는 2999이다. 프레임율이 75Hz 이고, 디지털 구동을 위한 서브 프레임의 개수가 8이고, 도 11을 참조하여 후술하는 순차 스캔 동시 발광(PESS) 구동을 적용하는 경우, 하나의 스캔 주기(TC)는 약 $0.5557 \mu s$ (micro second)에 해당한다. 게이트 신호의 듀티율이 90%인 경우, 게이트 라인의 활성화 시간(TON)은 약 $0.5001 \mu s$ 에 해당한다.

[0087] 여기서 게이트 라인의 활성화 시간이라 함은, 도 5에 도시된 서브 픽셀(SPX)의 스위칭 트랜지스터(ST)의 턴온 시간, 즉 데이터 신호(DATA)를 스토리지 커패시터(CST)에 저장하는 충전 시간에 상응한다.

[0088] 도 10을 참조하면, 하나의 프레임 구간(FP)은 s 개의 서브 프레임 구간들(SFP1~SFPs)을 포함할 수 있다. 서브 프

레이프 구간들(SFP1~SFPs)은 서로 다른 길이의 발광 시간들을 가질 수 있으며, 이러한 서로 다른 길이의 발광 시간들을 통하여 디스플레이 데이터의 계조를 표현할 수 있다. 도 8의 제1 게이트 드라이버(121a) 및 제2 게이트 드라이버(122a)는 스캔 주소 신호(SCIN)를 공통으로 수신하므로, 모든 게이트 라인들($G1 \sim G_{m+n-1}$) 중에서 하나의 게이트 라인을 선택하여 활성화할 수 있다. 즉, 제1 게이트 드라이버(121a) 및 제2 게이트 드라이버(122a)는, 제1 그룹(GRA), 제2 그룹(GRA) 및 제3 그룹(GRC)의 게이트 라인들($G1 \sim G_{m+n-1}$)을 동시 스캔 순차 발광(Progressive Emission with Simultaneous Scan; PESS) 방식으로 구동할 수 있다.

[0089] 도 11은 동시 스캔 순차 구동의 일 예를 나타내는 도면이다. 도 11에 도시된 바와 같이, 하나의 프레임 구간에 상응하는 시간 구간을 디스플레이 패널(110)의 수직 해상도, 즉 픽셀 행들의 개수(m)에 상응하는 유닛 시간들(UNIT1, UNIT2, UNIT3, UNIT4, UNIT5, UNIT6)로 분할될 수 있다. 또한, 각 유닛 시간(UNIT1, UNIT2, UNIT3, UNIT4, UNIT5, UNIT6)은 하나의 프레임에 포함된 서브-프레임들의 수의 부분 시간들로 분할될 수 있다.

[0090] 도 11에는, 디스플레이 패널이 6 개의 픽셀 행들을 포함하고, 하나의 프레임이 4 개의 서브-프레임들을 포함하는 예가 도시되어 있다. 따라서, 도 11의 예에서는, 하나의 프레임 구간에 상응하는 시간 구간이 6 개의 유닛 시간들(UNIT1, UNIT2, UNIT3, UNIT4, UNIT5, UNIT6)로 분할되고, 각 유닛 시간(UNIT1, UNIT2, UNIT3, UNIT4, UNIT5, UNIT6)이 4 개의 부분 시간들로 분할될 수 있다. 이 경우, 각 유닛 시간(UNIT1, UNIT2, UNIT3, UNIT4, UNIT5, UNIT6)의 상기 부분 시간들 각각에서 서로 다른 서브-프레임들에 상응하는 데이터가 서로 다른 픽셀 행들에 기입되면서, 각 서브-프레임에 상응하는 데이터는 복수의 픽셀 행들에 대하여 1 유닛 시간만큼 지연되면서 순차적으로 기입될 수 있다. 한편, 이러한 동시 스캔 순차 발광 방식에서는, 복수의 픽셀 행들에 대한 각각의 데이터 기입 시간들이 하나의 프레임 구간에 상응하는 시간 구간 전체에 걸쳐서 분포됨으로써, 각 데이터 기입 시간이 충분히 확보될 수 있고, 이에 따라, 동시 스캔 순차 발광 방식은 고 해상도를 가지는 디스플레이 장치에 더욱 적합할 수 있다.

[0091] 도 12는 본 발명의 일 실시예에 따른 단변 구동 방법에서의 데이터 인가 방법의 일 실시예를 설명하기 위한 도면이다.

[0092] 도 12에서, 가로축은 데이터 라인의 번호를 나타내고 세로축은 게이트 라인의 번호를 나타낸다. 전술한 바와 같이, 픽셀 유닛들의 행들의 개수가 m이고 열들의 개수가 n인 경우, 데이터 라인들의 개수는 n이고 게이트 라인들의 개수는 $m+n-1$ 이다.

[0093] 도 8 내지 10을 참조하여 설명한 실시예에서는, 하나의 스캔 주기 동안에 하나의 게이트 라인이 활성화된다. 이 경우 상기 하나의 스캔 주기마다 상기 데이터 라인들의 일부에만 유효한 데이터 신호가 인가되고 나머지 데이터 라인들에는 더미 데이터 신호가 인가될 수 있다. 도 12에서 점 찍은(dotted) 부분은 유효 데이터(valid data)를 나타내고, 나머지 부분은 유효하지 않은 더미 데이터(dummy data)를 나타낸다.

[0094] 예를 들어, i번째(i는 m보다 작은 자연수) 게이트 라인(G_i)이 선택되어 활성화되는 경우에는 첫번째 데이터 라인(D1) 내지 i번째 데이터 라인(D_i)에만 유효한 데이터가 인가되고, 나머지 데이터 라인들($D_{i+1} \sim D_n$)에는 더미 데이터가 인가된다. 다른 예에서, j번째(j는 m보다 크고 n보다 작은 자연수) 게이트 라인(G_i)이 선택되어 활성화되는 경우에는 $j-m+1$ 번째 데이터 라인(D_{j-m+1}) 내지 j번째 데이터 라인(D_j)에만 유효한 데이터가 인가되고, 나머지 데이터 라인들($D1 \sim D_{j-m}$, $D_{j+1} \sim D_n$)에는 더미 데이터가 인가된다.

[0095] 도 13은 도 2의 전계발광 디스플레이 장치에 포함되는 게이트 드라이버의 일 실시예를 나타내는 블록도이다.

[0096] 도 13을 참조하면, 게이트 드라이버(120b)는 제1 게이트 드라이버(GDRV1)(121b) 및 제2 게이트 드라이버(GDRV2)(122b)를 포함할 수 있다. 제1 게이트 드라이버(121b)는 제1 그룹(GRA)의 게이트 라인들, 즉 첫번째 게이트 라인($G1$) 내지 n-m번째 게이트 라인(G_{n-m})을 구동할 수 있다. 제2 게이트 드라이버(122b)는 제2 그룹(GRB) 및 제3 그룹(GRC)의 게이트 라인들, 즉 n-m+1번째 게이트 라인(G_{n-m+1}) 내지 m+n-1번째 게이트 라인(G_{m+n-1})을 구동할 수 있다. 전술한 바와 같이, 제1 게이트 라인($G1$) 내지 제n 게이트 라인(G_n)의 경우에는 대각선 방향으로 신장된 대각선 게이트 라인이 제1 및 제2 게이트 드라이버들(121a, 122a)에 각각 연결될 수 있고, n+1번째 게이트 라인(G_{n+1}) 내지 m+n-1번째 게이트 라인(G_{m+n-1})의 경우에는 열 방향으로 신장된 수직 게이트 라인이 제1 및 제2 게이트 드라이버들(121a, 122a)에 각각 연결될 수 있다.

[0097] 제1 게이트 드라이버(121b) 및 제2 게이트 드라이버(122b)는, 도 2를 참조하여 전술한 스캔 구동 제어 신호(SCS)를 각각 수신할 수 있다. 제1 게이트 드라이버(121b)는 제1 스캔 주소 신호(SCIN1), 제1 래치 클록 신호(LATCK1), 제1 펄스폭 확장 모드 신호(PWBR1) 및 제1 펄스폭 종료 신호(PWCUT1)를 수신할 수 있고, 제2 게이트 드라이버(122b)는 제2 스캔 주소 신호(SCIN2), 제2 래치 클록 신호(LATCK2), 제2 펄스폭 확장 모드 신호

(PWBR2) 및 제2 펄스폭 종료 신호(PWCUT2)를 수신할 수 있다. 스캔 주소 신호들(SCIN1, SCIN2)은 활성화되는 게이트 라인의 번호를 각각 나타낼 수 있고 게이트 라인들의 개수에 따라 복수의 비트들을 포함할 수 있다. 래치 클럭 신호들(LATCK1, LATCK2)은 게이트 라인에 인가되는 게이트 신호의 활성화 타이밍을 각각 나타낼 수 있고, 펄스폭 종료 신호들(PWCUT1, PWCUT2)은 상기 게이트 신호의 비활성화 타이밍을 각각 나타낼 수 있다. 펄스폭 확장 모드 신호들(PWBR1, PWBR2)은 복수의 게이트 라인들이 동시에 활성화될 수 있는지 여부를 각각 나타낼 수 있다.

[0098] 제1 게이트 드라이버(121b)는, 제1 스캔 주소 신호(SCIN1) 및 제1 래치 클럭 신호(LATCK)를 수신하여 하나의 스캔 주기마다 제1 그룹(GRA)의 게이트 라인들($G1 \sim G_{n-m}$) 중 하나를 구동하여 활성화할 수 있다. 제2 게이트 드라이버(122b)는, 제2 스캔 주소 신호(LATCK2) 및 제2 래치 클럭 신호(LATCK2)를 수신하여 상기 하나의 스캔 주기마다 제2 그룹(GRB)의 게이트 라인들($G_{n-m+1} \sim G_n$) 중 하나와 제3 그룹(GRC)의 게이트 라인들($G_{n+1} \sim G_{m+n-1}$) 중 하나를 구동하여 활성화할 수 있다.

[0099] 도 14 및 15는 도 13의 게이트 드라이버를 이용한 단변 구동 방법의 일 실시예를 나타내는 도면들이다.

[0100] 도 14에는 제1 스캔 주기(T_p) 및 제2 스캔 주기(T_q)에 대하여 스캔 구동 제어 신호들(SCIN1, SCIN2, LATCK1, LATCK2, PWBR1, PWBR2, PWCUT1, PWCUT2), 게이트 신호들($G(A1)$, $G(A2)$, $G(B1)$, $G(B2)$, $G(C1)$, $G(C2)$) 및 데이터(D_p , D_q)가 예시되어 있다. 제1 스캔 주기(T_p) 및 제2 스캔 주기(T_q)는 반드시 시간적으로 연속한 스캔 주기들을 나타내는 것은 아니며, 시간적으로 서로 이격된 스캔 주기들일 수 있다.

[0101] 도 14에서, A1 및 A2는 제1 그룹(GRA)에 속하는 게이트 라인의 번호들을 나타내고, B1 및 B2는 제2 그룹(GRB)에 속하는 게이트 라인의 번호들을 나타내고, C1 및 C2는 제3 그룹(GRB)에 속하는 게이트 라인의 번호들을 나타낼 수 있다. $G(A1)$ 및 $G(A2)$ 는 제1 그룹(GRA)에 속하는 게이트 라인들(A1, A1)에 인가되는 게이트 신호들을 나타내고, $G(B1)$ 및 $G(B2)$ 는 제2 그룹(GRB)에 속하는 게이트 라인들(B1, B2)에 인가되는 게이트 신호들을 나타내고, $G(C1)$ 및 $G(C2)$ 는 제3 그룹(GRC)에 속하는 게이트 라인들(C1, C2)에 인가되는 게이트 신호들을 나타낼 수 있다.

[0102] 도 14에 도시된 바와 같이, 도 13의 제1 게이트 드라이버(122b)는 하나의 스캔 주기마다 제1 그룹(GRA)에 속하는 게이트 라인들, 첫번째 게이트 라인($G1$) 내지 n -번째 게이트 라인(G_n) 중 하나를 구동하여 활성화할 수 있다. 또한 도 13의 제2 게이트 드라이버(122b)는 제2 그룹(GRB)에 속하는 게이트 라인들, 즉 n - m +1번째 게이트 라인(G_{n-m+1}) 내지 n 번째 게이트 라인(G_n) 중 하나를 구동하여 활성화하고, 제3 그룹(GRC)에 속하는 게이트 라인들, 즉 n +1번째 게이트 라인 내지 m + n -1번째 게이트 라인(G_{m+n-1}) 중 하나를 구동하여 활성화할 수 있다. 펄스폭 확장 모드 신호들(PWBR1, PWBR2)은 논리 로우 레벨로 비활성화되고, 이에 따라서 제1 게이트 드라이버(122b) 및 제2 게이트 드라이버(122b)는 각각 한번에 하나의 게이트 라인만을 활성화할 수 있다.

[0103] 제2 게이트 드라이버(122b)는, 하나의 스캔 주기를 제1 하프 스캔 주기 및 제2 하프 스캔 주기로 이등분하고, 상기 제1 하프 스캔 주기 동안에 제2 그룹(GRB)의 게이트 라인들 중 하나($G(Bi)$)를 구동하여 활성화하고, 제2 하프 스캔 주기 동안에 제3 그룹(GRC)의 게이트 라인들 중 하나($G(Ci)$)를 구동하여 활성화할 수 있다. 이때, 제2 그룹(GRB) 및 제3 그룹(GRC)에 속하는 게이트 라인들의 각각의 활성화 시간들(TONB, TONC)은 서로 동일하고, 제1 그룹(GRA)에 속하는 게이트 라인들의 각각의 활성화 시간(TONA)보다 작을 수 있다.

[0104] 예를 들어, FHD의 해상도의 경우, 행들의 개수(m)는 1080이고 열들의 개수(n)는 1920이고, 게이트 라인들의 개수($n+m-1$)는 2999이다. 제1 그룹(GRA)에 속하는 게이트 라인들($G1 \sim G_{n-m}$)의 개수는 840이고, 제2 그룹(GRB)에 속하는 게이트 라인들($G_{n-m+1} \sim G_n$)의 개수는 1080이고, 제3 그룹에 속하는 게이트 라인들($G_{n+1} \sim G_{m+n-1}$)의 개수는 1079이다. 프레임율이 75Hz 이고, 디지털 구동을 위한 서브 프레임의 개수가 8이고, 도 11을 참조하여 전술한 순차 스캔 동시 발광(PESS) 구동을 적용하는 경우, 하나의 스캔 주기(TC)는 약 1.5432 μs (micro second)에 해당한다. 게이트 신호의 듀티율이 90%인 경우, 제1 그룹(GRA)의 게이트 라인의 활성화 시간(TONA)은 약 1.3887 μs 에 해당하고, 제2 그룹(GRB) 및 제3 그룹(GRC)의 활성화 시간들(TONB, TONC)은 각각 약 0.6944에 해당한다. 이와 같이, 게이트 라인들 및 픽셀 유닛들을 복수의 그룹들로 그룹화하여 복수의 게이트 라인들을 하나의 스캔 주기 동안에 동시에 활성화함으로써 충전 시간을 확보할 수 있다.

[0105] 도 15를 참조하면, 하나의 프레임 구간(FP)은 s 개의 서브 프레임 구간들(SFP1~SFPs)을 포함할 수 있다. 서브 프레임 구간들(SFP1~SFPs)은 서로 다른 길이의 발광 시간들을 가질 수 있으며, 이러한 서로 다른 길이의 발광 시간들을 통하여 디스플레이 데이터의 계조를 표현할 수 있다. 도 13의 제1 게이트 드라이버(121b)는 제1 스캔 주소 신호(SCIN1)를 수신하여 제1 그룹(GRA)의 게이트 라인들($G1 \sim G_{n-m}$) 중에서 하나의 게이트 라인을 선택하여 활성화할 수 있다. 또한, 제2 게이트 드라이버(122b)는 제2 스캔 주소 신호(SCIN2)를 수신하고, 하나의 스캔 주기

를 제1 및 제2 하프 스캔 주기들로 이등분하여, 제2 그룹(GRB)의 게이트 라인들($G_{n-m+1} \sim G_n$) 중 하나의 게이트 라인과 제3 그룹(GRC)의 게이트 라인들($G_{n+1} \sim G_{m+n-1}$) 중에서 하나의 게이트 라인을 선택하여 하나의 스캔 주기 동안에 순차적으로 활성화할 수 있다. 즉, 제1 게이트 드라이버(122b)는 제1 그룹(GRA)의 게이트 라인들($G_1 \sim G_n$)을 동시 스캔 순차 발광 방식으로 구동하고, 제2 게이트 드라이버(122b)는 제2 그룹(GRB)의 게이트 라인들($G_{n-m+1} \sim G_n$)을 동시 스캔 순차 발광 방식으로 구동함과 동시에 제3 그룹(GRC)의 게이트 라인들($G_{n+1} \sim G_{m+n-1}$)을 동시 스캔 순차 방식으로 구동할 수 있다.

[0106] 도 16은 본 발명의 일 실시예에 따른 단변 구동 방법에서의 데이터 인가 방법의 일 실시예를 설명하기 위한 도면이다.

[0107] 도 16에서, 가로축은 데이터 라인의 번호를 나타내고 세로축은 게이트 라인의 번호를 나타낸다. 전술한 바와 같이, 픽셀 유닛들의 행들의 개수가 m 이고 열들의 개수가 n 인 경우, 데이터 라인들의 개수는 n 이고 게이트 라인들의 개수는 $m+n-1$ 이다.

[0108] 도 13 내지 15를 참조하여 설명한 실시예에서는, 하나의 스캔 주기 동안에 제1 그룹(GRA), 제2 그룹(GRB) 및 제3 그룹(GRC)에서 각각 1개씩, 총 3개의 게이트 라인들이 활성화될 수 있다. 이 경우 상기 하나의 스캔 주기마다 상기 데이터 라인들의 전체에 유효한 데이터 신호가 인가될 수 있다. 도 16에서 점 찍은(dotted) 부분은 유효 데이터(valid data)를 나타내고, 나머지 부분은 유효하지 않은 더미 데이터(dummy data)를 나타낸다. 예를 들어, 제2 그룹(GRB)에 속하는 $m+i$ 번째(i 는 0 또는 m 보다 작은 자연수) 게이트 라인(G_{m+i})이 선택되어 활성화되는 경우에는 첫번째 그룹(GRA)의 i 번째 게이트 라인(G_i) 및 제3 그룹(GRC)의 게이트 라인($2m+i$)이 함께 활성화될 수 있다. 이 경우, 첫번째 데이터 라인(D_1) 내지 i 번째 데이터 라인(D_i)에 인가되는 유효 데이터는 제1 그룹(GRA)의 픽셀 유닛들에 전달되고, $i+1$ 번째 데이터 라인(D_{i+1}) 내지 $m+i$ 번째 데이터 라인에 인가되는 유효 데이터는 제2 그룹(GRB)의 픽셀 유닛들에 전달되고, $m+i+1$ 번째 데이터 라인(D_{m+i+1}) 내지 n 번째 데이터 라인(D_n)에 인가되는 유효 데이터는 제3 그룹(GRC)의 픽셀 유닛들에 전달될 수 있다.

[0109] 이와 같이, 데이터 라인을 중첩하여 사용하지 않도록 게이트 라인들 및 픽셀 유닛들을 그룹화하고 각 그룹들에 속하는 복수의 게이트 라인들을 하나의 스캔 주기 동안에 함께 활성화함으로써 데이터율을 감소하고 충전 시간을 확보할 수 있다.

[0110] 도 17은 도 13의 게이트 드라이버를 이용한 단변 구동 방법의 일 실시예를 나타내는 도면이다.

[0111] 도 17에는 제1 스캔 주기(T_p) 및 제2 스캔 주기(T_q)에 대하여 스캔 구동 제어 신호들(SCIN1, SCIN2, LATCK1, LATCK2, PWBR1, PWBR2, PWCUT1, PWCUT2), 게이트 신호들($G(A1)$, $G(A2)$, $G(B1)$, $G(B2)$, $G(C1)$, $G(C2)$) 및 데이터(D_p , D_q)가 예시되어 있다. 제1 스캔 주기(T_p) 및 제2 스캔 주기(T_q)는 반드시 시간적으로 연속한 스캔 주기들을 나타내는 것은 아니며, 시간적으로 서로 이격된 스캔 주기들일 수 있다.

[0112] 도 17에서, $A1$ 및 $A2$ 는 제1 그룹(GRA)에 속하는 게이트 라인의 번호들을 나타내고, $B1$ 및 $B2$ 는 제2 그룹(GRB)에 속하는 게이트 라인의 번호들을 나타내고, $C1$ 및 $C2$ 는 제3 그룹(GRB)에 속하는 게이트 라인의 번호들을 나타낼 수 있다. $G(A1)$ 및 $G(A2)$ 는 제1 그룹(GRA)에 속하는 게이트 라인들($A1$, $A1$)에 인가되는 게이트 신호들을 나타내고, $G(B1)$ 및 $G(B2)$ 는 제2 그룹(GRB)에 속하는 게이트 라인들($B1$, $B2$)에 인가되는 게이트 신호들을 나타내고, $G(C1)$ 및 $G(C2)$ 는 제3 그룹(GRC)에 속하는 게이트 라인들($C1$, $C2$)에 인가되는 게이트 신호들을 나타낼 수 있다.

[0113] 도 17에 도시된 바와 같이, 도 13의 제1 게이트 드라이버(122b)는 하나의 스캔 주기마다 제1 그룹(GRA)에 속하는 게이트 라인들, 첫번째 게이트 라인(G_1) 내지 $n-m$ 번째 게이트 라인(G_{n-m}) 중 하나를 구동하여 활성화할 수 있다. 또한 도 13의 제2 게이트 드라이버(122b)는 제2 그룹(GRB)에 속하는 게이트 라인들, 즉 $n-m+1$ 번째 게이트 라인(G_{n-m+1}) 내지 n 번째 게이트 라인(G_n) 중 하나를 구동하여 활성화하고, 제3 그룹(GRC)에 속하는 게이트 라인들, 즉 $n+1$ 번째 게이트 라인 내지 $m+n-1$ 번째 게이트 라인(G_{m+n-1}) 중 하나를 구동하여 활성화할 수 있다. 제1 펄스폭 확장 모드 신호(PWBR1)는 논리 로우 레벨로 비활성화되고, 제2 펄스폭 확장 모드 신호(PWBR2)는 논리 하이 레벨로 활성화될 수 있다. 이에 따라서 제1 게이트 드라이버(122b)는 한번에 하나의 게이트 라인만을 활성화할 수 있고, 제2 게이트 드라이버(122b)는 동시에 두 개의 게이트 라인들을 활성화할 수 있다. 즉, 제2 게이트 드라이버(122b)는, 하나의 스캔 주기 동안에 상기 제2 그룹(GRB)의 게이트 라인들($G_{n-m+1} \sim G_n$) 중 하나를 구동하여 활성화하는 시간(TONB)의 적어도 일부와 제3 그룹(GRC)의 게이트 라인들($G_{n+1} \sim G_{m+n-1}$) 중 하나를 구동하여 활성화하는 시간(TONC)의 적어도 일부를 중첩시킬 수 있다.

[0114] 이때, 제1 그룹(GRA), 제2 그룹(GRB) 및 제3 그룹(GRC)에 속하는 게이트 라인들의 각각의 활성화 시간들(TONA, TONB, TONC)은 서로 동일할 수 있다. 예를 들어, FHD의 해상도의 경우, 행들의 개수(m)는 1080이고 열들의 개

수(n)는 1920이고, 게이트 라인들의 개수($n+m-1$)는 2999이다. 제1 그룹(GRA)에 속하는 게이트 라인들($G1 \sim Gn-m$)의 개수는 840이고, 제2 그룹(GRB)에 속하는 게이트 라인들($Gn-m+1 \sim Gn$)의 개수는 1080이고, 제3 그룹에 속하는 게이트 라인들($Gn+1 \sim Gn+n-1$)의 개수는 1079이다. 프레임율이 75Hz 이고, 디지털 구동을 위한 서브 프레임의 개수가 8이고, 도 11을 참조하여 전술한 순차 스캔 동시 발광(PESS) 구동을 적용하는 경우, 하나의 스캔 주기(TC)는 약 $1.5432 \mu s$ (micro second)에 해당한다. 게이트 신호의 듀티율이 80%인 경우, 제1 그룹(GRA), 제2 그룹(GRB) 및 제3 그룹(GRC)의 활성화 시간들(TONA, TONB, TONC)은 각각 약 1.2346에 해당한다. 이와 같이, 게이트 라인들 및 픽셀 유닛들을 복수의 그룹들로 그룹화하여 복수의 게이트 라인들을 하나의 스캔 주기 동안에 동시에 활성화함으로써 충전 시간을 확보할 수 있다.

[0115] 도 18a 및 18b는 본 발명의 일 실시예에 따른 게이트 라인의 부하에 따른 충전 시간의 가변을 나타내는 도면들이다.

[0116] 도 18a 및 18b를 참조하면, 첫번째 게이트 라인($G1$)부터 m 번째 게이트 라인(Gm)까지는 게이트 라인의 번호가 증가할수록 하나의 게이트 라인에 공통으로 연결되는 픽셀 유닛들의 개수가 1개씩 순차적으로 증가하여 게이트 라인의 부하가 점점 증가하므로 이에 따라 충전 시간을 점진적으로 증가시킬 필요가 있다. m 번째 게이트 라인(Gm)부터 n 번째 게이트 라인(Gn)까지는 게이트 라인의 번호가 증가하더라도 하나의 게이트 라인에 공통으로 연결되는 픽셀 유닛들의 개수가 일정하여 게이트 라인의 부하가 일정하므로 충전 시간을 고정시킬 수 있다.

[0117] 제3 그룹(GRC)에 속하는 게이트 라인들($Gn+1 \sim Gn+n-1$)에 대해서는 도 3 및 7a를 참조하여 전술한 바와 같이 대각선 게이트 라인을 데이터 드라이버와 연결하기 위한 수직 게이트 라인이 추가되므로 부하가 증가한다. 제3 그룹(GRC)에서는 게이트 라인의 번호가 증가할수록 하나의 게이트 라인에 공통으로 연결되는 픽셀 유닛들의 개수가 1개씩 순차적으로 감소하여 게이트 라인의 부하가 점점 감소하므로 이에 따라 충전 시간을 점진적으로 감소시킬 필요가 있다. 도 17b에 도시된 바와 같이, 데이터 드라이버의 데이터율에 따라서 충전 시간은 최소 시간(T_{min})으로 제한될 수 있다.

[0118] 도 19는 본 발명의 일 실시예에 따른 단변 구동 방법을 나타내는 타이밍도이다.

[0119] 도 19에는 제1 스캔 주기(T_p), 제2 스캔 주기(T_q) 및 제3 스캔 주기(T_r)에 대하여 스캔 구동 제어 신호들(SCIN, LATCK, PWBR, PWCUT), 게이트 신호들($G(A1)$, $G(Bm+1)$, $G(Cn+1)$) 및 데이터(D_p , D_q , D_r)가 예시되어 있다. 제1 스캔 주기(T_p), 제2 스캔 주기(T_q) 및 제3 스캔 주기(T_r)는 반드시 시간적으로 연속한 스캔 주기들을 나타내는 것은 아니며, 시간적으로 서로 이격된 스캔 주기들일 수 있다.

[0120] 도 19에서, $A(1)$ 은 제1 그룹(GRA)에 속하는 첫번째 게이트 라인($G1$)의 번호를 나타내고, $B(m+1)$ 은 제2 그룹(GRB)에 속하는 $m+1$ 번째 게이트 라인($Gm+1$)의 번호를 나타내고, $C(n+1)$ 은 제3 그룹(GRC)에 속하는 $n+1$ 번째 게이트 라인($Gn+1$)의 번호를 나타낼 수 있다. $G(1)$ 은 제1 그룹(GRA)에 속하는 첫번째 게이트 라인($G1$)에 인가되는 게이트 신호를 나타내고, $G(m+1)$ 은 제2 그룹(GRB)에 속하는 $m+1$ 번째 게이트 라인($Gm+1$)에 인가되는 게이트 신호를 나타내고, $G(n+1)$ 은 제3 그룹(GRC)에 속하는 게이트 라인($Gn+1$)에 인가되는 게이트 신호를 나타낼 수 있다.

[0121] 도 19에 도시된 바와 같이, 하나의 스캔 주기마다 제1 그룹(GRA), 제2 그룹(GRB) 및 제3 그룹(GRC)에 속하는 게이트 라인들, 즉 첫번째 게이트 라인($G1$) 내지 $m+n-1$ 번째 게이트 라인($Gm+n-1$) 중 하나를 구동하여 활성화할 수 있다. 펄스폭 확장 모드 신호(PWBR)는 논리 로우 레벨로 비활성화되고, 이에 따라서 한번에 하나의 게이트 라인만이 활성화 될 수 있다. 이때, 제1 그룹(GRA), 제2 그룹(GRB) 및 제3 그룹(GRC)에 속하는 게이트 라인들의 각각의 활성화 시간들(TON1, TON2, TON3)은 도 18a 및 18b를 참조하여 설명한 바와 같이 게이트 라인의 부하에 따라서 가변될 수 있다. TON1은 도 18b의 최소 시간(T_{min})에 상응하고, TON2는 제2 그룹(GRB)의 고정된 충전 시간에 상응하고, TON3은 제3 그룹(GRC)에 속한 $n+1$ 번째 게이트 라인($Gn+1$)의 가장 긴 충전 시간에 상응할 수 있다.

[0122] 도 20은 본 발명의 실시예들에 따른 전자 기기를 나타내는 블록도이다.

[0123] 도 20을 참조하면, 전자 기기(1000)는 프로세서(1010), 메모리 장치(1020), 저장 장치(1030), 입출력 장치(1040), 파워 서플라이(1050) 및 디스플레이 장치(1060)를 포함할 수 있다. 전자 기기(1000)는 비디오 카드, 사운드 카드, 메모리 카드, USB 장치 등과 통신하거나, 또는 다른 시스템들과 통신할 수 있는 여러 포트(port)들을 더 포함할 수 있다.

[0124] 프로세서(1010)는 특정 계산들 또는 태스크(task)들을 수행할 수 있다. 실시예에 따라, 프로세서(1010)는 마이크로프로세서(micro processor), 중앙 처리 장치(CPU) 등일 수 있다. 프로세서(1010)는 어드레스 버스(address bus), 제어 버스(control bus) 및 데이터 버스(data bus) 등을 통하여 다른 구성 요소들에 연결될 수 있다. 실

시예에 따라, 프로세서(1010)는 주변 구성요소 상호연결(Peripheral Component Interconnect; PCI) 버스와 같은 확장 버스에도 연결될 수 있다. 메모리 장치(1020)는 전자 기기(1000)의 동작에 필요한 데이터들을 저장할 수 있다. 예를 들어, 메모리 장치(1020)는 EPROM(Erasable Programmable Read-Only Memory), EEPROM(Electrically Erasable Programmable Read-Only Memory), 플래시 메모리(Flash Memory), PRAM(Phase Change Random Access Memory), RRAM(Resistance Random Access Memory), NFGM(Nano Floating Gate Memory), PoRAM(Polymer Random Access Memory), MRAM(Magnetic Random Access Memory), FRAM(Ferroelectric Random Access Memory) 등과 같은 비휘발성 메모리 장치 및/또는 DRAM(Dynamic Random Access Memory), SRAM(Static Random Access Memory), 모바일 DRAM 등과 같은 휘발성 메모리 장치를 포함할 수 있다. 저장 장치(1030)는 솔리드 스테이트 드라이브(Solid State Drive; SSD), 하드 디스크 드라이브(Hard Disk Drive; HDD), 씨디롬(CD-ROM) 등을 포함할 수 있다.

[0125] 입출력 장치(1040)는 키보드, 키패드, 터치패드, 터치스크린, 마우스, 리모트 컨트롤러 등과 같은 입력 수단, 및 스피커, 프린터 등과 같은 출력 수단을 포함할 수 있다. 실시예에 따라, 디스플레이 장치(1060)는 입출력 장치(1040) 내에 구비될 수도 있다. 파워 서플라이(1050)는 전자 기기(1000)의 동작에 필요한 파워를 공급할 수 있다. 입체 영상 디스플레이 시스템(1060)은 상기 버스들 또는 다른 통신 링크를 통해서 다른 구성 요소들에 연결될 수 있다.

[0126] 디스플레이 장치(1060)는 도 1 내지 19를 참조하여 설명한 바와 같이 단변 구동을 수행하기 위한 구성을 가질 수 있다. 디스플레이 장치(1060)는 복수의 데이터 라인들 및 복수의 게이트 라인들에 각각 연결되고 복수의 행들 및 복수의 열들의 매트릭스 형태로 배열된 복수의 픽셀 유닛들을 포함하고, 동일한 열에 속하는 픽셀 유닛들은 동일한 데이터 라인에 공통으로 연결되고, 동일한 대각선에 속하는 픽셀 유닛들은 동일한 게이트 라인에 공통으로 연결되는 디스플레이 패널을 포함하고, 상기 디스플레이 패널의 일측에 함께 배치되어 상기 데이터 라인들 및 상기 게이트 라인들을 구동하는 데이터 드라이버 및 게이트 드라이버를 포함할 수 있다.

[0127] 실시예에 따라, 전자 기기(1000)는 디지털 TV(Digital Television), 3D TV, 개인용 컴퓨터(Personal Computer; PC), 가정용 전자기기, 노트북 컴퓨터(Laptop Computer), 태블릿 컴퓨터(Tablet Computer), 휴대폰(Mobile Phone), 스마트 폰(Smart Phone), 개인 정보 단말기(personal digital assistant; PDA), 휴대형 멀티미디어 플레이어(portable multimedia player; PMP), 디지털 카메라(Digital Camera), 음악 재생기(Music Player), 휴대용 게임 콘솔(portable game console), 내비게이션(Navigation) 등과 같은 디스플레이 장치를 포함하는 임의의 전자 기기일 수 있다.

[0128] 도 21은 본 발명의 실시예들에 따른 휴대용 단말기를 나타내는 블록도이다.

[0129] 도 21을 참조하면, 휴대용 단말기(1000)는 이미지 처리부(1100), 무선 송수신부(1200), 오디오 처리부(1300), 이미지 파일 생성부(1400), 메모리 장치(1500), 유저 인터페이스(1600), 애플리케이션 프로세서(1700) 및 전력 관리 장치(1800)를 포함한다.

[0130] 이미지 처리부(1100)는 렌즈(1110), 이미지 센서(1120), 이미지 프로세서(1130) 및 디스플레이 모듈(1140)을 포함한다. 무선 송수신부(1200)는 안테나(1210), 트랜시버(1220) 및 모뎀(1230)을 포함한다. 오디오 처리부(1300)는 오디오 프로세서(1310), 마이크(1320) 및 스피커(1330)를 포함한다.

[0131] 본 발명의 실시예들에 따라서, 디스플레이 모듈(1140)은 도 1 내지 19를 참조하여 설명한 바와 같이 단변 구동을 수행하기 위한 구성을 가질 수 있다. 디스플레이 모듈(1140)은 복수의 데이터 라인들 및 복수의 게이트 라인들에 각각 연결되고 복수의 행들 및 복수의 열들의 매트릭스 형태로 배열된 복수의 픽셀 유닛들을 포함하고, 동일한 열에 속하는 픽셀 유닛들은 동일한 데이터 라인에 공통으로 연결되고, 동일한 대각선에 속하는 픽셀 유닛들은 동일한 게이트 라인에 공통으로 연결되는 디스플레이 패널을 포함하고, 상기 디스플레이 패널의 일측에 함께 배치되어 상기 데이터 라인들 및 상기 게이트 라인들을 구동하는 데이터 드라이버 및 게이트 드라이버를 포함할 수 있다.

[0132] 휴대용 단말기(1000)에는 다양한 종류의 반도체 장치들이 포함될 수 있으며, 특히 애플리케이션 프로세서(1700)의 저전력, 고성능이 요구될 수 있다. 이러한 요구에 따라 애플리케이션 프로세서(1700)는 미세화 공정에 따라 멀티 코어 형태로 제공되기도 한다. 애플리케이션 프로세서(1700)는 중앙 처리 유닛(1702) 및 전력 관리 시스템(1704)을 포함할 수 있다.

[0133] 전력 관리 장치(780)는 이미지 처리부(1100), 무선 송수신부(1200), 오디오 처리부(1300), 이미지 파일 생성부(1400), 메모리 장치(1500), 유저 인터페이스(1600), 애플리케이션 프로세서(1700)에 각각 구동 전압을 제공할

수 있다.

[0134] 전술한 바와 같이, 본 발명의 실시예들에 따른 전계발광 디스플레이 장치 및 그 단변 구동 방법은, 데이터 드라이버 및 게이트 드라이버를 디스플레이 패널의 일측에 함께 배치함으로써 베젤 폭을 감소할 수 있고, 발광 시간을 통해 계조를 표현하는 디지털 구동을 통하여 단변 구동에서 발생할 수 있는 디스플레이 패널의 우측 하단부의 화질 열화 현상을 해결할 수 있다. 또한 본 발명의 실시예들에 따른 전계발광 디스플레이 장치 및 그 단변 구동 방법은 단변 구동 패널에서 픽셀 유닛들의 그룹화를 통하여 데이터율을 감소하고 충전 시간을 확보할 수 있다.

산업상 이용가능성

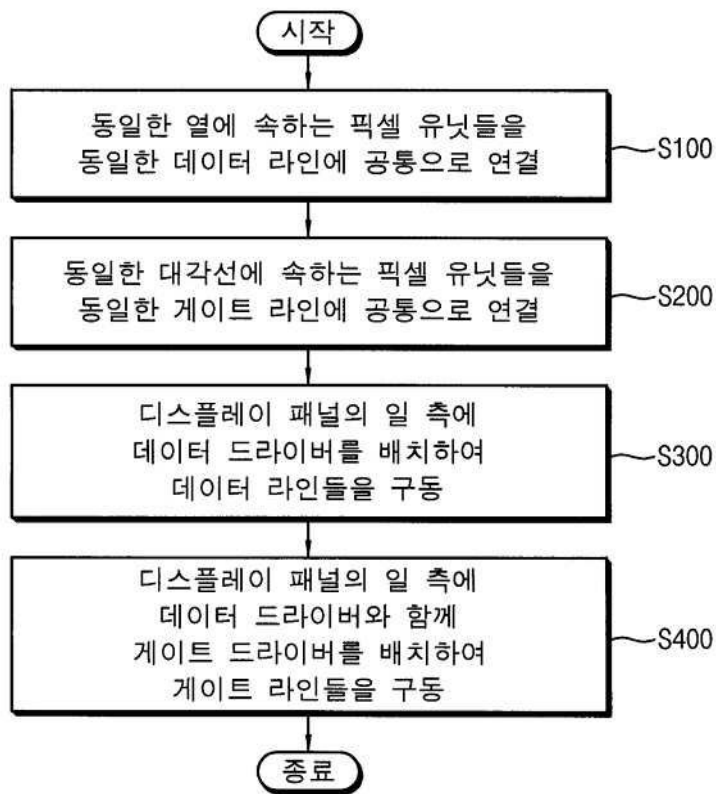
[0135] 본 발명의 실시예들에 따른 전계발광 디스플레이 장치 및 그 단변 구동 방법은, 베젤 폭을 감소하고 충전 시간을 확보하고 디스플레이 품질을 향상시키기 위하여 유용하게 이용될 수 있다. 특히 고속으로 동작하고 전력 감소가 요구되는 메모리 카드, 솔리드 스테이트 드라이브(Solid State Drive; SSD), 컴퓨터(computer), 노트북(laptop), 핸드폰(cellular), 스마트폰(smart phone), MP3 플레이어, 피디에이(Personal Digital Assistants; PDA), 피엠펙(Portable Multimedia Player; PMP), 디지털 TV, 디지털 카메라, 포터블 게임 콘솔(portable game console) 등과 같은 전자 기기에 더욱 유용하게 적용될 수 있다.

부호의 설명

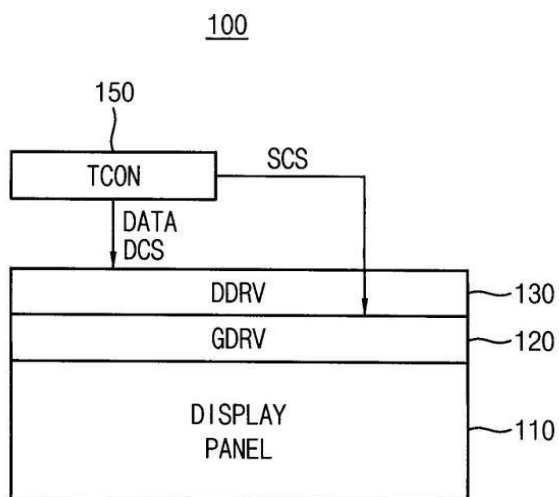
[0136] P11~Pmn: 픽셀 유닛들
G1~Gm+n-1: 게이트 라인들
D1~Dn: 데이터 라인들
GRA: 제1 그룹
GRB: 제2 그룹
GRC: 제3 그룹

도면

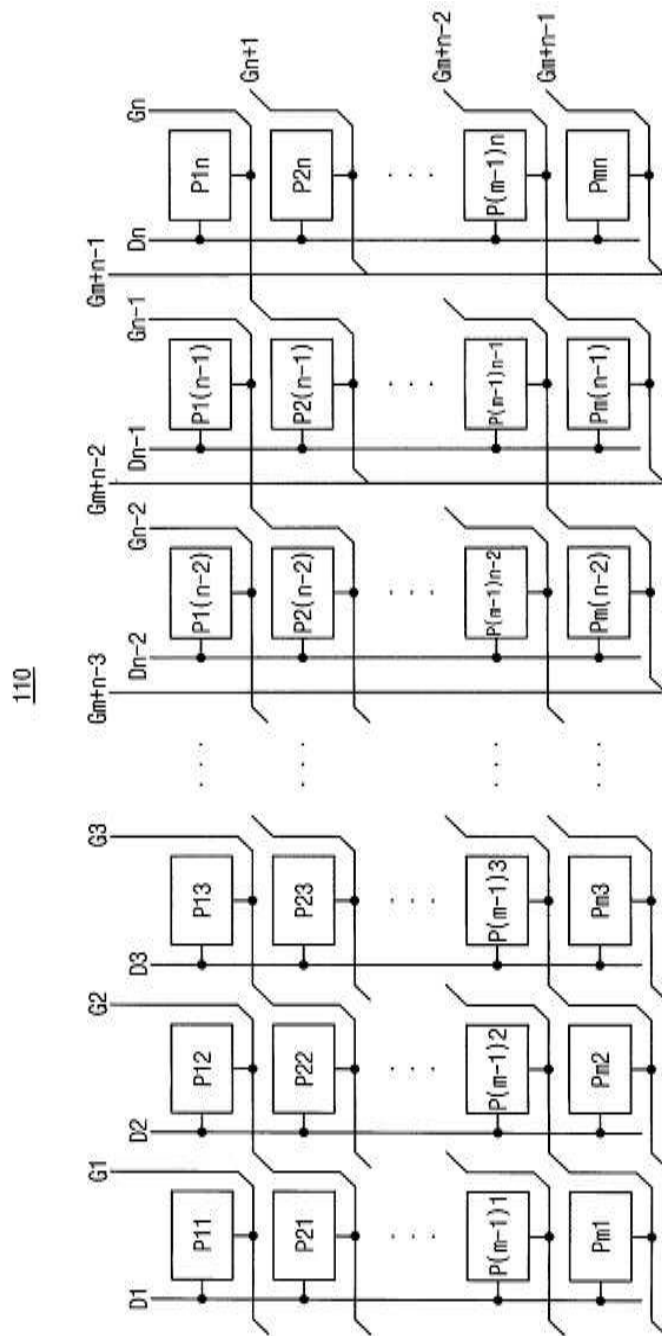
도면1



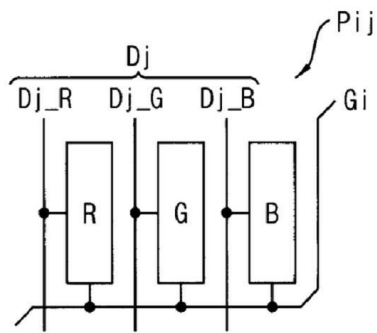
도면2



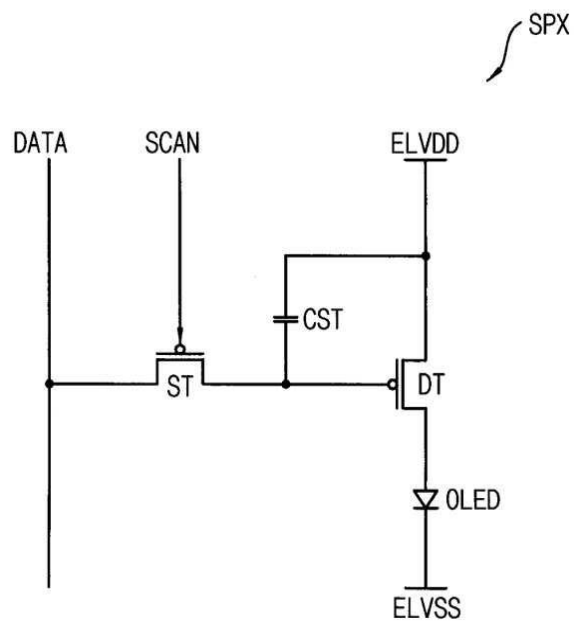
도면3



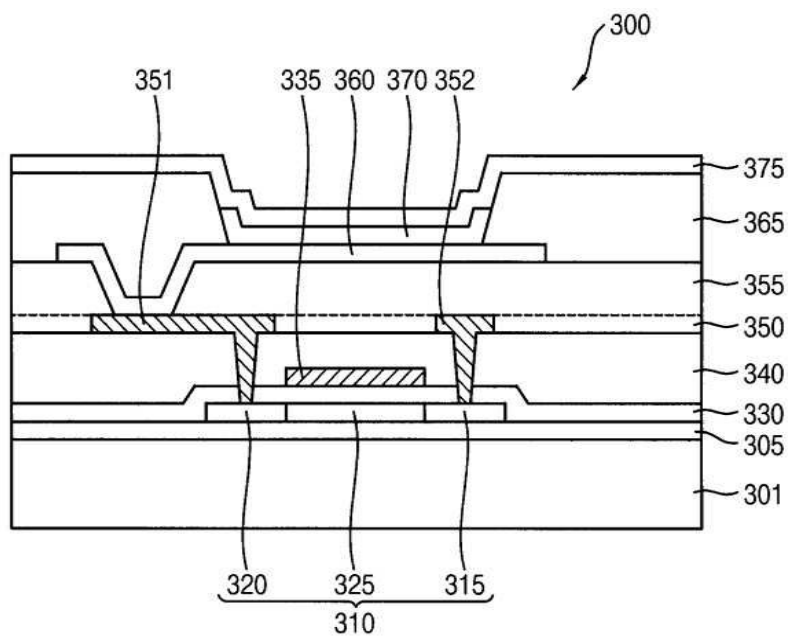
도면4



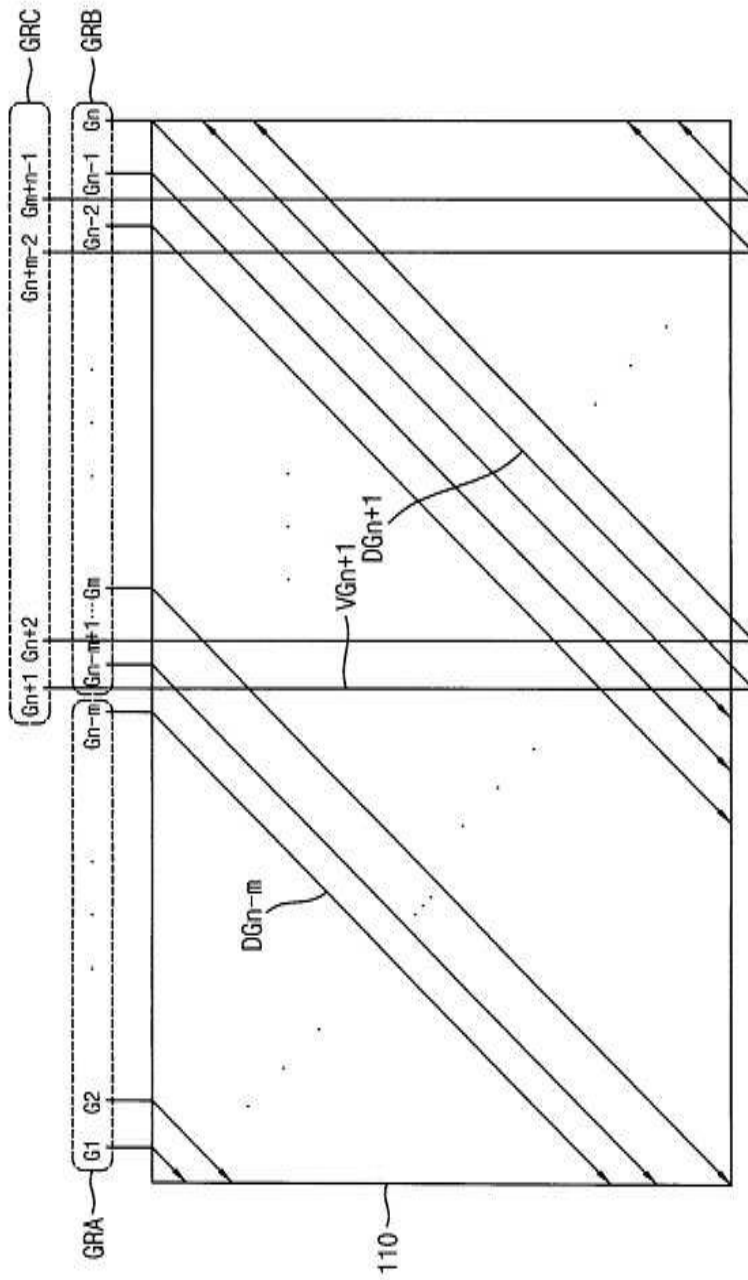
도면5



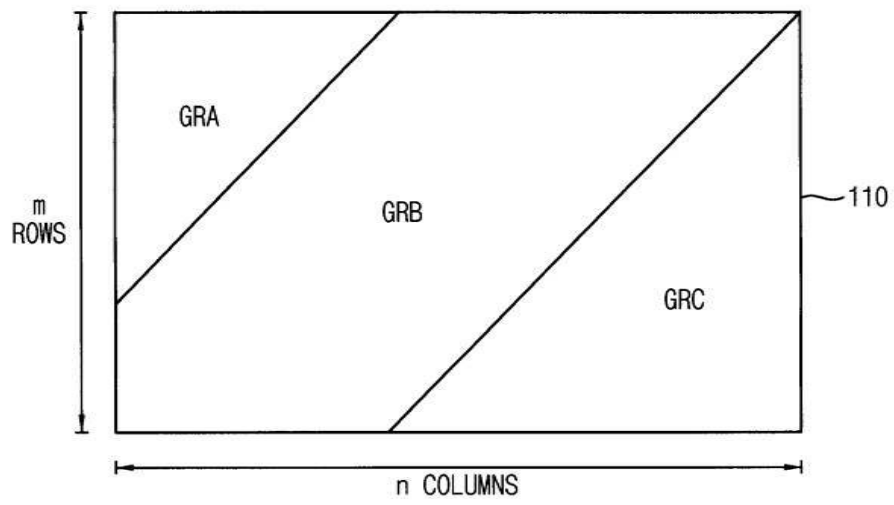
도면6



도면7a

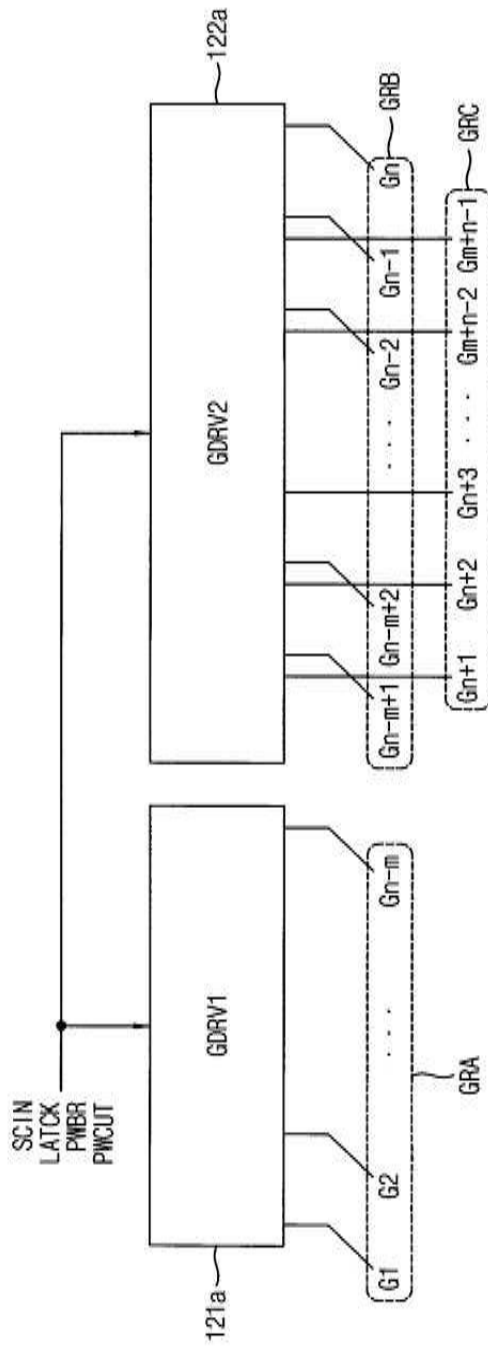


도면7b

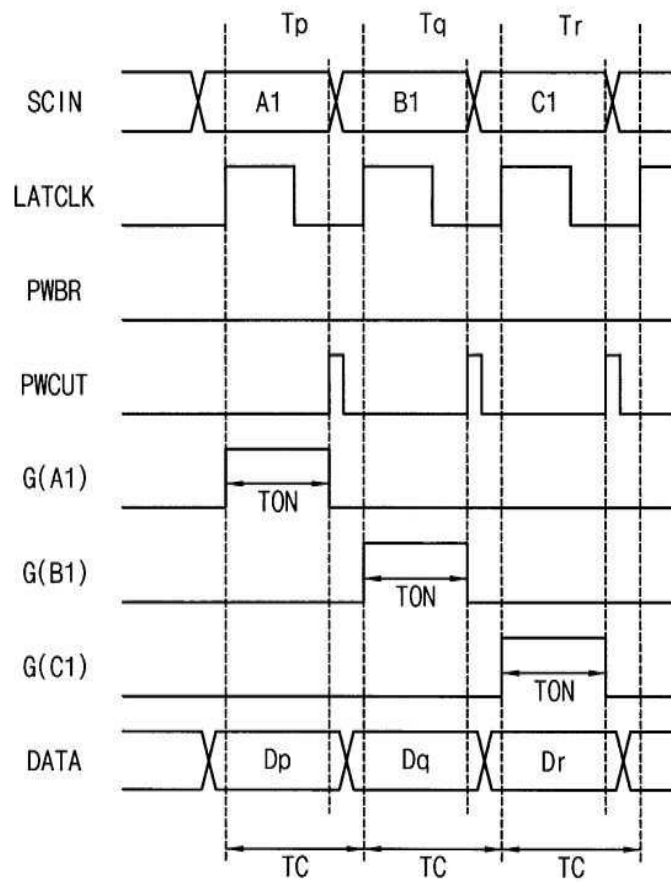


도면8

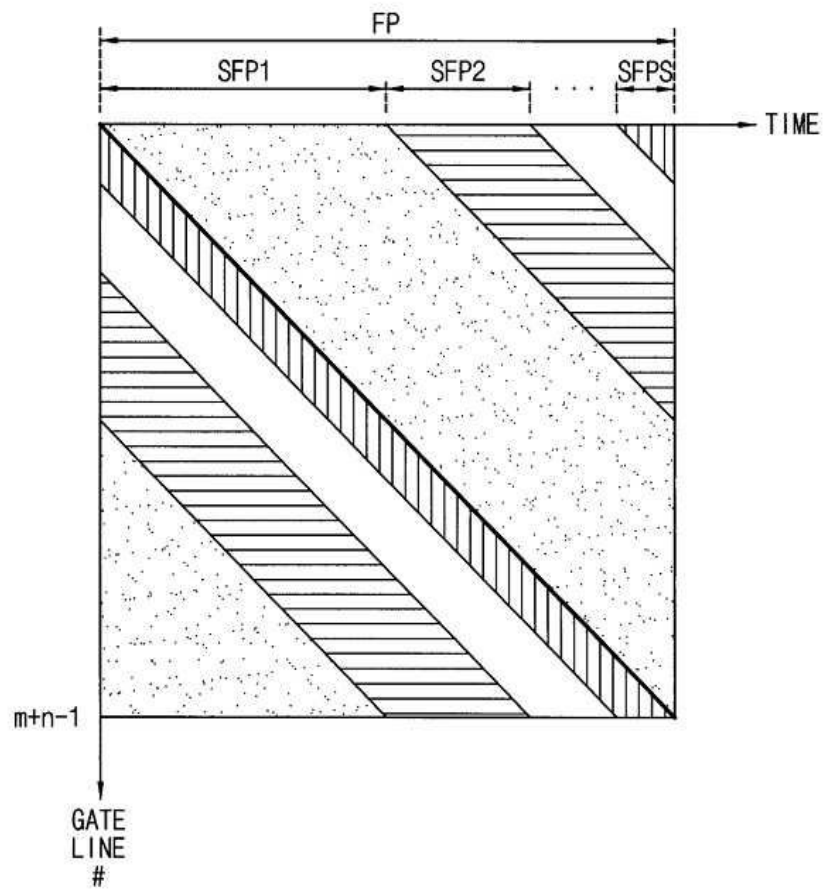
120a



도면9



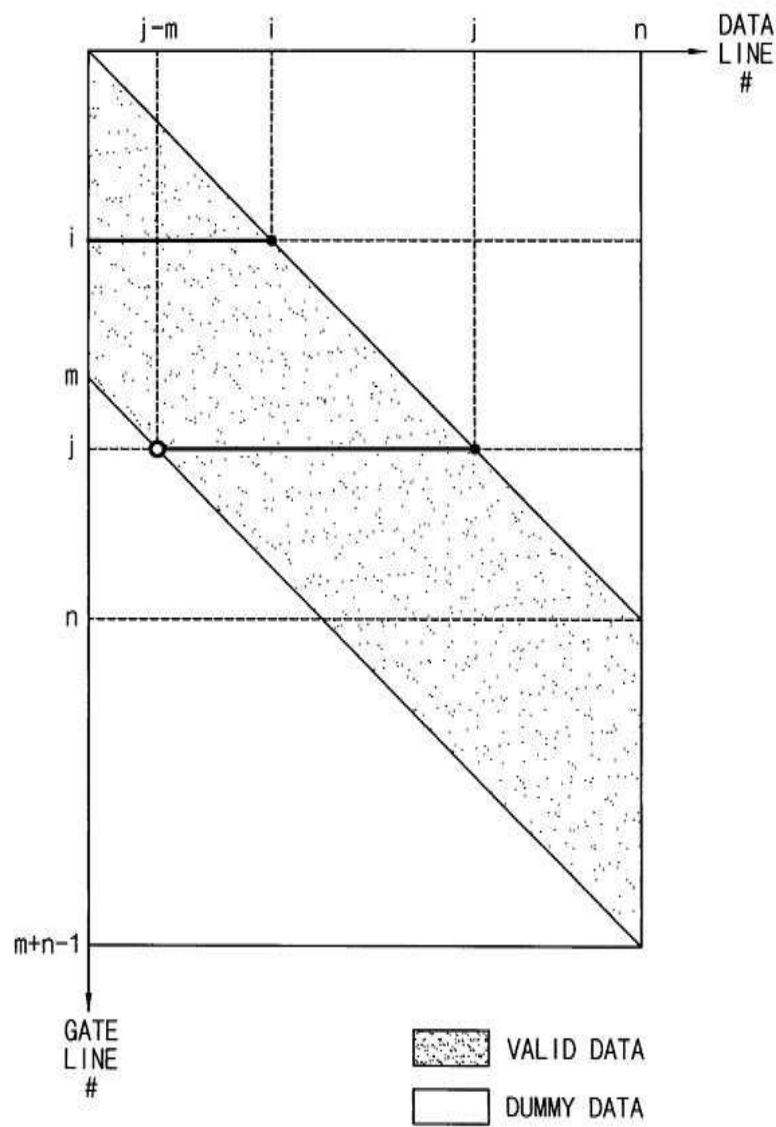
도면10



도면11

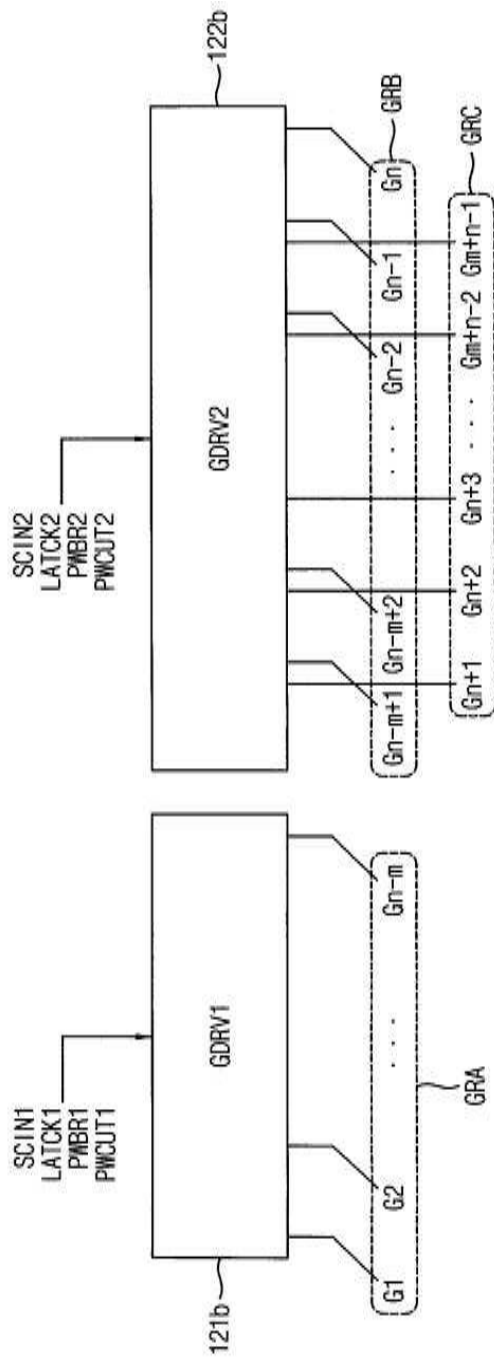
ROW	UNIT1			UNIT2			UNIT3			UNIT4			UNIT5			UNIT6			
1	①	1	1	1	1	1	1	1	1	1	1	②	2	2	2	③	3	④	4
2	3	3	④	4	①	1	1	1	1	1	1	1	1	②	2	2	2	2	③
3	2	2	2	③	3	3	④	4	①	1	1	1	1	1	1	1	②	2	2
4	1	②	2	2	2	2	③	3	3	④	4	①	1	1	1	1	1	1	1
5	1	1	1	1	②	1	2	2	2	③	3	④	4	①	1	1	1	1	1
6	1	1	1	1	1	1	1	1	②	2	2	2	③	3	3	④	①	1	1

도면12

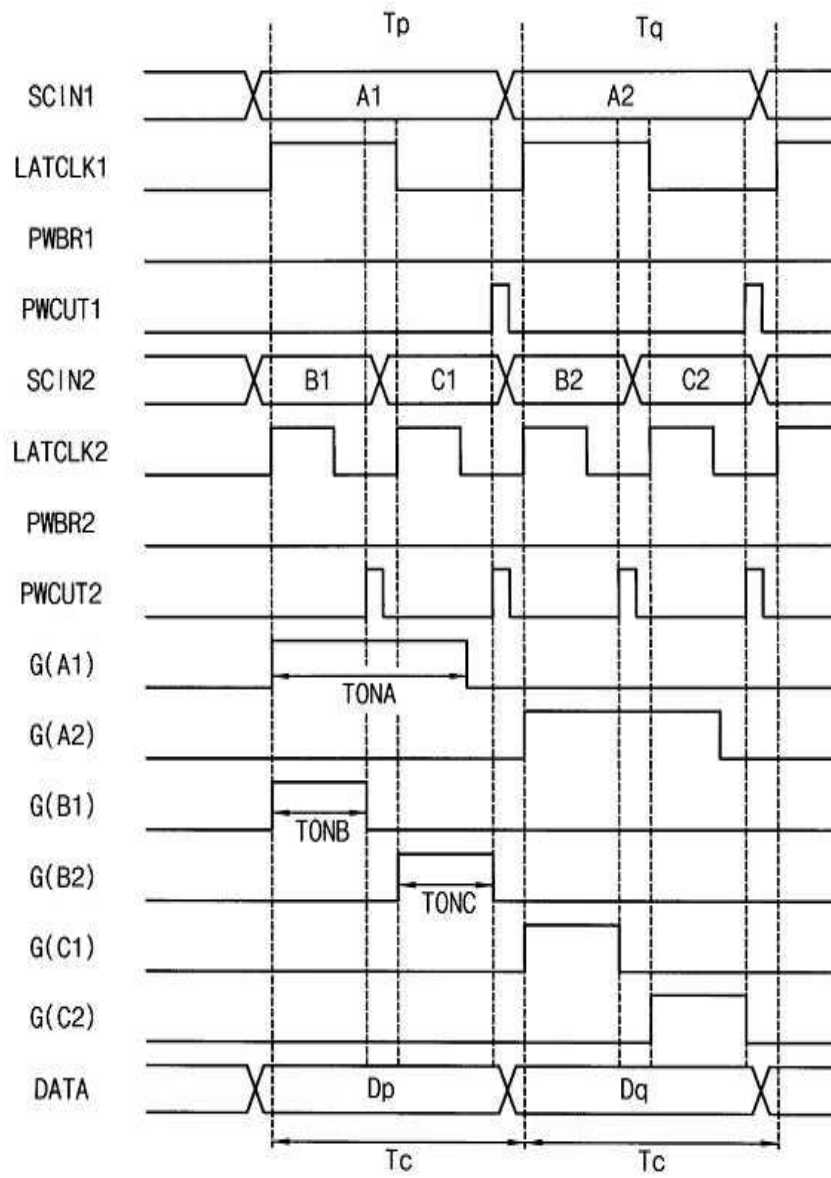


도면13

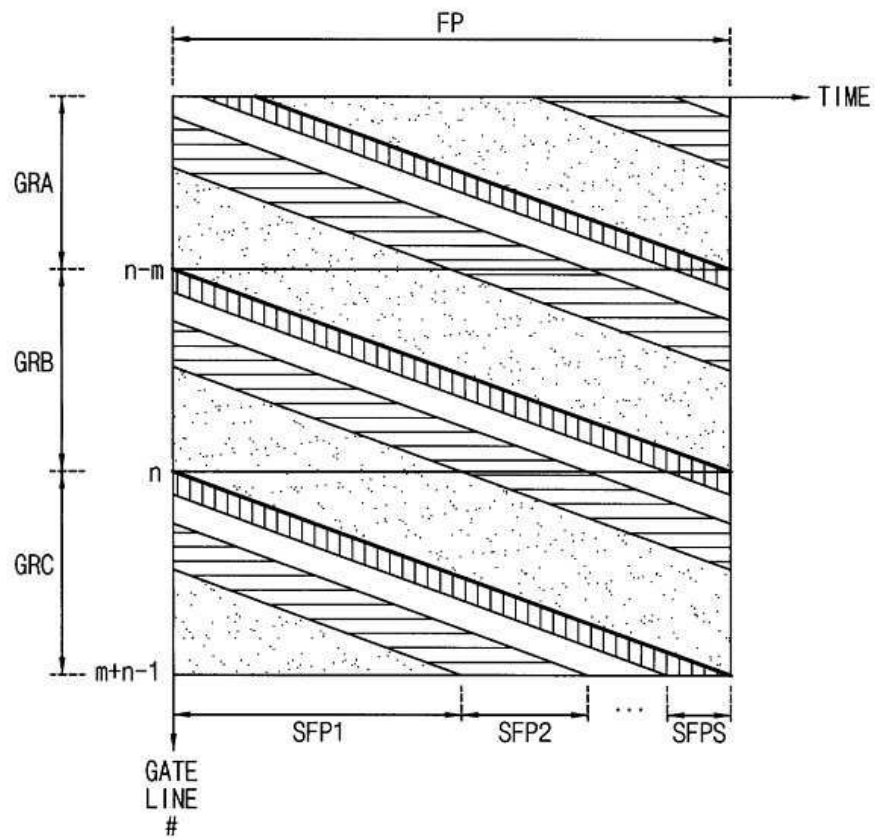
120b



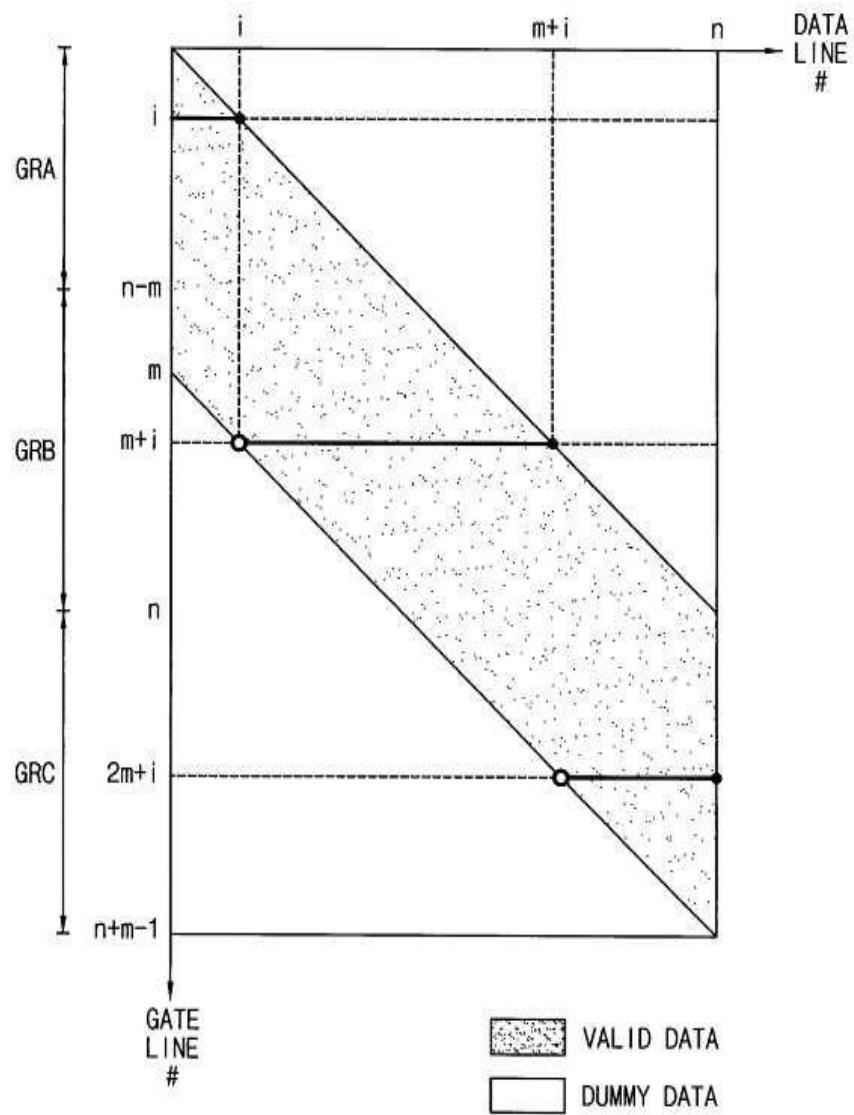
도면14



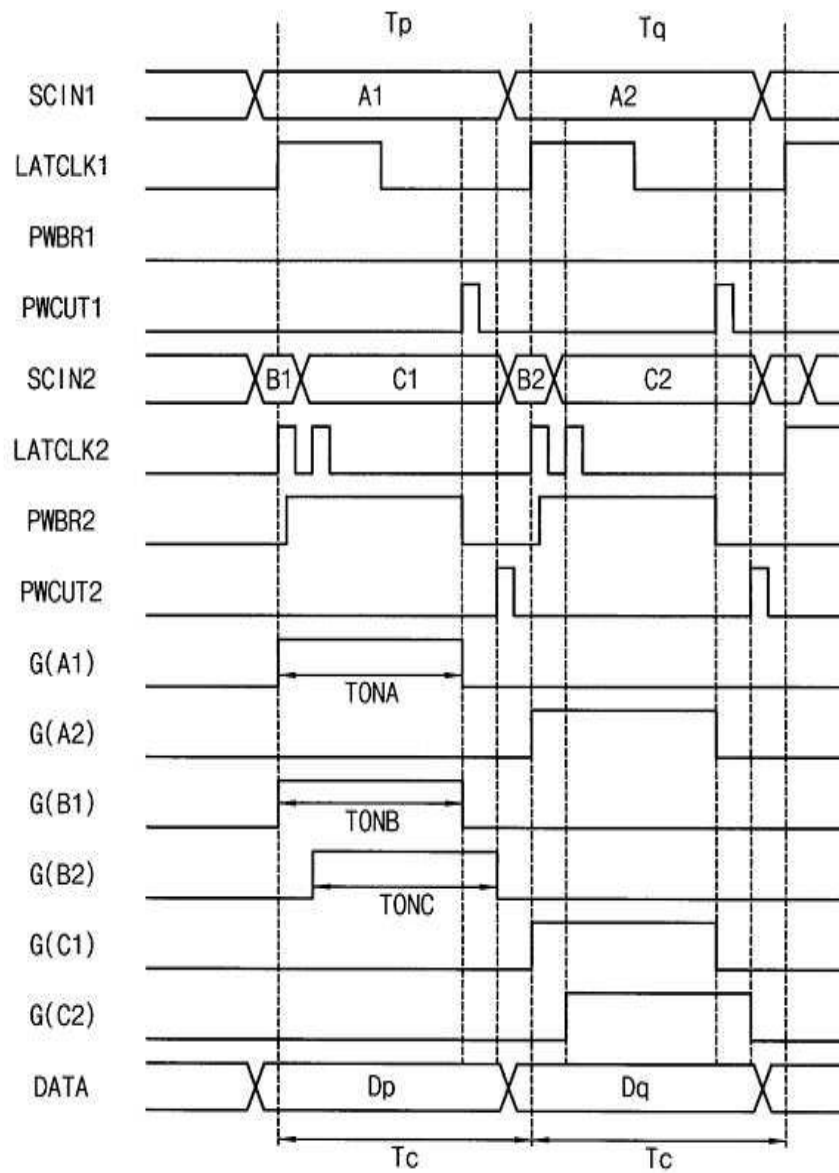
도면15



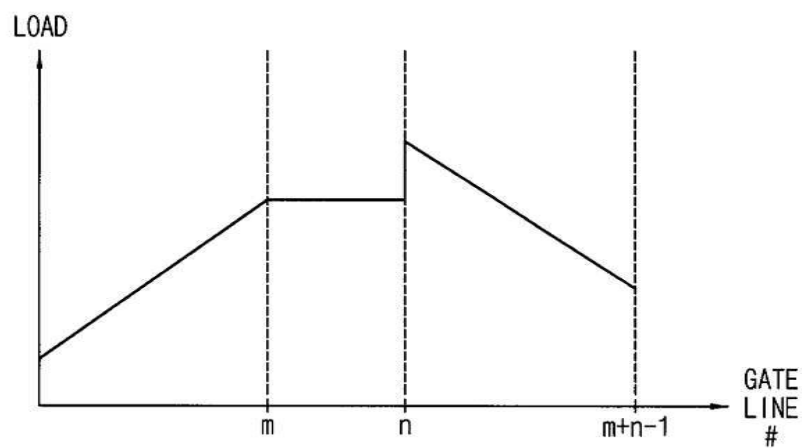
도면16



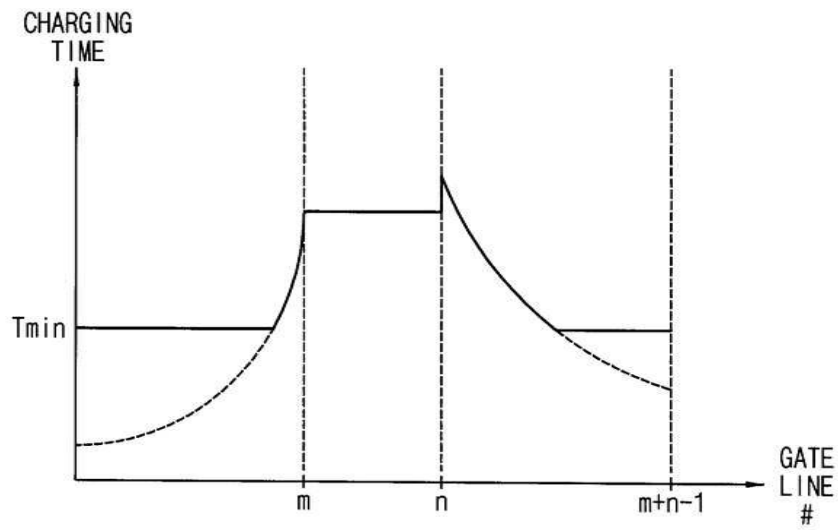
도면17



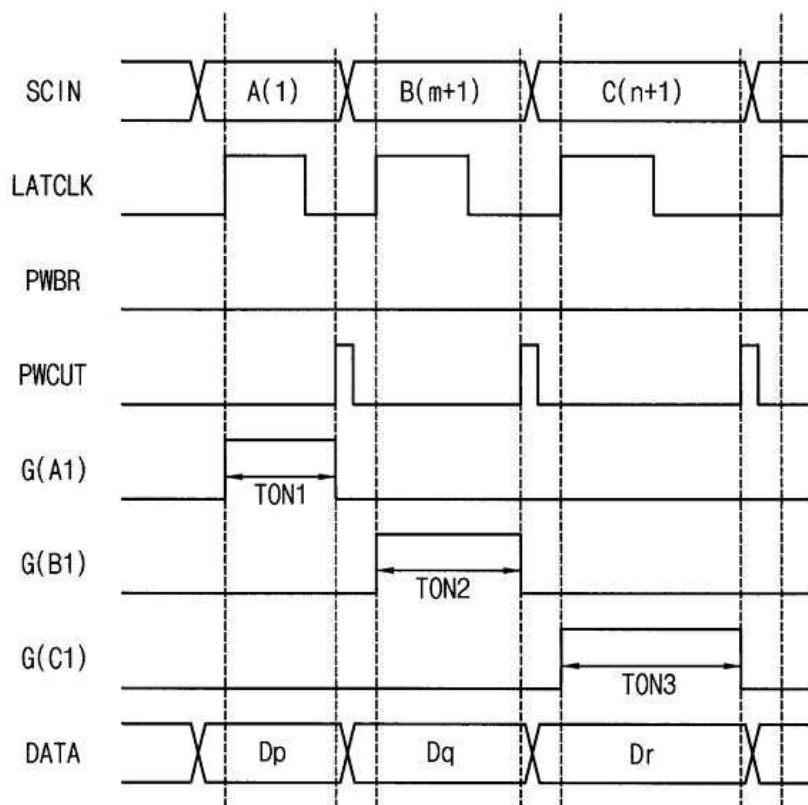
도면18a



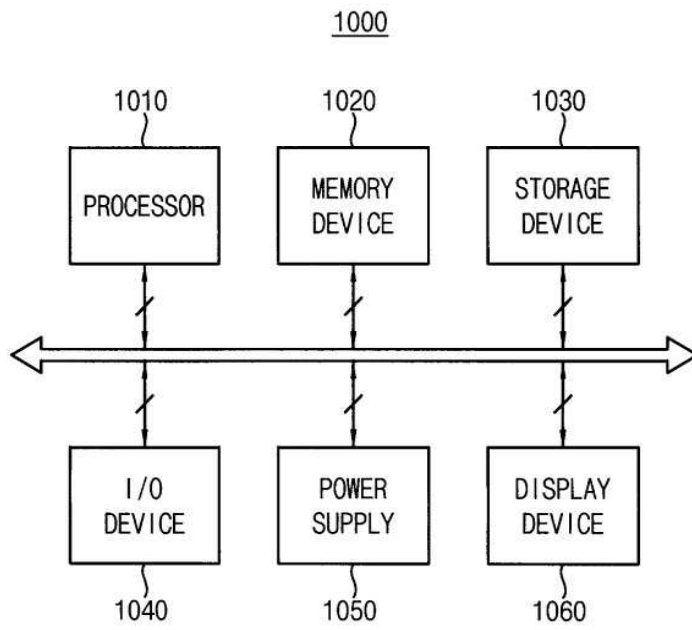
도면18b



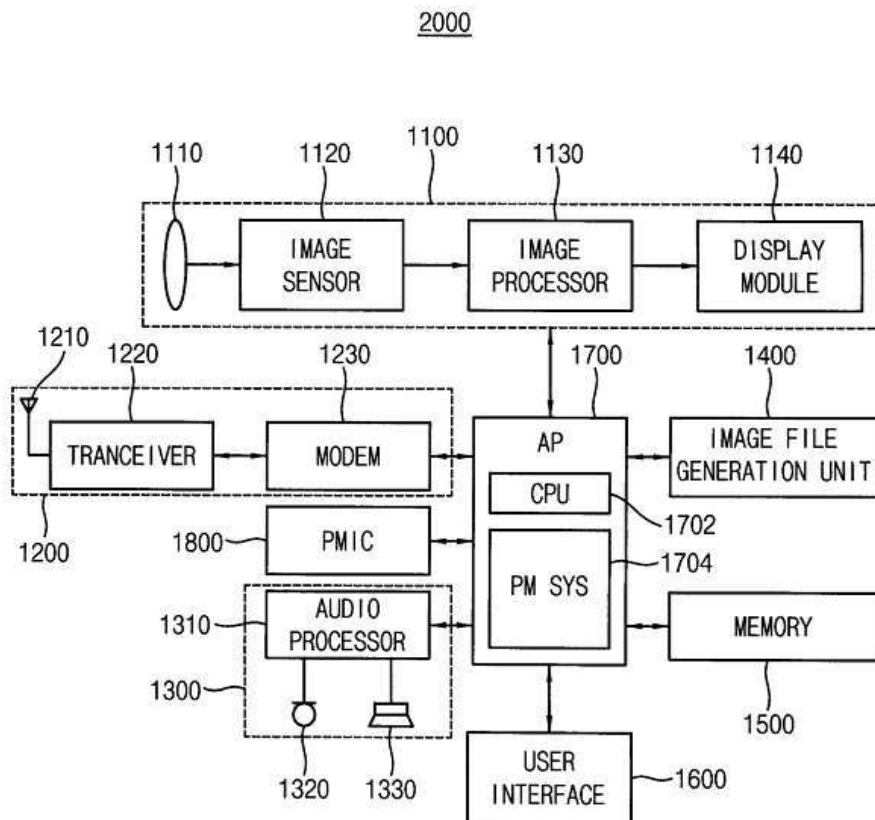
도면19



도면20



도면21



专利名称(译)	标题：电致发光显示装置和用于驱动电致发光显示装置的短边的方法		
公开(公告)号	KR1020160093153A	公开(公告)日	2016-08-08
申请号	KR1020150013441	申请日	2015-01-28
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	KIM JUNG TAEK 김정택 GOH JOON CHUL 고준철 LEE SOO YEON 이수연 LIM KYOUNG HO 임경호 CHOI YOUNG WOO 최영우		
发明人	김정택 고준철 이수연 임경호 최영우		
IPC分类号	G09G3/30		
CPC分类号	G09G3/30 G09G3/3266 G09G3/2022 G09G3/3233 G09G2300/0426 G09G2310/021 G09G2310/0218 G09G2310/0221		
代理人(译)	英西湖公园		
外部链接	Espacenet		

摘要(译)

电致发光显示装置包括显示面板，数据驱动器和栅极驱动器。显示面板包括多条数据线，多条线连接到多条栅极线，多个像素单元布置成多个加热的矩阵形式。它通常连接到数据线，其中属于相同热量的像素单元是相同的，并且数据线连接到其中属于相同对角线的像素单元相同的栅极线。数据驱动器可以驱动其布置在显示面板的一侧的数据线，并且还驱动栅极线，栅极驱动器与数据驱动器一起布置在显示面板的一侧。

