

(52) CPC특허분류
H01L 27/3297 (2013.01)

명세서

청구범위

청구항 1

데이터 신호를 수신하고 수신한 상기 데이터 신호에 대응하는 구동 전류를 출력 노드에 출력하며, 순차적으로 애노드 초기화 구간, 문턱전압 보상 구간, 데이터 기입 구간 및 발광 구간을 갖는 복수의 화소 회로; 및

상기 출력 노드를 통해 전달되는 상기 구동 전류에 의하여 발광하는 복수의 유기발광다이오드;

를 포함하고,

상기 복수의 화소 회로는 복수의 행과 복수의 열로 배치되며, 상기 복수의 화소 회로는 각각,

상기 출력 노드에 연결되고, 제1 제어 라인을 통해 수신되는 제1 제어 신호에 응답하여 초기화 전압을 상기 출력 노드에 출력하는 애노드 초기화 트랜지스터를 포함하며,

홀수 행에 배치되는 화소 회로의 애노드 초기화 트랜지스터에 연결되는 제1 제어 라인과, 짝수 행에 배치되는 화소 회로의 애노드 초기화 트랜지스터에 연결되는 제1 제어 라인은 서로 다른 유기발광표시장치.

청구항 2

제1항에 있어서,

상기 화소 회로는, 커패시터, 구동 트랜지스터, 스위칭 트랜지스터 및 발광 제어 트랜지스터를 더 포함하고,

상기 커패시터는, 제1 전극이 제1 노드에 연결되고, 제2 전극이 상기 출력 노드에 연결되며,

상기 구동 트랜지스터는, 게이트 전극이 상기 제1 노드에 연결되고, 제1 전극은 상기 발광 제어 트랜지스터의 제2 전극에 연결되고, 제2 전극은 상기 출력 노드에 연결되며,

상기 스위칭 트랜지스터는, 게이트 전극이 스캔 라인에 연결되고, 제1 전극은 데이터 라인에 연결되고, 제2 전극은 상기 제1 노드에 연결되며,

상기 발광 제어 트랜지스터는, 게이트 전극이 제2 제어 라인에 연결되고, 제1 전극은 제1 전원에 연결되는 유기발광표시장치.

청구항 3

제2항에 있어서,

홀수 행에 배치되는 화소 회로의 발광 제어 트랜지스터에 연결되는 제2 제어 라인과, 짝수 행에 배치되는 화소 회로의 발광 제어 트랜지스터에 연결되는 제2 제어 라인은 서로 다른 유기발광표시장치.

청구항 4

제2항에 있어서,

상기 애노드 초기화 트랜지스터의 제1 전극은 상기 데이터 라인에 연결되고, 제2 전극은 상기 출력 노드에 연결되며, 상기 제1 제어 신호에 응답하여 상기 데이터 라인으로부터 인가되는 전압을 상기 출력 노드에 출력하는 유기발광표시장치.

청구항 5

제2항에 있어서,

상기 홀수 행에 배치되는 화소 회로의 데이터 기입 구간은, 상기 짝수 행에 배치되는 화소 회로의 발광 구간과 중첩되는 유기발광표시장치.

청구항 6

제2항에 있어서,

상기 짝수 행에 배치되는 화소 회로의 데이터 기입 구간은, 상기 홀수 행에 배치되는 화소 회로의 발광 구간과 중첩되는 유기발광표시장치.

청구항 7

제1항에 있어서,

상기 애노드 초기화 트랜지스터는, 상기 애노드 초기화 구간에서 상기 제1 제어 신호에 응답하여 상기 초기화 전압을 상기 출력 노드에 출력하는 유기발광표시장치.

청구항 8

제2항에 있어서,

상기 문턱전압 보상 구간에서, 상기 발광 제어 트랜지스터는 상기 제2 제어 라인을 통해 수신되는 제2 제어 신호에 응답하여 턴-온 되어 상기 제1 전원을 통해 수신되는 제1 전압을 상기 구동 트랜지스터의 제1 전극으로 출력하고,

상기 스위칭 트랜지스터는 상기 스캔 라인을 통해 수신되는 스캔 신호에 응답하여 상기 제1 노드에 기준 전압을 출력하는 유기발광표시장치.

청구항 9

제8항에 있어서,

상기 기준 전압은 상기 출력 노드에 인가되는 전압의 크기가 상기 유기발광다이오드의 턴-온 전압의 크기보다 작도록 하는 전압인 유기발광표시장치.

청구항 10

제1항에 있어서,

상기 초기화 전압의 크기는 상기 유기발광다이오드의 턴-온 전압의 크기보다 작은 유기발광표시장치.

청구항 11

데이터 신호를 수신하고 수신한 상기 데이터 신호에 대응하는 구동 전류를 출력 노드에 출력하며, 순차적으로 애노드 초기화 구간, 문턱전압 보상 구간, 데이터 기입 구간 및 발광 구간을 갖는 복수의 화소 회로; 및

상기 출력 노드를 통해 전달되는 상기 구동 전류에 의하여 발광하는 복수의 유기발광다이오드;

를 포함하고,

상기 복수의 화소 회로는 복수의 행과 복수의 열로 배치되며, 상기 복수의 화소 회로는 각각,

제1 전극이 초기화 전압 라인에 연결되고, 제2 전극은 상기 출력 노드에 연결되며, 게이트 전극은 제1 제어 라인에 연결되어 상기 제1 제어 라인을 통해 수신되는 제1 제어 신호에 응답하여 상기 초기화 전압 라인으로부터 수신되는 초기화 전압을 상기 출력 노드에 출력하는 애노드 초기화 트랜지스터를 포함하며,

홀수 행에 배치되는 화소 회로의 애노드 초기화 트랜지스터에 연결되는 제1 제어 라인과, 짝수 행에 배치되는 화소 회로의 애노드 초기화 트랜지스터에 연결되는 제1 제어 라인은 서로 다른 유기발광표시장치.

청구항 12

제11항에 있어서,

상기 홀수 행에 배치되는 화소 회로의 데이터 기입 구간은, 상기 짝수 행에 배치되는 화소 회로의 발광 구간과 중첩되는 유기발광표시장치.

청구항 13

제11항에 있어서,

상기 짝수 행에 배치되는 화소 회로의 데이터 기입 구간은, 상기 홀수 행에 배치되는 화소 회로의 발광 구간과 중첩되는 유기발광표시장치.

청구항 14

제12항 또는 제13항에 있어서,

상기 애노드 초기화 구간에서 상기 초기화 전압 라인에는 초기화 전압이 인가되고,

상기 문턱전압 보상 구간에서 상기 데이터 신호의 레벨은 기준 전압 레벨인 유기발광표시장치.

청구항 15

제14항에 있어서,

상기 기준 전압은 상기 출력 노드에 인가되는 전압의 크기가 상기 유기발광다이오드의 턴-온 전압의 크기보다 작도록 하는 전압인 유기발광표시장치.

청구항 16

제11항에 있어서,

상기 초기화 전압의 크기는 상기 유기발광다이오드의 턴-온 전압의 크기보다 작은 유기발광표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 유기발광표시장치에 관한 것으로, 짝수 행에 배치되는 화소 회로와 홀수 행에 배치되는 화소 회로의 데이터 기입 구간과 발광 구간을 서로 중첩되도록 하는 유기발광표시장치에 관한 것이다.

배경 기술

[0002] 최근, 음극선관(Cathode Ray Tube)의 단점인 무게와 부피를 줄일 수 있는 각종 평판 표시장치들이 개발되고 있다. 평판 표시장치로는 액정 표시장치(Liquid Crystal Display Device), 전계방출 표시장치(Field Emission Display Device), 플라즈마 표시패널(Plasma Display Panel) 및 유기발광표시장치(Organic Light Emitting Device) 등이 있다.

[0003] 유기발광표시장치(Organic Light Emitting Display Device)는 유기 화합물을 발광재료로 사용한 평판표시장치의 일종으로, 전자와 정공의 재결합에 의하여 빛을 발생하는 유기발광 다이오드를 이용하여 영상을 표시한다.

[0004] 유기발광표시장치는 빠른 응답속도를 가짐과 동시에 낮은 소비전력으로 구동되는 장점이 있으며, 휘도 및 색 순도가 뛰어난 것은 물론, 얇고 가벼우며 저전력으로 구동이 가능하여 휴대용 표시장치를 비롯한 다양한 표시장치에 유용하게 이용될 것으로 기대되고 있다.

[0005] 유기발광표시장치는 적색, 녹색 및 청색을 포함하는 색상 중 하나의 색상을 표시하는 복수의 화소를 포함하며, 복수의 화소 각각에 인가되는 데이터 전압에 대응하는 휘도로 발광한다.

[0006] 상기 복수의 화소 각각은 유기발광다이오드(OLED)와, 데이터 라인 및 스캔 라인에 접속되어 유기발광다이오드를 제어하기 위한 화소 회로를 구비하며, 상기 유기발광다이오드는 화소 회로로부터 공급되는 구동전류에 대응하는 휘도로 발광한다.

[0007] 상기 화소회로는 복수의 트랜지스터 및 스토리지 커패시터를 포함할 수 있으며, 스캔 라인에 스캔 신호가 공급될 때 데이터 라인으로 공급되는 데이터 신호에 대응하여 유기발광다이오드로 공급되는 구동전류를 제어한다.

발명의 내용

해결하려는 과제

[0008] 본 발명에 따른 유기발광표시장치는, 데이터 기입 시간을 줄여 발광 시간을 증가시킬 수 있는 유기발광표시장치

를 제공하는 것을 목적으로 한다.

과제의 해결 수단

- [0009] 본 발명의 일 실시예에 따른 유기발광표시장치는, 데이터 신호를 수신하고 수신한 상기 데이터 신호에 대응하는 구동 전류를 출력 노드에 출력하며, 순차적으로 애노드 초기화 구간, 문턱전압 보상 구간, 데이터 기입 구간 및 발광 구간을 갖는 복수의 화소 회로 및 상기 출력 노드를 통해 전달되는 상기 구동 전류에 의하여 발광하는 복수의 유기발광다이오드를 포함하고, 상기 복수의 화소 회로는 복수의 행과 복수의 열로 배치되며, 상기 복수의 화소 회로는 각각, 상기 출력 노드에 연결되고, 제1 제어 라인을 통해 수신되는 제1 제어 신호에 응답하여 초기화 전압을 상기 출력 노드에 출력하는 애노드 초기화 트랜지스터를 포함하며, 홀수 행에 배치되는 화소 회로의 애노드 초기화 트랜지스터에 연결되는 제1 제어 라인과, 짝수 행에 배치되는 화소 회로의 애노드 초기화 트랜지스터에 연결되는 제1 제어 라인은 서로 다르다.
- [0010] 또한, 상기 화소 회로는, 커패시터, 구동 트랜지스터, 스위칭 트랜지스터 및 발광 제어 트랜지스터를 더 포함하고, 상기 커패시터는, 제1 전극이 제1 노드에 연결되고, 제2 전극이 상기 출력 노드에 연결되며, 상기 구동 트랜지스터는, 게이트 전극이 상기 제1 노드에 연결되고, 제1 전극은 상기 발광 제어 트랜지스터의 제2 전극에 연결되고, 제2 전극은 상기 출력 노드에 연결되며, 상기 스위칭 트랜지스터는, 게이트 전극이 스캔 라인에 연결되고, 제1 전극은 데이터 라인에 연결되고, 제2 전극은 상기 제1 노드에 연결되며, 상기 발광 제어 트랜지스터는, 게이트 전극이 제2 제어 라인에 연결되고, 제1 전극은 제1 전원에 연결되며, 홀수 행에 배치되는 화소 회로의 발광 제어 트랜지스터에 연결되는 제2 제어 라인과, 짝수 행에 배치되는 화소 회로의 발광 제어 트랜지스터에 연결되는 제2 제어 라인은 서로 다르다.
- [0011] 또한, 상기 애노드 초기화 트랜지스터의 제1 전극은 상기 데이터 라인에 연결되고, 제2 전극은 상기 출력 노드에 연결되며, 상기 제1 제어 신호에 응답하여 상기 데이터 라인으로부터 인가되는 전압을 상기 출력 노드에 출력할 수 있다.
- [0012] 또한, 상기 홀수 행에 배치되는 화소 회로의 데이터 기입 구간은, 상기 짝수 행에 배치되는 화소 회로의 발광 구간과 중첩되고, 상기 짝수 행에 배치되는 화소 회로의 데이터 기입 구간은, 상기 홀수 행에 배치되는 화소 회로의 발광 구간과 중첩될 수 있다.
- [0013] 또한, 상기 애노드 초기화 트랜지스터는, 상기 애노드 초기화 구간에서 상기 제1 제어 신호에 응답하여 상기 초기화 전압을 상기 출력 노드에 출력할 수 있다.
- [0014] 또한, 상기 문턱전압 보상 구간에서, 상기 발광 제어 트랜지스터는 상기 제2 제어 라인을 통해 수신되는 제2 제어 신호에 응답하여 턴-온 되어 상기 제1 전원을 통해 수신되는 제1 전압을 상기 구동 트랜지스터의 제1 전극으로 출력하고, 상기 스위칭 트랜지스터는 상기 스캔 라인을 통해 수신되는 스캔 신호에 응답하여 상기 제1 노드에 기준 전압을 출력할 수 있다.
- [0015] 또한, 상기 기준 전압은 상기 출력 노드에 인가되는 전압의 크기가 상기 유기발광다이오드의 턴-온 전압의 크기보다 작도록 하는 전압일 수 있으며, 상기 초기화 전압의 크기는 상기 유기발광다이오드의 턴-온 전압의 크기보다 작을 수 있다.
- [0016] 본 발명의 다른 실시예에 따른 유기발광표시장치는, 데이터 신호를 수신하고 수신한 상기 데이터 신호에 대응하는 구동 전류를 출력 노드에 출력하며, 순차적으로 애노드 초기화 구간, 문턱전압 보상 구간, 데이터 기입 구간 및 발광 구간을 갖는 복수의 화소 회로 및 상기 출력 노드를 통해 전달되는 상기 구동 전류에 의하여 발광하는 복수의 유기발광다이오드를 포함하고, 상기 복수의 화소 회로는 복수의 행과 복수의 열로 배치되며, 상기 복수의 화소 회로는 각각, 제1 전극이 초기화 전압 라인에 연결되고, 제2 전극은 상기 출력 노드에 연결되며, 게이트 전극은 제1 제어 라인에 연결되어 상기 제1 제어 라인을 통해 수신되는 제1 제어 신호에 응답하여 상기 초기화 전압 라인으로부터 수신되는 초기화 전압을 상기 출력 노드에 출력하는 애노드 초기화 트랜지스터를 포함하며, 홀수 행에 배치되는 화소 회로의 애노드 초기화 트랜지스터에 연결되는 제1 제어 라인과, 짝수 행에 배치되는 화소 회로의 애노드 초기화 트랜지스터에 연결되는 제1 제어 라인은 서로 다르다.
- [0017] 또한, 상기 홀수 행에 배치되는 화소 회로의 데이터 기입 구간은, 상기 짝수 행에 배치되는 화소 회로의 발광 구간과 중첩되고, 상기 짝수 행에 배치되는 화소 회로의 데이터 기입 구간은, 상기 홀수 행에 배치되는 화소 회로의 발광 구간과 중첩될 수 있다.
- [0018] 또한, 상기 애노드 초기화 구간에서 상기 초기화 전압 라인에는 초기화 전압이 인가되고, 상기 문턱전압 보상

구간에서 상기 데이터 신호의 레벨은 기준 전압 레벨일 수 있다.

[0019] 또한, 상기 기준 전압은 상기 출력 노드에 인가되는 전압의 크기가 상기 유기발광다이오드의 턴-온 전압의 크기보다 작도록 하는 전압일 수 있으며, 상기 초기화 전압의 크기는 상기 유기발광다이오드의 턴-온 전압의 크기보다 작을 수 있다.

발명의 효과

[0020] 본 발명에 따른 유기발광표시장치는, 데이터 기입 시간을 줄여 발광 시간을 증가시킬 수 있는 유기발광표시장치를 제공할 수 있다.

도면의 간단한 설명

[0021] 도 1은 유기발광표시장치의 구성을 개략적으로 나타내는 도면이다.

도 2는 디스플레이 패널에 포함되는 복수의 화소를 개략적으로 나타내는 도면이다.

도 3은 유기발광표시장치의 화소 회로를 개략적으로 나타내는 도면이다.

도 4는 도 3의 화소 회로의 구동 파형을 나타내는 도면이다.

도 5는 본 발명의 일 실시예에 따른 화소 회로를 개략적으로 나타내는 도면이다.

도 6은 도 5의 화소 회로의 구동 파형을 나타내는 도면이다.

도 7은 본 발명의 다른 실시예에 따른 화소 회로를 개략적으로 나타내는 도면이다.

도 8은 도 7의 화소 회로의 구동 파형을 나타내는 도면이다.

발명을 실시하기 위한 구체적인 내용

[0022] 본 발명은 다양한 변환을 가할 수 있고, 여러 가지 실시예들을 가질 수 있는 바, 특정 실시예들은 도면을 예시하고 상세한 설명에 상세하게 설명하고자 한다. 본 발명의 효과 및 특징, 그리고 그것들을 달성하는 방법은 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 다양한 형태로 구현될 수 있다.

[0023] 이하 첨부된 도면들을 참조로 하여, 본 발명의 다양한 실시예에 따른 유기발광표시장치 및 그 구동방법에 대해서 설명하도록 한다. 도면을 참조하여 설명할 때 동일하거나 대응하는 구성 요소는 동일한 도면 부호를 부여하고, 이에 대한 중복되는 설명은 생략하기로 한다.

[0024] 이하의 실시예에서, 제1, 제2 등의 용어는 한정적인 의미가 아니라 하나의 구성 요소를 다른 구성 요소와 구별하는 목적으로 사용된다. 단수의 표현은 문맥상 명확하게 다르게 뜻하지 않는 한, 복수의 표현을 의미한다. "포함하다" 또는 "가지다" 등의 용어는 명세서상에 기재된 특징 또는 구성 요소가 존재함을 의미하는 것이고, 하나 이상의 다른 특징들 또는 구성 요소가 부가될 가능성을 미리 배제하는 것은 아니다.

[0025] 도 1은 유기발광표시장치의 구성을 개략적으로 나타내는 도면이다.

[0026] 도 1을 참조하면, 유기발광표시장치(100)는, 타이밍 제어부(110), 데이터 구동부(120), 주사 구동부(130), 제어 구동부(140) 및 디스플레이 패널(150)을 포함한다. 그리고 상기 유기발광표시장치(100)는, 제1 전원(ELVDD) 및 제2 전원(ELVSS)을 포함한다.

[0027] 타이밍 제어부(110)는, 외부로부터 공급되는 동기 신호들(미도시)에 대응하여 데이터 구동부(120), 주사 구동부(130) 및 제어 구동부(140)를 제어한다. 그리고 상기 타이밍 제어부(110)는, 화소 데이터들에 대응하여 외부로부터 공급된 데이터들의 비트를 변경하여 새로운 데이터들을 생성한다. 생성된 새로운 데이터들은 화소들 각각에 포함된 구동 트랜지스터의 문턱전압 및 이동도가 보상될 수 있도록 한다.

[0028] 데이터 구동부(120)는, 상기 타이밍 제어부(110)로부터 데이터들을 공급받고, 공급받은 데이터들에 대응하여 데이터 신호들을 생성한다. 그리고 데이터 구동부(120)는, 한 프레임의 데이터 기입 구간 동안 상기 주사 구동부(130)로부터 스캔 라인(미도시)을 통하여 공급되는 스캔 신호와 동기 되도록 데이터 라인(미도시)로 데이터 신호를 공급한다. 또한, 상기 데이터 구동부(120)는, 상기 데이터 라인(미도시)로 초기화 전압 및/또는 기준 전압

을 공급한다. 여기서 기준 전압은 구동 트랜지스터의 게이트 전극을 초기화 시키기 위한 것으로, 소정의 전압으로 설정된다. 그리고, 상기 초기화 전압은 복수의 화소들에 포함되는 유기발광다이오드의 애노드 전극을 초기화 시키기 위한 것으로 상기 유기발광다이오드가 발광하지 않는 정도의 전압으로 설정된다.

[0029] 주사 구동부(130)는, 스캔 라인들(미도시)로 스캔 신호를 공급한다. 예를 들어, 주사 구동부(130)는, 도 4에 도시된 바와 같이 한 프레임(Frame Time)의 애노드(Anode) 초기화 구간 및 문턱전압(V_{th}) 보상 구간 동안 스캔 라인들(미도시)로 스캔 신호를 공급할 수 있다. 그리고, 데이터(Data) 기입 구간 동안 스캔 라인들(미도시)로 스캔 신호를 순차적으로 공급할 수 있다. 여기서, 스캔 신호는 복수의 화소들에 포함되는 트랜지스터가 턴-온 될 수 있는 전압으로 설정된다. 일례로, 상기 복수의 화소들에 PMOS가 포함되는 경우 스캔 신호는 로우(low) 전압으로 설정되고, NMOS가 포함되는 경우 스캔 신호는 하이(high) 전압으로 설정된다.

[0030] 제어 구동부(140)는, 상기 복수의 화소들 각각에 공통적으로 접속되는 적어도 하나 이상의 제어 라인들(미도시)로 제어 신호를 공급할 수 있다. 그리고, 상기 제어 구동부(140)는, 발광 구간에서 상기 복수의 화소들에 포함되는 발광 제어 트랜지스터가 턴-온 시키리 수 있는 발광 제어 신호를 공급할 수 있다.

[0031] 디스플레이 패널(150)은, 스캔 라인들(미도시) 및 데이터 라인들(미도시)에 의하여 구획된 영역에 위치하는 복수의 화소들(미도시)을 구비한다. 상기 복수의 화소들은 데이터(Data) 기입 구간 동안 데이터 신호를 충전하고, 발광 구간 동안 충전된 데이터 신호에 대응하여 발광한다. 이를 위하여, 상기 복수의 화소들은 데이터 신호에 대응하여 제1 전원(ELVDD)으로부터 유기발광다이오드를 경유하여 제2 전원(ELVSS)으로 흐르는 전류량을 제어한다.

[0032] 한편, 도 1에서는 설명의 편의를 위하여 제어 라인들(미도시)이 제어 구동부(140)로부터 제어 신호를 공급받는 것으로 설명하였지만, 본 발명이 이에 한정되지는 않으며, 일례로 상기 제어 라인들(미도시)은 주사 구동부(130)로부터 제어 신호를 공급받을 수도 있다.

[0033] 도 2는 디스플레이 패널에 포함되는 복수의 화소를 개략적으로 나타내는 도면이다.

[0034] 도 2를 참조하면, 상기 디스플레이 패널(150)은 스캔 라인들(미도시) 및 데이터 라인들(미도시)에 의하여 구획된 영역에 위치하는 복수의 화소들을 구비한다. 상기 복수의 화소들은 복수의 행과 복수의 열로 배치되며, 도 2에서는 좌측 첫 번째 열에 배치되는 일부 화소들(PX1 내지 PX2n)을 대표적으로 설명하도록 한다.

[0035] 상기 복수의 화소들은 홀수 번째 행에 배치되는 화소들과 짝수 번째 행에 배치되는 화소들로 이루어질 수 있다. 그리고, 상기 스캔 라인들(미도시)은 상기 복수의 화소들 사이에 제1 방향으로 배치되고, 상기 데이터 라인들(미도시)은 상기 복수의 화소들 사이에 제2 방향으로 배치될 수 있다. 여기서 상기 제1 방향은 횡 방향이고, 상기 제2 방향은 종 방향일 수 있다.

[0036] 한편, 동시 발광 구동하는 유기발광표시장치에서 스캔 동작은 스캔 라인들에 대하여 제1 방향으로 순차적으로 수행된다. 스캔 동작은 데이터(Data) 기입 구간에서 상기 스캔 라인들에 연결된 제1 화소들에 영상 프레임을 구성하는 데이터 신호를 순차적으로 기입하는 방식으로 이루어진다. 여기서, 상기 제1 화소들은 상기 복수의 화소들 중 첫 번째 행에 배치되는 화소들(PX1 부터 횡 방향으로 배치되는 화소들) 일 수 있다.

[0037] 상기 제1 화소들에 데이터(Data) 기입이 완료되면 제2 화소들에 대한 데이터(Data) 기입이 수행된다. 상기 제2 화소들은 상기 제1 화소들의 바로 다음 행에 배치되는 화소들(PX2 부터 횡 방향으로 배치되는 화소들) 일 수 있다.

[0038] 또한, 상기 제1 화소들에 연결되는 스캔 라인과 상기 제2 화소들에 연결되는 스캔 라인은 서로 다를 수 있다. 즉, 상기 스캔 라인들은 첫 번째 행에 배치되는 화소들(PX1 부터 횡 방향으로 배치되는 화소들)에 연결되는 제1 스캔 라인부터 마지막 행에 배치되는 화소들(PX2n 부터 횡 방향으로 배치되는 화소들)에 연결되는 제2n 스캔 라인을 포함할 수 있다.

[0039] 도 3은 유기발광표시장치의 화소 회로를 개략적으로 나타내는 도면이다.

[0040] 도 3을 참조하면, 유기발광표시장치의 화소 회로는 구동 트랜지스터(TRd), 발광 제어 트랜지스터(TRgc), 스위칭 트랜지스터(TRs), 커패시터(Cst) 및 유기발광다이오드(OLED)를 포함할 수 있다.

- [0041] 상기 화소 회로는 동시 발광 구동하는 유기발광표시장치에 사용될 수 있으며, 상기 화소 회로는 도 2를 참조로 하여 설명한 바와 같은 복수의 화소들 각각을 구성할 수 있다.
- [0042] 구동 트랜지스터(TRd)는 게이트 전극이 상기 스위칭 트랜지스터(TRs)의 제2 전극 및 상기 커패시터(Cst)의 제1 전극과 게이트 노드를 통해 연결된다. 구동 트랜지스터(TRd)의 제1 전극은 상기 발광 제어 트랜지스터(TRgc)의 제2 전극과 연결되고, 구동 트랜지스터(TRd)의 제2 전극은 상기 유기발광다이오드(OLED)의 애노드 전극과 연결된다.
- [0043] 스위칭 트랜지스터(TRs)의 제1 전극은 데이터 라인(DL)에 연결되고, 스위칭 트랜지스터(TRs)의 게이트 전극은 스캔 라인(SL)에 연결된다.
- [0044] 그리고, 발광 제어 트랜지스터(TRgc)의 제1 전극은 제1 전원(ELVDD)에 연결되고, 발광 제어 트랜지스터(TRgc)의 게이트 전극은 발광 제어 라인에 연결되어, 발광 제어 신호(EC)를 수신한다.
- [0045] 그리고, 상기 커패시터(Cst)의 제2 전극은 상기 유기발광다이오드(OLED)의 애노드 전극 및 상기 구동 트랜지스터(TRd)의 제2 전극과 출력 노드를 통해 연결되며, 상기 유기발광다이오드(OLED)의 캐소드 단자는 제2 전원(ELVSS)과 연결된다.
- [0046] 상기 게이트 노드의 전압(V_G)은 상기 스위칭 트랜지스터(TRs)를 통해 상기 데이터 라인(DL)으로부터 공급되는 전압에 대응하고, 상기 스위칭 트랜지스터(TRs)는 상기 스캔 라인(SL)으로부터 공급되는 스캔 신호에 의하여 턴-온 되고, 상기 스캔 신호 공급에 대응하여 상기 데이터 라인(DL)으로부터 공급되는 전압을 상기 게이트 노드에 출력한다.
- [0047] 상기 커패시터(Cst)는 상기 게이트 노드에 인가되는 전압을 충전하고, 상기 커패시터(Cst)에 충전되는 전압은 상기 유기발광다이오드(OLED)의 애노드 전압(V_A)에 대응한다.
- [0048] 그리고, 상기 발광 제어 트랜지스터(TRgc)는 상기 발광 제어 라인으로부터 공급되는 발광 제어 신호(EC)에 응답하여 턴-온 되고, 상기 제1 전원(ELVDD) 전압을 상기 구동 트랜지스터(TRd)에 출력한다.
- [0049] 상기 유기발광다이오드(OLED)에는 상기 제1 전원(ELVDD) 전압, 상기 구동 트랜지스터(TRd)의 문턱전압, 상기 데이터 라인(DL)으로부터 공급되는 데이터 전압에 대응하는 전류가 흐르고, 상기 유기발광다이오드(OLED)는 상기 전류에 대응하여 발광하게 된다.
- [0050] 도 4는 도 3의 화소 회로의 구동 파형을 나타내는 도면이다.
- [0051] 도 4에 도시되는 구동 파형은 한 프레임(Frame Time) 동안 도 3의 화소 회로에 인가되는 신호 및 전원 전압을 나타낸다. 도 4의 구동 파형에서 세로축은 위에서부터 첫 번째 행에 배치되는 복수의 화소에 연결되는 제1 스캔 라인(SL[1]), 마지막 행에 배치되는 복수의 화소에 연결되는 제n 스캔 라인(SL[n]), 발광 제어 신호(EC), 제2 전원(ELVSS), 제1 전원(ELVDD) 및 데이터 신호(DATA)를 나타낸다.
- [0052] 상기 한 프레임(Frame Time)은 애노드(Anode) 초기화 구간, 문턱전압(V_{th}) 보상 구간, 데이터(Data) 기입 구간 및 발광 구간으로 구분될 수 있다.
- [0053] 애노드(Anode) 초기화 구간에서는 제1 전원(ELVDD)을 로우(low) 전압으로 낮추어 애노드 전압(V_A)을 낮은 전압으로 초기화 한다. 이때, 발광 제어 신호(EC)는 하이(high) 레벨로 유지되어 발광 제어 트랜지스터(TRgc)가 턴-온 상태를 유지하도록 하고, 상기 데이터 신호는 기준 전압(V_{ref})의 크기를 갖는다.
- [0054] 문턱전압(V_{th}) 보상 구간에서는 상기 데이터 신호가 기준 전압(V_{ref})의 크기를 갖도록 하여, 게이트 노드 전압(V_G)의 크기가 상기 기준 전압(V_{ref})이 되도록 한다. 따라서, 상기 애노드(Anode) 전압(V_A)은 $V_{ref}-V_{th}$ 가 됨으로써 구동 트랜지스터(TRd)의 문턱전압을 보상한다.
- [0055] 데이터(Data) 기입 구간에서는 각 화소의 게이트 노드에 순차적으로 데이터 전압을 기입하며, 이때 상기 제1 스캔 라인(SL[1])에 연결된 화소들부터 상기 제n 스캔 라인(SL[n])에 연결된 화소들까지 순차적으로 데이터 전압이 기입된다.
- [0056] 발광 구간에서는 발광 제어 신호(EC)가 하이(high) 전압이 되어 상기 발광 제어 트랜지스터(TRgc)에 의해 상기

제1 전원(ELVDD)의 하이(high) 전압이 화소 회로에 공급되고, 각 화소에 기입된 데이터 전압에 대응하는 전류가 구동 트랜지스터(TR_d)를 통해 유기발광다이오드(OLED)에 공급되고, 상기 유기발광다이오드(OLED)는 상기 구동 트랜지스터(TR_d)를 통해 공급되는 전류의 크기에 대응하여 발광한다.

[0057] 이러한 방식의 동시 발광 화소 회로는 문턱전압(V_{th}) 보상 시간을 충분히 가져갈 수 있어, 문턱전압(V_{th}) 보상이 용이하고, IR-drop 보상이 가능한 장점을 갖는다.

[0058] 다만, 도 3과 같은 동시 발광 화소 회로는 디스플레이 패널의 해상도와 패널 크기가 증가할수록, 행 방향으로 배치되는 화소의 개수가 증가하고, 스캔 라인과 데이터 라인의 로드(load)가 증가하여 RC-dealy가 커져, 데이터 기입 시간이 증가하기 때문에 발광 시간이 줄어들며, 줄어든 발광 시간으로 인하여 발광 구간 동안에 더 높은 휘도로 발광하여야 하고, 이로 인해 발광 전류가 증가한다.

[0059] 발광 전류가 증가하게 되면 ELVDD와 ELVSS 단의 IR-drop이 증가하여 전원 전압을 더 높게 주어야 하기 때문에 소비 전력이 증가한다는 단점이 있다.

[0060] 도 5는 본 발명의 일 실시예에 따른 화소 회로를 개략적으로 나타내는 도면이다.

[0061] 도 5에는 홀수 행에 배치되는 화소 회로(PC_ODD)와 짝수 행에 배치되는 화소 회로(PC_EVEN)가 도시된다. 상기 두 개의 화소 회로(PC_ODD 및 PC_EVEN)는 동일한 열에 배치되어 하나의 데이터 라인(DL)을 공유하며, 서로 동일한 구조를 갖는다.

[0062] 홀수 행에 배치되는 상기 화소 회로(PC_ODD)는 데이터 신호를 수신하고 수신한 상기 데이터 신호에 대응하는 구동 전류를 출력 노드(V_{OUT_ODD})에 출력하며, 도 1 및 도 2를 참조로 하여 설명한 바와 같이 디스플레이 패널에 행과 열 방향으로 복수 개가 배치된다.

[0063] 또한, 상기 화소 회로(PC_ODD)는, 상기 출력 노드(V_{OUT_ODD})를 통해 전달되는 상기 구동 전류에 의하여 발광하는 복수의 유기발광다이오드(OLED)와 함께 유기발광표시장치에 포함된다.

[0064] 상기 화소 회로(PC_ODD)는, 도 3의 화소 회로에 애노드 초기화 트랜지스터(TR₁₀)가 더 포함된 구성을 갖는다. 상기 애노드 초기화 트랜지스터(TR₁₀)는 상기 출력 노드(V_{OUT_ODD})에 연결되고, 제1 제어 라인(CL1_ODD)을 통해 수신되는 제1 제어 신호에 응답하여 초기화 전압을 상기 출력 노드(V_{OUT_ODD})에 출력한다.

[0065] 그리고, 상기 애노드 초기화 트랜지스터(TR₁₀)의 제1 전극은 상기 데이터 라인(DL)에 연결되고, 제2 전극은 상기 출력 노드(V_{OUT_ODD})에 연결되며, 상기 제1 제어 신호에 응답하여 상기 데이터 라인(DL)으로부터 인가되는 전압을 상기 출력 노드(V_{OUT_ODD})에 출력한다.

[0066] 한편, 상기 화소 회로(PC_ODD)는, 도 3의 화소 회로와 마찬가지로, 커패시터(C_{STO}), 구동 트랜지스터(TR_{DO}), 스위칭 트랜지스터(TR_{SO}) 및 발광 제어 트랜지스터(TR_{EMO})를 포함한다.

[0067] 상기 커패시터(C_{STO})는, 제1 전극이 제1 노드(V_{1_ODD})에 연결되고, 제2 전극이 상기 출력 노드(V_{OUT_ODD})에 연결되며, 상기 구동 트랜지스터(TR_{DO})는, 게이트 전극이 상기 제1 노드(V_{1_ODD})에 연결되고, 제2 전극이 상기 출력 노드(V_{OUT_ODD})에 연결되며, 상기 스위칭 트랜지스터(TR_{SO})는, 게이트 전극이 스캔 라인(SL[2n-1])에 연결되고, 제1 전극은 데이터 라인(DL)에 연결되고, 제2 전극은 상기 제1 노드(V_{1_ODD})에 연결되며, 상기 발광 제어 트랜지스터(TR_{EMO})는, 게이트 전극이 제2 제어 라인(CL2_ODD)에 연결되고, 제1 전극은 제1 전원(ELVDD)에 연결된다.

[0068] 상기 발광 제어 트랜지스터(TR_{EMO})의 게이트 전극은, 상기 제2 제어 라인(CL2_ODD)에 연결되어 제2 제어 신호를 공급 받는다.

[0069] 짝수 행에 배치되는 상기 화소 회로(PC_EVEN)는 데이터 신호를 수신하고 수신한 상기 데이터 신호에 대응하는 구동 전류를 출력 노드(V_{OUT_EVEN})에 출력하며, 도 1 및 도 2를 참조로 하여 설명한 바와 같이 디스플레이 패널에 행과 열 방향으로 복수 개가 배치된다.

- [0070] 또한, 상기 화소 회로(PC_EVEN)는, 상기 출력 노드(V_{OUT_EVEN})를 통해 전달되는 상기 구동 전류에 의하여 발광하는 복수의 유기발광다이오드(OLED)와 함께 유기발광표시장치에 포함된다.
- [0071] 상기 화소 회로(PC_EVEN)는, 도 3의 화소 회로에 애노드 초기화 트랜지스터(TR_{IE})가 더 포함된 구성을 갖는다. 상기 애노드 초기화 트랜지스터(TR_{IE})는 상기 출력 노드(V_{OUT_EVEN})에 연결되고, 제1 제어 라인($CL1_EVEN$)을 통해 수신되는 제1 제어 신호에 응답하여 초기화 전압을 상기 출력 노드(V_{OUT_EVEN})에 출력한다.
- [0072] 그리고, 상기 애노드 초기화 트랜지스터(TR_{IE})의 제1 전극은 상기 데이터 라인(DL)에 연결되고, 제2 전극은 상기 출력 노드(V_{OUT_EVEN})에 연결되며, 상기 제1 제어 신호에 응답하여 상기 데이터 라인(DL)으로부터 인가되는 전압을 상기 출력 노드(V_{OUT_EVEN})에 출력한다.
- [0073] 한편, 상기 화소 회로(PC_EVEN)는, 도 3의 화소 회로와 마찬가지로, 커패시터(C_{STE}), 구동 트랜지스터(TR_{DE}), 스위칭 트랜지스터(TR_{SE}) 및 발광 제어 트랜지스터(TR_{EME})를 포함한다.
- [0074] 상기 커패시터(C_{STE})는, 제1 전극이 제1 노드(V_{L_EVEN})에 연결되고, 제2 전극이 상기 출력 노드(V_{OUT_EVEN})에 연결되며, 상기 구동 트랜지스터(TR_{DE})는, 게이트 전극이 상기 제1 노드(V_{L_EVEN})에 연결되고, 제2 전극이 상기 출력 노드(V_{OUT_EVEN})에 연결되며, 상기 스위칭 트랜지스터(TR_{SE})는, 게이트 전극이 스캔 라인($SL[2n]$)에 연결되고, 제1 전극은 데이터 라인(DL)에 연결되고, 제2 전극은 상기 제1 노드(V_{L_EVEN})에 연결되며, 상기 발광 제어 트랜지스터(TR_{EME})는, 게이트 전극이 제2 제어 라인($CL2_EVEN$)에 연결되고, 제1 전극은 제1 전원($ELVDD$)에 연결된다.
- [0075] 상기 발광 제어 트랜지스터(TR_{EME})의 게이트 전극은, 상기 제2 제어 라인($CL2_EVEN$)에 연결되어 제2 제어 신호를 공급 받는다.
- [0076] 도 6은 도 5의 화소 회로의 구동 파형을 나타내는 도면이다.
- [0077] 도 6의 구동 파형은 상단에 홀수 행에 배치되는 화소 회로(PC_ODD)의 구동 파형을 나타내고, 하단에 짝수 행에 배치되는 화소 회로(PC_EVEN)의 구동 파형을 나타낸다.
- [0078] 도 6을 참조하면, 상기 화소 회로(PC_ODD 및 PC_EVEN)는, 순차적으로 애노드(Anode) 초기화 구간, 문턱전압(V_{th}) 보상 구간, 데이터(ODD Data 및 EVEN Data) 기입 구간 및 발광(ODD 발광 및 EVEN 발광) 구간을 갖는다.
- [0079] 그리고, 상기 홀수 행에 배치되는 화소 회로(PC_ODD)의 발광 구간은, 짝수 행에 배치되는 화소 회로(PC_EVEN)의 발광 구간과 중첩되지 않을 수 있다. 즉, 한 프레임(Frame Time) 동안의 동작은 ODD 애노드(Andoe) 초기화, ODD 문턱전압(V_{th}) 보상, ODD 데이터(Data) 기입, ODD 발광, EVEN 애노드(Andoe) 초기화, EVEN 문턱전압(V_{th}) 보상, EVEN 데이터(Data) 기입, EVEN 발광의 순서로 수행된다.
- [0080] 다만, 상기 홀수 행에 배치되는 화소 회로(PC_ODD)의 발광 구간은, 짝수 행에 배치되는 화소 회로(PC_EVEN)의 발광 구간과 중첩되어도 무방하다.
- [0081] 먼저, 상기 홀수 행에 배치되는 화소 회로(PC_ODD)의 동작을 살펴 보면, 애노드(Anode) 초기화 구간 동안 스캔 라인들($SL[1]$, $SL[3]$, ..., $SL[2n-1]$)에 모두 하이(high) 레벨의 전압이 인가되어 스위칭 트랜지스터(TR_{SO})들이 모두 턴-온 된다.
- [0082] 이때, 제2 제어 라인($CL2_ODD$)을 통해 로우(low) 레벨의 제2 제어 신호가 인가되어 발광 제어 트랜지스터(TR_{EMO})들은 모두 턴-오프 되고, 제1 제어 라인($CL1_ODD$)을 통해 하이(high) 레벨의 제1 제어 신호가 인가되어 애노드 초기화 트랜지스터(TR_{IO})가 턴-온 된다. 그리고, 데이터 라인(DL)에는 낮은 초기화 전압(V_{int})이 인가되어 출력 노드(V_{OUT_ODD})는 상기 초기화 전압(V_{int})으로 초기화 된다. 상기 초기화 전압(V_{int})은 유기발광다이오드(OLED)의 턴-온 전압보다 낮은 전압으로 설정되어 상기 유기발광다이오드(OLED)가 발광하지 않도록 한다.
- [0083] 문턱전압(V_{th}) 보상 구간에서는, 제1 제어 라인($CL1_ODD$)을 통해 로우(low) 레벨의 제1 제어 신호가 인가되어 애

노드 초기화 트랜지스터(TR_{I0})가 턴-오프 되고, 제2 제어 라인($CL2_ODD$)을 통해 하이(high) 레벨의 제2 제어 신호가 인가되어 발광 제어 트랜지스터(TR_{EMO})가 턴-온 되며, 데이터 라인(DL)에는 기준 전압(V_{ref})이 인가되어 상기 제1 노드(V_{1_ODD})의 전압이 상기 기준 전압(V_{ref})이 된다.

[0084] 이때, 상기 출력 노드(V_{OUT_ODD})에는 소스 팔로우(source follow)에 의하여 $V_{ref}-V_{th}$ 크기의 전압이 인가된다. 이때, 상기 기준 전압(V_{ref})의 크기는 상기 출력 노드(V_{OUT_ODD})에 인가되는 전압($V_{ref}-V_{th}$)의 크기가 상기 유기발광 다이오드(OLED)의 턴-온 전압보다 낮은 전압이 되도록 하여 상기 유기발광다이오드(OLED)가 발광하지 않도록 한다.

[0085] 데이터 기입 구간 동안에는 제1 제어 라인($CL1_ODD$) 및 제2 제어 라인($CL1_ODD$)에 모두 로우(low) 레벨의 제어 신호가 인가되어 상기 애노드 초기화 트랜지스터(TR_{I0}) 및 상기 발광 제어 트랜지스터(TR_{EMO})가 모두 턴-오프 되도록 한다.

[0086] 그리고, 스캔 라인들($SL[1], SL[3], \dots, SL[2n-1]$)에 순차적으로 하이(high) 레벨의 전압이 인가되어 상기 제1 노드(V_{1_ODD})에 순차적으로 데이터 전압(V_{data})을 인가한다. 이때, 상기 출력 노드(V_{OUT_ODD})의 전압은 상기 커패시터(C_{STO})와 상기 유기발광다이오드(OLED)의 커패시턴스(C_{OLED0})와의 커플링(coupling)에 의하여 다음과 같이 된다.

수학식 1

$$V_{OUT_ODD} = V_{ref} - V_{th} + \frac{C_{STO}}{C_{STO} + C_{OLED0}} (V_{data} - V_{ref})$$

[0087]

[0088] 발광 구간 동안에는, 스캔 라인들($SL[1], SL[3], \dots, SL[2n-1]$)과 제1 제어 라인($CL1_ODD$)에 모두 로우(low) 레벨의 전압이 인가되어 스위칭 트랜지스터(TR_{S0})와 애노드 초기화 트랜지스터(TR_{I0})가 턴-오프 되고, 제2 제어 라인($CL2_ODD$)에는 하이(high) 레벨의 전압이 인가되어 발광 제어 트랜지스터(TR_{EMO})가 턴-온 된다.

[0089] 그리고, 구동 트랜지스터(TR_{D0})에서 생성된 전류가 상기 출력 노드(V_{OUT_ODD})로 출력되어 상기 유기발광다이오드(OLED)로 흐르고, 홀수 행에 배치되는 모든 유기발광다이오드(OLED)가 발광하게 된다.

[0090] 상기 유기발광다이오드(OLED)에 흐르는 전류의 크기는 $(V_{data} - V_{OUT_ODD} - V_{th})^2$ 에 비례하므로, 상기 구동 트랜지스터(TR_{D0})의 문턱전압이 보상된 발광 전류가 상기 유기발광다이오드(OLED)에 흘러 균일한 휘도를 나타낼 수 있다.

[0091] 한편, 짝수 행에 배치되는 화소 회로(PC_EVEN)의 동작도 상기 홀수 행에 배치되는 화소 회로(PC_ODD)의 동작과 동일하다. 다만, 이전 프레임 동작 때, 기입된 데이터에 의해 이번 프레임에서 발광하는 차이가 있다.

[0092] 도 3 및 도 4를 참조로 하여 설명한 동시 발광 화소 회로는 디스플레이 패널의 해상도와 패널 크기가 증가할수록, 횡 방향으로 배치되는 화소의 개수가 증가하고, 스캔 라인과 데이터 라인의 로드(load)가 증가하여 RC-dealy가 커져, 데이터 기입 시간이 증가하기 때문에 발광 시간이 줄어들며, 줄어든 발광 시간으로 인하여 발광 구간 동안에 더 높은 휘도로 발광하여야 하고, 이로 인해 발광 전류가 증가한다. 따라서, ELVDD와 ELVSS 단의 IR-drop이 증가하여 전원 전압을 더 높게 주어야 하기 때문에 소비 전력이 증가하는 문제가 있을 수 있다.

[0093] 본 발명의 일 실시예에 따른 유기발광표시장치는 도 5 및 도 6을 참조로 하여 설명한 화소 회로를 이용함으로써, 한 프레임 내에 홀수 행 화소 회로(PC_ODD) 및 짝수 행 화소 회로(PC_EVEN) 발광을 모두 수행하기 때문에 데이터 기입 시간 단축의 문제가 발생하지 않으며, 그만큼 발광 시간을 확보할 수 있다.

[0094] 또한, 프레임 프리퀀시(Frame Frequency)가 감소하지 않아 플리커(flicker) 문제를 증가시키지 않으며, 한 프레임 내에 모든 화소가 발광을 수행하기 때문에, 해상도의 감소나 Interlaced Crosstalk에 강인하다.

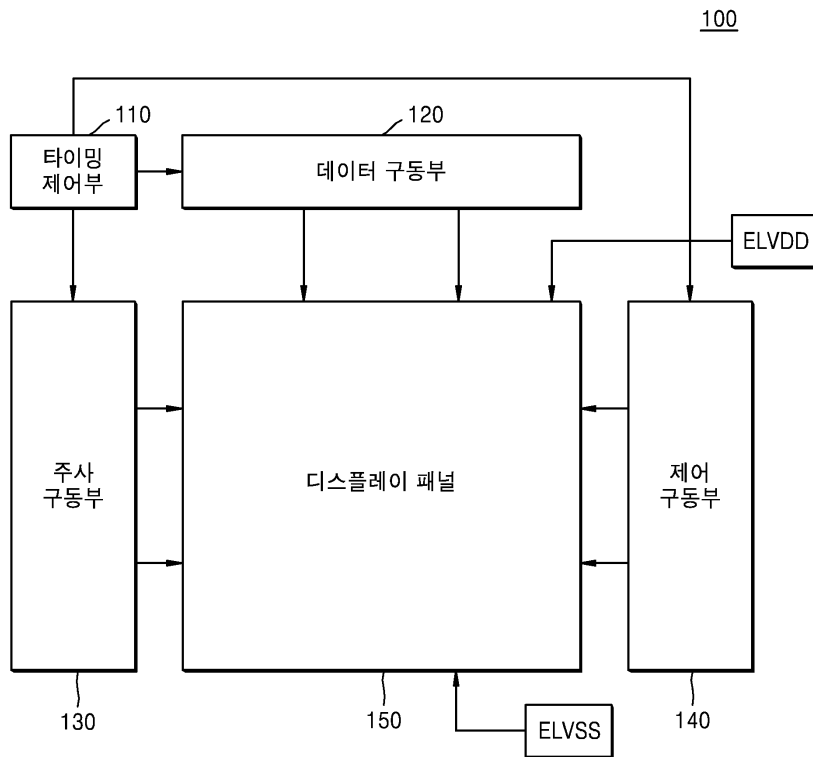
- [0095] 도 7은 본 발명의 다른 실시예에 따른 화소 회로를 개략적으로 나타내는 도면이다.
- [0096] 도 7은 도 5와 같이 홀수 행에 배치되는 화소 회로(PC_ODD)와 짝수 행에 배치되는 화소 회로(PC_EVEN)를 도시한다.
- [0097] 도 7을 참조하면, 상기 애노드 초기화 트랜지스터(TR_{I0} 및 TR_{IE})는, 제1 전극이 초기화 전압 라인(VL)에 연결되고, 제2 전극은 출력 노드(V_{OUT_ODD} 및 V_{OUT_EVEN})에 연결되며, 게이트 전극은 제1 제어 라인(CL1_ODD 및 CL2_ODD)에 연결되어 상기 제1 제어 라인(CL1_ODD 및 CL2_ODD)을 통해 수신되는 제1 제어 신호에 응답하여 상기 초기화 전압 라인(VL)으로부터 수신되는 초기화 전압을 상기 출력 노드(V_{OUT_ODD} 및 V_{OUT_EVEN})에 출력한다.
- [0098] 즉, 상기 화소 회로들(PC_ODD 및 PC_EVEN)에 포함되는 애노드 초기화 트랜지스터(TR_{I0} 및 TR_{IE})는 데이터 라인(DL)이 아닌 초기화 전압 라인(VL)에 연결되며, 상기 초기화 전압 라인(VL)으로부터 초기화 전압을 공급받는다.
- [0099] 도 8은 도 7의 화소 회로의 구동 파형을 나타내는 도면이다.
- [0100] 도 8의 구동 파형은 도 6을 참조로 하여 설명한 구동 파형과 대체로 유사하나 애노드(Anode) 초기화 구간 동안 데이터 라인(DL)에 인가되는 전압은 초기화 전압(V_{int})이 아닌 기준 전압(V_{ref})이 된다.
- [0101] 도 5의 화소 회로의 애노드 초기화 트랜지스터(TR_{I0} 및 TR_{IE})는 데이터 라인(DL)에 연결되어 초기화 전압을 공급받으므로, 초기화 구간 동안 상기 데이터 라인(DL)에는 초기화 전압(V_{int})이 인가된다.
- [0102] 그러나, 도 7의 화소 회로의 애노드 초기화 트랜지스터(TR_{I0} 및 TR_{IE})는 데이터 라인(DL)이 아닌 초기화 전압 라인(VL)에 연결되고, 상기 초기화 전압 라인(VL)으로부터 초기화 전압(V_{int})을 공급 받기 때문에 상기 데이터 라인(DL)에는 초기화 전압(V_{int})이 인가되지 않아도 무방하다. 따라서, 상기 데이터 라인(DL)에는 애노드(Anode) 초기화 구간 및 문턱전압(V_{th}) 보상 구간 동안 계속하여 기준 전압(V_{ref})이 인가된다.
- [0103] 본 명세서에서는 본 발명을 한정된 실시예를 중심으로 설명하였으나, 본 발명의 범위 내에서 다양한 실시예가 가능하다. 또한, 설명되지는 않았으나, 균등한 수단도 또한 본 발명에 그대로 결합되는 것이라 할 것이다. 따라서, 본 발명의 진정한 보호범위는 아래의 특허청구범위에 의하여 정해져야 할 것이다.

부호의 설명

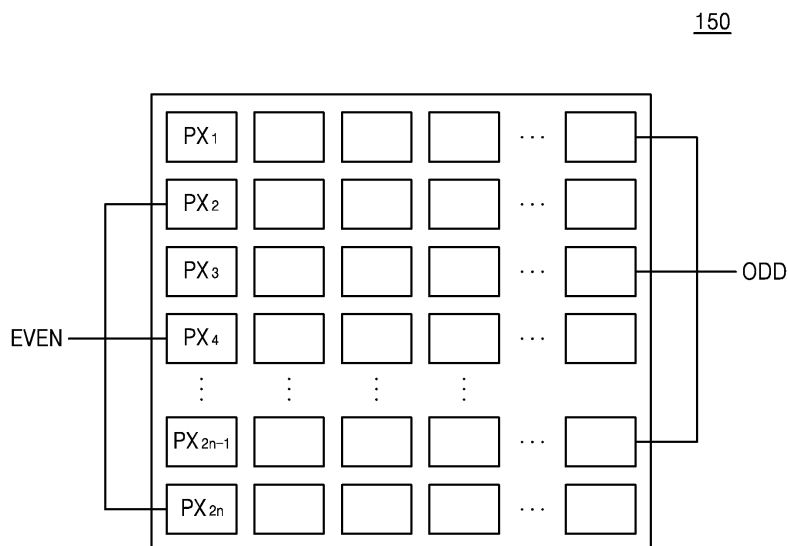
- [0104] 100: 유기발광표시장치 110: 타이밍 제어부
120: 데이터 구동부 130: 주사 구동부
140: 제어 구동부 150: 디스플레이 패널

도면

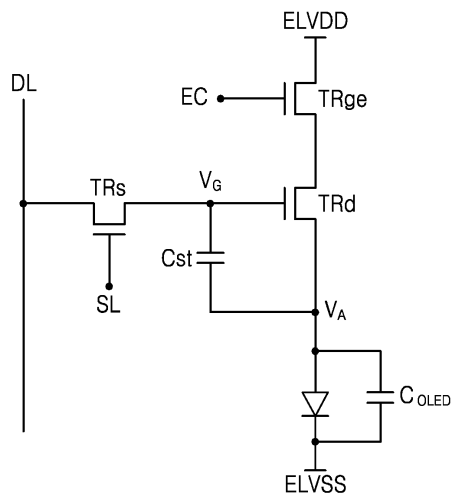
도면1



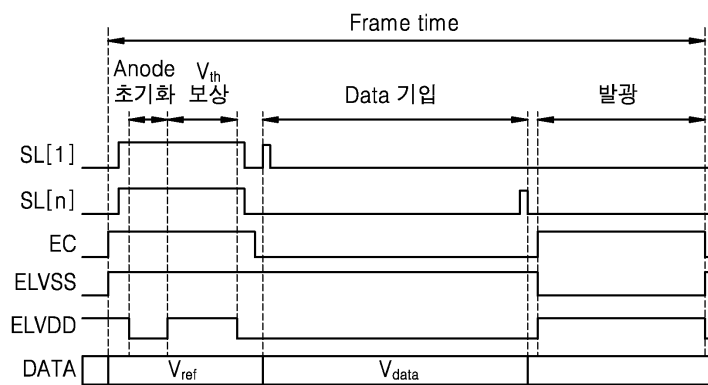
도면2



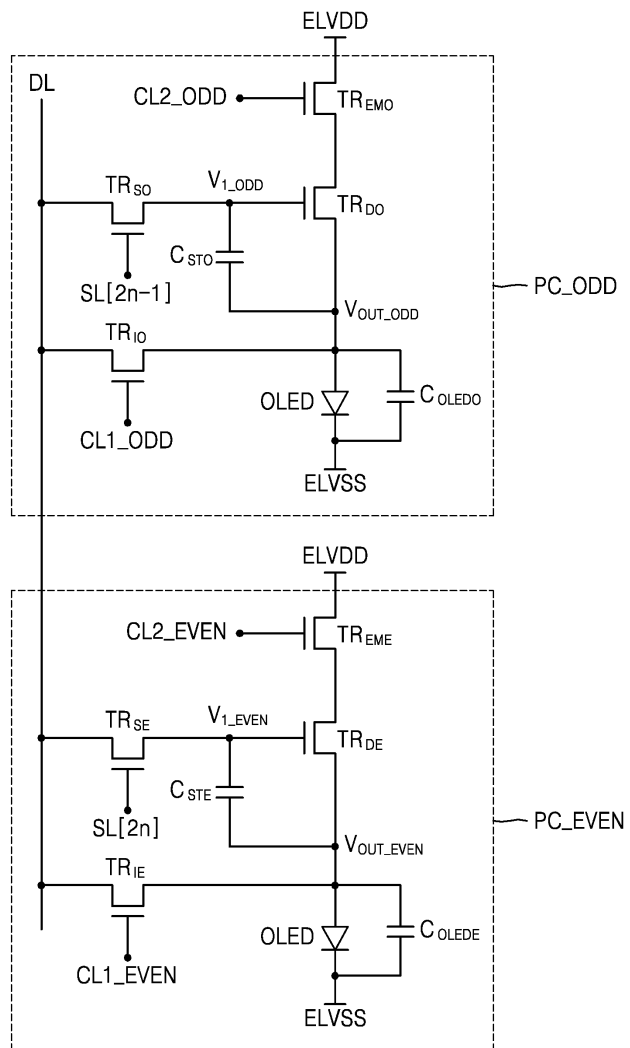
도면3



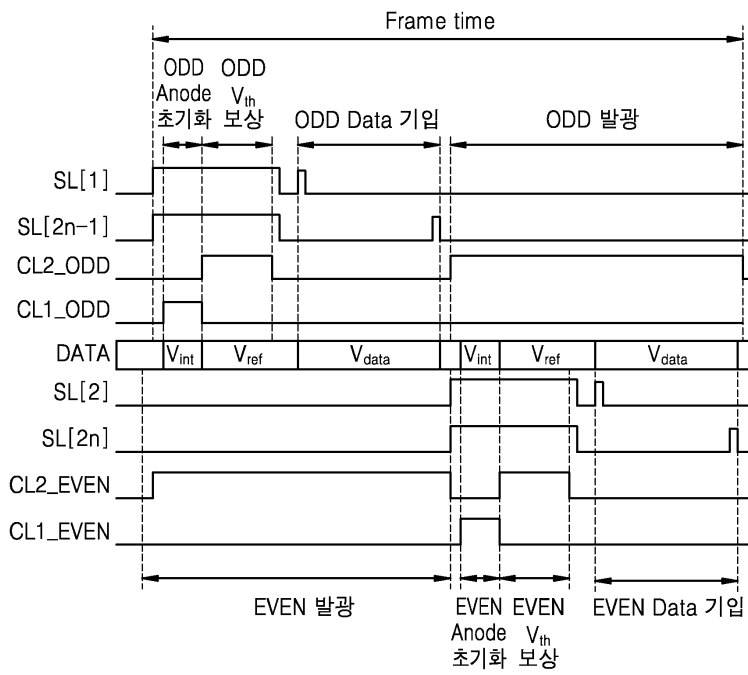
도면4



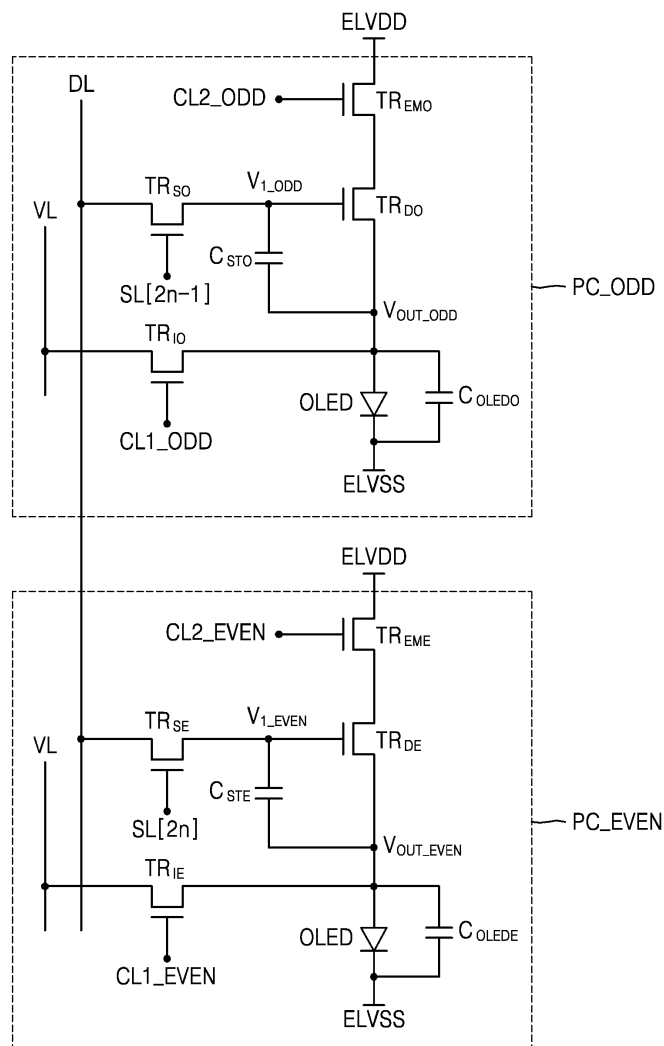
도면5



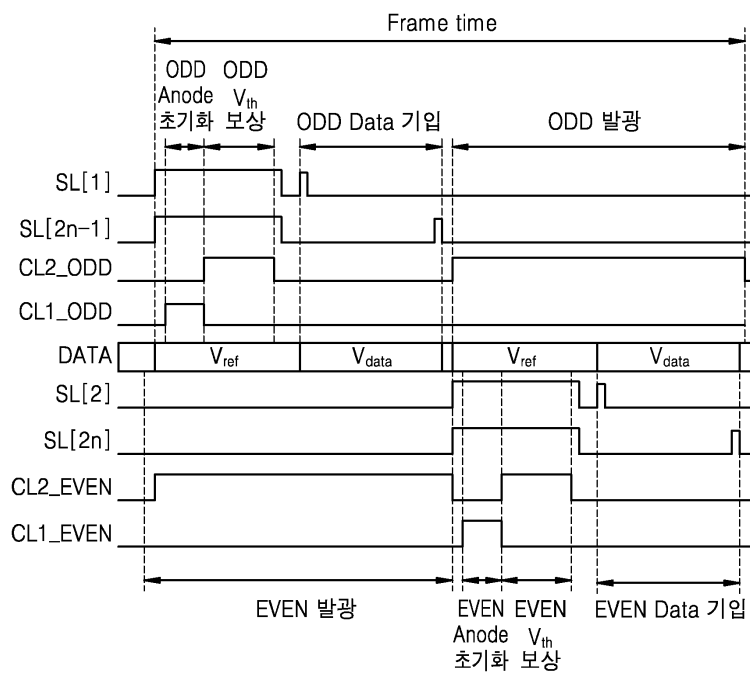
도면6



도면7



도면8



专利名称(译)	相关技术的描述		
公开(公告)号	KR1020160090442A	公开(公告)日	2016-08-01
申请号	KR1020150010026	申请日	2015-01-21
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	IN HAI JUNG 인해정 CHUNG BO YONG 정보용		
发明人	인해정 정보용		
IPC分类号	H01L27/32		
CPC分类号	H01L27/326 H01L27/3248 H01L27/3297 G09G3/3233 G09G2300/0819 G09G2300/0842 G09G2300/0861 G09G2300/0866 G09G2310/0218 G09G2310/0251 G09G2310/0256 G09G2320/0238		
外部链接	Espacenet		

摘要(译)

公开了有机发光显示装置。根据本发明优选实施例的有机发光显示装置接收数据信号，并且包括阳极初始化部分，相应的驱动电流在接收的数据信号，阈值电压补偿周期和多个有机光输出到输出节点。- 具有数据写入部分的发射二极管，具有发光时段和通过输出节点和多个像素电路传送的驱动电流的多个像素电路被布置为多行并且多个热量和多个像素电路连接到相应的输出节点和它包括阳极初始化晶体管，响应于通过第一代理对准和第一代理对准接收的第一控制信号，将初始电压输出到输出节点，并且第一代理对准连接到像素电路的阳极初始化晶体管排在偶数排是不同的彼此。连接到布置在奇数行中的像素电路的阳极初始化晶体管。

