



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0067318
(43) 공개일자 2016년06월14일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) H01L 51/56 (2006.01)
(21) 출원번호 10-2014-0172456
(22) 출원일자 2014년12월03일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
이성민
경기도 용인시 기흥구 삼성2로 95 (농서동)
김효민
경기도 용인시 기흥구 삼성2로 95 (농서동)
이종대
경기도 용인시 기흥구 삼성2로 95 (농서동)
(74) 대리인
리엔목특허법인

전체 청구항 수 : 총 20 항

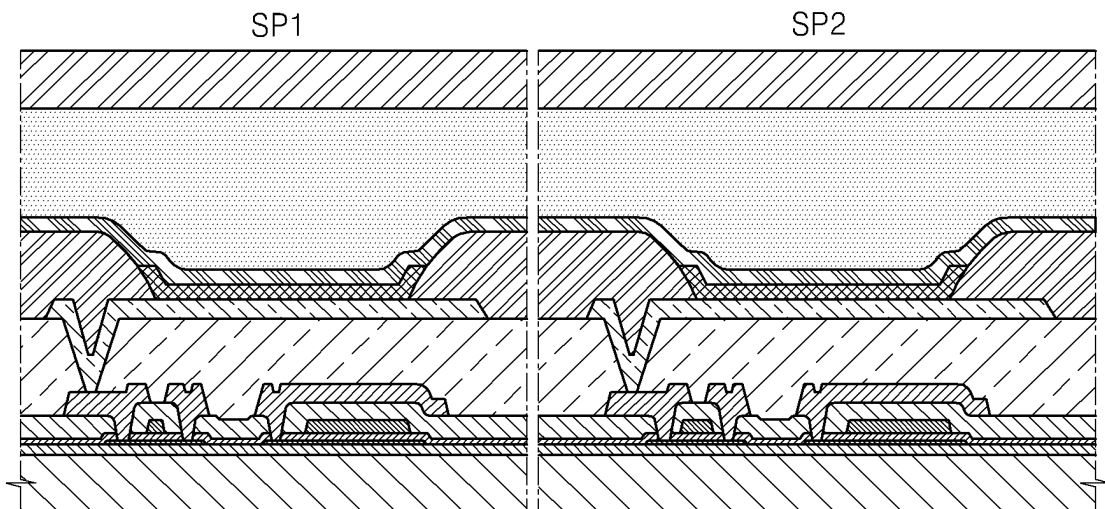
(54) 발명의 명칭 유기 발광 표시 패널 및 그 제조 방법

(57) 요약

유기 발광 표시 패널 및 그 제조 방법이 개시된다. 본 발명의 일 실시예에 따른 유기 발광 표시 패널은, 제1 표시 영역 및 제2 표시 영역을 포함하는 유기 발광 표시 패널로서, 상기 제1 표시 영역 및 상기 제2 표시 영역은 각각 복수 개의 제1 서브 픽셀 및 복수 개의 제2 서브 픽셀을 포함하며, 상기 복수 개의 제1 및 제2 서브 픽셀은

(뒷면에 계속)

대표도 - 도4



각각, 데이터 신호를 수신하고 수신한 상기 데이터 신호에 대응하는 구동 전류를 출력 노드로 출력하는 구동 트랜지스터, 구동 전압과 상기 구동 트랜지스터의 게이트 전극의 전압 간의 전압 차가 저장되는 스토리지 커패시터 및 상기 데이터 신호를 수신하는 제1 전극 및 상기 구동 트랜지스터의 제1 전극에 연결되는 제2 전극을 구비하는 스위칭 트랜지스터를 포함하는 픽셀 회로 및 상기 출력 노드에 연결되고, 상기 출력 노드를 통해 전달된 상기 구동 전류에 의하여 발광하는 발광소자를 포함하고, 상기 제1 서브 픽셀의 구동 트랜지스터의 게이트 전극과 발광소자의 애노드 전극이 오버랩 되는 면적은 상기 제2 서브 픽셀의 구동 트랜지스터의 게이트 전극과 발광소자의 애노드 전극이 오버랩 되는 면적 보다 작게 형성된다.

명세서

청구범위

청구항 1

제1 표시 영역 및 제2 표시 영역을 포함하는 유기 발광 표시 패널에 있어서,

상기 제1 표시 영역 및 상기 제2 표시 영역은 각각 복수 개의 제1 서브 픽셀 및 복수 개의 제2 서브 픽셀을 포함하며,

상기 복수 개의 제1 및 제2 서브 픽셀은 각각

데이터 신호를 수신하고 수신한 상기 데이터 신호에 대응하는 구동 전류를 출력 노드로 출력하는 구동 트랜지스터, 구동 전압과 상기 구동 트랜지스터의 게이트 전극의 전압 간의 전압 차가 저장되는 스토리지 커패시터 및 상기 데이터 신호를 수신하는 제1 전극 및 상기 구동 트랜지스터의 제1 전극에 연결되는 제2 전극을 구비하는 스위칭 트랜지스터를 포함하는 픽셀 회로; 및

상기 출력 노드에 연결되고, 상기 출력 노드를 통해 전달된 상기 구동 전류에 의하여 발광하는 발광소자를 포함하고,

상기 제1 서브 픽셀의 구동 트랜지스터의 게이트 전극과 발광소자의 애노드 전극이 오버랩 되는 면적은 상기 제2 서브 픽셀의 구동 트랜지스터의 게이트 전극과 발광소자의 애노드 전극이 오버랩 되는 면적 보다 작은 유기 발광 표시 패널.

청구항 2

제1항에 있어서,

상기 제1 표시 영역은 상기 유기 발광 표시 패널의 가장자리 영역에 형성되는 유기 발광 표시 패널.

청구항 3

제1항에 있어서,

상기 제1 서브 픽셀의 픽셀 회로에서 출력되는 구동 전류의 크기는 상기 제2 픽셀의 서브 픽셀 회로에서 출력되는 구동 전류의 크기보다 작은 유기 발광 표시 패널.

청구항 4

제1항에 있어서,

상기 제1 서브 픽셀의 구동 트랜지스터의 게이트 전극의 면적은 상기 제2 서브 픽셀의 구동 트랜지스터의 게이트 전극의 면적 보다 작은 유기 발광 표시 패널.

청구항 5

제1항에 있어서,

상기 구동 트랜지스터는 P형 트랜지스터인 유기 발광 표시 패널.

청구항 6

제1항에 있어서, 상기 픽셀 회로는,

제1 제어 신호에 응답하여 상기 구동 트랜지스터의 게이트 전극과 제2 전극을 연결하는 보상 트랜지스터; 및

발광 제어 신호에 응답하여 상기 출력 노드로 상기 구동 전류를 출력하는 발광 제어 트랜지스터;

를 더 포함하며,

상기 구동 트랜지스터는 상기 스위칭 트랜지스터의 스위칭 동작에 따라 상기 데이터 신호에 대응하는 구동 전류

를 상기 발광소자에 공급하는 유기 발광 표시 패널.

청구항 7

제1 표시 영역 및 제2 표시 영역을 포함하는 유기 발광 표시 패널에 있어서,

상기 제1 표시 영역 및 상기 제2 표시 영역은 각각 복수 개의 제1 내지 제3 서브 픽셀 및 복수 개의 제4 내지 제6 서브 픽셀을 포함하며,

상기 복수 개의 제1 내지 제6 서브 픽셀은 각각

데이터 신호를 수신하고 수신한 상기 데이터 신호에 대응하는 구동 전류를 출력 노드로 출력하는 구동 트랜지스터, 구동 전압과 상기 구동 트랜지스터의 게이트 전극의 전압 간의 전압 차가 저장되는 스토리지 커패시터 및 상기 데이터 신호를 수신하는 제1 전극 및 상기 구동 트랜지스터의 제1 전극에 연결되는 제2 전극을 구비하는 스위칭 트랜지스터를 포함하는 픽셀 회로; 및

상기 출력 노드에 연결되고, 상기 출력 노드를 통해 전달된 상기 구동 전류에 의하여 발광하는 발광소자를 포함하고,

상기 제1 서브 픽셀의 구동 트랜지스터의 게이트 전극과 발광소자의 애노드 전극이 오버랩 되는 면적은 상기 제4 서브 픽셀의 구동 트랜지스터의 게이트 전극과 발광소자의 애노드 전극이 오버랩 되는 면적 보다 작은 유기 발광 표시 패널.

청구항 8

제7항에 있어서,

상기 제1 표시 영역은 상기 유기 발광 표시 패널의 가장자리 영역에 형성되는 유기 발광 표시 패널.

청구항 9

제7항에 있어서,

상기 제1 서브 픽셀과 상기 제4 서브 픽셀, 상기 제2 서브 픽셀과 상기 제5 서브 픽셀, 상기 제3 서브 픽셀과 상기 제6 서브 픽셀은 서로 동일한 색상의 광을 방출하는 유기 발광 표시 패널.

청구항 10

제7항에 있어서,

상기 제1 서브 픽셀의 구동 트랜지스터의 게이트 전극의 면적은 상기 제4 서브 픽셀의 구동 트랜지스터의 게이트 전극의 면적 보다 작은 유기 발광 표시 패널.

청구항 11

제7항에 있어서,

상기 제1 서브 픽셀의 픽셀 회로에서 출력되는 구동 전류의 크기는 상기 제4 서브 픽셀 회로에서 출력되는 구동 전류의 크기보다 작은 유기 발광 표시 패널.

청구항 12

제7항에 있어서,

상기 제1 서브 픽셀 및 상기 제4 서브 픽셀은 그린(G)의 광을 방출하는 유기 발광 표시 패널.

청구항 13

제7항에 있어서,

상기 구동 트랜지스터는 P형 트랜지스터인 유기 발광 표시 패널.

청구항 14

제7항에 있어서, 상기 픽셀 회로는,

제1 제어 신호에 응답하여 상기 구동 트랜지스터의 게이트 전극과 제2 전극을 연결하는 보상 트랜지스터; 및
발광 제어 신호에 응답하여 상기 출력 노드로 상기 구동 전류를 출력하는 발광 제어 트랜지스터;

를 더 포함하며,

상기 구동 트랜지스터는 상기 스위칭 트랜지스터의 스위칭 동작에 따라 상기 데이터 신호에 대응하는 구동 전류를 상기 발광소자에 공급하는 유기 발광 표시 패널.

청구항 15

원장 기관을 준비하는 단계;

상기 원장 기관의 일면에 복수의 박막 트랜지스터를 형성하는 단계;

상기 복수의 박막 트랜지스터 각각에 전기적으로 연결되는 픽셀 전극을 형성하는 단계; 및

상기 픽셀 전극의 일부 상에 유기 발광층을 형성하는 단계를 포함하는 유기 발광 표시 패널의 제조 방법에 있어서,

상기 복수의 박막 트랜지스터, 이에 대응하는 상기 픽셀 전극 및 상기 픽셀 전극에 대응하는 상기 유기 발광층은 상기 원장 기관의 제1 영역에서 복수 개의 제1 내지 제3 서브 픽셀을 형성하고, 상기 원장 기관의 제2 영역에서 복수 개의 제4 내지 제6 서브 픽셀을 형성하며,

상기 원장 기관의 제1 영역에 형성되는 상기 제1 서브 픽셀의 게이트 전극과 픽셀 전극이 오버랩 되는 면적은 상기 원장 기관의 제2 영역에 형성되는 상기 제4 서브 픽셀의 게이트 전극과 픽셀 전극이 오버랩 되는 면적 보다 작은 유기 발광 표시 패널의 제조 방법.

청구항 16

제15항에 있어서,

상기 원장 기관의 상기 제1 영역에는 복수 개의 제1 박막 트랜지스터, 복수 개의 제2 박막 트랜지스터 및 복수 개의 제3 박막 트랜지스터가 형성되고,

상기 원장 기관의 상기 제2 영역에는 복수 개의 제4 박막 트랜지스터, 복수 개의 제5 박막 트랜지스터 및 복수 개의 제6 박막 트랜지스터가 형성되며,

상기 제1 영역은 상기 원장 기관의 테두리 영역인 유기 발광 표시 패널의 제조 방법.

청구항 17

제15항에 있어서,

상기 제1 서브 픽셀과 상기 제4 서브 픽셀, 상기 제2 서브 픽셀과 상기 제5 서브 픽셀, 상기 제3 서브 픽셀과 상기 제6 서브 픽셀은 서로 동일한 색상의 광을 방출하는 유기 발광 표시 패널의 제조 방법.

청구항 18

제15항에 있어서,

상기 제1 서브 픽셀 및 상기 제4 서브 픽셀의 상기 유기 발광층은 그린(G)의 광을 방출하는 유기 발광 표시 패널의 제조 방법.

청구항 19

제15항에 있어서,

상기 박막 트랜지스터는 P형 박막 트랜지스터인 유기 발광 표시 패널의 제조 방법.

청구항 20

제15항에 있어서,

상기 제1 서브 픽셀의 게이트 전극의 면적은 상기 제4 서브 픽셀의 게이트 전극의 면적 보다 작은 유기 발광 표시 패널의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 유기 발광 표시 패널 및 그 제조 방법에 관한 것으로서, 더욱 구체적으로는 면내 전류 불균형으로 인해 발생하는 원장 상하 색편차를 해결할 수 있는 유기 발광 표시 패널 및 그 제조 방법에 관한 것이다.

배경 기술

[0002] 표시 장치의 실제 표시 휘도 및 계조 데이터에 따르는 표시 휘도 간에 발생하는 편차를 제거하기 위해서 기준 감마 전압을 보정하는 작업이 필요한데, 이때 다 시점 프로그래밍(Multi Time Programming, 이하 MTP)을 이용할 수 있다. 이를 위해서, MTP 메모리에는 영상 신호에 따른 계조 데이터가 저장되며, 계조 데이터 정보는 대응하는 픽셀에 공급되는 데이터 전압을 결정하는 정보이다.

[0003] 발광소자를 발광하도록 하는 구동 전류의 크기는 구동 전압의 크기에 대응하는데, 구동 전압을 설정하기 위해서 패널의 중앙부에서 MTP를 이용하여 휘도비를 정하게 된다.

[0004] 패널의 면내 전류가 일정하게 유지된다면 휘도비는 면내에서 일정하게 적용되므로 픽셀에 따라 색편차가 발생하지 않을 수 있다. 그러나, 실제 패널에서는 면내에서 전류 편차가 발생하며, 이에 따라 색편차가 발생하게 된다.

[0005] 일반적으로 레드(R), 그린(G) 및 블루(B)의 광을 방출하는 유기 발광 재료의 효율은 그린(G)의 광을 방출하는 유기 발광 재료의 발광 효율이 가장 높은 것으로 알려져 있으며, 이에 따라 그린(G)의 광을 방출하는 서브 픽셀에서는 레드(R) 또는 블루(B)의 광을 방출하는 서브 픽셀에서보다, 인가되는 전류의 미세한 변화에도 방출되는 광의 휘도가 크게 변하게 된다.

발명의 내용

해결하려는 과제

[0006] 본 발명의 실시예들은 원장 상하에서 발생할 수 있는 색편차 문제를 해결할 수 있는 유기 발광 표시 패널 및 그 제조 방법을 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0007] 본 발명의 일 실시예에 따른 유기 발광 표시 패널은, 제1 표시 영역 및 제2 표시 영역을 포함하는 유기 발광 표시 패널로서, 상기 제1 표시 영역 및 상기 제2 표시 영역은 각각 복수 개의 제1 서브 픽셀 및 복수 개의 제2 서브 픽셀을 포함하며, 상기 복수 개의 제1 및 제2 서브 픽셀은 각각, 데이터 신호를 수신하고 수신한 상기 데이터 신호에 대응하는 구동 전류를 출력 노드로 출력하는 구동 트랜지스터, 구동 전압과 상기 구동 트랜지스터의 게이트 전극의 전압 간의 전압 차가 저장되는 스토리지 커패시터 및 상기 데이터 신호를 수신하는 제1 전극 및 상기 구동 트랜지스터의 제1 전극에 연결되는 제2 전극을 구비하는 스위칭 트랜지스터를 포함하는 픽셀 회로 및 상기 출력 노드에 연결되고, 상기 출력 노드를 통해 전달된 상기 구동 전류에 의하여 발광하는 발광소자를 포함하고, 상기 제1 서브 픽셀의 구동 트랜지스터의 게이트 전극과 발광소자의 애노드 전극이 오버랩 되는 면적은 상기 제2 서브 픽셀의 구동 트랜지스터의 게이트 전극과 발광소자의 애노드 전극이 오버랩 되는 면적 보다 작게 형성된다.

[0008] 또한, 상기 제1 표시 영역은 상기 유기 발광 표시 패널의 가장자리 영역에 형성될 수 있으며, 상기 제1 서브 픽셀의 픽셀 회로에서 출력되는 구동 전류의 크기는 상기 제2 서브 픽셀의 픽셀 회로에서 출력되는 구동 전류의 크기보다 작을 수 있다.

[0009] 또한, 상기 제1 서브 픽셀의 구동 트랜지스터의 게이트 전극의 면적은 상기 제2 서브 픽셀의 구동 트랜지스터의 게이트 전극의 면적 보다 작을 수 있으며, 상기 구동 트랜지스터는 P형 트랜지스터 일 수 있다.

- [0010] 또한, 상기 픽셀 회로는, 제1 제어 신호에 응답하여 상기 구동 트랜지스터의 게이트 전극과 제2 전극을 연결하는 보상 트랜지스터 및 발광 제어 신호에 응답하여 상기 출력 노드로 상기 구동 전류를 출력하는 발광 제어 트랜지스터를 더 포함하며, 상기 구동 트랜지스터는 상기 스위칭 트랜지스터의 스위칭 동작에 따라 상기 데이터 신호에 대응하는 구동 전류를 상기 발광소자에 공급할 수 있다.
- [0011] 본 발명의 다른 실시예에 따른 유기 발광 표시 패널은, 제1 표시 영역 및 제2 표시 영역을 포함하는 유기 발광 표시 패널로서, 상기 제1 표시 영역 및 상기 제2 표시 영역은 각각 복수 개의 제1 내지 제3 서브 픽셀 및 복수 개의 제4 내지 제6 서브 픽셀을 포함하며, 상기 복수 개의 제1 내지 제6 서브 픽셀은 각각 데이터 신호를 수신하고 수신한 상기 데이터 신호에 대응하는 구동 전류를 출력 노드로 출력하는 구동 트랜지스터, 구동 전압과 상기 구동 트랜지스터의 게이트 전극의 전압 간의 전압 차가 저장되는 스토리지 커패시터 및 상기 데이터 신호를 수신하는 제1 전극 및 상기 구동 트랜지스터의 제1 전극에 연결되는 제2 전극을 구비하는 스위칭 트랜지스터를 포함하는 픽셀 회로 및 상기 출력 노드에 연결되고, 상기 출력 노드를 통해 전달된 상기 구동 전류에 의하여 발광하는 발광소자를 포함하고, 상기 제1 서브 픽셀의 구동 트랜지스터의 게이트 전극과 발광소자의 애노드 전극이 오버랩 되는 면적은 상기 제4 서브 픽셀의 구동 트랜지스터의 게이트 전극과 발광소자의 애노드 전극이 오버랩 되는 면적 보다 작게 형성된다.
- [0012] 또한, 상기 제1 표시 영역은 상기 유기 발광 표시 패널의 가장자리 영역에 형성될 수 있으며, 상기 제1 서브 픽셀과 상기 제4 서브 픽셀, 상기 제2 서브 픽셀과 상기 제5 서브 픽셀, 상기 제3 서브 픽셀과 상기 제6 서브 픽셀은 서로 동일한 색상의 광을 방출할 수 있다.
- [0013] 또한, 상기 제1 서브 픽셀의 구동 트랜지스터의 게이트 전극의 면적은 상기 제4 서브 픽셀의 구동 트랜지스터의 게이트 전극의 면적 보다 작게 형성될 수 있으며, 상기 제1 서브 픽셀의 픽셀 회로에서 출력되는 구동 전류의 크기는 상기 제4 서브 픽셀 회로에서 출력되는 구동 전류의 크기보다 작을 수 있다.
- [0014] 또한, 상기 제1 서브 픽셀 및 상기 제4 서브 픽셀은 그린(G)의 광을 방출할 수 있으며, 상기 구동 트랜지스터는 P형 트랜지스터일 수 있다.
- [0015] 또한, 상기 픽셀 회로는, 제1 제어 신호에 응답하여 상기 구동 트랜지스터의 게이트 전극과 제2 전극을 연결하는 보상 트랜지스터 및 발광 제어 신호에 응답하여 상기 출력 노드로 상기 구동 전류를 출력하는 발광 제어 트랜지스터를 더 포함하며, 상기 구동 트랜지스터는 상기 스위칭 트랜지스터의 스위칭 동작에 따라 상기 데이터 신호에 대응하는 구동 전류를 상기 발광소자에 공급할 수 있다.
- [0016] 본 발명의 일 실시예에 따른 유기 발광 표시 패널의 제조 방법은, 원장 기관을 준비하는 단계, 상기 원장 기관의 일면에 복수의 박막 트랜지스터를 형성하는 단계, 상기 복수의 박막 트랜지스터 각각에 전기적으로 연결되는 픽셀 전극을 형성하는 단계 및 상기 픽셀 전극의 일부 상에 유기 발광층을 형성하는 단계를 포함하는 유기 발광 표시 패널의 제조 방법으로서, 상기 복수의 박막 트랜지스터, 이에 대응하는 상기 픽셀 전극 및 상기 픽셀 전극에 대응하는 상기 유기 발광층은 상기 원장 기관의 제1 영역에서 복수 개의 제1 내지 제3 서브 픽셀을 형성하고, 상기 원장 기관의 제2 영역에서 복수 개의 제4 내지 제6 서브 픽셀을 형성하며, 상기 원장 기관의 제1 영역에 형성되는 상기 제1 서브 픽셀의 구동 트랜지스터의 게이트 전극과 픽셀 전극이 오버랩 되는 면적은 상기 원장 기관의 제2 영역에 형성되는 상기 제4 서브 픽셀의 구동 트랜지스터의 게이트 전극과 픽셀 전극이 오버랩 되는 면적 보다 작게 형성될 수 있다.
- [0017] 또한, 상기 원장 기관의 상기 제1 영역에는 복수 개의 제1 박막 트랜지스터, 복수 개의 제2 박막 트랜지스터 및 복수 개의 제3 박막 트랜지스터가 형성되고, 상기 원장 기관의 상기 제2 영역에는 복수 개의 제4 박막 트랜지스터, 복수 개의 제5 박막 트랜지스터 및 복수 개의 제6 박막 트랜지스터가 형성되며, 상기 제1 영역은 상기 원장 기관의 테두리 영역일 수 있다.
- [0018] 또한, 상기 제1 서브 픽셀과 상기 제4 서브 픽셀, 상기 제2 서브 픽셀과 상기 제5 서브 픽셀, 상기 제3 서브 픽셀과 상기 제6 서브 픽셀은 서로 동일한 색상의 광을 방출할 수 있다.
- [0019] 또한, 상기 제1 서브 픽셀 및 상기 제4 서브 픽셀의 상기 유기 발광층은 그린(G)의 광을 방출할 수 있으며, 상기 박막 트랜지스터는 P형 박막 트랜지스터로 형성될 수 있다.
- [0020] 또한, 상기 제1 서브 픽셀의 게이트 전극의 면적은 상기 제4 서브 픽셀의 게이트 전극의 면적 보다 작게 형성될 수 있다.

발명의 효과

[0021] 본 발명의 실시예들은 원장 상하에서 발생할 수 있는 색편차 문제를 해결할 수 있는 유기 발광 표시 패널 및 그 제조 방법을 제공할 수 있다.

도면의 간단한 설명

[0022] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 패널을 개략적으로 나타내는 도면이다.
 도 2는 본 발명의 일 실시예에 따른 서브 픽셀의 픽셀 회로와 발광소자를 나타내는 회로도이다.
 도 3은 본 발명의 일 실시예에 따른 서브 픽셀의 구조를 나타내는 단면도이다.
 도 4는 본 발명의 다른 실시예에 따른 서브 픽셀의 구조를 나타내는 단면도이다.
 도 5는 본 발명의 다른 실시예에 따른 서브 픽셀의 픽셀 회로와 발광소자를 나타내는 회로도이다.
 도 6 및 도 7은 유기 발광 표시 패널에 형성되는 서브 픽셀을 개략적으로 나타내는 도면이다.
 도 8은 본 발명의 일 실시예에 따른 유기 발광 표시 패널의 제조 방법을 개략적으로 나타내는 순서도이다.
 도 9는 본 발명의 일 실시예에 따라 형성되는 원장 기관 및 유기 발광 표시 패널을 개략적으로 나타내는 도면이다.

발명을 실시하기 위한 구체적인 내용

[0023] 본 발명은 다양한 변환을 가할 수 있고, 여러 가지 실시예들을 가질 수 있는 바, 특정 실시예들은 도면을 예시하고 상세한 설명에 상세하게 설명하고자 한다. 본 발명의 효과 및 특징, 그리고 그것들을 달성하는 방법은 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 다양한 형태로 구현될 수 있다.

[0024] 이하 첨부된 도면들을 참조로 하여, 본 발명의 다양한 실시예에 따른 유기 발광 표시 패널 및 그 제조 방법에 대해서 설명하도록 한다. 도면을 참조하여 설명할 때 동일하거나 대응하는 구성 요소는 동일한 도면 부호를 부여하고, 이에 대한 중복되는 설명은 생략하기로 한다.

[0025] 어떤 구성 요소가 다른 구성 요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성 요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성 요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성 요소가 다른 구성 요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성 요소가 존재하지 않는 것으로 이해되어야 할 것이다. 구성 요소들 간의 관계를 설명하는 다른 표현들, 즉 "~사이에"와 "바로 ~사이에" 또는 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.

[0026] 이하의 실시예에서, 제1, 제2 등의 용어는 한정적인 의미가 아니라 하나의 구성 요소를 다른 구성 요소와 구별하는 목적으로 사용된다. 단수의 표현은 문맥상 명확하게 다르게 뜻하지 않는 한, 복수의 표현을 의미한다. "포함하다" 또는 "가지다" 등의 용어는 명세서상에 기재된 특징 또는 구성 요소가 존재함을 의미하는 것이고, 하나 이상의 다른 특징들 또는 구성 요소가 부가될 가능성을 미리 배제하는 것은 아니다.

[0027] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 패널을 개략적으로 나타내는 도면이다.

[0028] 도 1을 참조하면, 본 발명의 일 실시예에 따른 유기 발광 표시 패널(100)은, 제1 표시 영역(110) 및 제2 표시 영역(120)을 포함하며, 상기 제1 표시 영역(110)은 복수 개의 제1 픽셀(PX1)을 포함하고, 상기 제2 표시 영역(120)은 복수 개의 제2 픽셀(PX2)을 포함한다.

[0029] 상기 제1 픽셀(PX1) 및 상기 제2 픽셀(PX2)은 각각 레드(R), 그린(G), 블루(B)의 광을 방출하는 서브 픽셀을 포함하며, 상기 복수 개의 제1 픽셀(PX1) 및 제2 픽셀(PX2)에 포함되는 상기 서브 픽셀은, 데이터 신호에 대응하는 구동 전류를 출력하는 픽셀 회로 및 상기 구동 전류에 의하여 발광하는 발광소자를 포함한다.

[0030] 상기 픽셀 회로는 상기 데이터 신호를 수신하고 수신한 상기 데이터 신호에 대응하는 구동 전류를 출력 노드로 출력하는 구동 트랜지스터 및 상기 데이터 신호를 수신하는 제1 전극 및 상기 구동 트랜지스터의 제1 전극에 연

결되는 제2 전극을 구비하는 스위칭 트랜지스터를 포함한다.

- [0031] 또한, 상기 발광소자는 상기 출력 노드에 연결되어, 상기 출력 노드를 통해 전달된 상기 구동 전류에 의하여 발광한다.
- [0032] 한편, 상기 제1 픽셀(PX1)의 구동 트랜지스터의 게이트 전극과 발광소자의 애노드 전극이 오버랩 되는 면적은 상기 제2 픽셀(PX2)의 구동 트랜지스터의 게이트 전극과 발광소자의 애노드 전극이 오버랩 되는 면적보다 작게 형성된다.
- [0033] 즉, 상기 제1 픽셀(PX1)에 포함되는 서브 픽셀의 구동 트랜지스터의 게이트 전극과 발광소자의 애노드 전극이 오버랩 되는 면적은, 상기 제2 픽셀(PX2)의 구동 트랜지스터의 게이트 전극과 발광소자의 애노드 전극이 오버랩 되는 면적 보다 작게 형성된다.
- [0034] 도 2는 본 발명의 일 실시예에 따른 서브 픽셀의 픽셀 회로와 발광소자를 나타내는 회로도이다.
- [0035] 도 2를 참조하면, 본 발명의 일 실시예에 따른 서브 픽셀(SP)은 픽셀 회로(P)와 발광소자(OLED)를 포함하며, 상기 픽셀 회로(P)는 구동 트랜지스터(T1) 및 스위칭 트랜지스터(T2)를 포함한다.
- [0036] 상기 스위칭 트랜지스터(T2)는 데이터 라인(DL)으로부터 공급되는 데이터 신호를 수신하는 제1 전극 및 상기 구동 트랜지스터의 제1 전극에 연결되는 제2 전극을 구비한다.
- [0037] 상기 구동 트랜지스터(T1)는 상기 스위칭 트랜지스터(T2)로부터 상기 데이터 신호를 수신하고, 수신한 상기 데이터 신호에 대응하는 구동 전류(IEL)를 출력 노드(Node_out)로 출력한다.
- [0038] 또한, 상기 구동 트랜지스터(T1)의 제1 전극은 제1 구동 전압을 공급하는 제1 구동 전압 라인(ELVDDL)에 연결되며, 상기 구동 트랜지스터(T1)의 제2 전극은 상기 출력 노드(Node_out)를 통해 상기 발광소자(OLED)의 애노드 전극에 연결된다.
- [0039] 상기 스위칭 트랜지스터(T2)의 게이트 전극은 상기 데이터 신호를 상기 구동 트랜지스터(T1)로 전달하기 위한 스캔 신호를 공급하는 스캔 라인(SL)에 연결될 수 있다.
- [0040] 한편, 상기 픽셀 회로(P)는 스토리지 커패시터(Cst)를 포함할 수 있으며, 상기 스토리지 커패시터(Cst)의 제1 전극은 상기 제1 구동 전압 라인(ELVDDL)에 연결되고, 제2 전극은 상기 구동 트랜지스터(T1)의 게이트 전극에 연결된다.
- [0041] 한편, 상기 발광소자(OLED)의 애노드 전극은 상기 출력 노드(Node_out)에 연결되고, 상기 구동 트랜지스터(T1)로부터 전달되는 구동 전류(IEL)에 대응하여 발광하게 된다.
- [0042] 따라서, 상기 출력 노드(Node_out)의 전위는 상기 구동 트랜지스터(T1)의 제2 전극의 전위 및 상기 발광소자(OLED)의 애노드 전극의 전위와 동일하다.
- [0043] 또한, 상기 발광소자(OLED)의 캐소드 전극은 제2 구동 전압 라인(ELVSSL)에 연결되며, 상기 제2 구동 전압 라인(ELVSSL)에 흐르는 제2 구동 전압은 기준 전압일 수 있으며, 상기 기준 전압은 예컨대, 접지 전압일 수 있다.
- [0044] 상기 발광소자(OLED)는 서브 픽셀(SP)에 따라 레드(R), 그린(G) 또는 블루(B)의 광을 방출하며, 상기 구동 전류(IEL)의 크기에 대응하는 밝기로 발광하게 된다.
- [0045] 상기 서브 픽셀(SP)은 도 1에 도시되는 바와 같이, 유기 발광 표시 패널(100)에 매트릭스 형태로 형성되는 픽셀(PX1, PX2)에 포함된다.
- [0046] 한편, 상기 제1 픽셀(PX1)의 구동 트랜지스터(T1)의 게이트 전극과 발광소자의 애노드 전극이 오버랩 되는 면적은 상기 제2 픽셀(PX2)의 구동 트랜지스터(T1)의 게이트 전극과 발광소자의 애노드 전극이 오버랩 되는 면적 보다 작게 형성된다.
- [0047] 상술한 바와 같이, 상기 제1 픽셀(PX1)은 상기 제1 표시 영역에 형성되며, 상기 제2 픽셀(PX2)은 상기 제2 표시 영역에 형성되므로, 상기 제1 표시 영역 및 상기 제2 표시 영역에 형성되는 픽셀의 구동 트랜지스터(T1)의 게이트 전극과 발광소자의 애노드 전극이 오버랩 되는 면적의 크기가 서로 다르게 형성되는 것으로 이해할 수 있다.
- [0048] 그리고, 상기 제1 표시 영역은 도 1에 도시되는 바와 같이 상기 유기 발광 표시 패널(100)의 에지(edge) 영역일 수 있다.

[0049] 한편, 상기 구동 트랜지스터(T1)의 게이트 전극과 상기 발광소자(OLED)의 애노드 전극 사이에는 기생 커패시턴스(Cpar)가 형성되며, 상기 기생 커패시턴스(Cpar)에 의해서 상기 데이터 라인(DL)으로부터 인가되는 데이터 전압의 변화량(ΔV_{data})은 상기 스토리지 커패시터(Cst) 및 상기 기생 커패시턴스(Cpar)와 하기와 같은 관계를 갖는다.

수학식 1

$$\Delta V_{data} = \Delta V_{Anode} \times \frac{C_{par}}{C_{par} + C_{st}}$$

[0050]

[0051] 커패시턴스의 크기는 대향하는 두 개의 전극의 면적에 비례하고 상기 두 개의 전극 사이의 거리에 반비례하므로, 상기 구동 트랜지스터(T1)의 게이트 전극과 상기 발광소자(OELD)의 애노드 전극이 오버랩 되는 면적을 변화시키면, 상기 기생 커패시턴스(Cpar)의 크기를 조절할 수 있다.

[0052] 또한, 상기 기생 커패시턴스(Cpar)의 크기가 증가하면 상기 데이터 전압 변화량(ΔV_{data})도 증가하므로, 상기 기생 커패시턴스(Cpar)의 크기를 조절하여 상기 데이터 전압의 변화량(ΔV_{data})을 조절할 수 있다.

[0053] 상기 데이터 전압의 변화량(ΔV_{data})은 상기 스위칭 트랜지스터(T2)를 통해 상기 데이터 라인(DL)으로부터 상기 구동 트랜지스터(T1)의 게이트 전극에 인가되는 상기 데이터 전압(Vdata)과, 상기 발광소자(OLED)가 구동 전류(IEL)에 의해 발광할 때의 상기 구동 트랜지스터(T1)의 게이트 전극의 전위와의 차이를 의미한다.

[0054] 상기 기생 커패시턴스(Cpar)의 크기를 조절하여 상기 데이터 전압의 변화량(ΔV_{data})을 조절함으로써, 결과적으로 상기 발광소자(OLED)에 흐르는 전류의 크기를 조절하고, 이에 따라 발광소자(OLED)로부터 방출되는 광의 휘도를 조절할 수 있다.

[0055] 도 3은 본 발명의 일 실시예에 따른 서브 픽셀의 구조를 나타내는 단면도이다.

[0056] 본 발명의 일 실시예에 따른 유기 발광 표시 패널(100)은, 복수 개의 서브 픽셀을 포함하며, 도 3에 도시되는 단면도는 상기 복수 개의 서브 픽셀 중 하나의 서브 픽셀의 단면도를 나타낸다.

[0057] 도 3을 참조하면, 본 발명의 일 실시예에 따른 서브 픽셀은, 하부기관(200), 상기 하부기관(200)에 대향하여 배치된 상부기관(210), 상기 하부기관(200)과 상기 상부기관(210) 사이에 개재되도록 하부기관 상에 배치된 구동 트랜지스터(T1), 상기 구동 트랜지스터(T1)에 전기적으로 연결된 발광소자, 그리고 상기 발광소자와 상기 상부기관(210) 사이의 공간을 충전하는 전도성 고분자층(220)을 구비한다.

[0058] 상기 하부기관(200)은 글라스재, 금속재, 또는 PET(Polyethylen terephthalate), PEN(Polyethylen naphthalate), 폴리이미드(Polyimide) 등과 같은 플라스틱재 등, 다양한 재료로 형성된 것일 수 있다. 이러한 하부기관(200)은 복수개의 화소들이 배치되는 표시영역과, 이 디스플레이영역을 감싸는 주변영역을 가질 수 있다.

[0059] 상기 발광소자는 애노드 전극(230)과, 대향전극과, 애노드 전극(230)과 대향전극 사이에 개재되며 발광층을 포함하는 중간층을 갖는다. 이때, 상기 대향전극은 복수 개의 서브 픽셀의 발광소자에 있어서 일체(一體)일 수 있다.

[0060] 상기 화소전극(230)은 반사전극일 수 있다. 예컨대 상기 애노드 전극(230)은 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr 또는 이들의 화합물 등으로 형성된 반사막과, IT0, IZO, ZnO 또는 In2O3로 형성된 막을 포함할 수 있다. 상기 애노드 전극(230)의 구성 및 재료가 이에 한정되는 것은 아니며 다양한 변형이 가능하다. 이러한 애노드 전극(230)은 하부기관(100)의 디스플레이영역 내에 위치할 수 있다.

[0061] 상기 구동 트랜지스터(T1)의 게이트 전극(Gate)은 상기 애노드 전극(230)과 오버랩 되며, 상기 게이트 전극(Gate)과 상기 애노드 전극(230)은 절연층을 사이에 두고 오버랩 되므로, 상기 게이트 전극(Gate)과 상기 애노드 전극(230) 사이에는 기생 커패시턴스(Cpar)가 형성된다.

- [0062] 도 2를 참조로 하여 설명한 바와 같이, 상기 기생 커패시턴스(Cpar)의 크기를 조절함으로써, 상기 발광소자(OLED)에서 방출되는 광의 휘도를 조절할 수 있으며, 상기 기생 커패시턴스(Cpar)의 크기는, 상기 게이트 전극(Gate)의 면적을 이용하여 조절 가능하다.
- [0063] 상기 게이트 전극(Gate)의 면적을 넓게 형성할수록 상기 게이트 전극(Gate)과 상기 애노드 전극(230)이 오버랩 되는 면적의 크기가 커지므로, 상기 기생 커패시턴스(Cpar)의 크기는 커지고, 상기 게이트 전극(Gate)의 면적을 좁게 형성할수록 상기 게이트 전극(Gate)과 상기 애노드 전극(230)이 오버랩 되는 면적의 크기가 작아지므로, 상기 기생 커패시턴스(Cpar)의 크기는 작아진다.
- [0064] 도 4는 본 발명의 다른 실시예에 따른 서브 픽셀의 구조를 나타내는 단면도이다.
- [0065] 도 4는 두 개의 서브 픽셀의 단면도를 나타낸다. 일반적으로 하나의 픽셀은 레드(R), 그린(G), 블루(B)의 광을 방출하는 세 개의 서브 픽셀로 구성될 수 있는데, 도 4에서는 두 개의 서브 픽셀을 도시하며, 설명의 편의를 위하여 좌측의 서브 픽셀을 제1 서브 픽셀(SP1), 우측의 서브 픽셀을 제2 서브 픽셀(SP2)로 한다.
- [0066] 도 4에 도시되는 상기 제1 서브 픽셀(SP1) 및 상기 제2 서브 픽셀(SP2)은 각각, 도 1을 참조로 하여 설명한 제1 표시 영역(110) 및 제2 표시 영역(120)에 형성되는 서브 픽셀로 이해할 수 있다.
- [0067] 도 4를 참조하면, 상기 제1 서브 픽셀(SP1)의 구동 트랜지스터의 게이트 전극의 면적은, 상기 제2 서브 픽셀(SP2)의 구동 트랜지스터의 게이트 전극의 면적보다 더 크게 형성된다.
- [0068] 따라서, 구동 트랜지스터의 게이트 전극과 발광소자의 애노드 전극이 오버랩 되는 면적은 상기 제1 서브 픽셀(SP1)에서 더 크게 형성되며, 구동 트랜지스터의 게이트 전극과 발광소자의 애노드 전극 사이에 형성되는 기생 커패시턴스의 크기는 상기 제1 서브 픽셀(SP1)에서 더 크다.
- [0069] 도 3 및 수학적 식 1을 참조로 하여 설명한 바와 같이, 기생 커패시턴스의 크기가 클수록 애노드 전압의 변화량에 따른 데이터 전압의 변화량이 커지므로, 상기 제1 서브 픽셀(SP1)에서는 상기 제2 서브 픽셀(SP2)에서보다 애노드 전압의 변화량에 대한 데이터 전압의 변화량이 더 크다.
- [0070] 일반적으로 표시 패널의 가장자리 영역에 형성되는 서브 픽셀에서는, 표시 패널의 가운데 영역에 형성되는 서브 픽셀에서보다 더 작은 구동전류가 흐르게 되는데, 이로 인해서 표시 패널에서 색편차 문제가 발생하게 된다.
- [0071] 도 1에서 상기 제1 표시 영역(110)은 상기 유기 발광 표시 패널(100)의 가장자리 영역에 해당하고, 상기 제2 표시 영역(120)은 상기 유기 발광 표시 패널(100)의 가운데 영역에 해당한다.
- [0072] 따라서, 상기 제1 표시 영역(110)에 형성되는 상기 제1 서브 픽셀(SP1)에 흐르는 구동전류의 크기는 상기 제2 표시 영역(120)에 형성되는 상기 제2 서브 픽셀(SP2)에 흐르는 구동전류의 크기보다 더 작을 수 있다.
- [0073] 상기 기생 커패시턴스(Cpar)의 크기가 작을수록 애노드 전압의 변화량에 대한 데이터 전압의 변화량이 작아지므로, 구동전류의 크기가 작은 서브 픽셀의 기생 커패시턴스(Cpar)의 크기를 작게 하면 구동전류 차이에 따른 영향을 줄여 휘도 편차를 감소시킬 수 있다.
- [0074] 따라서, 표시 패널의 가장자리 영역에 형성되는 상기 제1 서브 픽셀(SP1)의 구동 트랜지스터의 게이트 전극의 면적을 상기 표시 패널의 가운데 영역에 형성되는 상기 제2 서브 픽셀(SP2)의 구동 트랜지스터의 게이트 전극의 면적보다 작게 형성함으로써, 서브 픽셀이 형성되는 위치 차이에 의해 발생하는 색편차 문제를 해결할 수 있다.
- [0075] 도 5는 본 발명의 다른 실시예에 따른 서브 픽셀의 픽셀 회로와 발광소자를 나타내는 회로도이다.
- [0076] 도 5에 도시되는 서브 픽셀(SP')은 5개의 박막트랜지스터를 포함하는 픽셀 회로(P) 및 발광소자(OLED)를 포함한다.
- [0077] 상기 픽셀 회로(P)는 도 2에 도시되는 서브 픽셀(SP)의 픽셀 회로(P)와 마찬가지로 구동 트랜지스터(T1)와 스위칭 트랜지스터(T2)를 포함한다. 상기 스위칭 트랜지스터(T2)는 데이터 라인(DL)으로부터 공급되는 데이터 신호를 수신하는 제1 전극 및 상기 구동 트랜지스터의 제1 전극에 연결되는 제2 전극을 구비한다.
- [0078] 상기 구동 트랜지스터(T1)는 상기 스위칭 트랜지스터(T2)로부터 상기 데이터 신호를 수신하고, 수신한 상기 데이터 신호에 대응하는 구동 전류(I_{EL})를 출력 노드(Node_out)로 출력한다.

- [0079] 또한, 상기 구동 트랜지스터(T1)의 제1 전극은 제1 구동 전압을 공급하는 제1 구동 전압 라인(ELVDDL)에 연결되며, 상기 구동 트랜지스터(T1)의 제2 전극은 상기 출력 노드(Node_out)를 통해 상기 발광소자(OLED)의 애노드 전극에 연결된다.
- [0080] 상기 스위칭 트랜지스터(T2)의 게이트 전극은 상기 데이터 신호를 상기 구동 트랜지스터(T1)로 전달하기 위한 스캔 신호를 공급하는 스캔 라인(SL)에 연결될 수 있다.
- [0081] 한편, 상기 픽셀 회로(P)는 스토리지 커패시터(Cst)를 포함할 수 있으며, 상기 스토리지 커패시터(Cst)의 제1 전극은 상기 제1 구동 전압 라인(ELVDDL)에 연결되고, 제2 전극은 상기 구동 트랜지스터(T1)의 게이트 전극에 연결된다.
- [0082] 한편, 상기 발광소자(OLED)의 애노드 전극은 상기 출력 노드(Node_out)에 연결되고, 상기 구동 트랜지스터(T1)로부터 전달되는 구동 전류(I_{EL})에 대응하여 발광하게 된다.
- [0083] 그리고 상기 픽셀 회로(P)는, 제1 제어 신호에 응답하여 상기 구동 트랜지스터의 게이트 전극과 제2 전극을 연결하는 보상 트랜지스터(T3) 및 발광 제어 신호에 응답하여 상기 출력 노드로 상기 구동 전류를 출력하는 발광 제어 트랜지스터(T4, T5)를 더 포함하며, 상기 구동 트랜지스터(T1)는 상기 스위칭 트랜지스터(T2)의 스위칭 동작에 따라 상기 데이터 신호에 대응하는 구동 전류(I_{EL})를 상기 발광소자에 공급한다.
- [0084] 상기 구동 트랜지스터(T1)와 상기 발광소자(OLED)의 구조는 도 3 및 도 4를 참조로 설명한 서브 픽셀에서의 구조와 실질적으로 동일하며, 상기 구동 트랜지스터(T1)의 게이트 전극과 상기 발광소자(OLED)의 애노드 전극 사이에는 기생 커패시턴스(Cpar)가 형성된다.
- [0085] 따라서, 상기 서브 픽셀(SP')에서 상기 구동 트랜지스터(T1)의 게이트 전극의 면적을 조절함으로써, 상기 기생 커패시턴스의 크기(Cpar)를 조절할 수 있다.
- [0086] 도 1 내지 도 4를 참조로 하여 설명한 바와 같이, 표시 패널의 위치에 따라 구동 전류의 차이가 생기고 이로 인해 색편차가 발생하는 경우에 있어서, 표시 패널의 가장자리 영역에 형성되는 서브 픽셀에 대하여 상기 구동 트랜지스터(T1)의 게이트 전극의 면적을 작게 형성함으로써, 색편차 문제를 해결할 수 있다.
- [0087] 도 6 및 도 7은 유기 발광 표시 패널에 형성되는 서브 픽셀을 개략적으로 나타내는 도면이다.
- [0088] 도 6을 참조하면, 상기 유기 발광 표시 패널(300)은 제1 표시 영역(310) 및 제2 표시 영역(320)을 포함하는 유기 발광 표시 패널에 있어서, 상기 제1 표시 영역(310) 및 상기 제2 표시 영역(320)은 각각 복수 개의 제1 내지 제3 서브 픽셀(SPa, SPb, SPc) 및 복수 개의 제4 내지 제6 서브 픽셀(SPd, SPe, SPf)을 포함한다.
- [0089] 상기 복수 개의 제1 내지 제6 서브 픽셀(SPa, SPb, SPc, SPd, SPe, SPf)은 각각 데이터 신호를 수신하고 수신한 상기 데이터 신호에 대응하는 구동 전류를 출력 노드로 출력하는 구동 트랜지스터, 구동 전압과 상기 구동 트랜지스터의 게이트 전극의 전압 간의 전압 차가 저장되는 스토리지 커패시터 및 상기 데이터 신호를 수신하는 제1 전극 및 상기 구동 트랜지스터의 제1 전극에 연결되는 제2 전극을 구비하는 스위칭 트랜지스터를 포함하는 픽셀 회로 및 상기 출력 노드에 연결되고, 상기 출력 노드를 통해 전달된 상기 구동 전류에 의하여 발광하는 발광소자를 포함한다.
- [0090] 따라서, 상기 제1 내지 제3 서브 픽셀(SPa, SPb, SPc)의 픽셀 회로(P)와 상기 제4 내지 제6 서브 픽셀(SPd, SPe, SPf)의 픽셀 회로(P')는 도 2를 참조로 하여 설명한 바와 같은 픽셀 회로의 구조를 갖는 것으로 이해할 수 있다.
- [0091] 그리고, 상기 제1 내지 제3 서브 픽셀(SPa, SPb, SPc)은 각각 레드(R), 그린(G) 및 블루(B)의 광을 방출하며, 상기 제4 내지 제6 서브 픽셀(SPd, SPe, SPf) 역시 각각 레드(R), 그린(G) 및 블루(B)의 광을 방출한다.
- [0092] 상기 제1 표시 영역(310)은 상기 유기 발광 표시 패널(300)의 가장자리 영역에 해당하며, 상술한 바와 같이, 표시 패널의 가장자리 영역에서는 전류 편차에 의하여 색편차가 발생할 수 있다.
- [0093] 따라서, 상기 제1 표시 영역(310)에 형성되는 상기 제1 내지 제3 서브 픽셀(SPa, SPb, SPc)의 픽셀 회로(P)의 구동 트랜지스터의 게이트 전극의 면적은, 상기 제2 표시 영역(320)에 형성되는 상기 제4 내지 제6 서브 픽셀(SPd, SPe, SPf)의 픽셀 회로(P')의 구동 트랜지스터의 게이트 전극의 면적보다 작게 형성될 수 있다.

- [0094] 도 7은, 유기 발광 표시 패널(400)의 제1 표시 영역(410)에 형성되는 복수 개의 서브 픽셀(SP I, SP II, SP III)을 나타낸다.
- [0095] 상기 복수 개의 서브 픽셀(SP I, SP II, SP III)은 각각 레드(R), 그린(G) 및 블루(B)의 광을 방출할 수 있으며, 각각 제1 서브 픽셀(SP I), 제2 서브 픽셀(SP II) 및 제3 서브 픽셀(SP III)로 설명하도록 한다.
- [0096] 상기 제1 표시 영역(410)은, 상기 유기 발광 표시 패널(400)의 가장자리 영역에 해당하며, 상술한 바와 같이, 상기 제1 표시 영역(410)에서는 발광소자에 흐르는 구동 전류의 크기가 작아져 색편차가 발생할 수 있다.
- [0097] 이러한 현상은 그린(G)의 광을 방출하는 서브 픽셀에서 두드러지게 나타날 수 있으며, 그린(G)의 광을 방출하는 발광소자에 흐르는 구동 전류의 크기가 작아지면 레드(R) 및 블루(B)의 휘도가 상대적으로 높아져 패널 전체적으로 퍼플색(보라색)으로 보이는 현상이 발생한다.
- [0098] 이러한 문제를 해결하기 위하여, 상기 유기 발광 표시 패널(400)의 제1 표시 영역(410)에 형성되는 복수 개의 서브 픽셀(SP I, SP II, SP III) 중에서 그린(G)의 광을 방출하는 제2 서브 픽셀(SP II)의 구동 트랜지스터의 게이트 전극과 발광소자의 애노드 전극 사이에 형성되는 기생 커패시턴스의 크기를 조절할 수 있다.
- [0099] 즉, 상기 제2 서브 픽셀(SP II)의 구동 트랜지스터의 게이트 전극의 면적을 상기 제1 서브 픽셀(SP I)과 상기 제3 서브 픽셀(SP III)의 구동 트랜지스터의 게이트 전극의 면적보다 작게 형성함으로써, 상기과 같은 전류 편차의 영향을 줄일 수 있다.
- [0100] 도 8은 본 발명의 일 실시예에 따른 유기 발광 표시 패널의 제조 방법을 개략적으로 나타내는 순서도이다.
- [0101] 본 발명의 일 실시예에 따른 유기 발광 표시 패널의 제조 방법은, 원장 기관을 준비하는 단계(S110), 상기 원장 기관의 일면에 복수의 박막 트랜지스터를 형성하는 단계(S120), 상기 복수의 박막 트랜지스터 각각에 전기적으로 연결되는 픽셀 전극을 형성하는 단계(S130) 및 상기 픽셀 전극의 일부 상에 유기 발광층을 형성하는 단계(S140)를 포함한다.
- [0102] 상기 복수의 박막 트랜지스터, 이에 대응하는 상기 픽셀 전극 및 상기 픽셀 전극에 대응하는 상기 유기 발광층은 상기 원장 기관의 제1 영역에서 복수 개의 제1 내지 제3 서브 픽셀을 형성하고, 상기 원장 기관의 제2 영역에서 복수 개의 제4 내지 제6 서브 픽셀을 형성하게 된다.
- [0103] 이때, 상기 원장 기관의 제1 영역에 형성되는 상기 제1 서브 픽셀의 게이트 전극과 픽셀 전극이 오버랩 되는 면적은, 상기 원장 기관의 제2 영역에 형성되는 상기 제4 서브 픽셀의 게이트 전극과 픽셀 전극이 오버랩 되는 면적 보다 작게 형성된다.
- [0104] 즉, 상기 원장 기관의 상기 제1 영역에는 복수 개의 제1 박막 트랜지스터, 복수 개의 제2 박막 트랜지스터 및 복수 개의 제3 박막 트랜지스터가 형성되어 각각 제1 내지 제3 서브 픽셀들을 형성한다.
- [0105] 그리고, 상기 원장 기관의 상기 제2 영역에는 복수 개의 제4 박막 트랜지스터, 복수 개의 제5 박막 트랜지스터 및 복수 개의 제6 박막 트랜지스터가 형성되어 각각 제4 내지 제6 서브 픽셀들을 형성한다.
- [0106] 한편, 상기 제1 영역은 상기 원장 기관의 테두리 영역일 수 있다.
- [0107] 상기 제1 서브 픽셀과 상기 제4 서브 픽셀, 상기 제2 서브 픽셀과 상기 제5 서브 픽셀, 상기 제3 서브 픽셀과 상기 제6 서브 픽셀은 서로 동일한 색상의 광을 방출할 수 있으며, 특히, 상기 제1 서브 픽셀 및 상기 제4 서브 픽셀의 상기 유기 발광층은 그린(G)의 광을 방출할 수 있다.
- [0108] 또한, 상기 박막 트랜지스터는 P형 박막 트랜지스터로 형성될 수 있으며, 상기 제1 서브 픽셀의 게이트 전극의 면적은 상기 제4 서브 픽셀의 게이트 전극의 면적 보다 작게 형성될 수 있다.
- [0109] 원장 기관 상에서 제조되는 유기 발광 표시 패널에 있어서, 각 서브 픽셀의 휘도비는 상기 원장 기관의 중앙 지점에서 결정되는데, 상기 원장 기관 상에서의 각 서브 픽셀의 위치에 따라 색편차가 발생할 수 있다.
- [0110] 상기 원장 기관의 테두리 영역에 형성되는 서브 픽셀의 경우, 다른 영역에 형성되는 서브 픽셀에 비하여 더 적은 구동 전류가 흐르게 되어, 해당 서브 픽셀의 발광 휘도가 저하되어 원래 표시하고자 하는 휘도로 표시하지 못하는 문제가 있을 수 있다.

- [0111] 이러한 문제는 특히, 그린(G)의 광을 방출하는 서브 픽셀에서 두드러지게 발생할 수 있다.
- [0112] 상기 제1 서브 픽셀 및 상기 제4 서브 픽셀이 그린(G)의 광을 방출하는 서브 픽셀인 경우에는, 상기 제1 서브 픽셀은 상기 원장 기관의 제1 영역에 형성되고, 상기 제4 서브 픽셀은 상기 원장 기관의 제2 영역에 형성되므로, 상기 제1 서브 픽셀에서의 구동 전류의 크기는 상기 제4 서브 픽셀에서의 구동 전류의 크기 보다 작을 수 있다.
- [0113] 서브 픽셀의 발광소자의 발광 휘도는 상기 발광소자에 흐르는 구동 전류의 크기가 클수록 높아지고, 구동 전류의 크기는 서브 픽셀에 인가되는 데이터 전압의 크기가 클수록 커진다.
- [0114] 즉, 서브 픽셀에 인가되는 데이터 전압의 크기를 조절하면 발광소자의 발광 휘도를 조절할 수 있다. 데이터 전압의 크기는 구동 트랜지스터의 게이트 전극과 발광소자의 애노드 전극 사이에 형성되는 기생 커패시턴스의 크기에 영향을 받으며, 데이터 전압의 크기와 기생 커패시턴스의 크기 사이의 관계는 상기 수학적 식 1을 참조로 하여 설명한 바와 같다.
- [0115] 따라서, 전류 편차가 발생하여 동일한 색상의 광을 방출하는 다른 서브 픽셀에 비하여 작은 크기의 구동 전류가 흐르는 서브 픽셀에서는 기생 커패시턴스의 크기를 작게 하여 전류 편차에 의한 영향을 줄이는 것이 가능하다.
- [0116] 위와 같이, 상기 원장 기관의 제1 영역에 형성되는 그린(G) 서브 픽셀(제1 서브 픽셀)에 흐르는 구동 전류의 크기가 상기 원장 기관의 제2 영역에 형성되는 그린(G) 서브 픽셀(제4 서브 픽셀)에 흐르는 구동 전류의 크기보다 작은 경우에는, 상기 제1 영역에 형성되는 그린(G) 서브 픽셀에서의 기생 커패시턴스의 크기를 줄임으로써, 색 편차 문제를 해소할 수 있다.
- [0117] 한편, 이러한 색편차 문제가 그린(G)의 광을 방출하는 서브 픽셀에서 두드러지게 나타나는 것은 그린(G)의 광을 방출하는 발광소자의 구동 전류에 대한 민감도가 높기 때문인 것으로 판단되며, 레드(R) 또는 블루(B)의 광을 방출하는 서브 픽셀에서 역시 전류 편차는 발생하게 된다.
- [0118] 따라서, 상기 원장 기관의 제1 영역에서 레드(R) 또는 블루(B)의 광의 휘도가 감소하여 색편차가 발생하는 경우에는, 상기 제1 영역에 형성되는 레드(R) 또는 블루(B) 서브 픽셀(즉, 제2 서브 픽셀 또는 제3 서브 픽셀)의 기생 커패시턴스의 크기를 조절하여 색편차 문제를 최소화할 수 있다.
- [0119] 도 9는 본 발명의 일 실시예에 따라 형성되는 원장 기관 및 유기 발광 표시 패널을 개략적으로 나타내는 도면이다.
- [0120] 도 9를 참조하면, 복수 개의 유기 발광 표시 패널(Panel)들은 원장 기관(500) 상에서 만들어진다.
- [0121] 도 8을 참조로 하여 설명한 바와 같이, 원장 기관의 테두리 영역에서의 색편차 문제를 해결하기 위하여 제1 영역에 형성되는 서브 픽셀의 기생 커패시턴스의 크기는 상기 제1 영역을 제외한 나머지 영역, 즉 제2 영역에 형성되는 서브 픽셀의 기생 커패시턴스의 크기보다 작도록 형성할 수 있다.
- [0122] 상기 기생 커패시턴스의 크기는 서브 픽셀의 구동 트랜지스터의 게이트 전극과 발광소자의 애노드 전극이 오버랩 되는 면적의 크기에 비례하므로, 구동 트랜지스터의 게이트 전극의 면적을 조절하여, 기생 커패시턴스의 크기를 다르게 하는 것이 가능하다.
- [0123] 또한, 상기 제1 영역에 형성되는 모든 서브 픽셀의 기생 커패시턴스의 크기를 상기 제2 영역에 형성되는 서브 픽셀의 기생 커패시턴스의 크기보다 작게 형성할 수 있으며, 상기 제1 영역에 형성되는 서브 픽셀 중 그린(G)의 광을 방출하는 서브 픽셀에서만 기생 커패시턴스의 크기를 작게 형성할 수도 있다.
- [0124] 본 명세서에서는 본 발명을 한정된 실시예를 중심으로 설명하였으나, 본 발명의 범위 내에서 다양한 실시예가 가능하다. 또한, 설명되지는 않았으나, 균등한 수단도 또한 본 발명에 그대로 결합되는 것이라 할 것이다. 따라서, 본 발명의 진정한 보호범위는 아래의 특허청구범위에 의하여 정해져야 할 것이다.

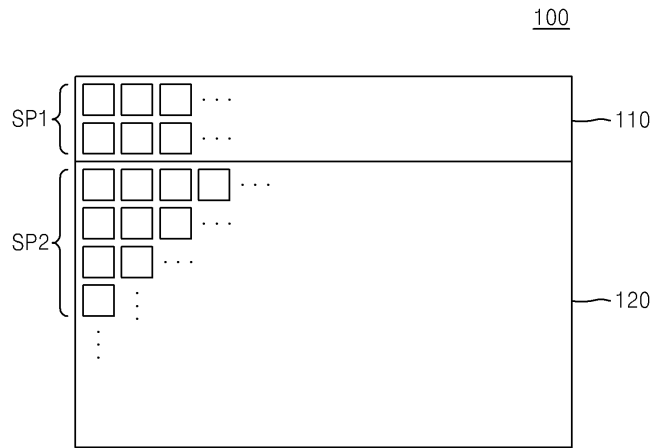
부호의 설명

- [0125] 100, 300, 400: 유기 발광 표시 패널

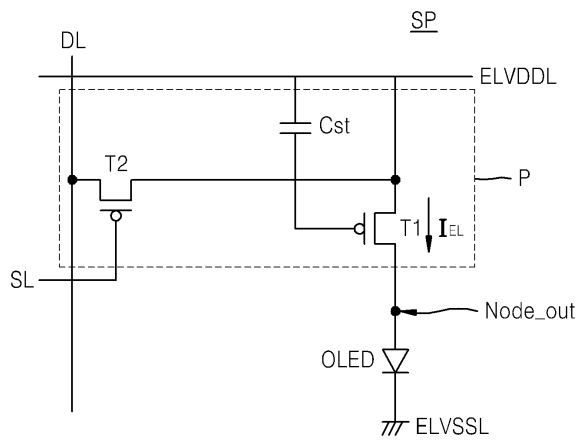
110, 310, 410: 제1 표시 영역 120, 320: 제2 표시 영역

도면

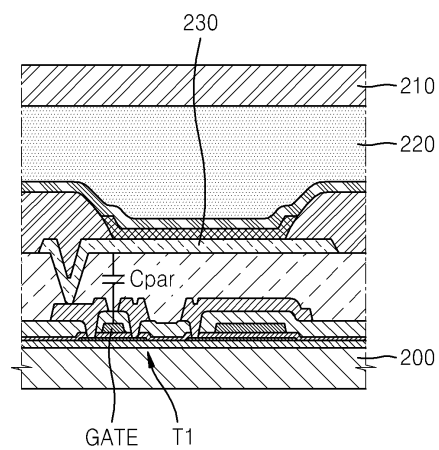
도면1



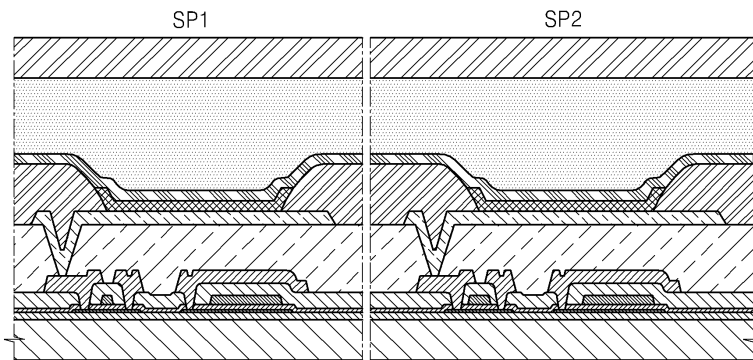
도면2



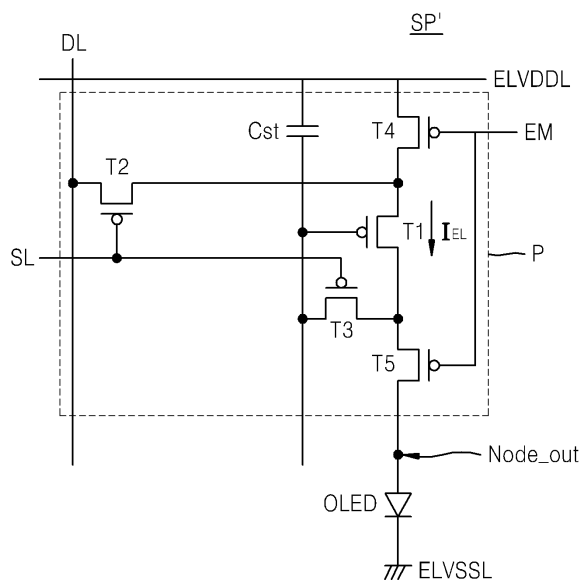
도면3



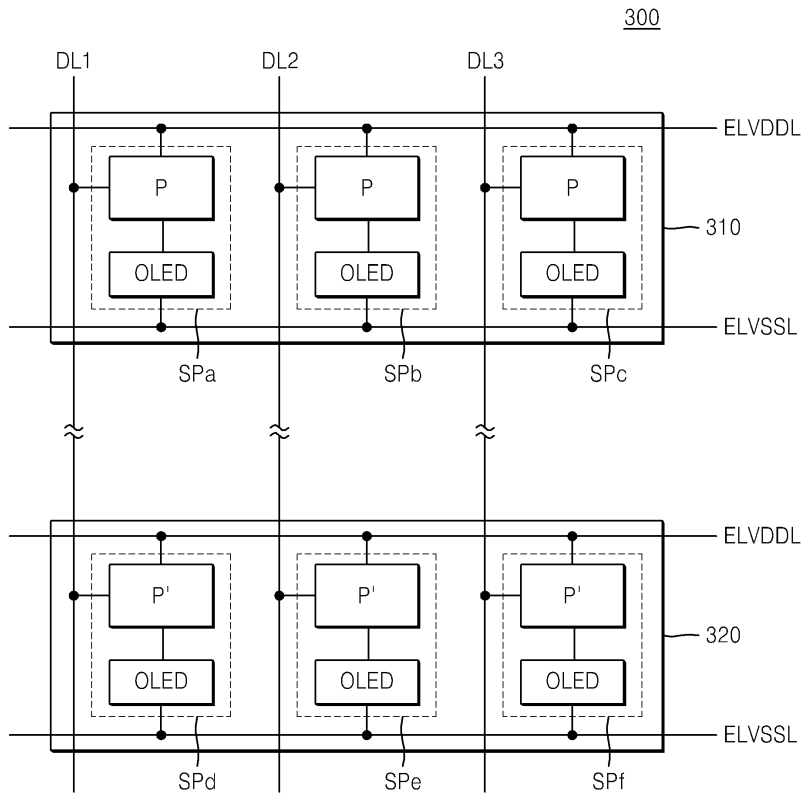
도면4



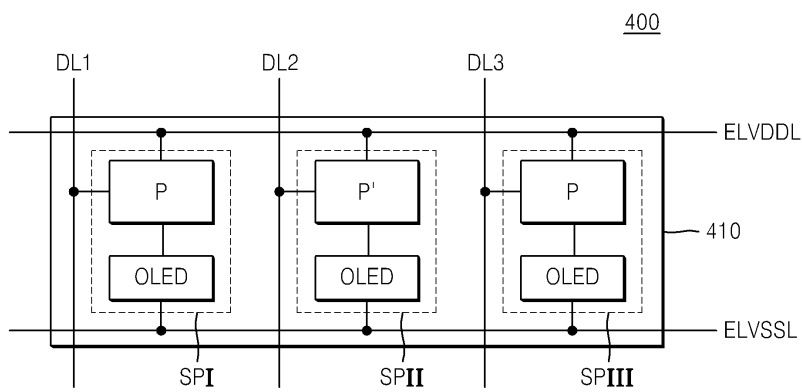
도면5



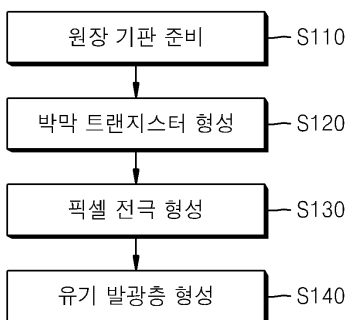
도면6



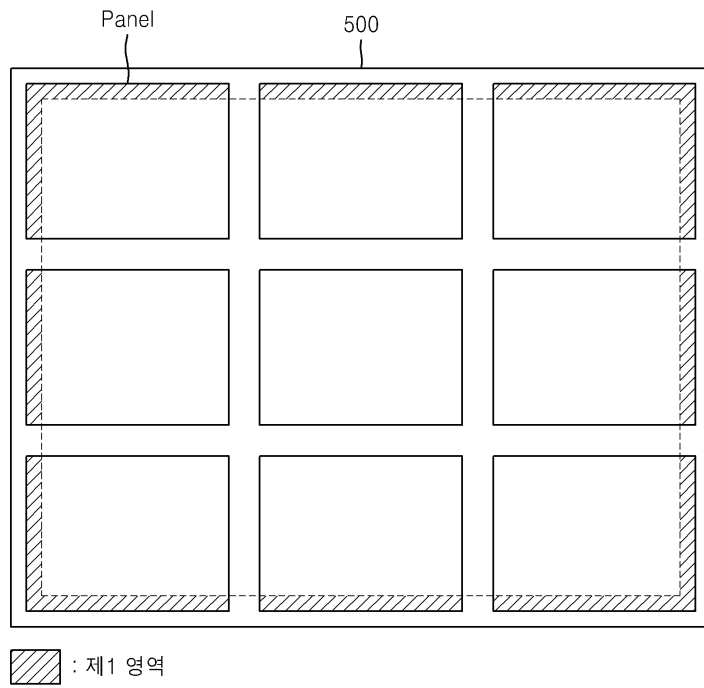
도면7



도면8



도면9



专利名称(译)	标题：OLED显示板及其制造方法		
公开(公告)号	KR1020160067318A	公开(公告)日	2016-06-14
申请号	KR1020140172456	申请日	2014-12-03
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	LEE SEONG MIN 이성민 KIM HYO MIN 김효민 LEE JONG DAE 이종대		
发明人	이성민 김효민 이종대		
IPC分类号	H01L27/32 H01L51/56		
CPC分类号	H01L27/32 H01L51/56 H01L27/3202 H01L27/3216 G09G3/3233 G09G2300/0426 G09G2300/0814 G09G2300/0819 G09G2300/0842 G09G2300/0861 G09G2310/0232 H01L27/3211 H01L27/3262		
外部链接	Espacenet		

摘要(译)

公开了一种有机发光显示面板及其制造方法。根据本发明优选实施例的有机发光显示面板包括：第一子像素和发光器件的驱动晶体管的栅电极的阳极电极重叠的区域形成为小于其中的面积。其中，第二子像素和发光器件的驱动晶体管的栅电极的阳极电极与连接到像素电路的发光器件和包括开关晶体管的输出节点重叠并且通过所传递的驱动电流辐射输出节点包括作为第一显示区域的驱动晶体管和包括第二显示区域的有机发光显示面板以及分别包括第一显示区域和第二显示区域的多个第一子像素的第二子像素和倍数。输出多个第一和第二子像素的驱动电流接收数据信号并对应于接收到输出节点的数据信号，驱动电压，以及连接到存储电容器的第二电极，其中存储驱动晶体管的栅极电压之间的电压差第一电极接收数据信号和驱动晶体管的第一电极。

