



(72) 발명자

**차명근**

서울 서대문구 통일로39길 80-8, 602호 (홍제동,  
럭키힐아파트)

**신영기**

경기 화성시 동탄숲속로 68, 867동 201호 (능동,  
숲속마을자연앤데시아파트)

**정웅희**

서울 동작구 동작대로13길 39, 301호 (사당동)

## 명세서

### 청구범위

#### 청구항 1

베이스 기판 상에 배치되고, 채널영역, 상기 채널영역을 사이에 두고 배치된 제1 이온도핑영역, 및 제2 이온도핑영역을 포함하는 폴리 실리콘층;

상기 채널영역 상에 절연되게 중첩하는 제1 게이트 전극;

상기 제1 게이트 전극에 절연되며, 상기 채널영역에 중첩하는 제2 게이트 전극;

상기 제2 게이트 전극 상에 배치되는 층간 절연층;

상기 층간 절연층 상에 배치되고 상기 제1 이온도핑영역에 연결된 소스전극; 및

상기 층간 절연층 상에 배치되고 상기 제2 이온도핑영역에 연결된 드레인전극을 포함하고,

상기 채널영역은 상기 제1 이온도핑영역 및 상기 제2 이온도핑영역보다 크기가 큰 그레인(Grain)을 갖는 트랜지스터.

#### 청구항 2

제1 항에 있어서,

상기 그레인(Grain)은 상기 폴리 실리콘층의 중심 부분에서 지름의 길이가 30um 내지 40um이고, 상기 폴리 실리콘층의 가장자리 부분에서 지름의 길이가 10um 내지 20um인 트랜지스터.

#### 청구항 3

제1 항에 있어서,

상기 층간 절연층 상에서 보았을 때, 상기 제2 게이트 전극은 상기 제1 게이트 전극을 완전히 커버하는 트랜지스터.

#### 청구항 4

제3 항에 있어서,

상기 채널영역은 상기 제1 이온도핑영역과 상기 제2 이온도핑영역을 연결하는 방향 상에서, 상기 제1 게이트 전극 및 상기 제2 게이트 전극에 중첩하는 제1 채널영역 및 상기 제2 게이트 전극에 중첩하고 상기 제1 게이트 전극에 비중첩하는 제2 채널영역을 포함하며,

상기 제1 채널영역은 상기 제2 채널영역보다 크기가 큰 그레인(Grain)을 포함하는 트랜지스터.

#### 청구항 5

제3 항에 있어서,

상기 제1 게이트 전극 및 상기 제2 게이트 전극은 전하를 저장하는 커패시터를 정의하는 트랜지스터.

#### 청구항 6

제5 항에 있어서,

상기 폴리 실리콘층 및 상기 제1 게이트 전극 사이에 배치되는 제1 게이트 절연층의 두께는 상기 제1 게이트 전극 및 상기 제2 게이트 전극 사이에 배치되는 제2 게이트 절연층의 두께보다 작은 트랜지스터.

#### 청구항 7

제6 항에 있어서,

상기 베이스 기판 및 상기 폴리 실리콘층 사이에 버퍼층을 더 포함하는 트랜지스터.

#### 청구항 8

게이트 라인들에 게이트 신호들을 제공하고, 발광 라인들에 발광 제어신호들을 제공하는 주사 구동부;

데이터 라인들에 데이터 신호들을 제공하는 데이터 구동부; 및

복수의 화소들을 포함하는 유기발광 표시패널을 포함하며,

상기 화소들 각각은 유기발광소자 및 상기 유기발광소자를 제어하는 회로부를 포함하고,

상기 회로부는 상기 게이트 라인들 중 대응되는 게이트 라인에 인가된 게이트 신호에 응답하여 상기 데이터 라인들 중 대응되는 데이터 라인에 인가된 데이터 신호를 출력하는 제1 트랜지스터 및 상기 유기발광소자에 흐르는 구동전류를 제어하는 제2 트랜지스터를 포함하며,

상기 제2 트랜지스터는

베이스 기판 상에 배치되고, 채널영역, 상기 채널영역을 사이에 두고 배치된 제1 이온도핑영역, 및 제2 이온도핑영역을 포함하는 폴리 실리콘층;

상기 채널영역 상에 절연되게 중첩하는 제1 게이트 전극;

상기 제1 게이트 전극에 절연되며, 상기 채널영역에 중첩하는 제2 게이트 전극;

상기 제2 게이트 전극 상에 배치되는 층간 절연층;

상기 층간 절연층 상에 배치되고 상기 제1 이온도핑영역에 연결된 소스전극; 및

상기 층간 절연층 상에 배치되고 상기 제2 이온도핑영역에 연결된 드레인전극을 포함하며,

상기 채널영역은 상기 제1 이온도핑영역 및 상기 제2 이온도핑영역보다 크기가 큰 그레인(Grain)을 갖는 유기발광 표시장치.

#### 청구항 9

제8 항에 있어서,

상기 그레인(Grain)은 상기 폴리 실리콘층의 중심 부분에서 지름의 길이가 30um 내지 40um 이고, 상기 폴리 실리콘층의 가장자리 부분에서 지름의 길이가 10um 내지 20um 인 유기발광 표시장치.

#### 청구항 10

제8 항에 있어서,

상기 층간 절연층 상에서 보았을 때, 상기 제2 게이트 전극은 상기 제1 게이트 전극을 완전히 커버하는 유기발광 표시장치.

#### 청구항 11

제10 항에 있어서,

상기 제1 게이트 전극 및 상기 제2 게이트 전극은 상기 제1 트랜지스터로부터 수신한 상기 데이터 신호에 대응하는 전압을 충전하는 커패시터를 정의하는 유기발광 표시장치.

#### 청구항 12

제11 항에 있어서,

상기 베이스 기판 및 상기 폴리 실리콘층 사이에 버퍼층을 더 포함하는 유기발광 표시장치.

#### 청구항 13

베이스 기판의 일면 상에 비정질 실리콘층, 상기 비정질 실리콘층에 절연되게 중첩하는 제1 게이트 전극, 및 상기 제1 게이트 전극에 절연되게 중첩하는 제2 게이트 전극을 형성하는 단계;

상기 베이스 기판 하부 상에서 상기 비정질 실리콘에 레이저를 조사하여 상기 비정질 실리콘층으로부터 폴리 실리콘층을 형성하는 단계;

상기 제2 게이트 전극 상에 층간 절연층을 형성하는 단계;

상기 제2 게이트 전극을 마스크로 이용하여 상기 폴리 실리콘층의 일부분을 이온도핑하여 제1 이온도핑영역 및 제2 이온도핑영역을 형성하는 단계;

상기 제1 이온도핑영역에 연결된 소스전극 및 상기 제2 이온도핑영역에 연결된 드레인전극을 형성하는 단계; 및  
상기 드레인전극에 연결된 유기발광소자를 형성하는 단계를 포함하는 유기발광 표시장치 제조방법.

#### 청구항 14

제13 항에 있어서,

상기 층간 절연층 상에서 보았을 때, 상기 제2 게이트 전극은 상기 제1 게이트 전극을 완전히 커버하는 유기발광 표시장치 제조방법.

#### 청구항 15

제14 항에 있어서,

상기 레이저는 엑시머 레이저(Excimer Laser)인 유기발광 표시장치 제조방법.

#### 청구항 16

제15 항에 있어서,

상기 폴리 실리콘층 및 상기 제1 게이트 전극 사이에 배치되는 제1 게이트 절연층의 두께는 상기 제1 게이트 전극 및 상기 제2 게이트 전극 사이에 배치되는 제2 게이트 절연층의 두께보다 작게 형성되는 유기발광 표시장치 제조방법.

#### 청구항 17

제16 항에 있어서,

상기 베이스 기판 및 상기 폴리 실리콘층 사이에 버퍼층을 더 형성하는 유기발광 표시장치 제조방법.

### 발명의 설명

#### 기술 분야

[0001] 본 발명은 유기발광 표시장치 및 유기발광 표시장치에 포함되는 트랜지스터에 관한 것으로, 좀더 상세하게는 유기발광소자에 흐르는 구동 전류를 제어하기 위한 트랜지스터에 관한 것이다.

#### 배경 기술

[0002] 텔레비전, 휴대 전화, 태블릿 컴퓨터, 네비게이션, 게임기 등과 같은 멀티 미디어 장치에 사용되는 다양한 표시장치들이 개발되고 있다.

[0003] 이러한 표시장치의 종류 중 하나로 유기발광 표시장치(Organic Light Emitting Display, OLED)가 있다. 유기발광 표시장치는 자발광형 표시 장치로서, 시야각이 넓고, 콘트라스트가 우수하며, 응답 속도가 빠른 것이 장점이다.

[0004] 유기발광 표시장치는 유기발광소자, 데이터 신호에 대응하는 전압을 충전하는 커패시터, 및 상기 커패시터에 저장된 전압에 대응하게 유기발광소자에 흐르는 구동 전류를 제어하기 위한 트랜지스터를 포함한다.

### 발명의 내용

#### 해결하려는 과제

[0005] 본 발명의 목적은 구동 속도가 빠른 유기발광 표시장치에 포함되어 있는 유기발광소자 제어용 트랜지스터를 제

공하는 것이다.

[0006] 본 발명의 다른 목적은 상기 트랜지스터를 구비하는 유기발광 표시장치를 제공하는 것이다.

[0007] 본 발명의 다른 목적은 상기 유기발광 표시장치를 제조하는 방법을 제공하는 것이다.

### 과제의 해결 수단

[0008] 본 발명의 일 실시예에 따른 유기발광 표시장치는 주사 구동부, 데이터 구동부, 및 유기발광 표시패널을 포함한다.

[0009] 주사 구동부는 게이트 라인들에 게이트 신호들을 제공하고, 발광 라인들에 발광 제어신호들을 제공한다.

[0010] 데이터 구동부는 데이터 라인들에 데이터 신호들을 제공한다.

[0011] 유기발광 표시패널은 복수의 화소들을 포함한다.

[0012] 상기 화소들 각각은 유기발광소자 및 상기 유기발광소자를 제어하는 회로부를 포함한다.

[0013] 상기 회로부는 제1 트랜지스터 및 제2 트랜지스터를 포함한다.

[0014] 상기 제1 트랜지스터는 회로부는 상기 게이트 라인들 중 대응되는 게이트 라인에 인가된 게이트 신호에 응답하여 상기 데이터 라인들 중 대응되는 데이터 라인에 인가된 데이터 신호를 출력한다.

[0015] 상기 제2 트랜지스터는 상기 유기발광소자에 흐르는 구동전류를 제어한다.

[0016] 상기 제2 트랜지스터는 채널영역, 상기 채널영역을 사이에 두고 배치된 제1 이온도핑영역, 및 제2 이온도핑영역을 포함하는 폴리 실리콘층, 상기 채널영역 상에 절연되게 중첩하는 제1 게이트 전극, 상기 제1 게이트 전극에 절연되며 상기 채널영역에 중첩하는 제2 게이트 전극, 상기 제2 게이트 전극 상에 배치되는 층간 절연층, 상기 층간 절연층 상에 배치되고 상기 제1 이온도핑영역에 연결된 소스전극, 및 상기 층간 절연층 상에 배치되고 상기 제2 이온도핑영역에 연결된 드레인전극을 포함한다.

[0017] 상기 채널영역은 상기 제1 이온도핑영역 및 상기 제2 이온도핑영역보다 큰 그레인(Grain)을 갖는다.

[0018] 상기 그레인(Grain)은 상기 폴리 실리콘층의 중심 부분에서 지름의 길이가 30um 내지 40um 이고, 폴리 실리콘층의 가장자리 부분에서 지름의 길이가 10um 내지 20um이다.

[0019] 상기 층간 절연층 상에서 보았을 때, 상기 제2 게이트 전극은 상기 제1 게이트 전극을 완전히 커버한다.

[0020] 상기 제1 게이트 전극 및 상기 제2 게이트 전극은 상기 제1 트랜지스터로부터 수신한 상기 데이터 신호에 대응하는 전압을 충전하는 커패시터를 정의한다.

[0021] 상기 베이스 기판 및 상기 폴리 실리콘층 사이에 버퍼층을 더 포함할 수 있다.

[0022] 본 발명의 일 실시예에 따른 유기발광 표시장치의 제조방법은, 베이스 기판의 일면 상에 비정질 실리콘층, 상기 비정질 실리콘층에 절연되게 중첩하는 제1 게이트 전극, 및 상기 제1 게이트 전극에 절연되게 중첩하는 제2 게이트 전극을 형성하는 단계, 상기 베이스 기판 하부 상에서 상기 비정질 실리콘에 레이저를 조사하여 상기 비정질 실리콘층으로부터 폴리 실리콘층을 형성하는 단계, 상기 제2 게이트 전극 상에 층간 절연층을 형성하는 단계, 상기 제2 게이트 전극을 마스크로 이용하여 상기 폴리 실리콘층의 일부분을 이온도핑하여 제1 이온도핑영역 및 제2 이온도핑영역을 형성하는 단계, 상기 제1 이온도핑영역에 연결된 소스전극 및 상기 제2 이온도핑영역에 연결된 드레인전극을 형성하는 단계, 및 상기 드레인전극에 연결된 유기발광소자를 형성하는 단계를 포함한다.

### 발명의 효과

[0023] 상술한 바에 따르면, 비정질 실리콘층에 레이저 조사후 온도가 내려가는 시간이 제1 게이트 전극 및 제2 게이트 전극이 존재하는 경우 제1 게이트 전극 및 제2 게이트 전극이 없는 경우에 비해 짧다. 따라서, 비정질 실리콘층으로부터 형성된 폴리 실리콘층에 포함되는 그레인(Grain)들의 평균 크기가 종래보다 커지게 된다. 또한 그레인(Grain)들이 폴리 실리콘층의 중심부에서 가장자리로 갈수록 평균 크기가 점점 작아지게 된다. 이에 따라, 트랜지스터의 구동 속도를 높일 수 있다.

[0024] 그리고, 트랜지스터에 포함되는 제1 게이트 전극 및 제2 게이트 전극을 전압을 충전하기 위한 커패시터로 사용

한다. 별도의 커패시터가 차지하는 면적이 없으므로 개구부의 크기를 크게 하여 구조적으로 발광 효율이 높아지게 된다.

### 도면의 간단한 설명

[0025] 도 1은 본 발명의 일 실시예에 따른 유기발광 표시장치의 블록도이다.

도 2는 본 발명의 일 실시예에 따른 유기발광 표시패널의 화소의 등가회로도이다

도 3은 본 발명의 일 실시예에 따른 화소의 레이아웃이다.

도 4은 도 3의 I - I'에 대응하는 단면도이다

도 5는 본 발명의 일 실시예에 따른 트랜지스터를 제조하는 과정의 일부를 나타낸 단면도이다.

도 6a 내지 6c는 본 발명의 일 실시예에 따른 어닐링 과정을 나타낸 단면도이다.

도 7은 본 발명의 일 실시예에 따른 이온도핑 과정 및 층간 절연층을 형성하는 과정을 나타낸 단면도이다.

도 8은 본 발명의 일 실시예에 따른 트랜지스터의 단면도이다.

도 9는 본발명의 일 실시예에 따른 유기발광소자 및 트랜지스터의 단면도이다.

### 발명을 실시하기 위한 구체적인 내용

[0026] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.

[0027] 도면에서는 여러 층 및 영역을 명확하게 표현하기 위하여 일부 구성요소의 스케일을 과장하거나 축소하여 나타내었다. 명세서 전체에 걸쳐 유사한 참조 부호는 유사한 구성 요소를 지칭한다. 그리고, 어떤 층이 다른 층의 '상에' 형성된다(배치된다)는 것은, 두 층이 접해 있는 경우뿐만 아니라 두 층 사이에 다른 층이 존재하는 경우도 포함한다. 또한, 도면에서 어떤 층의 일면이 평평하게 도시되었지만, 반드시 평평할 것을 요구하지 않으며, 적층 공정에서 하부층의 표면 형상에 의해 상부층의 표면에 단차가 발생할 수도 있다.

[0028] 이하, 도면들을 참조하여 본 발명의 일 실시예에 따른 트랜지스터, 상기 트랜지스터를 구비하는 유기발광 표시장치, 및 상기 유기발광 표시장치의 제조방법을 설명하고자 한다.

[0029] 도 1은 본 발명의 일 실시예에 따른 유기발광 표시장치의 블록도이다.

[0030] 도 1에 도시된 것과 같이, 유기발광 표시장치는 주사 구동부(100), 데이터 구동부(200), 및 표시패널(DP)을 포함한다.

[0031] 주사 구동부(100)는 타이밍 제어부(미도시)로부터 게이트 제어신호(미도시)를 수신한다. 게이트 제어신호는 주사 구동부(100)의 동작을 개시하는 수직개시신호, 신호들의 출력 시기를 결정하는 클럭신호 등을 포함할 수 있다. 주사 구동부(100)는 복수 개의 게이트 신호들을 생성하고, 복수 개의 게이트 신호들을 후술하는 복수 개의 게이트 라인들(GL1~GLn)에 순차적으로 출력한다. 또한, 주사 구동부(100)는 게이트 제어신호에 응답하여 복수 개의 발광 제어신호들을 생성하고, 후술하는 복수 개의 발광 라인들(EL1~ELn)에 복수 개의 발광 제어신호들을 출력한다.

[0032] 도 1은 복수 개의 게이트 신호들과 복수 개의 발광 제어신호들이 하나의 주사 구동부(100)로부터 출력되는 것으로 도시하였지만, 본 발명은 이에 한정되는 것은 아니다. 본 발명의 일 실시예에서, 복수 개의 주사 구동부가 복수 개의 게이트 신호들을 분할하여 출력하고, 복수 개의 발광 제어신호들을 분할하여 출력할 수 있다. 또한, 본 발명의 일 실시예에서, 복수 개의 게이트 신호들을 생성하여 출력하는 구동회로와 복수 개의 발광 제어신호들을 생성하여 출력하는 구동회로는 별개로 구분될 수 있다.

[0033] 데이터 구동부(200)는 타이밍 제어부로부터 데이터 제어신호(미도시) 및 영상 데이터들(미도시)을 수신한다. 데이터 구동부(200)는 영상 데이터들을 데이터 신호들로 변환하고, 데이터 신호들을 게이트 라인들(GL1~GLn)에 절연 교차하는 복수 개의 데이터 라인들(DL1~DLm)에 출력한다. 데이터 신호들은 영상 데이터들의 계조값에 대응하

는 아날로그 전압들이다.

- [0034] 표시패널(DP)은 복수 개의 게이트 라인들(GL1~GLn), 복수 개의 발광 라인들(EL1~ELn), 복수 개의 데이터 라인들(DL1~DLm), 및 복수 개의 화소들(PX)을 포함한다. 복수 개의 게이트 라인들(GL1~GLn)은 제1 방향(DR1)으로 연장되고, 제2 방향에 직교하는 제2 방향(DR2)으로 나열된다. 복수 개의 발광 라인들(EL1~ELn) 각각은 복수 개의 게이트 라인들(GL1~GLn) 중 대응하는 게이트 라인에 나란하게 배열될 수 있다. 복수 개의 데이터 라인들(DL1~DLm)은 복수 개의 게이트 라인들(GL1~GLn)과 절연되게 교차한다.
- [0035] 복수 개의 화소들(PX) 각각은 복수 개의 게이트 라인들(GL1~GLn) 중 대응하는 게이트 라인, 복수 개의 발광 라인들(EL1~ELn) 중 대응하는 발광 라인, 및 복수 개의 데이터 라인들(DL1~DLm) 중 대응하는 데이터 라인들에 접속된다. 도 1에는 간략히 도시되었으나, 복수 개의 화소들(PX) 각각은 복수 개의 게이트 라인들(GL1~GLn) 중 복수 개의 게이트 라인들에 접속될 수 있다.
- [0036] 도 2는 본 발명의 일 실시예에 따른 유기발광 표시패널에 포함된 화소의 등가회로도이다.
- [0037] 도 2에 도시된 것과 같이, 화소들(PX)은 유기발광소자(OLED) 및 유기발광소자(OLED)를 제어하는 회로부를 포함한다. 회로부는 제1 트랜지스터(TR1), 제2 트랜지스터(TR2), 및 커패시터(CAP)를 포함한다. 한편, 화소(PX)의 등가회로는 도 2에 제한되지 않고, 변형되어 실시될 수 있다. 또한, 도 2에 도시된 화소의 등가회로도는 기능적인 측면에서 도시한 것이고, 실제 구조는 이와 차이가 있을 수 있다.
- [0038] 제1 트랜지스터(TR1)는 게이트 라인(GL)에 연결된 제1 제어전극, 데이터 라인(DL)에 연결된 제1 소스전극, 및 제1 드레인전극을 포함한다. 제1 트랜지스터(TR1)는 게이트 라인(GL)에 인가된 게이트 신호에 응답하여 데이터 라인(DL)에 인가된 데이터 신호를 출력한다.
- [0039] 제2 트랜지스터(TR2)는 제1 트랜지스터(TR1)의 출력 전극에 연결된 제2 제어전극, 제1 전원전압(ELVDD)을 수신하는 제2 소스전극, 및 제2 드레인전극을 포함한다. 제2 제어전극은 제1 게이트 전극 및 제2 게이트 전극을 포함한다. 제2 트랜지스터(TR2)의 제2 드레인전극은 유기발광소자(OLED)에 연결된다.
- [0040] 제2 제어전극에 포함되는 제1 게이트 전극 및 제2 게이트 전극은 제2 트랜지스터(TR2)를 제어한다. 또한, 제1 게이트 전극 및 제2 게이트 전극은 제1 트랜지스터(TR1)로부터 수신한 데이터 신호에 대응하는 전압을 충전하는 커패시터(CAP)를 정의한다. 제1 게이트 전극이 커패시터(CAP)의 한쪽 전극을 정의하고, 제2 게이트 전극이 커패시터(CAP)의 다른쪽 전극을 정의한다. 제1 게이트 전극과 제2 게이트 전극 사이에 전하가 저장되어 커패시터의 역할을 수행하게 된다.
- [0041] 제2 트랜지스터(TR2)는 커패시터(CAP)에 저장된 전압에 대응하게 유기발광소자(OLED)에 흐르는 구동전류를 제어한다.
- [0042] 도 3은 본 발명의 일 실시예에 따른 화소의 레이아웃이다. 도 4는 도 3의 I-I'에 대응하는 단면도이다. 이하, 도 3 및 도 4를 참조하여 유기발광 표시패널에 대해 좀 더 상세히 설명한다.
- [0043] 유기발광 표시패널(DP)은 베이스 기판(SUB), 버퍼층(BFL), 신호배선들(GL, DL), 및 화소들(PX)을 포함한다. 유기발광 표시패널(DP)의 종류에 따라 베이스 기판(SUB), 버퍼층(BFL), 신호배선들(GL, DL), 및 화소들(PX)의 구성은 변경될 수 있다.
- [0044] 베이스 기판(SUB)의 일면 상에 버퍼층(BFL)이 배치된다.
- [0045] 버퍼층(BFL)은 제조공정 중에 있어서 베이스 기판(SUB)에 존재하는 불순물이 화소(PX)에 유입되는 것을 방지한다. 특히, 불순물이 화소(PX)의 폴리 실리콘층(PSL)에 확산되는 것을 방지한다. 불순물은 외부에서 유입되거나, 베이스 기판(SUB)이 열분해됨으로써 발생할 수 있다. 불순물은 베이스 기판(SUB)로부터 배출된 가스 또는 나트륨일 수 있다. 또한, 버퍼층(BFL)은 외부로부터 화소(PX)로 유입되는 수분을 차단한다.
- [0046] 버퍼층(BFL) 상에 신호배선들(GL, DL) 및 화소(PX)가 배치된다. 버퍼층(BFL) 상에 제2 트랜지스터(TR2)의 폴리 실리콘층(PSL)이 배치된다. 그밖에 폴리 실리콘층(PSL)은 금속 산화물 반도체를 포함할 수 있다.
- [0047] 폴리 실리콘층(PSL)은 전자 또는 정공이 이동할 수 있는 통로역할을 하는 채널영역(CNR), 채널영역(CNR)을 사이에 두고 배치된 제1 이온도핑영역(IDR1) 및 제2 이온도핑영역(IDR2)을 포함한다.

- [0048] 폴리 실리콘층(PSL)은 결정 구조를 형성하는 그레인(Grain)들을 포함한다. 그레인(Grain)의 크기가 커지면 채널 영역에 포함되는 그레인(Grain)의 개수가 작아진다. 채널영역에 포함되는 그레인(Grain)의 개수가 작아지면 전자 및 정공의 이동 속도를 저하시키는 그레인(Grain)들 간 경계면의 개수가 작아진다. 따라서, 제2 트랜지스터(TR2)의 구동 속도가 빨라지게 된다.
- [0049] 버퍼층(BFL) 상에 폴리 실리콘층(PSL)을 커버하는 제1 게이트 절연층(GI1)이 배치된다. 제1 게이트 절연층(GI1)은 유기막 및/또는 무기막을 포함한다. 특히, 제1 게이트 절연층(GI1)은 복수 개의 무기 박막들을 포함할 수 있다. 복수 개의 무기 박막들은 실리콘 나이트라이드층 및 실리콘 옥사이드층을 포함할 수 있다.
- [0050] 제1 게이트 절연층(GI1) 상에 제1 게이트 전극(GE2-1)이 배치된다. 제1 게이트 전극(GE2-1)은 금속 등과 같은 도전성 물질을 포함할 수 있다.
- [0051] 제1 게이트 절연층(GI1) 상에 제1 게이트 전극(GE2-1)을 커버하는 제2 게이트 절연층(GI2)이 배치된다. 제2 게이트 절연층(GI2)은 제1 게이트 절연층(GI1)과 동일한 재료들을 포함할 수 있다. 제2 게이트 절연층(GI2)의 두께는 제1 게이트 절연층(GI1)의 두께보다 두꺼울 수 있다.
- [0052] 제2 게이트 절연층(GI2) 상에 제2 게이트 전극(GE2-2)이 배치된다. 제2 게이트 전극(GE2-2)은 금속 등과 같은 도전성 물질을 포함할 수 있다.
- [0053] 제2 게이트 절연층(GI2) 상에 게이트 라인(GL) 및 제1 트랜지스터(TR1)의 제1 제어전극(GE1)이 배치된다.
- [0054] 제2 게이트 절연층(GI2) 상에 제1 제어전극(GE1), 제1 게이트 전극(GE2-1), 및 제2 게이트 전극(GE2-2)을 커버하는 층간 절연층(ILD)이 배치된다. 층간 절연층(ILD)은 유기막 및/또는 무기막을 포함한다. 특히, 층간 절연층(ILD)은 복수 개의 무기 박막들을 포함할 수 있다. 복수 개의 무기 박막들은 실리콘 나이트라이드층 및 실리콘 옥사이드층을 포함할 수 있다.
- [0055] 층간 절연층(ILD) 상에 데이터 라인(DL) 및 전원라인(KL)이 배치된다. 층간 절연층(ILD) 상에 제1 트랜지스터(TR1)의 제1 소스전극(SE1) 및 제1 드레인전극(DE1)이 배치된다. 층간 절연층(ILD) 상에 제2 트랜지스터(TR2)의 제2 소스전극(SE2) 및 제2 드레인전극(DE2)이 배치된다. 제1 소스전극(SE1)은 데이터 라인(DL)으로부터 분기된다. 제2 소스전극(SE2)은 전원라인(KL)으로부터 분기된다.
- [0056] 제1 소스전극(SE1)과 제1 드레인전극(DE1)은 제1 게이트 절연층(GI1), 제2 게이트 절연층(GI2), 및 층간 절연층(ILD)을 관통하는 제1 관통홀(CH1)과 제2 관통홀(CH2)을 통해 제1 트랜지스터(TR1)의 폴리 실리콘층(미도시)에 각각 연결된다. 제1 드레인전극(DE1)은 층간 절연층(ILD)을 관통하는 제3 관통홀(CH3)을 통해 제1 게이트 전극(GE2-1)에 연결된다. 제2 소스전극(SE2)과 제2 드레인전극(DE2)은 제1 게이트 절연층(GI1), 제2 게이트 절연층(GI2), 및 층간 절연층(ILD)을 관통하는 제4 관통홀(CH4)과 제5 관통홀(CH5)을 통해 폴리 실리콘층(PSL)에 각각 연결된다.
- [0057] 층간 절연층(ILD) 상에서 보았을 때, 제2 게이트 전극(GE2-2)은 제1 게이트 전극(GE2-1)을 완전히 커버한다. 따라서, 제2 게이트 전극(GE2-2)의 넓이는 제1 게이트 전극(GE2-1)의 넓이 보다 크다. 또한 층간 절연층(ILD) 상에서 보았을 때, 제2 게이트 전극(GE2-2)은 제1 게이트 전극(GE2-1)과 중첩하게 배치된다.
- [0058] 상기 기술한 제1 게이트 전극(GE2-1) 및 제2 게이트 전극(GE2-2) 배치는 폴리 실리콘층(PLS)의 결정 구조를 형성하는 다수의 그레인(Grain)의 크기에 영향을 미친다. 채널영역(CNR)에 포함되는 그레인(Grain)들의 평균 크기는 제1 이온도핑영역 및 제2 이온도핑영역에 포함되는 그레인(Grain)들의 평균 크기보다 크다. 채널영역(CNR)은 제1 게이트 전극(GE2-1) 및 제2 게이트 전극(GE2-2)에 중첩하는 제1 채널영역(CNR1) 및 제2 게이트 전극(GE2-2)에 중첩하고 제1 게이트 전극(GE2-1)에 비중첩하는 제2 채널영역(CNR2)을 포함한다. 제1 채널영역(CNR1)에 포함되는 그레인(Grain)들의 평균 크기는 제2 채널영역(CNR2)에 포함되는 그레인(Grain)의 평균 크기보다 크다. 즉, 그레인(Grain)들의 평균크기는 폴리 실리콘층(PLS)의 중심 부분에서 가장자리부분으로 갈수록 작아지게 된다. 폴리 실리콘층(PLS)의 중심 부분에서 그레인(Grain)들의 평균 지름의 길이는 30um 내지 40um이다. 폴리 실리콘층(PSL)의 가장자리 부분에서 그레인(Grain)들의 평균 지름의 길이는 10um 내지 20um이다. 그레인(Grain)들의 크기가 상기와 같이 되는 이유는 후에 상세히 서술한다.
- [0059] 제1 게이트 전극(GE2-1)과 제2 게이트 전극(GE2-2)가 도 2에 도시된 커패시터(CAP)의 역할을 수행 한다. 따라서, 별도의 커패시터 배치를 위한 영역이 필요없다. 이러한 구조적 특징 때문에 개구부(OP)의 넓이를 크게

하여 발광효율을 높일 수 있다.

- [0060] 층간 절연층(ILD) 상에 제1 소스전극(SE1), 제1 드레인전극(DE1), 제2 소스전극(SE2), 및 제2 드레인전극(DE2)을 커버하는 패시메이션층(PL)이 배치된다. 패시메이션층(PL)은 유기막 및/또는 무기막을 포함한다. 특히, 패시메이션층(PL)은 평탄면을 제공하기 위해서 유기물질을 포함할 수 있다.
- [0061] 패시메이션층(PL) 상에 화소정의막(PDL) 및 유기발광소자(OLED)가 배치된다. 유기발광소자(OLED)는 순차적으로 적층된 애노드(AE), 정공수송영역(HTR), 유기발광층(EML), 전자수송영역(ETR), 및 캐소드(CE)를 포함한다. 애노드(AE)는 패시메이션층(PL)을 관통하는 제6 관통홀(CH6)을 통해 제2 드레인전극(DE2)에 연결된다. 유기발광소자(OLED)에 포함되는 구조의 적층 순서는 서로 바뀔 수도 있다.
- [0062] 패시메이션층(PL) 상에 애노드(AE)가 배치된다. 화소정의막(PDL)의 개구부(OP)는 애노드(AE)를 노출시킨다. 정공수송영역(HTR)은 애노드(AE) 상에 배치된다. 정공수송영역(HTR)은 정공 주입층을 포함한다. 정공수송영역(HTR)은 정공 수송층을 더 포함할 수 있다.
- [0063] 정공수송영역(HTR)상에 유기발광층(EML)이 배치된다. 유기발광층(EML)은 개구부(OP)에 대응하는 영역에 배치될 수 있다. 유기발광층(EML) 상에 전자수송영역(ETR)이 배치된다. 전자수송영역(ETR)은 전자 주입층을 포함한다. 전자수송영역(ETR)은 전자 수송층을 더 포함할 수 있다. 전자수송영역(ETR) 상에 캐소드(CE)가 배치된다. 캐소드(CE)는 베이스 기판(SUB)에 전체적으로 배치된다.
- [0064] 별도로 도시하지는 않았으나, 버퍼층(BFL)이 배치된 베이스 기판(SUB)의 일면에 마주하는 타면 상에는 보호필름이 배치될 수 있다. 보호필름은 외부의 충격으로부터 화소(PX)를 보호할 수 있다.
- [0065] 도 5는 본 발명의 일 실시예에 따른 유기발광소자 제어용 트랜지스터를 제조하는 과정의 일부를 나타낸 단면도이다. 도 6a 내지 6c는 본 발명의 일 실시예에 따른 어닐링 과정을 나타낸 단면도이다. 도 7은 본 발명의 일 실시예에 따른 이온도핑 과정 및 층간 절연층을 형성하는 과정을 나타낸 단면도이다. 도 8은 본 발명의 일 실시예에 따른 트랜지스터의 단면도이다. 도 9는 본 발명의 일 실시예에 따른 유기발광소자 및 트랜지스터의 단면도이다. 이하, 도 5 내지 도 9를 참조하여 제2 트랜지스터(TR2) 및 제2 트랜지스터(TR2)에 연결된 유기발광소자(OLED)를 제조하는 방법에 대해서 상세히 설명한다.
- [0066] 도 5에 도시된 것과 같이, 베이스 기판(SUB)의 일면 상에 버퍼층(BFL)을 형성한다. 버퍼층(BFL)의 역할은 도 3 및 도 4에서 설명한 것과 같다.
- [0067] 버퍼층(BFL) 상에 비정질 실리콘층(ASL)을 형성한다. 비정질 실리콘층(ASL)은 결정구조를 띄고 있지 않아서, 원자가 불규칙적으로 배열되고 열역학적으로 비평형계에 있다.
- [0068] 버퍼층(BFL) 상에 비정질 실리콘층(ASL)을 커버하도록 제1 게이트 절연층(GI1)을 형성한다. 제1 게이트 절연층(GI1)에 포함되는 재료는 도 3 및 도 4에서 설명한 것과 같다.
- [0069] 제1 게이트 절연층(GI1) 상에 제1 게이트 전극(GE2-1)을 형성한다.
- [0070] 제1 게이트 절연층(GI1) 상에 제1 게이트 전극(GE2-1)을 커버하도록 제2 게이트 절연층(GI2)을 형성한다. 제2 게이트 절연층(GI2)에 포함되는 재료 및 두께는 도 3 및 도 4에서 설명한 것과 같다.
- [0071] 제2 게이트 절연층(GI2) 상에 제2 게이트 전극(GE2-2)을 형성한다. 제2 게이트 전극(GE2-2) 상에서 보았을 때, 제2 게이트 전극(GE2-2)은 제1 게이트 전극(GE2-1)을 완전히 커버하도록 형성된다. 즉, 제2 게이트 전극(GE2-2)의 넓이는 제1 게이트 전극(GE2-1)의 넓이 보다 크다. 또한 제2 게이트 전극(GE2-2) 상에서 보았을 때, 제2 게이트 전극(GE2-2)은 제1 게이트 전극(GE2-1)과 중첩하게 형성된다. 제1 게이트 전극(GE2-1)과 제2 게이트 전극(GE2-2)은 전하를 저장하는 커패시터(CAP)를 정의할 수 있다.
- [0072] 도 6a 내지 도 6c는 어닐링(Anealing) 공정을 통해 도 5에 도시된 기판의 비정질 실리콘층(ASL)으로부터 폴리실리콘층(PSL)을 형성하는 과정을 나타낸 단면도이다.
- [0073] 도 6a에 도시된 것과 같이, 도 5에서 설명된 기판의 베이스 기판(SUB) 하부에서 비정질 실리콘층(ASL)에 레이저(Laser)를 조사한다. 레이저의 종류는 엑시머 레이저(Excimer Laser) 일 수 있다. 엑시머 레이저는 ArF, KrF, XeCl 등 엑시머로 불리우는 분자를 이용한 기체 레이저로 단파장이며 고출력인 것을 특징으로 한다.

- [0074] 레이저를 조사받은 비정질 실리콘층(ASL)은 온도가 상승하여 용융 된다.
- [0075] 도 6b에 도시된 것과 같이, 레이저 조사가 끝나면 비정질 실리콘층(ASL)의 온도가 낮아지게 된다.
- [0076] 제1 게이트 전극(GE2-1) 및 제2 게이트 전극(GE2-2)은 온도의 변화가 빠른 금속재료를 포함한다. 따라서, 제1 게이트 전극(GE2-1) 및 제2 게이트 전극(GE2-2)은 금속재료를 포함하지 않는 제1 게이트 절연층(GI1) 또는 제2 게이트 절연층(GI2) 보다 온도의 변화가 빠르다.
- [0077] 비정질 실리콘층(ASL)의 온도가 낮아질 때, 제1 게이트 전극(GE2-1) 및 제2 게이트 전극(GE2-2) 영향에 의해 제1 게이트 전극(GE2-1) 및 제2 게이트 전극(GE2-2)과 중첩하는 제1 채널영역(CNR1)의 온도가 다른 부분에 비해 빨리 낮아지게 된다.
- [0078] 따라서, 온도가 가장 먼저 낮아지는 비정질 실리콘층(ASL)의 제1 채널영역(CNR1)에 결정 구조 형성의 시작점이 되는 시드(SEED)가 형성된다.
- [0079] 도 6c에 도시된 것과 같이, 비정질 실리콘층(ASL)의 제1 채널영역(CNR1)에 형성된 시드(SEED)부터 가장자리 부분 방향으로 결정구조가 형성된다. 이를 보통 결정의 수평성장이라 한다. 제2 게이트 전극(GE2-2)에만 중첩하고 제1 게이트 전극(GE2-1)에는 중첩하지 않는 제2 채널영역(CNR2, 도 6b 참조)은 제1 채널영역(CNR1, 도 6b 참조)에 비해 온도가 낮아지는 속도가 느리다. 비정질 실리콘층(ASL)에서 제1 게이트 전극(GE2-1) 또는 제2 게이트 전극(GE2-2) 어디에도 중첩하지 않는 영역은 제1 채널영역(CNR1) 또는 제2 채널영역(CNR2)에 비해 온도가 낮아지는 속도가 느리다. 온도가 낮아지면서 점차적으로 결정구조를 형성한다.
- [0080] 비정질 실리콘층(ASL)에 결정구조가 형성이 완료되면, 그레인(Grain)들을 포함하는 다결정구조의 폴리 실리콘층(PSL)이 형성된다. 상기 비정질 실리콘층(ASL) 각 부분의 서로 다른 온도변화의 속도 때문에, 제1 채널영역(CNR1)에서 멀어질수록 그레인(Grain)들의 평균크기가 작아지는 폴리 실리콘층(PSL)이 형성된다. 즉, 폴리 실리콘층(PSL)의 가운데 부분에서 가장자리 부분으로 갈수록 그레인(Grain)들의 크기가 작아지는 경향성을 갖는다.
- [0081] 도 7에 도시된 것과 같이, 제2 게이트 전극(GE2-2)을 마스크로 이용하여 폴리 실리콘층(PSL)을 이온 도핑한다. 이온도핑 단계를 통해 폴리 실리콘층(PSL)은 채널영역(CNR)을 사이에 두고 배치된 제1 이온도핑영역(IDR1) 및 제2 이온도핑영역(IDR2)을 형성한다. 이와 같이 별도의 마스크를 이용하지 않고, 제2 게이트 전극(GE2-2)을 마스크로 이용하여 이온 도핑하면 제조공정이 단순화 되어 제조공정의 효율성을 향상시킬 수 있다.
- [0082] 제1 이온도핑영역(IDR1) 및 제2 이온도핑영역(IDR2)을 형성한 후, 층간 절연층(ILD)을 형성한다. 층간 절연층(ILD)의 배치구조 및 층간 절연층(ILD)이 포함하는 재료는 도 3 및 도 4에서 설명한 것과 동일하다.
- [0083] 이온도핑하여 제1 이온도핑영역(IDR1) 및 제2 이온도핑영역(IDR2)을 형성하는 단계와 층간 절연층(ILD)을 형성하는 단계의 순서는 바뀔 수 있다.
- [0084] 도 8에 도시된 것과 같이, 제2 드레인전극(DE2) 및 제2 소스전극(SE2)을 형성한다. 제2 드레인전극(DE2)은 제5 관통홀(CH5)를 통해 제1 이온도핑영역(IDR1)에 연결되도록 층간 절연층(ILD) 상에 형성된다. 제2 소스전극(SE2)은 제4 관통홀(CH4)를 통해 제2 이온도핑영역(IDR2)에 연결되도록 층간 절연층(ILD) 상에 형성된다.
- [0085] 도 9에 도시된 것과 같이, 제2 트랜지스터(TR2)의 제2 드레인전극(DE2)에 연결된 유기발광소자(OLED)를 형성한다.
- [0086] 층간 절연층(ILD) 상에 제2 소스전극(SE2) 및 제2 드레인전극(DE2)을 커버하는 패시베이션층(PL)을 형성한다. 패시베이션층(PL)이 포함하는 재료는 도 3 및 도 4에서 설명한 것과 동일하다.
- [0087] 패시베이션층(PL)을 관통하고 제2 드레인전극(DE2)과 접하는 제6 관통홀(CH6)을 형성한다. 제6 관통홀(CH6)을 통해 제2 드레인전극(DE2)과 연결되도록 패시베이션층(PL) 상에 애노드(AE)를 형성한다.
- [0088] 애노드(AE) 상에 정공수송영역(HTR), 유기발광층(EML), 전자수송영역(ETR), 및 캐소드(CE)를 차례로 적층하여 유기발광소자(OLED)를 형성한다. 유기발광소자(OLED)의 적층 순서 또는 구성에 관한 내용은 도 3 및 도 4에서

설명한 것과 같다.

[0089] 이러한 트랜지스터의 제조 방법을 통해 제조 공정을 단순화하여 효율성을 높일 수 있다. 또한, 폴리 실리콘층(PSL)의 그레인(Grain)의 평균 크기가 크고, 이에 따라 구동속도가 빠른 트랜지스터를 제조할 수 있다.

[0090] 이상에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자 또는 해당 기술 분야에 통상의 지식을 갖는 자라면, 후술될 특허청구범위에 기재된 본 발명의 사상 및 기술 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

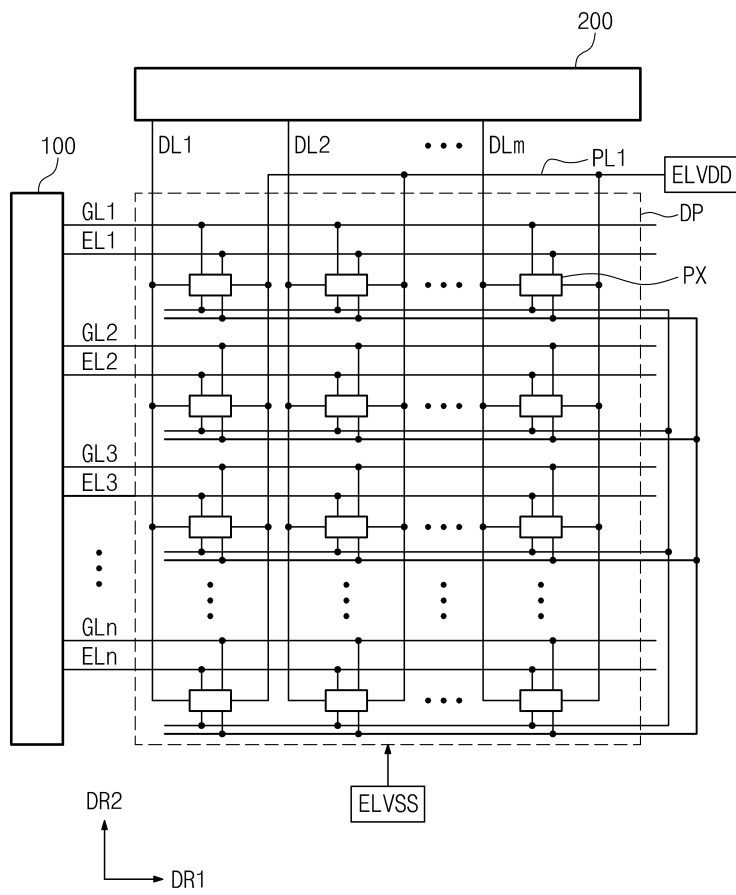
[0091] 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허청구범위에 의해 정하여져야만 할 것이다.

### 부호의 설명

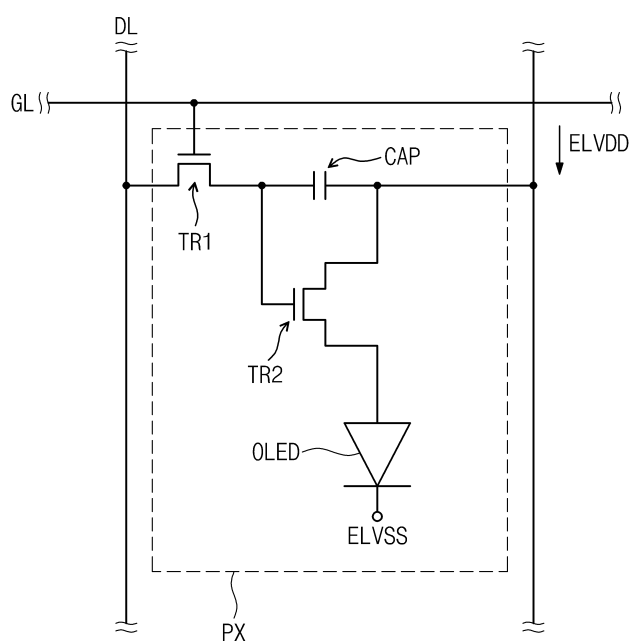
[0092] DP: 플렉서블 표시패널 100: 게이트 구동부  
200: 데이터 구동부 PX: 화소들  
TR1: 제1 트랜지스터 TR2: 제2 트랜지스터  
DE2: 제2 드레인전극 SE2: 제2 소스전극  
GE2-1: 제1 게이트 전극 GE2-2: 제2 게이트 전극  
PSL: 폴리 실리콘층 OLED: 유기발광소자  
AE: 애노드 HCR: 정공 수송영역  
EML: 유기발광층 ECR: 전자 수송영역  
CE: 캐소드

도면

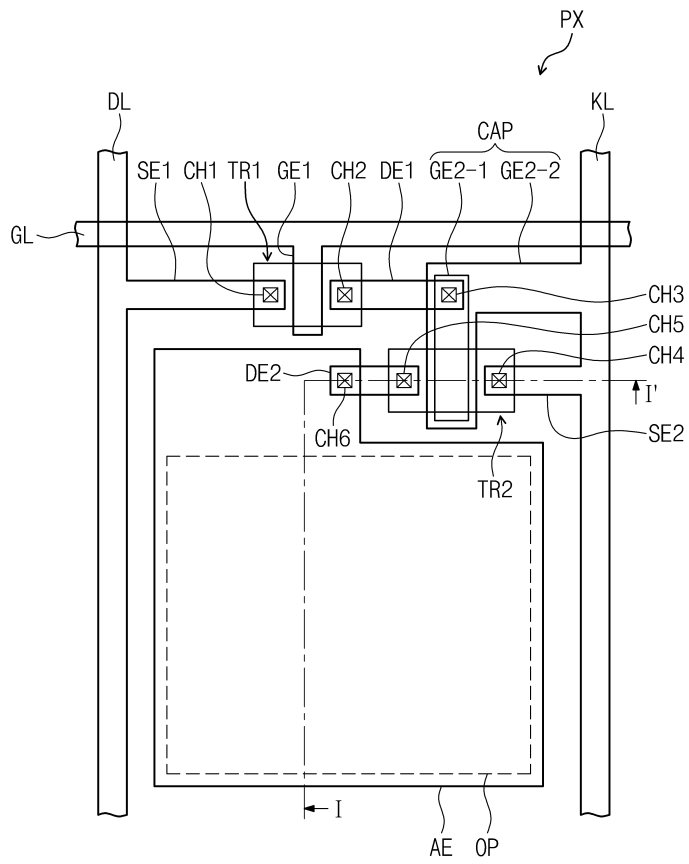
도면1



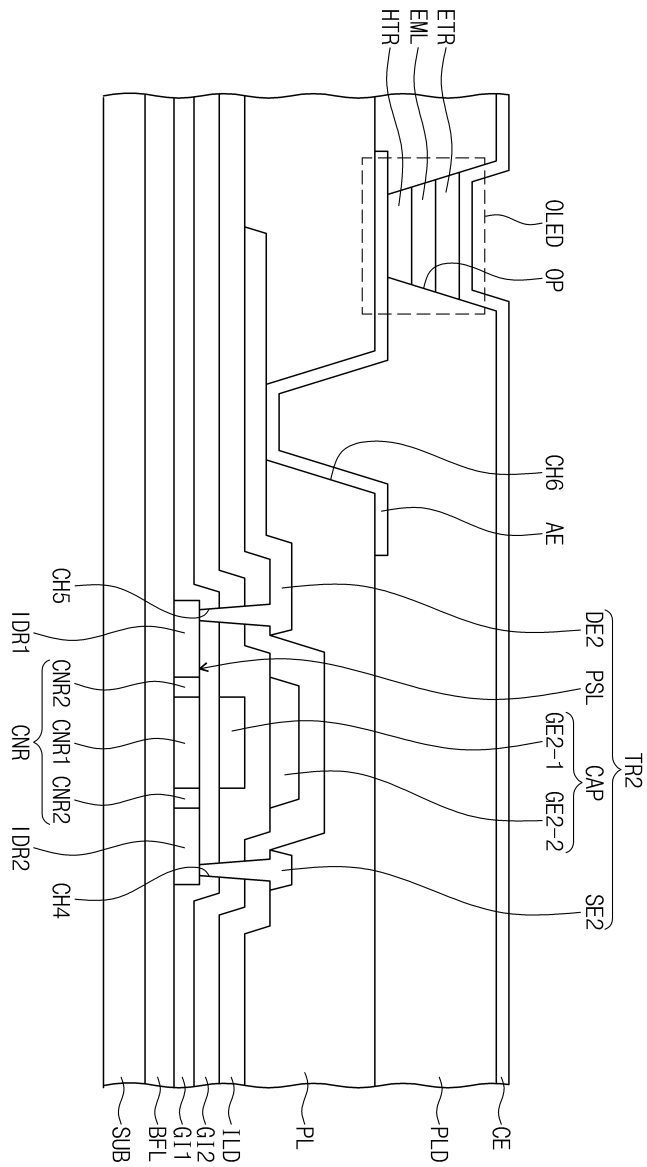
도면2



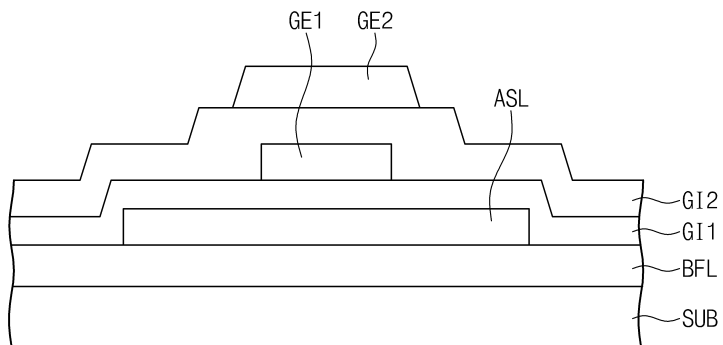
도면3



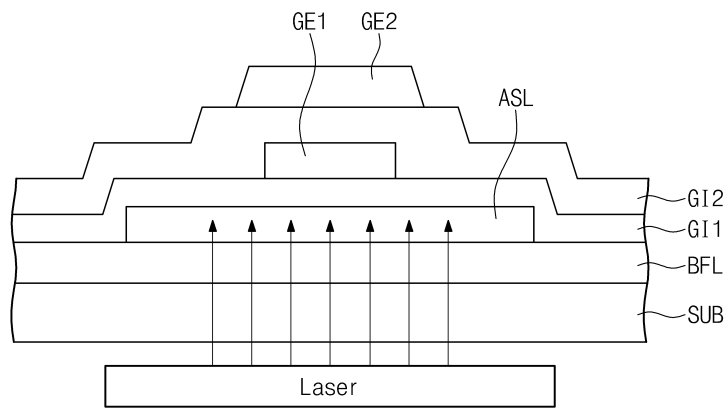
도면4



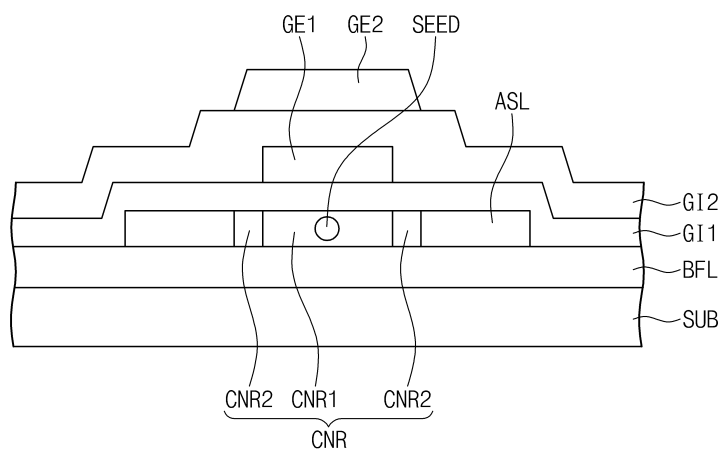
도면5



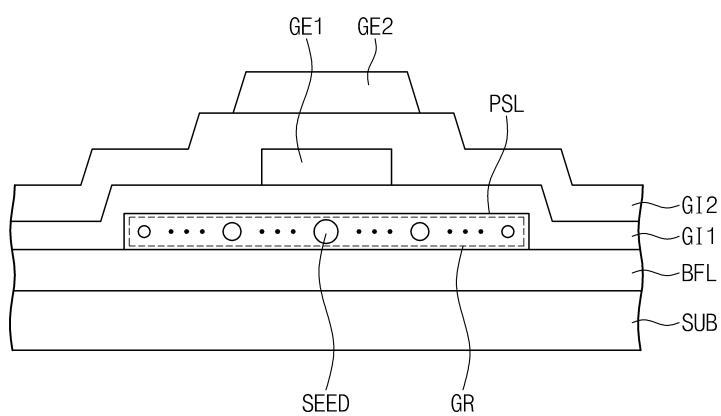
도면6a



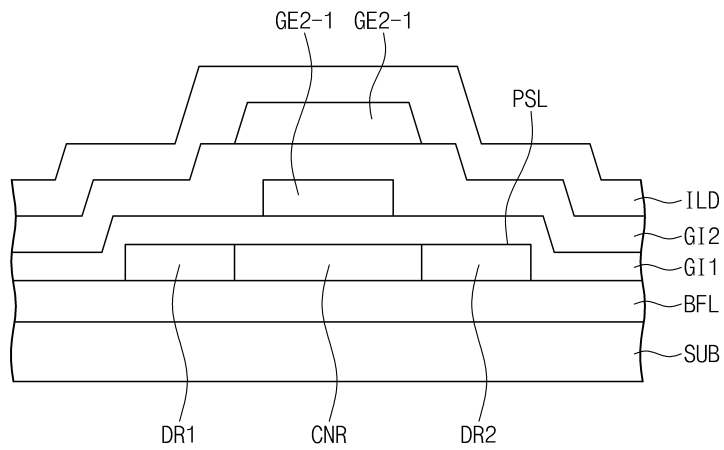
도면6b



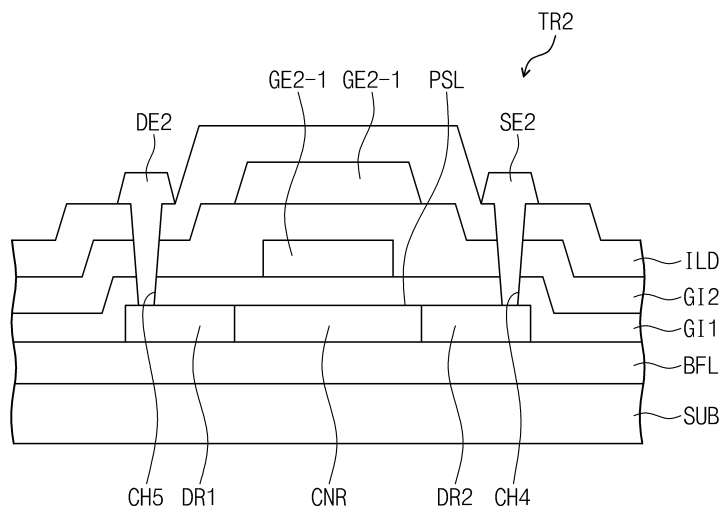
도면6c



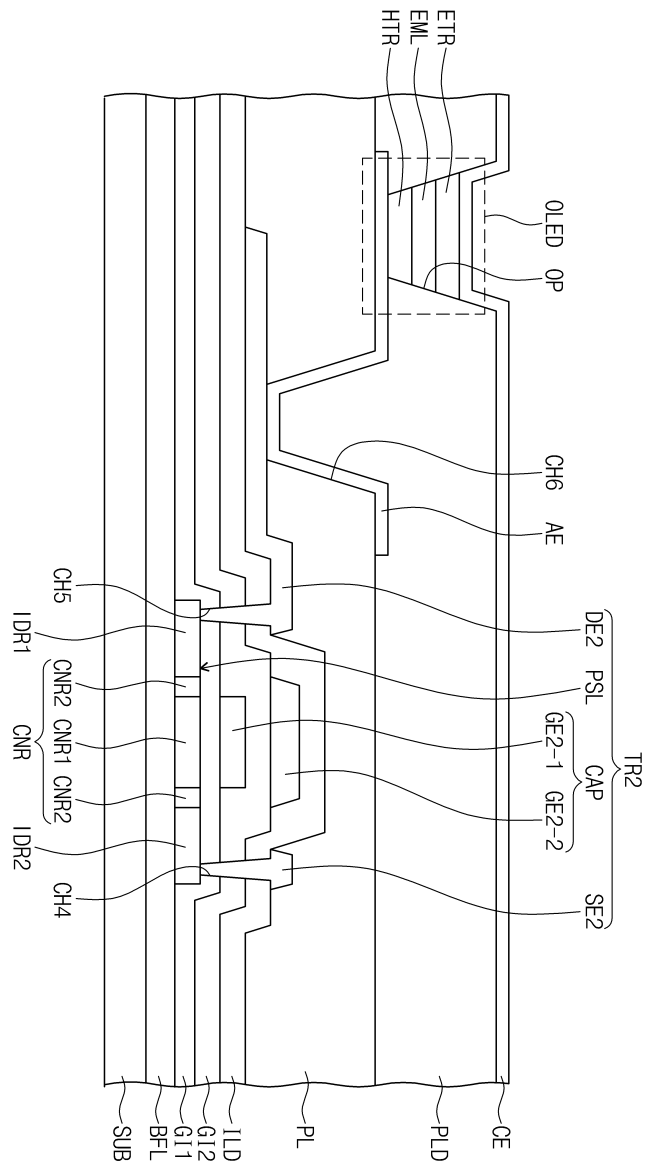
도면7



도면8



도면9



|                |                                                                                                                                              |         |            |
|----------------|----------------------------------------------------------------------------------------------------------------------------------------------|---------|------------|
| 专利名称(译)        | 标题：晶体管，有机发光显示装置和制造有机发光显示装置的方法                                                                                                                |         |            |
| 公开(公告)号        | <a href="#">KR1020160063515A</a>                                                                                                             | 公开(公告)日 | 2016-06-07 |
| 申请号            | KR1020140166650                                                                                                                              | 申请日     | 2014-11-26 |
| [标]申请(专利权)人(译) | 三星显示有限公司                                                                                                                                     |         |            |
| 申请(专利权)人(译)    | 三星显示器有限公司                                                                                                                                    |         |            |
| 当前申请(专利权)人(译)  | 三星显示器有限公司                                                                                                                                    |         |            |
| [标]发明人         | LEE KYOUNGWON<br>이경원<br>KHANG YOONHO<br>강운호<br>CHA MYOUNGGEUN<br>차명근<br>SHIN YOUNGKI<br>신영기<br>JEONG WOONGHEE<br>정웅희                         |         |            |
| 发明人            | 이경원<br>강운호<br>차명근<br>신영기<br>정웅희                                                                                                              |         |            |
| IPC分类号         | H01L27/32 H01L29/786 H01L51/56                                                                                                               |         |            |
| CPC分类号         | H01L27/32 H01L29/786 H01L51/56 Y02B20/36 G09G3/3233 G09G2300/0842 H01L27/3262 H01L27/3265 H01L29/6675 H01L29/78645 H01L29/78675 H01L29/78696 |         |            |
| 外部链接           | <a href="#">Espacenet</a>                                                                                                                    |         |            |

#### 摘要(译)

有机发光显示装置包括用于控制有机发光装置的晶体管。多晶硅层设置在晶体管上，并且多晶硅层包括多个晶粒。晶粒的尺寸从多晶硅层的中心部分向多晶硅层的边缘部分变小。该有机发光显示设备包括：多晶硅层，其设置在基础基板上并包括沟道区；以及第一离子掺杂区和第二离子掺杂区，其间具有沟道区；以及第二离子掺杂区。第一栅电极与沟道区重叠以与沟道区绝缘；第二栅电极与第一栅电极绝缘并且与沟道区重叠；设置在第二栅电极上的层间绝缘层；源电极设置在层间绝缘层上并连接到第一离子掺杂区。漏极设置在层间绝缘层上并连接到第二离子掺杂区。

