



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0028624

(43) 공개일자 2016년03월14일

(51) 국제특허분류(Int. Cl.)

G09G 3/32 (2016.01) H01L 27/32 (2006.01)

(21) 출원번호 10-2014-0117287

(22) 출원일자 2014년09월03일

심사청구일자 없음

(71) 출원인

삼성디스플레이 주식회사

경기 용인시 기흥구 삼성로1(농서동)

(72) 발명자

이탁영

경기도 안양시 동안구 평촌대로211번길 21, 308동 1101호

박용성

서울특별시 송파구 송파대로 567, 520동505호

(뒷면에 계속)

(74) 대리인

박영우

전체 청구항 수 : 총 16 항

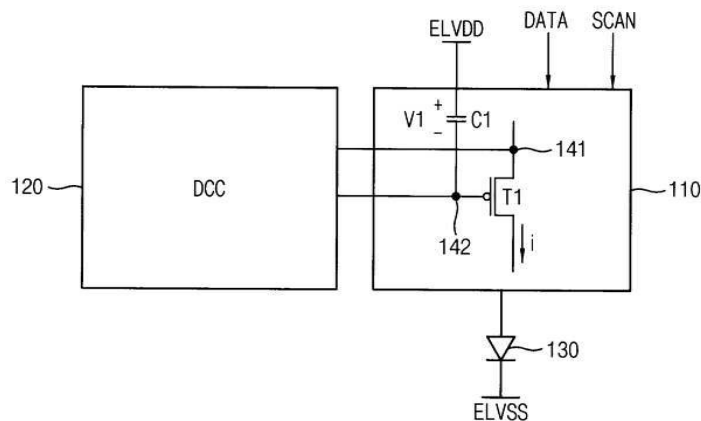
(54) 발명의 명칭 열화 보상 픽셀 회로 및 이를 포함하는 유기 발광 다이오드 표시 장치

(57) 요약

열화 보상 픽셀 회로는 유기 발광 다이오드, 구동 회로 및 열화 보상 회로를 포함한다. 구동 회로는 제1 커패시터 및 제1 PMOS 트랜지스터를 포함한다. 제1 커패시터는 데이터 신호 및 스캔 신호에 응답하여 충전된다. 제1 PMOS 트랜지스터는 제1 커패시터의 양 말단들 간의 제1 전압에 기초하여 유기 발광 다이오드를 구동한다. 제1 커패시터의 제1 말단에 전원 전압이 인가되고 제1 커패시터의 제2 말단은 제1 PMOS 트랜지스터의 게이트 터미널과 연결된다. 열화 보상 회로는 제1 PMOS 트랜지스터의 소스 터미널 및 제1 PMOS 트랜지스터의 게이트 터미널에 각각 연결된다. 열화 보상 회로는 제1 PMOS 트랜지스터의 제1 전류에 기초하여 제1 전압을 변경한다.

대표도 - 도1

100



(72) 발명자

황영인

경기도 수원시 영통구 영통로290번길 28, 811동
906호

강철규

경기도 수원시 권선구 세권로 334, 336동 1705호

명세서

청구범위

청구항 1

유기 발광 다이오드(OLED);

데이터 신호 및 스캔 신호에 응답하여 충전되는 제1 커패시터 및 상기 제1 커패시터의 양 말단들 간의 제1 전압에 기초하여 상기 유기 발광 다이오드를 구동하는 제1 PMOS 트랜지스터를 구비하고, 상기 제1 커패시터의 제1 말단에 전원 전압이 인가되고 상기 제1 커패시터의 제2 말단은 상기 제1 PMOS 트랜지스터의 게이트 터미널과 연결되는 구동 회로; 및

상기 제1 PMOS 트랜지스터의 소스 터미널 및 상기 제1 PMOS 트랜지스터의 상기 게이트 터미널에 각각 연결되고, 상기 제1 PMOS 트랜지스터의 제1 전류에 기초하여 상기 제1 전압을 변경하는 열화 보상 회로를 포함하는 열화 보상 픽셀 회로.

청구항 2

제1 항에 있어서,

상기 열화 보상 회로는 상기 제1 PMOS 트랜지스터가 열화되어 상기 제1 전류가 작아진 경우, 상기 제1 전압을 상승시키고 상기 제1 PMOS 트랜지스터의 상기 게이트 터미널의 전압을 하강시켜 상기 제1 전류를 증가시키는 열화 보상 픽셀 회로.

청구항 3

제1 항에 있어서,

상기 제1 전류는 상기 유기 발광 다이오드가 발광할 때 상기 제1 PMOS 트랜지스터의 상기 소스 터미널에서 상기 제1 PMOS 트랜지스터의 드레인 터미널로 상기 제1 PMOS 트랜지스터 내에서 흐르는 전류인 열화 보상 픽셀 회로.

청구항 4

제1 항에 있어서,

상기 열화 보상 회로는 제2 PMOS 트랜지스터, 제3 PMOS 트랜지스터 및 제2 커패시터를 포함하고,

상기 제2 PMOS 트랜지스터의 소스 터미널에 기준 전압이 인가되고, 상기 제2 PMOS 트랜지스터의 게이트 터미널에 피드백 초기화 신호가 인가되고, 상기 제2 PMOS 트랜지스터의 드레인 터미널은 제1 노드에 연결되고,

상기 제3 PMOS 트랜지스터의 소스 터미널은 상기 제1 노드와 연결되고, 상기 제3 PMOS 트랜지스터의 게이트 터미널에 피드백 신호가 인가되고, 상기 제3 PMOS 트랜지스터의 드레인 터미널은 상기 제1 PMOS 트랜지스터의 상기 소스 터미널에 연결되고,

상기 제2 커패시터의 제1 말단은 상기 제1 노드와 연결되고, 상기 제2 커패시터의 제2 말단은 상기 제1 PMOS 트랜지스터의 상기 게이트 터미널과 연결되는 열화 보상 픽셀 회로.

청구항 5

제4 항에 있어서,

상기 피드백 초기화 신호가 활성화되는 제1 구간에서 상기 제2 커패시터의 양 말단들 간의 제2 전압은 상기 기준 전압과 초기화 전압의 차가 되도록 상기 열화 보상 회로가 상기 제2 커패시터를 충전하는 열화 보상 픽셀 회로.

청구항 6

제5 항에 있어서,

상기 피드백 신호와 인에이블 신호가 활성화되는 제2 구간에서 상기 제1 커패시터와 상기 제2 커패시터 간의 제2 전류를 통한 전하 분배에 의해 상기 제1 전압을 변경하는 열화 보상 픽셀 회로.

청구항 7

제6 항에 있어서,

상기 제1 커패시터와 상기 제2 커패시터 간의 상기 제2 전류의 크기는 상기 제1 전류의 크기에 비례하는 열화 보상 픽셀 회로.

청구항 8

제6 항에 있어서,

상기 제1 구간 후에 상기 제2 구간이 존재하는 열화 보상 픽셀 회로.

청구항 9

제4 항에 있어서,

상기 제2 커패시터의 정전 용량(Capacitance)은 상기 제1 커패시터의 정전 용량보다 큰 열화 보상 픽셀 회로.

청구항 10

제1 항에 있어서,

상기 구동 회로는 제2 내지 제5 PMOS 트랜지스터들을 더 포함하고,

상기 제2 PMOS 트랜지스터의 소스 터미널에 상기 데이터 신호가 인가되고, 상기 제2 PMOS 트랜지스터의 게이트 터미널에 상기 스캔 신호가 인가되고, 상기 제2 PMOS 트랜지스터의 드레인 터미널은 제1 노드와 연결되고,

상기 제3 PMOS 트랜지스터의 소스 터미널은 상기 제1 노드와 연결되고, 상기 제3 PMOS 트랜지스터의 게이트 터미널에 상기 피드백 초기화 신호가 인가되고, 상기 제3 PMOS 트랜지스터의 드레인 터미널에 초기화 전압이 인가되고,

상기 제4 PMOS 트랜지스터의 소스 터미널에 상기 전원 전압이 인가되고, 상기 제4 PMOS 트랜지스터의 게이트 터미널에 인에이블 신호가 인가되고, 상기 제4 PMOS 트랜지스터의 드레인 터미널은 제2 노드에 연결되고,

상기 제1 PMOS 트랜지스터의 상기 소스 터미널은 상기 제2 노드와 연결되고, 상기 제1 PMOS 트랜지스터의 상기 게이트 터미널은 상기 제1 노드와 연결되고,

상기 제5 PMOS 트랜지스터의 소스 터미널은 상기 제1 PMOS 트랜지스터의 드레인 터미널에 연결되고, 상기 제5 PMOS 트랜지스터의 게이트 터미널에 상기 인에이블 신호가 인가되고, 상기 제5 PMOS 트랜지스터의 드레인 터미널은 상기 유기 발광 다이오드의 제1 말단과 연결되고,

상기 유기 발광 다이오드의 제2 말단에 접지 전압이 인가되는 열화 보상 픽셀 회로.

청구항 11

제10 항에 있어서,

상기 구동 회로는 상기 스캔 신호가 활성화될 때 상기 데이터 신호에 응답하여 상기 제1 커패시터를 충전하는 열화 보상 픽셀 회로.

청구항 12

제10 항에 있어서,

상기 인에이블 신호가 활성화 될 때 상기 유기 발광 다이오드가 발광하는 열화 보상 픽셀 회로.

청구항 13

제1 항에 있어서,

상기 구동 회로는 제2 내지 제7 PMOS 트랜지스터들을 더 포함하고,

상기 제2 PMOS 트랜지스터의 소스 터미널에 상기 데이터 신호가 인가되고, 상기 제2 PMOS 트랜지스터의 게이트 터미널에 상기 스캔 신호가 인가되고, 상기 제2 PMOS 트랜지스터의 드레인 터미널은 제1 노드에 연결되고,

상기 제3 PMOS 트랜지스터의 소스 터미널에 상기 전원 전압이 인가되고, 상기 제3 PMOS 트랜지스터의 게이트 터미널에 인에이블 신호가 인가되고, 상기 제3 PMOS 트랜지스터의 드레인 터미널은 상기 제1 노드에 연결되고,

상기 제4 PMOS 트랜지스터의 소스 터미널에 상기 전원 전압이 인가되고, 상기 제4 PMOS 트랜지스터의 게이트 터미널에 초기화 신호가 인가되고, 상기 제4 PMOS 트랜지스터의 드레인 터미널은 상기 제1 노드에 연결되고,

상기 제1 PMOS 트랜지스터의 상기 소스 터미널은 상기 제1 노드에 연결되고, 상기 제1 PMOS 트랜지스터의 상기 게이트 터미널은 제2 노드와 연결되고, 상기 제1 PMOS 트랜지스터의 드레인 터미널은 제3 노드와 연결되고,

상기 제5 PMOS 트랜지스터의 소스 터미널은 상기 제3 노드에 연결되고, 상기 제5 PMOS 트랜지스터의 게이트 터미널에 상기 인에이블 신호가 인가되고, 상기 제5 PMOS 트랜지스터의 드레인 터미널은 상기 유기 발광 다이오드의 제1 말단과 연결되고,

상기 제6 PMOS 트랜지스터의 소스 터미널은 상기 제3 노드에 연결되고, 상기 제6 PMOS 트랜지스터의 게이트 터미널에 상기 스캔 신호가 인가되고, 상기 제6 PMOS 트랜지스터의 드레인 터미널은 상기 제2 노드와 연결되고,

상기 제7 PMOS 트랜지스터의 소스 터미널은 상기 제2 노드와 연결되고, 상기 제7 PMOS 트랜지스터의 게이트 터미널에 상기 초기화 신호가 인가되고, 상기 제7 PMOS 트랜지스터의 드레인 터미널에 초기화 전압이 인가되고,

상기 유기 발광 다이오드의 제2 말단에 접지 전압이 인가되는 열화 보상 픽셀 회로.

청구항 14

제13 항에 있어서,

상기 구동 회로는 상기 초기화 신호 및 상기 스캔 신호에 응답하여 상기 제1 PMOS 트랜지스터의 문턱 전압 편차를 보상하도록 상기 제1 전압을 변경하는 열화 보상 픽셀 회로.

청구항 15

제1 항에 있어서,

상기 구동 회로는 제2 내지 제8 PMOS 트랜지스터들 및 제2 커패시터를 더 포함하고,

상기 제2 PMOS 트랜지스터의 소스 터미널에 상기 데이터 신호가 인가되고, 상기 제2 PMOS 트랜지스터의 게이트 터미널에 상기 스캔 신호가 인가되고, 상기 제2 PMOS 트랜지스터의 드레인 터미널은 제1 노드에 연결되고,

상기 제2 커패시터의 제1 말단은 상기 제1 노드에 연결되고, 상기 제2 커패시터의 제2 말단에 초기화 전압이 인가되고,

상기 제3 PMOS 트랜지스터의 소스 터미널은 상기 제1 노드에 연결되고, 상기 제3 PMOS 트랜지스터의 게이트 터미널에 보상 신호가 인가되고, 상기 제3 PMOS 트랜지스터의 드레인 터미널은 제2 노드에 연결되고,

상기 제4 PMOS 트랜지스터의 소스 터미널에 상기 전원 전압이 인가되고, 상기 제4 PMOS 트랜지스터의 게이트 터미널에 인에이블 신호가 인가되고, 상기 제4 PMOS 트랜지스터의 드레인 터미널은 상기 제2 노드에 연결되고,

상기 제5 PMOS 트랜지스터의 소스 터미널에 상기 전원 전압이 인가되고, 상기 제5 PMOS 트랜지스터의 게이트 터미널에 초기화 신호가 인가되고, 상기 제5 PMOS 트랜지스터의 드레인 터미널은 상기 제2 노드에 연결되고,

상기 제1 PMOS 트랜지스터의 상기 소스 터미널은 상기 제2 노드에 연결되고, 상기 제1 PMOS 트랜지스터의 상기 게이트 터미널은 제3 노드와 연결되고, 상기 제1 PMOS 트랜지스터의 드레인 터미널은 제4 노드와 연결되고,

상기 제6 PMOS 트랜지스터의 소스 터미널은 상기 제4 노드에 연결되고, 상기 제6 PMOS 트랜지스터의 게이트 터미널에 상기 인에이블 신호가 인가되고, 상기 제6 PMOS 트랜지스터의 드레인 터미널은 상기 유기 발광 다이오드의 제1 말단과 연결되고,

상기 제7 PMOS 트랜지스터의 소스 터미널은 상기 제4 노드에 연결되고, 상기 제7 PMOS 트랜지스터의 게이트 터미널에 상기 보상 신호가 인가되고, 상기 제7 PMOS 트랜지스터의 드레인 터미널은 상기 제3 노드와 연결되고,

상기 제8 PMOS 트랜지스터의 소스 터미널은 상기 제3 노드와 연결되고, 상기 제8 PMOS 트랜지스터의 게이트 터미널에 상기 초기화 신호가 인가되고, 상기 제8 PMOS 트랜지스터의 드레인 터미널에 상기 초기화 전압이 인가되고,

상기 유기 발광 다이오드의 제2 말단에 접지 전압이 인가되는 열화 보상 픽셀 회로.

청구항 16

입력 영상 데이터 신호에 기초하여 데이터 구동부 제어 신호 및 스캔 구동부 제어 신호를 생성하는 타이밍 제어부;

복수의 열화 보상 픽셀 회로들을 포함하는 표시 패널;

상기 데이터 구동부 제어 신호에 기초하여 데이터 신호들을 생성하고, 상기 데이터 신호들을 각각 복수의 데이터 라인들을 통해 상기 복수의 열화 보상 픽셀 회로들에 제공하는 데이터 구동부;

상기 스캔 구동부 제어 신호에 기초하여 스캔 신호들을 생성하고, 상기 스캔 신호들을 각각 복수의 스캔 라인들을 통해 상기 복수의 열화 보상 픽셀 회로들에 제공하는 스캔 구동부; 및

상기 표시 패널을 구동하기 위해 상기 표시 패널에 전원 전압 및 접지 전압을 제공하는 전력 제어부를 포함하고;

하나의 열화 보상 픽셀 회로는,

유기 발광 다이오드(OLED);

하나의 데이터 신호 및 하나의 스캔 신호에 응답하여 충전되는 커패시터 및 상기 커패시터의 양 말단들 간의 전압에 기초하여 상기 유기 발광 다이오드를 구동하는 구동 PMOS 트랜지스터를 구비하고, 상기 커패시터의 제1 말단에 전원 전압이 인가되고 상기 커패시터의 제2 말단은 상기 구동 PMOS 트랜지스터의 게이트 터미널과 연결되는 구동 회로; 및

상기 구동 PMOS 트랜지스터의 소스 터미널 및 상기 구동 PMOS 트랜지스터의 상기 게이트 터미널에 각각 연결되고, 상기 구동 PMOS 트랜지스터의 전류에 기초하여 상기 커패시터의 양 말단들 간의 전압을 변경하는 열화 보상 회로를 포함하는 유기 발광 다이오드 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명은 픽셀 회로에 관한 것이다. 보다 상세하게는, 본 발명은 구동 트랜지스터의 열화에 의한 전류 감소를 보상하는 픽셀 회로에 관한 것이다.

배경 기술

[0002] 유기 발광 다이오드(OLED) 표시 장치는 스스로 빛을 내는 유기 발광 소자를 이용하여 화상을 표시하기 때문에, 액정 표시 장치와는 달리 별도의 광원(예를 들어, 백라이트 유닛)을 필요로 하지 않아 상대적으로 두께와 무게가 작다는 장점이 있다. 또한, 유기 발광 다이오드 표시 장치는 소비 전력, 휘도 및 응답 속도 등에서 액정 표시 장치에 비해 유리하기 때문에, 전자 기기의 소형화 및 저전력화 추세에 따라 전자 기기의 표시 장치로서 많이 사용되고 있다.

[0003] 유기 발광 다이오드 표시 장치의 표시 패널에서 높은 휘도로 지속적으로 같은 패턴을 발광하는 로고 부분(e.g. MBC와 같은 방송사 로고)에 상응하는 픽셀 회로의 경우, 지속적으로 강한 전류가 구동 트랜지스터에 인가되어 구동 트랜지스터의 이동도(Mobility)가 감소(열화)된다. 픽셀 회로가 열화된 이후 유기 발광 다이오드 표시 장치가 상기 로고 부분이 제거된 다른 이미지를 표시할 때에도 상기 로고 부분이 시청자의 눈에 인식되는 이미지 교착(Image sticking) 현상이 발생한다.

발명의 내용

해결하려는 과제

- [0004] 본 발명의 일 목적은 구동 트랜지스터의 열화에 의한 전류 감소를 보상하는 픽셀 회로를 제공하는 것이다.
- [0005] 본 발명의 다른 목적은 구동 트랜지스터의 열화에 의한 전류 감소를 보상하는 픽셀 회로를 포함하는 유기 발광 다이오드 표시 장치를 제공하는 것이다.

과제의 해결 수단

- [0006] 본 발명의 일 목적을 달성하기 위하여, 본 발명의 실시예들에 따른 열화 보상 픽셀 회로는 유기 발광 다이오드(OLED), 구동 회로 및 열화 보상 회로를 포함한다. 상기 구동 회로는 제1 커패시터 및 제1 PMOS 트랜지스터를 포함한다. 상기 제1 커패시터는 데이터 신호 및 스캔 신호에 응답하여 충전된다. 상기 제1 PMOS 트랜지스터는 상기 제1 커패시터의 양 말단들 간의 제1 전압에 기초하여 상기 유기 발광 다이오드를 구동한다. 상기 제1 커패시터의 제1 말단에 전원 전압이 인가되고 상기 제1 커패시터의 제2 말단은 상기 제1 PMOS 트랜지스터의 게이트 터미널과 연결된다. 상기 열화 보상 회로는 상기 제1 PMOS 트랜지스터의 소스 터미널 및 상기 제1 PMOS 트랜지스터의 상기 게이트 터미널에 각각 연결된다. 상기 열화 보상 회로는 상기 제1 PMOS 트랜지스터의 제1 전류에 기초하여 상기 제1 전압을 변경한다.
- [0007] 일 실시예에 있어서, 상기 열화 보상 회로는 상기 제1 PMOS 트랜지스터가 열화되어 상기 제1 전류가 작아진 경우, 상기 제1 전압을 상승시키고 상기 제1 PMOS 트랜지스터의 상기 게이트 터미널의 전압을 하강시켜 상기 제1 전류를 증가시킬 수 있다.
- [0008] 일 실시예에 있어서, 상기 제1 전류는 상기 유기 발광 다이오드가 발광할 때 상기 제1 PMOS 트랜지스터의 상기 소스 터미널에서 상기 제1 PMOS 트랜지스터의 드레인 터미널로 상기 제1 PMOS 트랜지스터 내에서 흐르는 전류일 수 있다.
- [0009] 일 실시예에 있어서, 상기 열화 보상 회로는 제2 PMOS 트랜지스터, 제3 PMOS 트랜지스터 및 제2 커패시터를 포함할 수 있다. 상기 제2 PMOS 트랜지스터의 소스 터미널에 기준 전압이 인가되고, 상기 제2 PMOS 트랜지스터의 게이트 터미널에 피드백 초기화 신호가 인가되고, 상기 제2 PMOS 트랜지스터의 드레인 터미널은 제1 노드에 연결될 수 있다. 상기 제3 PMOS 트랜지스터의 소스 터미널은 상기 제1 노드와 연결되고, 상기 제3 PMOS 트랜지스터의 게이트 터미널에 피드백 신호가 인가되고, 상기 제3 PMOS 트랜지스터의 드레인 터미널은 상기 제1 PMOS 트랜지스터의 상기 소스 터미널에 연결될 수 있다. 상기 제2 커패시터의 제1 말단은 상기 제1 노드와 연결되고, 상기 제2 커패시터의 제2 말단은 상기 제1 PMOS 트랜지스터의 상기 게이트 터미널과 연결될 수 있다.
- [0010] 일 실시예에 있어서, 상기 피드백 초기화 신호가 활성화되는 제1 구간에서 상기 제2 커패시터의 양 말단들 간의 제2 전압은 상기 기준 전압과 초기화 전압의 차가 되도록 상기 열화 보상 회로가 상기 제2 커패시터를 충전할 수 있다.
- [0011] 일 실시예에 있어서, 상기 피드백 신호와 인에이블 신호가 활성화되는 제2 구간에서 상기 제1 커패시터와 상기 제2 커패시터 간의 제2 전류를 통한 전하 분배에 의해 상기 제1 전압을 변경할 수 있다.
- [0012] 일 실시예에 있어서, 상기 제1 커패시터와 상기 제2 커패시터 간의 상기 제2 전류의 크기는 상기 제1 전류의 크기에 비례할 수 있다.
- [0013] 일 실시예에 있어서, 상기 제1 구간 후에 상기 제2 구간이 존재할 수 있다.
- [0014] 일 실시예에 있어서, 상기 제2 커패시터의 정전 용량(Capacitance)은 상기 제1 커패시터의 정전 용량보다 클 수 있다.
- [0015] 일 실시예에 있어서, 상기 구동 회로는 제2 내지 제5 PMOS 트랜지스터들을 더 포함할 수 있다. 상기 제2 PMOS 트랜지스터의 소스 터미널에 상기 데이터 신호가 인가되고, 상기 제2 PMOS 트랜지스터의 게이트 터미널에 상기 스캔 신호가 인가되고, 상기 제2 PMOS 트랜지스터의 드레인 터미널은 제1 노드와 연결될 수 있다. 상기 제3 PMOS 트랜지스터의 소스 터미널은 상기 제1 노드와 연결되고, 상기 제3 PMOS 트랜지스터의 게이트 터미널에 상기 피드백 초기화 신호가 인가되고, 상기 제3 PMOS 트랜지스터의 드레인 터미널에 초기화 전압이 인가될 수 있다. 상기 제4 PMOS 트랜지스터의 소스 터미널에 상기 전원 전압이 인가되고, 상기 제4 PMOS 트랜지스터의 게이트 터미널에 인에이블 신호가 인가되고, 상기 제4 PMOS 트랜지스터의 드레인 터미널은 제2 노드에 연결될 수 있다. 상기 제1 PMOS 트랜지스터의 상기 소스 터미널은 상기 제2 노드와 연결되고, 상기 제1 PMOS 트랜지스터의 상기 게이트 터미널은 상기 제1 노드와 연결될 수 있다. 상기 제5 PMOS 트랜지스터의 소스 터미널은 상기 제1 PMOS 트랜지스터의 드레인 터미널에 연결되고, 상기 제5 PMOS 트랜지스터의 게이트 터미널에 상기 인에이블 신호가 인가되고, 상기 제5 PMOS 트랜지스터의 드레인 터미널은 상기 제2 노드와 연결될 수 있다.

호가 인가되고, 상기 제5 PMOS 트랜지스터의 드레인 터미널은 상기 유기 발광 다이오드의 제1 말단과 연결될 수 있다. 상기 유기 발광 다이오드의 제2 말단에 접지 전압이 인가될 수 있다.

[0016] 일 실시예에 있어서, 상기 구동 회로는 상기 스캔 신호가 활성화될 때 상기 데이터 신호에 응답하여 상기 제1 커패시터를 충전할 수 있다.

[0017] 일 실시예에 있어서, 상기 인에이블 신호가 활성화 될 때 상기 유기 발광 다이오드가 발광할 수 있다.

[0018] 일 실시예에 있어서, 상기 구동 회로는 제2 내지 제7 PMOS 트랜지스터들을 더 포함할 수 있다. 상기 제2 PMOS 트랜지스터의 소스 터미널에 상기 데이터 신호가 인가되고, 상기 제2 PMOS 트랜지스터의 게이트 터미널에 상기 스캔 신호가 인가되고, 상기 제2 PMOS 트랜지스터의 드레인 터미널은 제1 노드에 연결될 수 있다. 상기 제3 PMOS 트랜지스터의 소스 터미널에 상기 전원 전압이 인가되고, 상기 제3 PMOS 트랜지스터의 게이트 터미널에 인에이블 신호가 인가되고, 상기 제3 PMOS 트랜지스터의 드레인 터미널은 상기 제1 노드에 연결될 수 있다. 상기 제4 PMOS 트랜지스터의 소스 터미널에 상기 전원 전압이 인가되고, 상기 제4 PMOS 트랜지스터의 게이트 터미널에 초기화 신호가 인가되고, 상기 제4 PMOS 트랜지스터의 드레인 터미널은 상기 제1 노드에 연결될 수 있다. 상기 제1 PMOS 트랜지스터의 상기 소스 터미널은 상기 제1 노드에 연결되고, 상기 제1 PMOS 트랜지스터의 상기 게이트 터미널은 제2 노드와 연결되고, 상기 제1 PMOS 트랜지스터의 드레인 터미널은 제3 노드와 연결될 수 있다. 상기 제5 PMOS 트랜지스터의 소스 터미널은 상기 제3 노드에 연결되고, 상기 제5 PMOS 트랜지스터의 게이트 터미널에 상기 인에이블 신호가 인가되고, 상기 제5 PMOS 트랜지스터의 드레인 터미널은 상기 유기 발광 다이오드의 제1 말단과 연결될 수 있다. 상기 제6 PMOS 트랜지스터의 소스 터미널은 상기 제3 노드에 연결되고, 상기 제6 PMOS 트랜지스터의 게이트 터미널에 상기 스캔 신호가 인가되고, 상기 제6 PMOS 트랜지스터의 드레인 터미널은 상기 제2 노드와 연결될 수 있다. 상기 제7 PMOS 트랜지스터의 소스 터미널은 상기 제2 노드와 연결되고, 상기 제7 PMOS 트랜지스터의 게이트 터미널에 상기 초기화 신호가 인가되고, 상기 제7 PMOS 트랜지스터의 드레인 터미널에 초기화 전압이 인가될 수 있다. 상기 유기 발광 다이오드의 제2 말단에 접지 전압이 인가될 수 있다.

[0019] 일 실시예에 있어서, 상기 구동 회로는 상기 초기화 신호 및 상기 스캔 신호에 응답하여 상기 제1 PMOS 트랜지스터의 문턱 전압 편차를 보상하도록 상기 제1 전압을 변경할 수 있다.

[0020] 일 실시예에 있어서, 상기 구동 회로는 제2 내지 제8 PMOS 트랜지스터들 및 제2 커패시터를 더 포함할 수 있다. 상기 제2 PMOS 트랜지스터의 소스 터미널에 상기 데이터 신호가 인가되고, 상기 제2 PMOS 트랜지스터의 게이트 터미널에 상기 스캔 신호가 인가되고, 상기 제2 PMOS 트랜지스터의 드레인 터미널은 제1 노드에 연결될 수 있다. 상기 제2 커패시터의 제1 말단은 상기 제1 노드에 연결되고, 상기 제2 커패시터의 제2 말단에 초기화 전압이 인가될 수 있다. 상기 제3 PMOS 트랜지스터의 소스 터미널은 상기 제1 노드에 연결되고, 상기 제3 PMOS 트랜지스터의 게이트 터미널에 보상 신호가 인가되고, 상기 제3 PMOS 트랜지스터의 드레인 터미널은 제2 노드에 연결될 수 있다. 상기 제4 PMOS 트랜지스터의 소스 터미널에 상기 전원 전압이 인가되고, 상기 제4 PMOS 트랜지스터의 게이트 터미널에 인에이블 신호가 인가되고, 상기 제4 PMOS 트랜지스터의 드레인 터미널은 상기 제2 노드에 연결될 수 있다. 상기 제5 PMOS 트랜지스터의 소스 터미널에 상기 전원 전압이 인가되고, 상기 제5 PMOS 트랜지스터의 게이트 터미널에 초기화 신호가 인가되고, 상기 제5 PMOS 트랜지스터의 드레인 터미널은 상기 제2 노드에 연결될 수 있다. 상기 제1 PMOS 트랜지스터의 상기 소스 터미널은 상기 제2 노드에 연결되고, 상기 제1 PMOS 트랜지스터의 상기 게이트 터미널은 제3 노드와 연결되고, 상기 제1 PMOS 트랜지스터의 드레인 터미널은 제4 노드와 연결될 수 있다. 상기 제6 PMOS 트랜지스터의 소스 터미널은 상기 제4 노드에 연결되고, 상기 제6 PMOS 트랜지스터의 게이트 터미널에 상기 인에이블 신호가 인가되고, 상기 제6 PMOS 트랜지스터의 드레인 터미널은 상기 유기 발광 다이오드의 제1 말단과 연결될 수 있다. 상기 제7 PMOS 트랜지스터의 소스 터미널은 상기 제4 노드에 연결되고, 상기 제7 PMOS 트랜지스터의 게이트 터미널에 상기 보상 신호가 인가되고, 상기 제7 PMOS 트랜지스터의 드레인 터미널은 상기 제3 노드와 연결될 수 있다. 상기 제8 PMOS 트랜지스터의 소스 터미널은 상기 제3 노드와 연결되고, 상기 제8 PMOS 트랜지스터의 게이트 터미널에 상기 초기화 신호가 인가되고, 상기 제8 PMOS 트랜지스터의 드레인 터미널에 상기 초기화 전압이 인가될 수 있다. 상기 유기 발광 다이오드의 제2 말단에 접지 전압이 인가될 수 있다.

[0021] 본 발명의 일 목적을 달성하기 위하여, 본 발명의 실시예들에 따른 유기 발광 다이오드 표시 장치는 타이밍 제어부, 표시 패널, 데이터 구동부, 스캔 구동부 및 전력 제어부를 포함한다. 상기 타이밍 제어부는 입력 영상 데이터 신호에 기초하여 데이터 구동부 제어 신호 및 스캔 구동부 제어 신호를 생성한다. 상기 표시 패널은 복수의 열화 보상 픽셀 회로들을 포함한다. 상기 데이터 구동부는 상기 데이터 구동부 제어 신호에 기초하여 데이터 신호들을 생성하고, 상기 데이터 신호들을 각각 복수의 데이터 라인들을 통해 상기 복수의 열화 보상 픽셀 회로

들에 제공한다. 상기 스캔 구동부는 상기 스캔 구동부 제어 신호에 기초하여 스캔 신호들을 생성하고, 상기 스캔 신호들을 각각 복수의 스캔 라인들을 통해 상기 복수의 열화 보상 픽셀 회로들에 제공한다. 상기 전력 제어부는 상기 표시 패널을 구동하기 위해 상기 표시 패널에 전원 전압 및 접지 전압을 제공하는 전력 제어부를 포함한다. 하나의 열화 보상 픽셀 회로는 유기 발광 다이오드(OLED), 구동 회로 및 열화 보상 회로를 포함한다. 상기 구동 회로는 커패시터 및 구동 PMOS 트랜지스터를 포함한다. 상기 커패시터는 하나의 데이터 신호 및 하나의 스캔 신호에 응답하여 충전된다. 상기 구동 PMOS 트랜지스터는 상기 커패시터의 양 말단들 간의 전압에 기초하여 상기 유기 발광 다이오드를 구동한다. 상기 커패시터의 제1 말단에 전원 전압이 인가되고 상기 커패시터의 제2 말단은 상기 구동 PMOS 트랜지스터의 게이트 터미널과 연결된다. 상기 열화 보상 회로는 상기 구동 PMOS 트랜지스터의 소스 터미널 및 상기 구동 PMOS 트랜지스터의 상기 게이트 터미널에 각각 연결된다. 상기 열화 보상 회로는 상기 구동 PMOS 트랜지스터의 전류에 기초하여 상기 커패시터의 양 말단들 간의 전압을 변경한다.

발명의 효과

[0022] 본 발명의 일 실시예에 따른 열화 보상 픽셀 회로 및 이를 포함하는 유기 발광 다이오드 표시 장치는 높은 휘도로 지속적으로 같은 패턴을 발광하는 로고 부분에 상응하는 픽셀 회로의 구동 트랜지스터의 전류 감소를 보상하여 이미지 교착 현상을 제거할 수 있다.

[0023] 다만, 본 발명의 효과는 상술한 효과들로 한정되는 것이 아니며, 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위에서 다양하게 확장될 수 있을 것이다.

도면의 간단한 설명

[0024] 도 1 및 2는 본 발명의 일 실시예들에 따른 열화 보상 픽셀 회로를 나타내는 블록도들이다.
 도 3은 도 2의 열화 보상 픽셀 회로에 포함되는 제1 PMOS 트랜지스터의 열화를 나타내는 그래프이다.
 도 4는 도 2의 열화 보상 픽셀 회로의 동작을 나타내는 타이밍도이다.
 도 5 및 6은 도 2의 열화 보상 픽셀 회로에 포함되는 제1 회로의 등가 회로들이다.
 도 7은 본 발명의 일 실시예에 따른 열화 보상 픽셀 회로를 나타내는 블록도이다.
 도 8은 도 7의 열화 보상 픽셀 회로의 동작을 나타내는 타이밍도이다.
 도 9는 본 발명의 일 실시예에 따른 열화 보상 픽셀 회로를 나타내는 블록도이다.
 도 10은 도 9의 열화 보상 픽셀 회로의 동작을 나타내는 타이밍도이다.
 도 11은 본 발명의 일 실시예에 따른 열화 보상 픽셀 회로를 포함하는 유기 발광 다이오드 표시 장치를 나타내는 블록도이다.
 도 12는 본 발명의 일 실시예에 따른 유기 발광 다이오드 표시 장치를 포함하는 전자 기기를 나타내는 블록도이다.

발명을 실시하기 위한 구체적인 내용

[0025] 이하, 첨부한 도면들을 참조하여 본 발명의 실시예들을 보다 상세하게 설명하고자 한다. 도면 상의 동일한 구성 요소에 대해서는 동일한 참조 부호를 사용하고, 동일한 구성 요소에 대해서는 중복된 설명을 생략하기로 한다.

[0026] 도 1 및 2는 본 발명의 일 실시예들에 따른 열화 보상 픽셀 회로를 나타내는 블록도들이다.

[0027] 도 1을 참조하면, 열화 보상 픽셀 회로(100)는 유기 발광 다이오드(130), 구동 회로(110) 및 열화 보상 회로(DCC; 120)를 포함한다. 구동 회로(110)는 제1 커패시터(C1) 및 제1 PMOS 트랜지스터(T1)를 포함한다. 제1 커패시터(C1)는 데이터 신호(DATA) 및 스캔 신호(SCAN)에 응답하여 충전된다. 제1 PMOS 트랜지스터(T1)는 제1 커패시터(C1)의 양 말단들 간의 제1 전압(V1)에 기초하여 유기 발광 다이오드(130)를 구동한다. 제1 커패시터(C1)의 제1 말단에 전원 전압(ELVDD)이 인가되고 제1 커패시터(C1)의 제2 말단은 제1 PMOS 트랜지스터(T1)의 게이트 터미널(142)과 연결된다. 열화 보상 회로(120)는 제1 PMOS 트랜지스터(T1)의 소스 터미널(141) 및 제1 PMOS 트랜지스터(T1)의 게이트 터미널(142)에 각각 연결된다. 열화 보상 회로(120)는 제1 PMOS 트랜지스터(T1)의 제1 전류(i)에 기초하여 제1 전압(V1)을 변경한다.

[0028] 제1 전류(i)는 유기 발광 다이오드(130)가 발광할 때 제1 PMOS 트랜지스터(T1)의 소스 터미널(141)에서 제1

PMOS 트랜지스터(T1)의 드레인 터미널로 제1 PMOS 트랜지스터(T1) 내에서 흐르는 전류일 수 있다. 열화 보상 회로(120)는 제1 PMOS 트랜지스터(T1)가 열화되어 제1 전류(i)가 작아진 경우, 제1 전압을 상승(V1)시키고 제1 PMOS 트랜지스터(T1)의 게이트 터미널(142)의 전압을 하강시켜 제1 전류(i)를 증가시킬 수 있다. 상기 제1 전류(i)를 증가시키는 과정에 대하여 도 4 내지 6을 참조하여 후술한다.

[0029] 도 2를 참조하면, 열화 보상 픽셀 회로(100a)는 도 1의 열화 보상 픽셀 회로(100)의 자세한 실시예를 나타낸다.

[0030] 열화 보상 픽셀 회로(100a)는 유기 발광 다이오드(130), 구동 회로(110a) 및 열화 보상 회로(120a)를 포함한다. 구동 회로(110a)는 제1 PMOS 트랜지스터(T1a), 제4 내지 제7 PMOS 트랜지스터들(T4a, T5a, T6a 및 T7a) 및 제1 커패시터(C1a)를 포함한다. 열화 보상 회로(120a)는 제2 및 제3 PMOS 트랜지스터들(T2a, T3a) 및 제2 커패시터(C2a)를 포함한다.

[0031] 제2 PMOS 트랜지스터(T2a)의 소스 터미널에 기준 전압(VREF)이 인가되고, 제2 PMOS 트랜지스터(T2a)의 게이트 터미널에 피드백 초기화 신호(FBIS)가 인가되고, 제2 PMOS 트랜지스터(T2a)의 드레인 터미널은 제1 노드(141a)에 연결된다. 제3 PMOS 트랜지스터(T3a)의 소스 터미널은 제1 노드(141a)와 연결되고, 제3 PMOS 트랜지스터(T3a)의 게이트 터미널에 피드백 신호(FBS)가 인가되고, 제3 PMOS 트랜지스터(T3a)의 드레인 터미널은 제1 PMOS 트랜지스터(T1a)의 소스 터미널에 제3 노드(143a)를 통해 연결된다. 제2 커패시터(C2a)의 제1 말단은 제1 노드(141a)와 연결되고, 제2 커패시터(C2a)의 제2 말단은 제1 PMOS 트랜지스터(T1a)의 게이트 터미널과 제2 노드(142a)를 통해 연결된다.

[0032] 제4 PMOS 트랜지스터(T4a)의 소스 터미널에 데이터 신호(DATA)가 인가되고, 제4 PMOS 트랜지스터(T4a)의 게이트 터미널에 스캔 신호(SCAN)가 인가되고, 제4 PMOS 트랜지스터(T4a)의 드레인 터미널은 제2 노드(142a)와 연결된다. 제5 PMOS 트랜지스터(T5a)의 소스 터미널은 제2 노드(142a)와 연결되고, 제5 PMOS 트랜지스터(T5a)의 게이트 터미널에 피드백 초기화 신호(FBIS)가 인가되고, 제5 PMOS 트랜지스터(T5a)의 드레인 터미널에 초기화 전압(VINIT)이 인가된다. 제6 PMOS 트랜지스터(T6a)의 소스 터미널에 전원 전압(ELVDD)이 인가되고, 제6 PMOS 트랜지스터(T6a)의 게이트 터미널에 인에이블 신호(ES)가 인가되고, 제6 PMOS 트랜지스터(T6a)의 드레인 터미널은 제3 노드(143a)에 연결된다. 제1 PMOS 트랜지스터(T1a)의 소스 터미널은 제3 노드(143a)와 연결되고, 제1 PMOS 트랜지스터(T1a)의 게이트 터미널은 제2 노드(142a)와 연결된다. 제7 PMOS 트랜지스터(T7a)의 소스 터미널은 제1 PMOS 트랜지스터(T1a)의 드레인 터미널에 연결되고, 제7 PMOS 트랜지스터(T7a)의 게이트 터미널에 인에이블 신호(ES)가 인가되고, 제7 PMOS 트랜지스터(T7a)의 드레인 터미널은 유기 발광 다이오드(130)의 제1 말단과 연결된다. 유기 발광 다이오드(130)의 제2 말단에 접지 전압(ELVSS)이 인가된다.

[0033] 제1 전류(i_{1a})는 유기 발광 다이오드(130)가 발광할 때 제1 PMOS 트랜지스터(T1a)의 소스 터미널에서 제1 PMOS 트랜지스터(T1a)의 드레인 터미널로 제1 PMOS 트랜지스터(T1a) 내에서 흐르는 전류이다. 제2 전류(i_{2a})는 피드백 신호(FBS)가 활성화된 경우 제3 노드(143a)에서 제1 노드(141a)로 제3 PMOS 트랜지스터(T3a)를 통해 흐르는 전류이다. 제2 전류(i_{2a})의 크기는 제1 전류(i_{1a})의 크기에 비례할 수 있다. 제2 커패시터(C2a)의 정전 용량(Capacitance)은 제1 커패시터(C1a)의 정전 용량보다 클 수 있다.

[0034] 제1 회로(150)는 제3 PMOS 트랜지스터(T3a) 및 제1 및 제2 커패시터들(C1a, C2a)을 포함한다. 제1 회로(150)의 동작에 대해 도 5 및 6을 참조하여 후술한다.

[0035] 도 3은 도 2의 열화 보상 픽셀 회로에 포함되는 제1 PMOS 트랜지스터의 열화를 나타내는 그래프이다.

[0036] 도 3을 참조하면, X 축은 도 1의 열화 보상 픽셀 회로(100)에 포함되는 제1 PMOS 트랜지스터(T1a)의 소스 터미널(143a)과 게이트 터미널(142a) 간의 전압(VGS)을 나타내고, Y 축은 제1 PMOS 트랜지스터(T1a)의 제1 전류(i_{1a})를 나타낸다.

[0037] 위 곡선이 제1 PMOS 트랜지스터(T1a)가 열화(DEGRADATION)되지 않은 경우의 소스 터미널(143a)과 게이트 터미널(142a) 간의 전압(VGS)과 제1 전류(i_{1a})의 관계를 나타낸다. 아래 곡선이 제1 PMOS 트랜지스터(T1a)가 열화된 경우의 소스 터미널(143a)과 게이트 터미널(142a) 간의 전압(VGS)과 제1 전류(i_{1a})의 관계를 나타낸다.

[0038] 제1 전압(v_{gs1})이 소스 터미널(143a)과 게이트 터미널(142a) 간의 전압(VGS)으로 인가된 경우, 열화되지 않은 제1 PMOS 트랜지스터(T1a)에는 제1 전류(i_{1a})로서 I_n 이 흐르고, 열화된 제1 PMOS 트랜지스터(T1a)에는 제1 전류(i_{1a})로서 I_n 보다 작은 I_d 가 흐른다.

[0039] 도 4는 도 2의 열화 보상 픽셀 회로의 동작을 나타내는 타이밍도이다.

[0040] 도 4를 참조하면, 피드백 초기화 신호(FBIS)가 활성화되는 제1 구간(211)에서 제2 커패시터(C2a)의 양 말단들

간의 제2 전압(V2a)은 기준 전압(VREF)과 초기화 전압(VINIT)의 차가 되도록 열화 보상 회로(120a)가 제2 커패시터(C2a)를 충전할 수 있다. 구동 회로(110a)는 스캔 신호(SCAN)가 활성화 된 제2 구간(212)에서 데이터 신호(DATA)에 응답하여 제1 커패시터(C1a)를 충전할 수 있다. 인에이블 신호(ES)가 활성화되는 제3 구간(213)에서 유기 발광 다이오드(130)가 발광할 수 있다.

[0041] 피드백 신호(FBS)와 인에이블 신호(ES)가 활성화되는 제4 구간(214)에서 제1 커패시터(C1a)와 제2 커패시터(C2a) 간의 제2 전류(i2a)를 통한 전하 분배에 의해 제1 전압(V1a)을 변경할 수 있다. 제4 구간(214)에서의 제1 커패시터(C1a)와 제2 커패시터(C2a) 간의 제2 전류(i2a)를 통한 전하 분배 과정을 도 5 및 6을 참조하여 자세히 후술한다.

[0042] 도 5 및 6은 도 2의 열화 보상 픽셀 회로에 포함되는 제1 회로의 등가 회로들이다.

[0043] 도 5는 제4 구간(214) 직전에 피드백 신호(FBS)가 활성화되지 않은 경우의 도 2의 열화 보상 픽셀 회로(100a)에 포함되는 제1 회로(150)의 제1 등가 회로를 나타낸다. 제3 PMOS 트랜지스터(T3a)의 소스 터미널과 제3 PMOS 트랜지스터(T3a)의 드레인 터미널은 개방되어 있다. 제1 구간(211)에서 제2 커패시터(C2a)의 양 말단들 간의 제2 전압(V2a)은 기준 전압 레벨(VREFL)에서 초기화 전압 레벨(VINITL)을 뺀 값(VREFL-VINITL)을 갖도록 제2 커패시터(C2a)는 충전되었고, 제2 구간(212)에서 제1 커패시터(C1a)의 양 말단들 간의 제1 전압(V1a)은 제1 전압 레벨(V1AL)을 갖도록 제1 커패시터(C1a)는 충전되었다.

[0044] 도 6은 피드백 신호(FBS)가 활성화된 제4 구간(214) 내에서의 도 2의 열화 보상 픽셀 회로(100a)에 포함되는 제1 회로(150)의 제2 등가 회로를 나타낸다. 제3 PMOS 트랜지스터(T3a)의 소스 터미널과 제3 PMOS 트랜지스터(T3a)의 드레인 터미널은 개방되어 있다. 도 5의 제1 커패시터(C1a)의 전하량($Q1 = C1a * (VREFL - VINITL)$)과 제2 커패시터(C2a)의 전하량($Q2 = C2a * V1AL$)의 총합은 도 6에서도 유지되고, 제1 전압(V1A)의 레벨과 제2 전압(V2A)의 레벨이 같아지도록 전하는 이동한다. 전하가 이동하는 상태를 과도 상태라 한다. 전하가 모두 이동한 상태를 정상 상태라 한다. 정상 상태의 경우의 제1 전압(V1A)의 레벨과 제2 전압(V2A)의 레벨이 모두 V2AL이 된다면, 전하량 유지에 관련한 식은 [수학식 1]과 같다. 일반적으로 V1AL보다 VREFL-VINITL이 작은 값을 감안한다면, 시간이 흐를수록 제1 전압(V1a)의 레벨은 V2AL로 떨어지는 것을 알 수 있다.

수학식 1

$$(C1a + C2a) * V2AL = C1a * (VREFL - VINITL) + C2a * V1AL$$

$$V2AL = C1a / (C1a + C2a) * (VREFL - VINITL) + C2a / (C1a + C2a) * V1AL$$

[0045]

[0046] 제4 구간(214)은 과도 상태를 벗어나지 않을 정도의 짧다. 제2 전류량(i2a)이 작아질수록 제1 전압(V1a)이 V2AL로 떨어지는 속도가 줄어들기 때문에, 제4 구간(214)이 끝난 지점에서의 제1 전압(V1a)의 크기는 상대적으로 커진다.

[0047] 열화되지 않은 제1 PMOS 트랜지스터(T1a)에 비해 열화된 제1 PMOS 트랜지스터(T1a)는 작은 제1 전류(i1a)를 가지고, 작아진 제1 전류(i1a)에 비례하여 제2 전류(i2a)도 작아진다. 따라서, 제4 구간(214)이 끝난 지점에서의 제1 전압(V1a)의 크기는 상대적으로 커지고, 제1 PMOS 트랜지스터(T1a)의 게이트 전압은 하강하여 제1 PMOS 트랜지스터(T1a)의 제1 전류량(i1a)은 늘어나도록 보상된다.

[0048] 도 7은 본 발명의 일 실시예에 따른 열화 보상 픽셀 회로를 나타내는 블록도이다.

[0049] 도 7을 참조하면, 열화 보상 픽셀 회로(100b)는 유기 발광 다이오드(130), 구동 회로(110b) 및 열화 보상 회로(120b)를 포함한다. 구동 회로(110b)는 제1 PMOS 트랜지스터(T1b), 제4 내지 제9 PMOS 트랜지스터들(T4b, T5b, T6b, T7b, T8b 및 T9b) 및 제1 커패시터(C1b)를 포함한다. 열화 보상 회로(120b)는 제2 및 제3 PMOS 트랜지스터들(T2b, T3b) 및 제2 커패시터(C2b)를 포함한다.

[0050] 제2 PMOS 트랜지스터(T2b)의 소스 터미널에 기준 전압(VREF)이 인가되고, 제2 PMOS 트랜지스터(T2b)의 게이트 터미널에 피드백 초기화 신호(FBIS)가 인가되고, 제2 PMOS 트랜지스터(T2b)의 드레인 터미널은 제1 노드(141b)에 연결된다. 제3 PMOS 트랜지스터(T3b)의 소스 터미널은 제1 노드(141b)와 연결되고, 제3 PMOS 트랜지스터

(T3b)의 게이트 터미널에 피드백 신호(FBS)가 인가되고, 제3 PMOS 트랜지스터(T3b)의 드레인 터미널은 제1 PMOS 트랜지스터(T1b)의 소스 터미널에 제2 노드(142a)를 통해 연결된다. 제2 커패시터(C2b)의 제1 말단은 제1 노드(141b)와 연결되고, 제2 커패시터(C2b)의 제2 말단은 제1 PMOS 트랜지스터(T1b)의 게이트 터미널과 제3 노드(143b)를 통해 연결된다.

[0051]

제4 PMOS 트랜지스터(T4b)의 소스 터미널에 데이터 신호(DATA)가 인가되고, 제4 PMOS 트랜지스터(T4b)의 게이트 터미널에 스캔 신호(SCAN)가 인가되고, 제4 PMOS 트랜지스터(T4b)의 드레인 터미널은 제2 노드(142b)에 연결된다. 제5 PMOS 트랜지스터(T5b)의 소스 터미널에 전원 전압(ELVDD)이 인가되고, 제5 PMOS 트랜지스터(T5b)의 게이트 터미널에 인에이블 신호(ES)가 인가되고, 제5 PMOS 트랜지스터(T5b)의 드레인 터미널은 제2 노드(142b)에 연결된다. 제6 PMOS 트랜지스터(T6b)의 소스 터미널에 전원 전압(ELVDD)이 인가되고, 제6 PMOS 트랜지스터(T6b)의 게이트 터미널에 초기화 신호(IS)가 인가되고, 제6 PMOS 트랜지스터(T6b)의 드레인 터미널은 제2 노드(142b)에 연결된다. 제1 PMOS 트랜지스터(T1b)의 소스 터미널은 제2 노드(142b)에 연결되고, 제1 PMOS 트랜지스터(T1b)의 게이트 터미널은 제3 노드(143b)와 연결되고, 제1 PMOS 트랜지스터(T1b)의 드레인 터미널은 제4 노드(144b)와 연결된다. 제7 PMOS 트랜지스터(T7b)의 소스 터미널은 제4 노드(144b)에 연결되고, 제7 PMOS 트랜지스터(T7b)의 게이트 터미널에 인에이블 신호(ES)가 인가되고, 제7 PMOS 트랜지스터(T7b)의 드레인 터미널은 유기 발광 다이오드(130)의 제1 말단과 연결된다. 제8 PMOS 트랜지스터(T8b)의 소스 터미널은 제4 노드(144b)에 연결되고, 제8 PMOS 트랜지스터(T8b)의 게이트 터미널에 스캔 신호(SCAN)가 인가되고, 제8 PMOS 트랜지스터(T8b)의 드레인 터미널은 제3 노드(143b)와 연결된다. 제9 PMOS 트랜지스터(T9b)의 소스 터미널은 제3 노드(143b)와 연결되고, 제9 PMOS 트랜지스터(T9b)의 게이트 터미널에 초기화 신호(IS)가 인가되고, 제9 PMOS 트랜지스터(T9b)의 드레인 터미널에 초기화 전압(VINIT)이 인가된다. 유기 발광 다이오드(130)의 제2 말단에 접지 전압(ELVSS)이 인가될 수 있다.

[0052]

도 8은 도 7의 열화 보상 픽셀 회로의 동작을 나타내는 타이밍도이다.

[0053]

도 8을 참조하면, 구동 회로(110b)는 초기화 신호(IS)가 활성화되는 제1 구간(311)에서 제3 노드(143b)의 전압을 초기화 전압(VINIT)으로 설정한다. 구동 회로(110b)는 스캔 신호(SCAN)가 활성화되는 제2 구간(312)에서 데이터 신호(DATA)에 응답하여 제1 커패시터(C1a)를 충전할 수 있고, 제1 PMOS 트랜지스터(T1b)의 문턱 전압 편차를 보상하도록 제1 전압(V1b)을 변경할 수 있다. 피드백 초기화 신호(FBIS)가 활성화되는 제3 구간(313)에서 제2 커패시터(C2b)의 양 말단들 간의 제2 전압(V2b)은 기준 전압(VREF)과 초기화 전압(VINIT)의 차가 되도록 열화 보상 회로(120b)가 제2 커패시터(C2b)를 충전할 수 있다. 인에이블 신호(ES)가 활성화되는 제4 구간(314)에서 유기 발광 다이오드(130)가 발광할 수 있다.

[0054]

피드백 신호(FBS)와 인에이블 신호(ES)가 활성화되는 제5 구간(315)에서 제1 커패시터(C1b)와 제2 커패시터(C2b) 간의 제2 전류(i2b)를 통한 전하 분배에 의해 제1 전압(V1b)을 변경할 수 있다. 제5 구간(315)에서의 제1 커패시터(C1b)와 제2 커패시터(C2b) 간의 제2 전류(i2b)를 통한 전하 분배 과정은 도 5 및 6을 참조하여 이해할 수 있다.

[0055]

도 9는 본 발명의 일 실시예에 따른 열화 보상 픽셀 회로를 나타내는 블록도이다.

[0056]

도 9를 참조하면, 열화 보상 픽셀 회로(100c)는 유기 발광 다이오드(130), 구동 회로(110c) 및 열화 보상 회로(120c)를 포함한다. 구동 회로(110c)는 제1 PMOS 트랜지스터(T1c), 제4 내지 제10 PMOS 트랜지스터들(T4c, T5c, T6c, T7c, T8c, T9c 및 T10c) 및 제1 및 제2 커패시터들(C1c, C3c)을 포함한다. 열화 보상 회로(120c)는 제2 및 제3 PMOS 트랜지스터들(T2c, T3c) 및 제2 커패시터(C2c)를 포함한다.

[0057]

제2 PMOS 트랜지스터(T2c)의 소스 터미널에 기준 전압(VREF)이 인가되고, 제2 PMOS 트랜지스터(T2c)의 게이트 터미널에 피드백 초기화 신호(FBIS)가 인가되고, 제2 PMOS 트랜지스터(T2c)의 드레인 터미널은 제1 노드(141c)에 연결된다. 제3 PMOS 트랜지스터(T3c)의 소스 터미널은 제1 노드(141c)와 연결되고, 제3 PMOS 트랜지스터(T3c)의 게이트 터미널에 피드백 신호(FBS)가 인가되고, 제3 PMOS 트랜지스터(T3c)의 드레인 터미널은 제1 PMOS 트랜지스터(T1c)의 소스 터미널에 제3 노드(143a)를 통해 연결된다. 제2 커패시터(C2c)의 제1 말단은 제1 노드(141c)와 연결되고, 제2 커패시터(C2c)의 제2 말단은 제1 PMOS 트랜지스터(T1c)의 게이트 터미널과 제4 노드(144c)를 통해 연결된다.

[0058]

제4 PMOS 트랜지스터(T4c)의 소스 터미널에 데이터 신호(DATA)가 인가되고, 제4 PMOS 트랜지스터(T4c)의 게이트 터미널에 스캔 신호(SCAN)가 인가되고, 제4 PMOS 트랜지스터(T4c)의 드레인 터미널은 제2 노드(142c)에 연결된다. 제3 커패시터(C3c)의 제1 말단은 제2 노드(142c)에 연결되고, 제3 커패시터(C3c)의 제2 말단에 초기화 전압

(VINIT)이 인가된다. 제5 PMOS 트랜지스터(T5c)의 소스 터미널은 제2 노드(142c)에 연결되고, 제5 PMOS 트랜지스터(T5c)의 게이트 터미널에 보상 신호(WS)가 인가되고, 제5 PMOS 트랜지스터(T5c)의 드레인 터미널은 제3 노드(143c)에 연결된다. 제6 PMOS 트랜지스터(T6c)의 소스 터미널에 전원 전압(ELVDD)이 인가되고, 제6 PMOS 트랜지스터(T6c)의 게이트 터미널에 인에이블 신호(ES)가 인가되고, 제6 PMOS 트랜지스터(T6c)의 드레인 터미널은 제3 노드(143c)에 연결된다. 제7 PMOS 트랜지스터(T7c)의 소스 터미널에 전원 전압(ELVDD)이 인가되고, 제7 PMOS 트랜지스터(T7c)의 게이트 터미널에 초기화 신호(IS)가 인가되고, 제7 PMOS 트랜지스터(T7c)의 드레인 터미널은 제3 노드(143c)에 연결된다. 제1 PMOS 트랜지스터(T1c)의 소스 터미널은 제3 노드(143c)에 연결되고, 제1 PMOS 트랜지스터(T1c)의 게이트 터미널은 제4 노드(144c)와 연결되고, 제1 PMOS 트랜지스터(T1c)의 드레인 터미널은 제5 노드(145c)와 연결된다. 제8 PMOS 트랜지스터(T8c)의 소스 터미널은 제5 노드(145c)에 연결되고, 제8 PMOS 트랜지스터(T8c)의 게이트 터미널에 인에이블 신호(ES)가 인가되고, 제8 PMOS 트랜지스터(T8c)의 드레인 터미널은 유기 발광 다이오드(130)의 제1 말단과 연결된다. 제9 PMOS 트랜지스터(T9c)의 소스 터미널은 제5 노드(145c)에 연결되고, 제9 PMOS 트랜지스터(T9c)의 게이트 터미널에 보상 신호(WS)가 인가되고, 제9 PMOS 트랜지스터(T9c)의 드레인 터미널은 제4 노드(144c)와 연결된다. 제10 PMOS 트랜지스터(T10c)의 소스 터미널은 제4 노드(144c)와 연결되고, 제10 PMOS 트랜지스터(T10c)의 게이트 터미널에 초기화 신호(IS)가 인가되고, 제10 PMOS 트랜지스터(T10c)의 드레인 터미널에 초기화 전압(VINIT)이 인가된다. 유기 발광 다이오드(130)의 제2 말단에 접지 전압(ELVSS)이 인가될 수 있다.

[0059] 도 10은 도 9의 열화 보상 픽셀 회로의 동작을 나타내는 타이밍도이다.

[0060] 도 10을 참조하면, 구동 회로(110c)는 스캔 신호(SCAN)가 활성화되는 제1 구간(411)에서 제1 프레임의 데이터 신호(DATA)에 응답하여 제3 커패시터(C3c)를 충전할 수 있다. 인에이블 신호(ES)가 비활성화되는 제1 시점(412)에서 제1 프레임 영상의 발광은 멈춘다.

[0061] 구동 회로(110c)는 초기화 신호(IS)가 활성화되는 제2 구간(413)에서 제4 노드(144c)의 전압을 초기화 전압(VINIT)으로 설정한다. 구동 회로(110c)는 보상 신호(WS)가 활성화되는 제3 구간(414)에서 제3 커패시터(C3c)의 전압에 기초하여 제1 커패시터(C1c)를 충전하고, 제1 PMOS 트랜지스터(T1c)의 문턱 전압 편차를 보상하도록 제1 전압(V1c)을 변경할 수 있다. 피드백 초기화 신호(FBIS)가 활성화되는 제4 구간(415)에서 제2 커패시터(C2c)의 양 말단들 간의 제2 전압(V2c)은 기준 전압(VREF)과 초기화 전압(VINIT)의 차가 되도록 열화 보상 회로(120c)가 제2 커패시터(C2c)를 충전할 수 있다. 인에이블 신호(ES)가 활성화되는 제5 구간(416)에서 유기 발광 다이오드(130)가 제1 커패시터(C1c)의 전압에 응답하여 발광할 수 있다.

[0062] 피드백 신호(FBS)와 인에이블 신호(ES)가 활성화되는 제6 구간(417)에서 제1 커패시터(C1c)와 제2 커패시터(C2c) 간의 제2 전류(i2c)를 통한 전하 분배에 의해 제1 전압(V1c)을 변경할 수 있다. 제6 구간(417)에서의 제1 커패시터(C1c)와 제2 커패시터(C2c) 간의 제2 전류(i2c)를 통한 전하 분배 과정은 도 5 및 6을 참조하여 이해할 수 있다.

[0063] 구동 회로(110c)는 스캔 신호(SCAN)가 활성화되는 제7 구간(418)에서 제2 프레임의 데이터 신호(DATA)에 응답하여 제3 커패시터(C3c)를 충전할 수 있다.

[0064] 도 11은 본 발명의 일 실시예에 따른 열화 보상 픽셀 회로를 포함하는 유기 발광 다이오드 표시 장치를 나타내는 블록도이다.

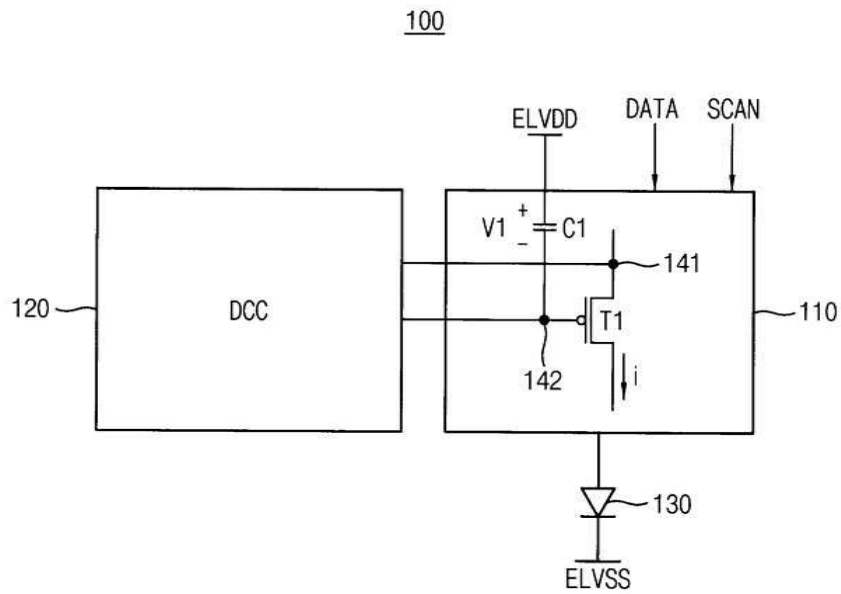
[0065] 도 11을 참조하면, 유기 발광 다이오드 표시 장치(500)는 타이밍 제어부(550), 표시 패널(520), 데이터 구동부(510), 스캔 구동부(540) 및 전력 제어부(530)를 포함한다. 타이밍 제어부(550)는 입력 영상 데이터 신호(R, G, B)에 기초하여 데이터 구동부 제어 신호(DCS) 및 스캔 구동부 제어 신호(SCS)를 생성한다. 표시 패널(520)은 복수의 열화 보상 픽셀 회로들(521)을 포함한다. 데이터 구동부(510)는 데이터 구동부 제어 신호(DCS)에 기초하여 데이터 신호들을 생성하고, 상기 데이터 신호들을 각각 복수의 데이터 라인들(D1, D2 내지 DN)을 통해 복수의 열화 보상 픽셀 회로들(521)에 제공한다. 스캔 구동부(540)는 스캔 구동부 제어 신호(SCS)에 기초하여 스캔 신호들을 생성하고, 상기 스캔 신호들을 각각 복수의 스캔 라인들(S1, S2 내지 SM)을 통해 복수의 열화 보상 픽셀 회로들(521)에 제공한다. 전력 제어부(530)는 표시 패널(520)을 구동하기 위해 표시 패널(520)에 전원 전압(ELVDD) 및 접지 전압(ELVSS)을 제공한다.

[0066] 복수의 열화 보상 픽셀 회로들(521)의 각각은 도 1, 2, 7 및 9의 열화 보상 픽셀 회로들(100, 100a, 100b 및 100c) 중 하나일 수 있다. 복수의 열화 보상 픽셀 회로들(521)은 도 1 내지 10을 참조하여 이해할 수 있으므로 설명을 생략한다.

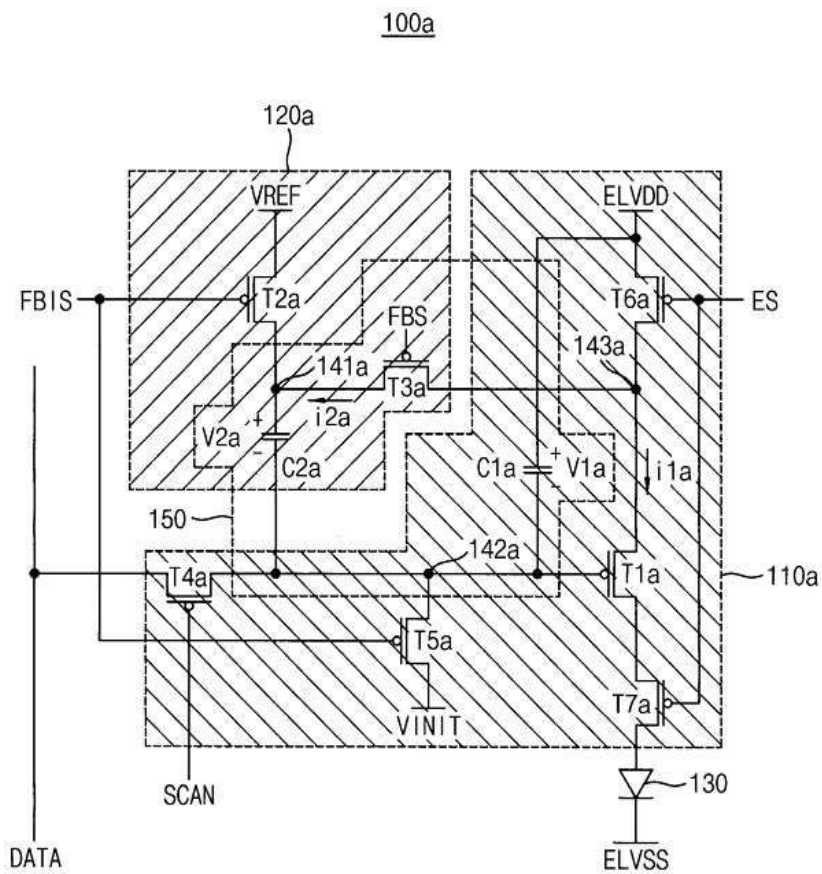
- [0067] 도 12는 본 발명의 일 실시예에 따른 유기 발광 다이오드 표시 장치를 포함하는 전자 기기를 나타내는 블록도이다.
- [0068] 도 12를 참조하면, 전자 기기(600)는 프로세서(610), 메모리 장치(620), 저장 장치(630), 입출력 장치(640), 파워 서플라이(650) 및 표시 장치(660)를 포함할 수 있다. 전자 기기(600)는 비디오 카드, 사운드 카드, 메모리 카드, USB 장치 등과 통신하거나, 또는 다른 시스템들과 통신할 수 있는 여러 포트(port)들을 더 포함할 수 있다. 한편, 전자 기기(600)는 스마트폰으로 구현될 수 있으나, 전자 기기(600)가 그에 한정되는 것은 아니다.
- [0069] 프로세서(610)는 특정 계산들 또는 태스크(task)들을 수행할 수 있다. 실시예에 따라, 프로세서(610)는 마이크로프로세서(microprocessor), 중앙 처리 장치(CPU) 등일 수 있다. 프로세서(310)는 어드레스 버스(address bus), 제어 버스(control bus) 및 데이터 버스(data bus) 등을 통하여 다른 구성 요소들에 연결될 수 있다. 실시예에 따라서, 프로세서(310)는 주변 구성요소 상호연결(Peripheral Component Interconnect; PCI) 버스와 같은 확장 버스에도 연결될 수 있다.
- [0070] 메모리 장치(620)는 전자 기기(600)의 동작에 필요한 데이터들을 저장할 수 있다. 예를 들어, 메모리 장치(620)는 EPROM(Erasable Programmable Read-Only Memory), EEPROM(Electrically Erasable Programmable Read-Only Memory), 플래시 메모리(Flash Memory), PRAM(Phase Change Random Access Memory), RRAM(Resistance Random Access Memory), NFGM(Nano Floating Gate Memory), PoRAM(Polymer Random Access Memory), MRAM(Magnetic Random Access Memory), FRAM(Ferroelectric Random Access Memory) 등과 같은 비휘발성 메모리 장치 및/또는 DRAM(Dynamic Random Access Memory), SRAM(Static Random Access Memory), 모바일 DRAM 등과 같은 휘발성 메모리 장치를 포함할 수 있다.
- [0071] 저장 장치(630)는 솔리드 스테이트 드라이브(Solid State Drive; SSD), 하드 디스크 드라이브(Hard Disk Drive; HDD), 씨디롬(CD-ROM) 등을 포함할 수 있다. 입출력 장치(640)는 키보드, 키패드, 터치패드, 터치스크린, 마우스 등과 같은 입력 수단, 및 스피커, 프린터 등과 같은 출력 수단을 포함할 수 있다. 파워 서플라이(650)는 전자 기기(600)의 동작에 필요한 파워를 공급할 수 있다. 표시 장치(660)는 상기 버스들 또는 다른 통신 링크를 통해서 다른 구성 요소들에 연결될 수 있다.
- [0072] 표시 장치(660)는 도 11의 유기 발광 다이오드 표시 장치(500)일 수 있다. 유기 발광 다이오드 표시 장치(500)에 대하여 도 1 내지 11을 참조하여 이해할 수 있으므로 설명을 생략한다.
- [0073] 실시예에 따라, 전자 기기(600)는 디지털 TV(Digital Television), 3D TV, 개인용 컴퓨터(Personal Computer; PC), 가정용 전자기기, 노트북 컴퓨터(Laptop Computer), 태블릿 컴퓨터(Table Computer), 휴대폰(Mobile Phone), 스마트폰(Smart Phone), 개인 정보 단말기(personal digital assistant; PDA), 휴대형 멀티미디어 플레이어(portable multimedia player; PMP), 디지털 카메라(Digital Camera), 음악 재생기(Music Player), 휴대용 게임 콘솔(portable game console), 네비게이션(Navigation) 등과 같은 표시 장치(660)를 포함하는 임의의 전자 기기일 수 있다.
- 산업상 이용가능성**
- [0074] 본 발명은 유기 발광 표시 장치 및 이를 구비한 전자 기기에 다양하게 적용될 수 있다. 예를 들어, 본 발명은 모니터, 텔레비전, 컴퓨터, 노트북, 디지털 카메라, 휴대폰, 스마트폰, 스마트패드, 피디에이(PDA), 피엠펜(PMP), MP3 플레이어, 네비게이션 시스템, 캠코더 등에 적용될 수 있다.
- [0075] 이상에서는 본 발명의 예시적인 실시예들을 참조하여 설명하였지만, 해당 기술 분야에서 통상의 지식을 가진 자라면 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

도면

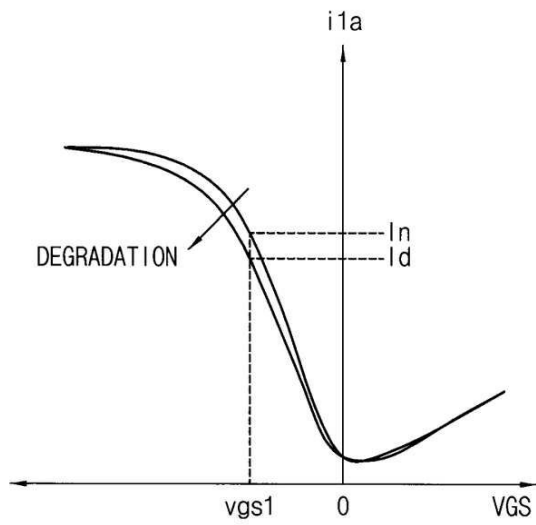
도면1



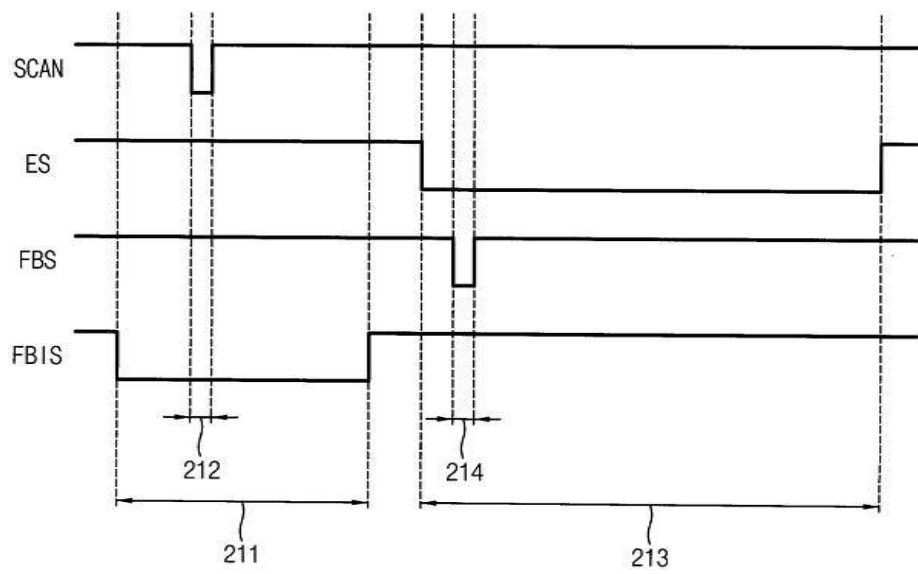
도면2



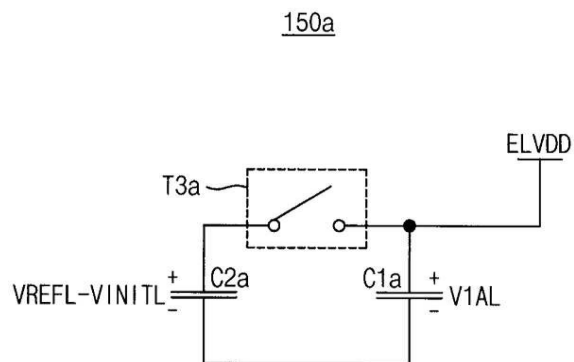
도면3



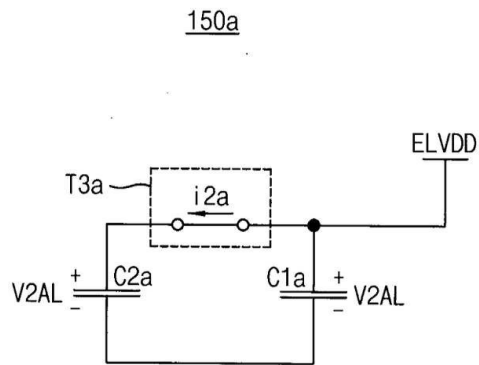
도면4



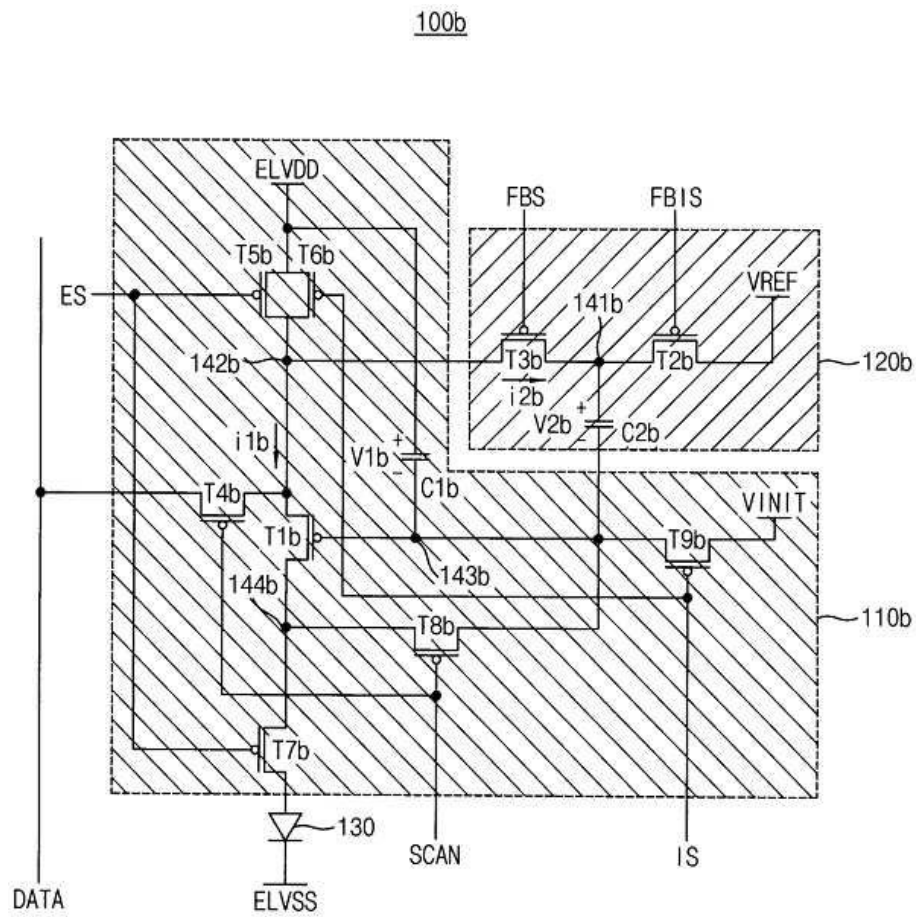
도면5



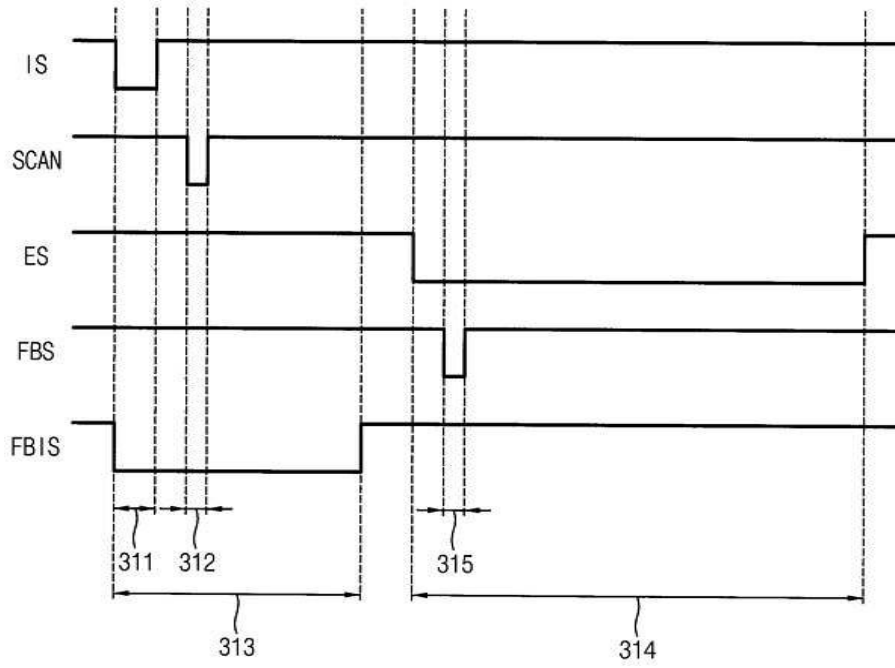
도면6



도면7

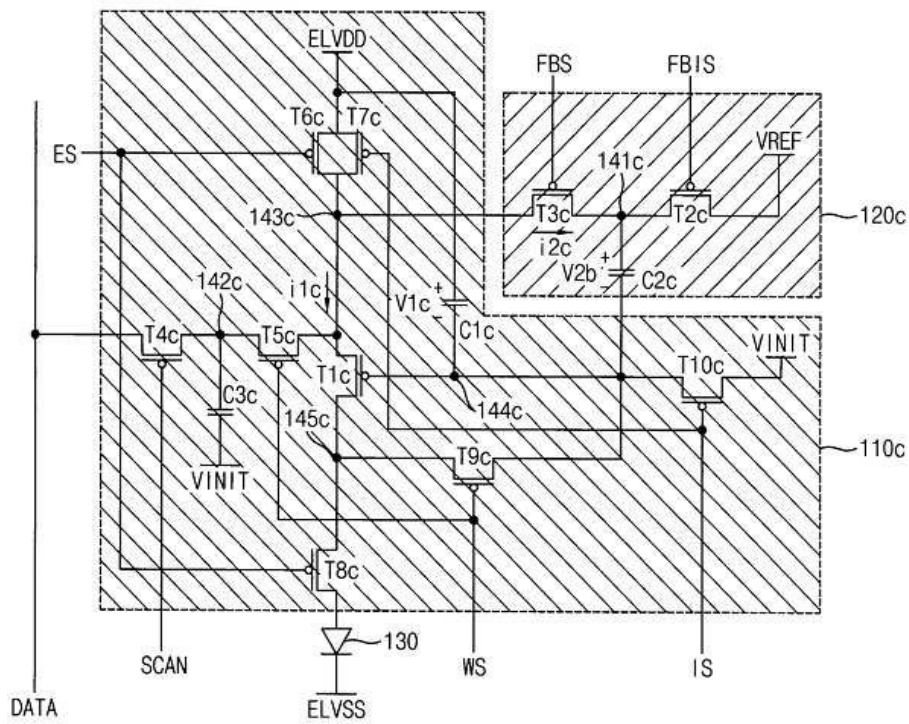


도면8

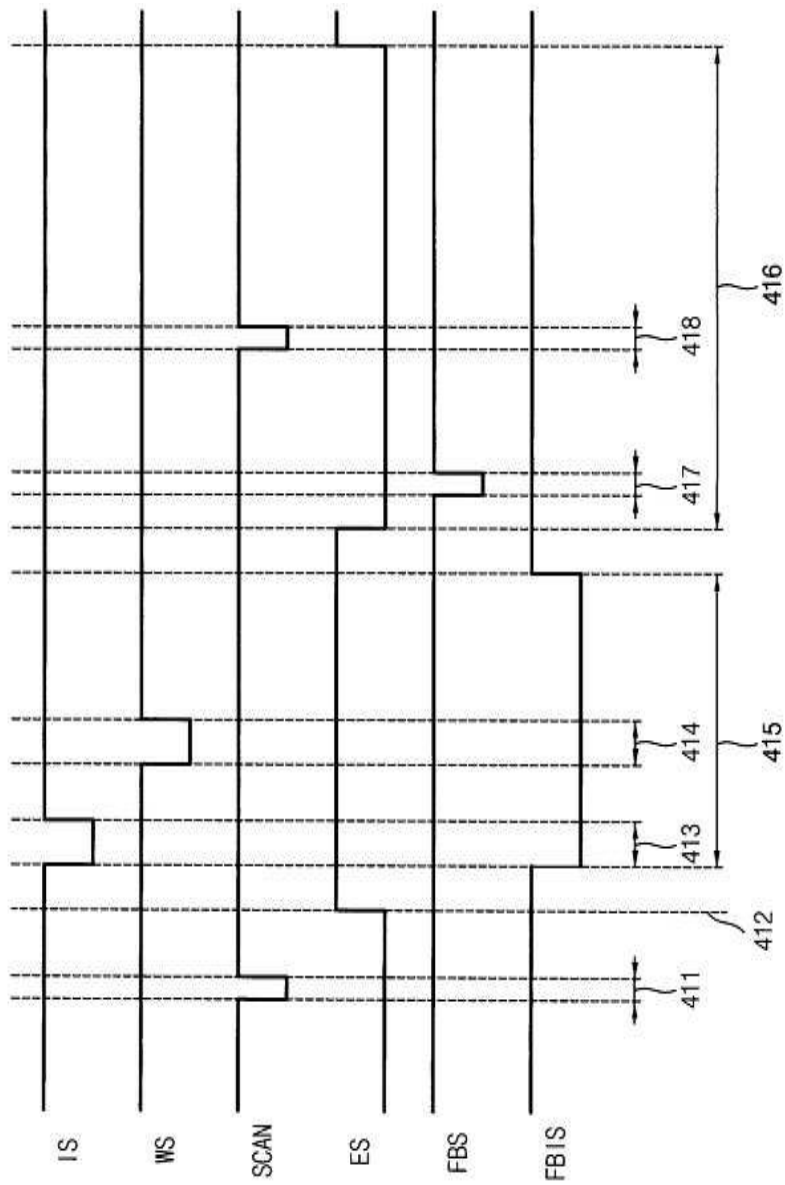


도면9

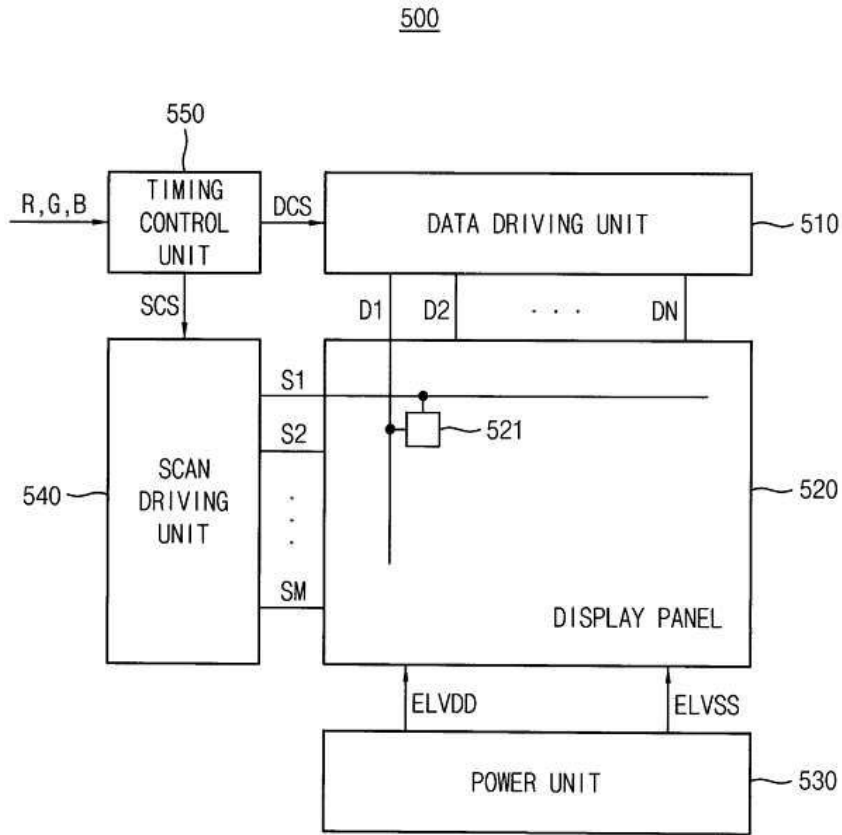
100c



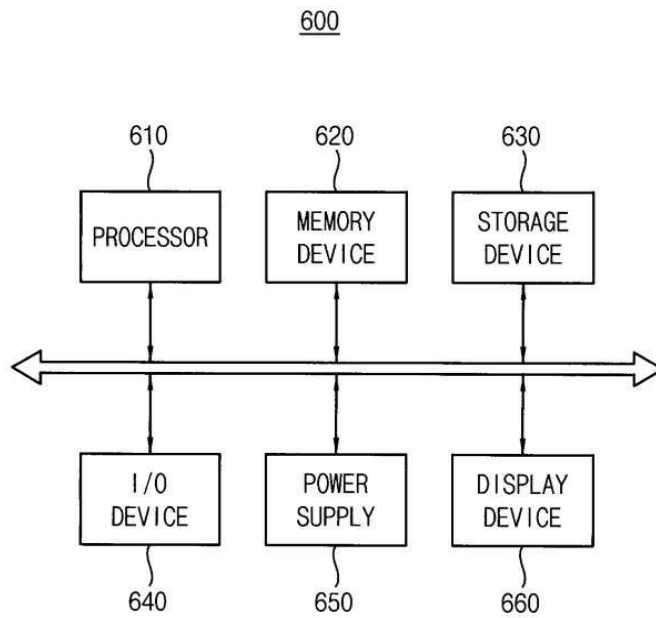
도면10



도면11



도면12



专利名称(译)	标题：劣化补偿像素电路和包括其的有机发光二极管显示器		
公开(公告)号	KR1020160028624A	公开(公告)日	2016-03-14
申请号	KR1020140117287	申请日	2014-09-03
[标]申请(专利权)人(译)	SAMSUNG DISPLAY CO.LTD삼성디스플레이		
申请(专利权)人(译)	三星DISPLAY CO. , LTD. 삼성디스플레이주식회사		
当前申请(专利权)人(译)	三星DISPLAY CO. , LTD. 삼성디스플레이주식회사		
[标]发明人	LEE TAK YOUNG 이탁영 PARK YONG SUNG 박용성 HWANG YOUNG IN 황영인 KANG CHUL KYU 강철규 이탁영 박용성 강철규		
发明人	이탁영 박용성 강철규		
IPC分类号	G09G3/32 H01L27/32		
CPC分类号	G09G5/18 G09G3/3233 G09G2300/0852 G09G2300/0861 G09G2310/0251 G09G2310/0262 G09G2320/046		
代理人(译)	英西湖公园		
外部链接	Espacenet		

摘要(译)

劣化补偿像素电路包括有机发光二极管，驱动电路和劣化补偿电路。驱动电路包括第一电容器 还有第一个PMOS晶体管。响应于数据信号和扫描信号对第一电容器充电。第一 PMOS晶体管基于第一电容器的两个端子之间的第一电压来驱动有机发光二极管。第一个 电源电压施加到通过滤波器的第一端，第一电容器的第二端连接到第一PMOS晶体管的栅极端子 它连接。劣化补偿电路连接到第一PMOS晶体管的源极端子和第一 PMOS晶体管的栅极端子， 每个连接。劣化补偿电路被配置为基于第一 PMOS晶体管的第一电流来调整第一电压改变它。

