

명세서

청구범위

청구항 1

디스플레이영역과 디스플레이영역 외측의 구동영역을 갖는 기관;

상기 기관의 구동영역 상에 배치되는 복수개의 박막트랜지스터들;

상기 복수개의 박막트랜지스터들을 덮는 제1절연막;

상기 복수개의 박막트랜지스터들 상부에 위치하도록 상기 제1절연막 상에 배치되고, 상기 복수개의 박막트랜지스터들 사이에 대응하도록 상기 제1절연막 상에서 상호 이격되어 위치하는, 복수개의 도전층들;

상기 복수개의 도전층들 사이의 공간을 덮는, 제2절연막; 및

상기 기관의 디스플레이영역과 구동영역에 대응하며, 상기 제2절연막을 덮고, 상기 도전층들 중 적어도 일부에 접촉하는, 대향전극;

을 구비하는, 유기발광 디스플레이 장치.

청구항 2

제1항에 있어서,

상기 복수개의 박막트랜지스터들 각각은, 반도체층, 게이트전극, 소스전극 및 드레인전극을 포함하고,

상기 제2절연막은 상기 반도체층에 대응하도록 배치되는, 유기발광 디스플레이 장치.

청구항 3

제1항에 있어서,

상기 제2절연막은 상기 복수개의 도전층들 각각의 일부를 노출시키는, 유기발광 디스플레이 장치.

청구항 4

제3항에 있어서,

상기 대향전극은, 상기 복수개의 도전층들 각각의 상기 제2절연막에 의해 노출된 부분과 접촉하는, 유기발광 디스플레이 장치.

청구항 5

제1항에 있어서,

상기 제1절연막은 상기 기관의 디스플레이영역과 구동영역에 걸쳐 위치하고,

상기 기관의 디스플레이영역에서 상기 제1절연막 상에 위치하는 복수개의 화소전극들과, 상기 복수개의 화소전극들 상의 발광층을 포함하는 중간층을 더 포함하며,

상기 대향전극은 상기 복수개의 화소전극들에 대응하고,

상기 복수개의 도전층들은 상기 화소전극과 동일물질을 포함하는, 유기발광 디스플레이 장치.

청구항 6

제5항에 있어서,

상기 복수개의 화소전극들 각각의 중앙부가 노출되도록 상기 복수개의 화소전극들 각각의 가장자리를 덮는 화소정의막을 더 구비하고,

상기 제2절연막은 상기 화소정의막과 일체(一體)인, 유기발광 디스플레이 장치.

청구항 7

디스플레이영역과 디스플레이영역 외측의 구동영역을 갖는 기판을 준비하는 단계;

기판의 구동영역 상에 복수개의 박막트랜지스터들을 형성하는 단계;

복수개의 박막트랜지스터들을 덮도록 제1절연막을 형성하는 단계;

복수개의 박막트랜지스터들 상부에 위치하도록 제1절연막 상에 형성되고, 복수개의 박막트랜지스터들 사이에 대응하며 제1절연막 상에 상호 이격되도록, 복수개의 도전층들을 형성하는 단계;

복수개의 도전층들 사이의 공간을 덮도록 제2절연막을 형성하는 단계; 및

기판의 디스플레이영역과 구동영역에 대응하며, 제2절연막을 덮고, 도전층들 중 적어도 일부에 접촉하도록, 대향전극을 형성하는 단계;

를 포함하는, 유기발광 디스플레이 장치의 제조방법.

청구항 8

제7항에 있어서,

상기 복수개의 박막트랜지스터들을 형성하는 단계는,

기판의 구동영역 상에 반도체층을 형성하는 단계;

반도체층 상에 게이트전극을 형성하는 단계;

게이트전극 상에 소스전극 및 드레인전극을 형성하는 단계;

를 포함하고,

제2절연막은 반도체층에 대응하도록 형성되는, 유기발광 디스플레이 장치의 제조방법.

청구항 9

제7항에 있어서,

상기 제2절연막을 형성하는 단계는, 복수개의 도전층들 각각의 일부를 노출시키는 단계인, 유기발광 디스플레이 장치의 제조방법.

청구항 10

제9항에 있어서,

상기 대향전극을 형성하는 단계는, 복수개의 도전층들 각각의 제2절연막에 의해 노출된 부분과 접촉하도록 형성하는 단계인, 유기발광 디스플레이 장치의 제조방법.

청구항 11

제7항에 있어서,

상기 제1절연막을 형성하는 단계는, 제1절연막은 기판의 디스플레이영역과 구동영역에 걸쳐 형성하고,

기판의 디스플레이영역에서 제1절연막 상에 형성하는 복수개의 화소전극들을 형성하는 단계와, 복수개의 화소전극들 상의 발광층을 포함하는 중간층을 형성하는 단계를 더 포함하며,

상기 대향전극을 형성하는 단계는, 대향전극은 상기 복수개의 화소전극들에 대응하도록 형성하고,

상기 복수개의 도전층들을 형성하는 단계는, 상기 화소전극을 형성하는 단계와 동시에 형성하는 단계인, 유기발광 디스플레이 장치의 제조방법.

청구항 12

제11항에 있어서,

복수개의 화소전극들 각각의 중앙부가 노출되도록 복수개의 화소전극들 각각의 가장자리를 덮도록 화소정의막을 형성하는 단계를 더 포함하고,

상기 제2절연막을 형성하는 단계는 상기 화소정의막을 형성하는 단계와 동시에 진행되는 단계인, 유기발광 디스플레이 장치의 제조방법.

발명의 설명

기술 분야

[0001] 본 발명은 유기발광 디스플레이 장치 및 그 제조방법에 관한 것으로서, 더 상세하게는 열 발생에 의한 구동부의 손상을 방지할 수 있는, 유기발광 디스플레이 장치 및 그 제조방법에 관한 것이다.

배경 기술

[0002] 디스플레이 장치들 중, 유기발광 디스플레이 장치는 시야각이 넓고 콘트라스트가 우수할 뿐만 아니라 응답속도가 빠르다는 장점을 가지고 있어 차세대 디스플레이 장치로서 주목을 받고 있다.

[0003] 일반적으로 유기발광 디스플레이 장치는 기판 상에 박막트랜지스터를 포함한 유기발광소자들을 포함하고, 유기발광소자들이 형성된 영역은 유기발광 디스플레이 장치의 디스플레이영역이 된다. 이러한 디스플레이영역 외측에는 박막트랜지스터를 포함한 구동영역이 형성된다. 이때 유기발광 디스플레이 장치의 구동영역에 아웃개싱(out-gassing)을 위한 아웃개싱홀이 형성되고 아웃개싱홀을 덮는 절연층이 배치된다.

발명의 내용

해결하려는 과제

[0004] 그러나 이러한 종래의 유기발광 디스플레이 장치 및 그 제조방법에는, 유기발광 디스플레이 장치의 구동영역 상에 화소전극과 대향전극이 접촉하는 부분의 접촉 저항에 의해 발생하는 열에 의해 구동영역의 박막트랜지스터가 손상되는 문제점이 존재하였다.

[0005] 본 발명은 상기와 같은 문제점을 포함하여 여러 문제점들을 해결하기 위한 것으로서, 열 발생에 의한 구동부의 손상을 방지할 수 있는, 유기발광 디스플레이 장치 및 그 제조방법을 제공하는 것을 목적으로 한다. 그러나 이러한 과제는 예시적인 것으로, 이에 의해 본 발명의 범위가 한정되는 것은 아니다.

과제의 해결 수단

[0006] 본 발명의 일 관점에 따르면, 디스플레이영역과 디스플레이영역 외측의 구동영역을 갖는 기판, 상기 기판의 구동영역 상에 배치되는 복수개의 박막트랜지스터들, 상기 복수개의 박막트랜지스터들을 덮는 제1절연막, 상기 복수개의 박막트랜지스터들 상부에 위치하도록 상기 제1절연막 상에 배치되고, 상기 복수개의 박막트랜지스터들 사이에 대응하도록 상기 제1절연막 상에서 상호 이격되어 위치하는, 복수개의 도전층들, 상기 복수개의 도전층들 사이의 공간을 덮는, 제2절연막 및 상기 기판의 디스플레이영역과 구동영역에 대응하며, 상기 제2절연막을 덮고, 상기 도전층들 중 적어도 일부에 접촉하는, 대향전극을 구비하는, 유기발광 디스플레이 장치가 제공된다.

[0007] 상기 복수개의 박막트랜지스터들 각각은, 반도체층, 게이트전극, 소스전극 및 드레인전극을 포함하고, 상기 제2절연막은 상기 반도체층에 대응하도록 배치될 수 있다.

[0008] 상기 제2절연막은 상기 복수개의 도전층들 각각의 일부를 노출시킬 수 있다.

[0009] 상기 대향전극은, 상기 복수개의 도전층들 각각의 상기 제2절연막에 의해 노출된 부분과 접촉할 수 있다.

[0010] 상기 제1절연막은 상기 기판의 디스플레이영역과 구동영역에 걸쳐 위치하고,

[0011] 상기 기판의 디스플레이영역에서 상기 제1절연막 상에 위치하는 복수개의 화소전극들과, 상기 복수개의 화소전극들 상의 발광층을 포함하는 중간층을 더 포함하며, 상기 대향전극은 상기 복수개의 화소전극들에 대응하고, 상기 복수개의 도전층들은 상기 화소전극과 동일물질을 포함할 수 있다.

- [0012] 상기 복수개의 화소전극들 각각의 중앙부가 노출되도록 상기 복수개의 화소전극들 각각의 가장자리를 덮는 화소정의막을 더 구비하고, 상기 제2절연막은 상기 화소정의막과 일체(一體)일 수 있다.
- [0013] 본 발명의 다른 관점에 따르면, 디스플레이영역과 디스플레이영역 외측의 구동영역을 갖는 기판을 준비하는 단계, 기판의 구동영역 상에 복수개의 박막트랜지스터들을 형성하는 단계, 복수개의 박막트랜지스터들을 덮도록 제1절연막을 형성하는 단계, 복수개의 박막트랜지스터들 상부에 위치하도록 제1절연막 상에 형성되고, 복수개의 박막트랜지스터들 사이에 대응하며 제1절연막 상에 상호 이격되도록, 복수개의 도전층들을 형성하는 단계, 복수개의 도전층들 사이의 공간을 덮도록 제2절연막을 형성하는 단계 및 기판의 디스플레이영역과 구동영역에 대응하며, 제2절연막을 덮고, 도전층들 중 적어도 일부에 접촉하도록, 대향전극을 형성하는 단계를 포함하는, 유기발광 디스플레이 장치의 제조방법이 제공된다.
- [0014] 상기 복수개의 박막트랜지스터들을 형성하는 단계는, 기판의 구동영역 상에 반도체층을 형성하는 단계, 반도체층 상에 게이트전극을 형성하는 단계, 게이트전극 상에 소스전극 및 드레인전극을 형성하는 단계를 포함하고, 제2절연막은 반도체층에 대응하도록 형성될 수 있다.
- [0015] 상기 제2절연막을 형성하는 단계는, 복수개의 도전층들 각각의 일부를 노출시키는 단계일 수 있다.
- [0016] 상기 대향전극을 형성하는 단계는, 복수개의 도전층들 각각의 제2절연막에 의해 노출된 부분과 접촉하도록 형성하는 단계일 수 있다.
- [0017] 상기 제1절연막을 형성하는 단계는, 제1절연막은 기판의 디스플레이영역과 구동영역에 걸쳐 형성하고, 기판의 디스플레이영역에서 제1절연막 상에 형성하는 복수개의 화소전극들을 형성하는 단계와, 복수개의 화소전극들 상의 발광층을 포함하는 중간층을 형성하는 단계를 더 포함하며, 상기 대향전극을 형성하는 단계는, 대향전극은 상기 복수개의 화소전극들에 대응하도록 형성하고, 상기 복수개의 도전층들을 형성하는 단계는, 상기 화소전극을 형성하는 단계와 동시에 형성하는 단계일 수 있다.
- [0018] 복수개의 화소전극들 각각의 중앙부가 노출되도록 복수개의 화소전극들 각각의 가장자리를 덮도록 화소정의막을 형성하는 단계를 더 포함하고, 상기 제2절연막을 형성하는 단계는 상기 화소정의막을 형성하는 단계와 동시에 진행되는 단계일 수 있다.

발명의 효과

- [0019] 상기한 바와 같이 이루어진 본 발명의 일 실시예에 따르면, 열 발생에 의한 구동부의 손상을 방지할 수 있는, 유기발광 디스플레이 장치 및 그 제조방법을 구현할 수 있다. 물론 이러한 효과에 의해 본 발명의 범위가 한정되는 것은 아니다.

도면의 간단한 설명

- [0020] 도 1은 본 발명의 일 실시예에 관한 유기발광 디스플레이 장치를 개략적으로 도시하는 평면도이다.
- 도 2은 도 1의 II-II 선을 따라 취한 단면도이다.
- 도 3 내지 도 5는 본 발명의 일 실시예에 관한 유기발광 디스플레이 장치의 제조방법의 공정들을 개략적으로 도시하는 단면도들이다.

발명을 실시하기 위한 구체적인 내용

- [0021] 이하, 첨부된 도면들을 참조하여 본 발명의 실시예를 상세히 설명하면 다음과 같다. 그러나 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있는 것으로, 이하의 실시예는 본 발명의 개시가 완전하도록 하며, 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다. 또한 설명의 편의를 위하여 도면에서는 구성 요소들이 그 크기가 과장 또는 축소될 수 있다. 예컨대, 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로, 본 발명이 반드시 도시된 바에 한정되지 않는다.
- [0022] 이하의 실시예에서, x축, y축 및 z축은 직교 좌표계 상의 세 축으로 한정되지 않고, 이를 포함하는 넓은 의미로 해석될 수 있다. 예를 들어, x축, y축 및 z축은 서로 직교할 수도 있지만, 서로 직교하지 않는 서로 다른 방향을 지칭할 수도 있다.
- [0023] 한편, 층, 막, 영역, 판 등의 각종 구성요소가 다른 구성요소 "상에" 있다고 할 때, 이는 다른 구성요소 "바로

상에" 있는 경우뿐 아니라 그 사이에 다른 구성요소가 개재된 경우도 포함한다.

- [0024] 도 1은 본 발명의 일 실시예에 관한 유기발광 디스플레이 장치를 개략적으로 도시하는 평면도이고, 도 2은 도 1의 II-II 선을 따라 취한 단면도이다. 도 1에 도시된 것과 같이, 본 실시예에 따른 유기발광 디스플레이 장치(1)는 기판(100) 상에 유기발광소자(200)를 포함하는 소정의 디스플레이영역을 갖고, 이 디스플레이영역(DA) 외측에 구동영역(PA)을 가질 수 있다. 디스플레이영역(DA)의 외측에 위치한 구동영역(PA)에는 디스플레이영역(DA)의 박막트랜지스터(TFT1) 등에 신호를 입력하는 수직회로부(50)와 수평회로부(60)가 더 구비되고, 이들은 모두 회로 배선부에 의해 단자영역과 연결될 수 있다.
- [0025] 도 2는 도 1의 본 발명의 일 실시예에 관한 유기발광 디스플레이 장치의 II-II 선을 따라 취한 단면도이다. 도 2에 도시된 것과 같이, 본 실시예에 따른 유기발광 디스플레이 장치는 디스플레이영역(DA)과 구동영역(PA)을 갖는 기판(100)과, 기판(100)의 구동영역(PA) 상에 배치되는 복수개의 박막트랜지스터(TFT2)들과, 복수개의 박막트랜지스터(TFT2)들을 덮는 제1절연막(112)과, 제1절연막(112) 상에 위치하는 복수개의 도전층(140)들과, 복수개의 도전층(140)들 사이에 배치되는 제2절연막(120') 및 대향전극을 구비한다.
- [0026] 기판(100)은 디스플레이영역(DA)과 디스플레이영역(DA) 외측의 구동영역(PA)을 갖는다. 기판(100)은 글라스재, 금속재 또는 플라스틱재 등과 같은 다양한 재료로 형성된 것일 수 있다. 디스플레이영역(DA)은 유기발광소자(200)들이 배치되는 영역이고, 디스플레이영역(DA) 외측의 구동영역(PA)은 디스플레이가 이루어지지 않는 데드스페이스(dead space)로서, 디스플레이영역(DA)에 전기적 신호를 인가하는 구동부 등은 이러한 구동영역(PA)에 위치할 수 있다. 구체적으로 이러한 구동영역(PA)에는 도 1에 도시된 것과 같이 수직회로부, 수평회로부, 제어부(미도시), 전원공급부(미도시) 등을 포함할 수 있다. 이러한 유기발광 디스플레이 장치는 구동영역(PA)에 위치한 구동부로부터 영상 신호를 공급받고, 각각의 디스플레이부는 서로 다른 영상 신호 입력부로부터 입력된 영상신호를 표시할 수 있다. 이때 수직회로부(50)은 스캔 드라이버(scan driver)로, 수평회로부(60)는 데이터 드라이버(data driver)로 이해될 수 있다.
- [0027] 기판(100)의 디스플레이영역(DA)과 디스플레이영역(DA) 외측의 구동영역(PA)에는 모두 복수개의 박막트랜지스터(TFT1, TFT2)들이 배치될 수 있다. 디스플레이영역(DA)의 박막트랜지스터(TFT1)들은 박막트랜지스터(TFT1)들이 디스플레이영역(DA) 상에 배치된 화소전극(210)과 비아홀을 통해 전기적으로 연결될 수 있다. 유기발광소자(200)들이 복수개의 박막트랜지스터(TFT1)들에 전기적으로 연결된다는 것은, 복수개의 화소전극(210)들이 복수개의 박막트랜지스터(TFT1)들에 전기적으로 연결되는 것으로 이해될 수 있다. 물론 디스플레이영역(DA) 외측의 구동영역(PA)에도 복수개의 박막트랜지스터(TFT2)들이 배치될 수 있다. 이러한 박막트랜지스터(TFT2)들은 예컨대 디스플레이영역(DA) 내에 인가되는 전기적 신호를 제어하기 위한 구동부의 일부일 수 있으며, 도 2에서는 박막트랜지스터(TFT2)들은 수직회로부(50)에 배치된 박막트랜지스터(TFT2)들 일 수 있다.
- [0028] 이러한 디스플레이영역(DA) 상에 배치된 박막트랜지스터(TFT1)들은 비정질실리콘, 다결정실리콘 또는 유기반도체물질을 포함하는 반도체층(103), 게이트전극(105) 및 소스/드레인전극(107)을 포함한다. 또한 구동영역(PA) 상에 배치된 박막트랜지스터(TFT2)들 역시 비정질실리콘, 다결정실리콘 또는 유기반도체물질을 포함하는 반도체층(203), 게이트전극(205) 및 소스/드레인전극(207)을 포함한다. 기판(100) 상에는 기판(100)의 면을 평탄화하기 위해 또는 반도체층(103, 203)으로 불순물 등이 침투하는 것을 방지하기 위해, 실리콘옥사이드 또는 실리콘나이트라이드 등으로 형성된 버퍼층(102)이 배치되고, 이 버퍼층(102) 상에 반도체층(103, 203)이 위치하도록 할 수 있다.
- [0029] 반도체층(103, 203)의 상부에는 게이트전극(105, 205)이 배치되는데, 이 게이트전극(105, 205)에 인가되는 신호에 따라 소스/드레인전극(107, 207)이 전기적으로 소통된다. 게이트전극(105, 205)은 인접층과의 밀착성, 적층되는 층의 표면 평탄성 그리고 가공성 등을 고려하여, 예컨대 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 리튬(Li), 칼슘(Ca), 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W), 구리(Cu) 중 하나 이상의 물질로 단층 또는 다층으로 형성될 수 있다. 이때 반도체층(103, 203)과 게이트전극(105, 205)과의 절연성을 확보하기 위하여, 실리콘옥사이드 및/또는 실리콘나이트라이드 등으로 형성되는 게이트절연막(104)이 반도체층(103, 203)과 게이트전극(105, 205) 사이에 개재될 수 있다.
- [0030] 게이트전극(105, 205)의 상부에는 층간절연막(106)이 배치될 수 있는데, 이는 실리콘옥사이드 또는 실리콘나이트라이드 등의 물질로 단층으로 형성되거나 또는 다층으로 형성될 수 있다.
- [0031] 층간절연막(106)의 상부에는 소스/드레인전극(107, 207)이 배치된다. 도 2에는 소스/드레인전극(207)이 연결되어 있는 것으로 도시되어 있으나, 이는 분리되어 있을 수 도 있다. 소스/드레인전극(107, 207)은 층간절연막

(106)과 게이트절연막(104)에 형성되는 콘택홀을 통하여 반도체층(103, 203)에 각각 전기적으로 연결된다. 소스/드레인전극(107, 207)은 도전성 등을 고려하여 예컨대 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 리튬(Li), 칼슘(Ca), 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W), 구리(Cu) 중 하나 이상의 물질로 단층 또는 다층으로 형성될 수 있다.

[0032] 이러한 구조의 박막트랜지스터(TFT1) 및/또는 박막트랜지스터(TFT2) 등의 보호를 위해 박막트랜지스터(TFT1) 및/또는 박막트랜지스터(TFT2)를 덮는 보호막(110)이 배치될 수 있다. 보호막(110)은 예컨대 실리콘옥사이드, 실리콘나이트라이드 또는 실리콘옥시나이트라이드 등과 같은 무기물로 형성될 수 있다. 도 1에는 보호막(110)이 단층으로 도시되어 있으나 다층구조를 가질 수도 있는 등 다양한 변형이 가능하다.

[0033] 보호막(110) 상에는 필요에 따라 제1절연막(112)이 배치될 수 있다. 이 경우 제1절연막(112)은 평탄화막일 수도 있고 또 다른 보호막일 수도 있다. 이러한 제1절연막(112)은 기관(100)의 디스플레이영역(DA)과 구동영역(PA)에 걸쳐 위치할 수 있다. 예컨대 도시된 것과 같이 기관(100)의 디스플레이영역(DA)의 박막트랜지스터(TFT1) 상부에 유기발광소자(200)가 배치될 경우 박막트랜지스터(TFT1)를 덮는 보호막(110)의 상면을 대체로 평탄화하기 위한 평탄화막으로서 제1절연막(112)이 배치될 수 있다. 이러한 제1절연막(112)은 예컨대 아크릴계 유기물 또는 BCB(Benzocyclobutene) 등으로 형성될 수 있다. 도 1에서는 제1절연막(112)이 단층으로 도시되어 있으나, 다층일 수도 있는 등 다양한 변형이 가능하다.

[0034] 기관(100)의 디스플레이영역(DA) 외측의 구동영역(PA) 내에 있어서, 제1절연막(112) 상에는 복수개의 도전층(140)들이 위치할 수 있다. 복수개의 도전층(140)들은 복수개의 박막트랜지스터(TFT2)들 상부에 위치하도록 제1절연막(112) 상에 배치될 수 있으며, 상세하게는 복수개의 박막트랜지스터(TFT2)들 사이에 대응하도록 제1절연막(112) 상에 상호 이격되도록 배치될 수 있다. 제1절연막(112) 상에 배치되는 복수개의 도전층(140)들이 상호 이격되도록 배치되는 이유는, 하부의 유기층에서 아웃게싱(out-gassing)이 가능해지도록 하기 위한 것으로 이해될 수 있다.

[0035] 이러한 복수개의 도전층(140)들은 후술하는 화소전극(210)과 동일물질을 포함할 수 있다. 즉, 복수개의 도전층(140)들은 디스플레이영역(DA)에 화소전극(210)을 형성하는 과정에서 동시에 형성될 수 있다.

[0036] 기관(100)의 디스플레이영역(DA) 내에 있어서, 제1절연막(112) 상에는, 화소전극(210), 대향전극(230) 및 그 사이에 개재되며 발광층을 포함하는 중간층(220)을 갖는 유기발광소자(200)가 배치된다.

[0037] 보호막(110)과 제1절연막(112)에는 박막트랜지스터(TFT1)의 소스/드레인전극(107) 중 적어도 어느 하나를 노출시키는 개구부가 존재하며, 이 개구부를 통해 소스/드레인전극(107) 중 어느 하나와 콘택하여 박막트랜지스터(TFT1)와 전기적으로 연결되는 화소전극(210)이 제1절연막(112) 상에 배치된다. 화소전극(210)은 (반)투명 전극 또는 반사형 전극으로 형성될 수 있다. (반)투명 전극으로 형성될 때에는 예컨대 ITO, IZO, ZnO, In₂O₃, IGO 또는 AZO로 형성될 수 있다. 반사형 전극으로 형성될 때에는 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr 및 이들의 화합물 등으로 형성된 반사막과, ITO, IZO, ZnO, In₂O₃, IGO 또는 AZO로 형성된 층을 가질 수 있다. 물론 본 발명이 이에 한정되는 것은 아니고 다양한 재질로 형성될 수 있으며, 그 구조 또한 단층 또는 다층이 될 수 있는 등 다양한 변형이 가능하다. 이러한 화소전극(210)은, 상술한 것과 같이, 구동영역(PA)의 제1절연층 상에 배치되는 복수개의 도전층(140)들과 동일물질을 포함할 수 있다.

[0038] 제1절연막(112) 상부에는 화소정의막(120)이 배치될 수 있다. 이 화소정의막(120)은 각 부화소들에 대응하는 개구들, 즉 복수개의 화소전극(210)들의 가장자리를 덮으며 각각의 적어도 중앙부가 노출되도록 하는 개구들을 가짐으로써 화소를 정의하는 역할을 한다. 또한, 도 2에 도시된 바와 같이, 화소정의막(120)은 화소전극(210)의 단부와 화소전극(210) 상부의 대향전극(230)과의 사이의 거리를 증가시킴으로써 화소전극(210)의 단부에서 아크 등이 발생하는 것을 방지하는 역할을 한다. 이와 같은 화소정의막(120)은 예컨대 폴리이미드 등과 같은 유기물로 형성될 수 있다.

[0039] 이때 도 2에 도시된 것과 같이 화소정의막(120)은 기관(100)의 디스플레이영역(DA)에서 기관(100) 외측의 가장자리 쪽(-x 방향)으로 구동영역(PA)까지 확장해서 배치될 수 있다. 다시 말해, 구동영역(PA)의 제1절연막(112) 상에 제2절연막(120')이 배치되어 있고, 디스플레이영역(DA)의 제1절연막(112) 상에 화소정의막이 배치되어 있으며, 이때 화소정의막과 제2절연막(120')은 일체(一體)인 것으로 이해될 수 있다.

[0040] 구동영역(PA) 상에 배치되는 제2절연막(120')은 제1절연막(112) 상에 배치되어 있는 복수개의 도전층(140)들 사이의 공간(140a)을 덮도록 배치될 수 있다. 즉, 제2절연막(120')은 복수개의 도전층(140)들 사이의 공간

(140a)을 덮되 복수개의 도전층(140)들의 적어도 일부분(120a)을 노출시키며 배치될 수 있다. 따라서 제2절연막(120')에 의해 노출된 복수개의 도전층(140)들의 적어도 일부분(120a)은 대향전극(230)과 직접적으로 접촉하게 된다. 이에 대하여는 자세히 후술하기로 한다.

[0041] 한편, 전술한 것과 같이, 복수개의 박막트랜지스터(TFT2)들 각각은 반도체층(203), 게이트전극(205), 소스/드레인전극(207)을 포함하고, 이때 제2절연막(120')은 박막트랜지스터(TFT2)들의 반도체층(203)에 대응하도록 배치될 수 있다. 다시 말해, 복수개의 박막트랜지스터(TFT2)들이 제2절연막(120')하부에 배치되도록 함으로서 도전층(140)들과 대향전극(230)이 접촉하는 부분(120a)이 박막트랜지스터(TFT2) 상에 배치되지 않도록 하는 것이다. 이는 도전층(140)들과 대향전극(230)이 접촉하는 부분(120a)에서 접촉저항에 의한 열이 발생함에 따라 열에 의해 박막트랜지스터(TFT2)가 손상되는 것을 방지하기 위함이다. 이에 대해서는 자세히 후술하기로 한다.

[0042] 상술한 것처럼 제2절연막(120')과 일체인 것으로 이해될 수 있는 화소정의막(120)은 화소영역을 정의하며 기판(100)의 디스플레이영역(DA)에 배치될 수 있다. 이와 같이 화소정의막(120)에 의해 정의된 화소영역 상에는 발광층을 포함하는 중간층이 배치될 수 있다.

[0043] 유기발광소자(200)의 중간층(220)은 저분자 또는 고분자 물질을 포함할 수 있다. 저분자 물질을 포함할 경우 홀주입층(HIL: Hole Injection Layer), 홀 수송층(HTL: Hole Transport Layer), 발광층(EML: Emission Layer), 전자 수송층(ETL: Electron Transport Layer), 전자 주입층(EIL: Electron Injection Layer) 등이 단일 혹은 복합의 구조로 적층되어 형성될 수 있으며, 사용 가능한 유기 재료도 구리 프탈로시아닌(CuPc: copper phthalocyanine), N,N-디(나프탈렌-1-일)-N,N'-디페닐-벤지딘 (N,N'-Di(naphthalene-1-yl)-N,N'-diphenylbenzidine: NPB), 트리스-8-하이드록시퀴놀린 알루미늄(tris-8-hydroxyquinoline aluminum)(Alq3) 등을 비롯하여 다양한 물질이 사용될 수 있다. 이러한 층들은 진공증착 등의 방법으로 형성될 수 있다.

[0044] 중간층(220)이 고분자 물질을 포함할 경우에는 대개 홀 수송층(HTL) 및 발광층(EML)을 포함하는 구조를 가질 수 있다. 이 때, 홀 수송층으로 PEDOT를 사용하고, 발광층으로 PPV(Poly-Phenylenevinylene)계 및 폴리플루오렌(Polyfluorene)계 등 고분자 물질을 사용하며, 이를 스크린 인쇄나 잉크젯 인쇄방법, 레이저열전사방법(LITI: Laser induced thermal imaging) 등으로 형성할 수 있다. 물론 중간층(220)은 반드시 이에 한정되는 것은 아니고, 다양한 구조를 가질 수도 있음은 물론이다.

[0045] 대향전극(230)은 디스플레이영역(DA)과 디스플레이영역(DA) 외측의 구동영역(PA)에 대응하도록 배치되는데, 도 2에 도시된 것과 같이 제2절연막(120')을 덮으며, 디스플레이영역(DA)과 디스플레이영역(DA) 외측의 구동영역(PA) 상부 전면(全面)에 걸쳐 배치될 수 있다. 이 경우 디스플레이영역(DA)에 배치된 대향전극(230)은 복수개의 유기발광소자(200)들에 있어서 일체(一體)로 형성되어 복수개의 화소전극(210)들에 대응할 수 있다.

[0046] 대향전극(230)은 (반)투명 전극 또는 반사형 전극으로 형성될 수 있다. 대향전극(230)이 (반)투명 전극으로 형성될 때에는 일함수가 작은 금속 즉, Li, Ca, LiF/Ca, LiF/Al, Al, Ag, Mg 및 이들의 화합물로 형성된 층과 ITO, IZO, ZnO 또는 In₂O₃ 등의 (반)투명 도전층(140)을 가질 수 있다. 대향전극(230)이 반사형 전극으로 형성될 때에는 Li, Ca, LiF/Ca, LiF/Al, Al, Ag, Mg 및 이들의 화합물로 형성된 층을 가질 수 있다. 물론 대향전극(230)의 구성 및 재료가 이에 한정되는 것은 아니며 다양한 변형이 가능함은 물론이다.

[0047] 상술한 것과 같이, 대향전극(230)은 디스플레이영역(DA)과 디스플레이영역(DA) 외측의 구동영역(PA) 상부 전면(全面)에 걸쳐 배치될 수 있는데, 이때 구동영역(PA)에 배치되는 대향전극(230)은 복수개의 도전층(140)들 중 적어도 일부에 접촉하도록 배치될 수 있다. 즉, 복수개의 도전층(140)들 각각이 제2절연막(120')에 의해 노출된 부분(120a)에 직접적으로 접촉하도록 배치될 수 있다.

[0048] 이때 구동영역(PA)에서 복수개의 도전층(140)들과 대향전극(230)이 직접적으로 접촉하는 부분(120a)에서 접촉저항에 의한 열이 발생하게 된다. 이 경우 복수개의 도전층(140)들과 대향전극(230)의 접촉에 의해 열이 발생하는 부분의 하부에는 구동영역(PA)의 스캔 드라이버를 구성하고 있는 박막트랜지스터(TFT2)들이 배치되어 있는데, 이러한 박막트랜지스터(TFT2)들은 열에 의한 고온의 스트레스를 받게 되면 박막트랜지스터(TFT2)들의 특성에 변화를 일으켜 정상적인 구동을 하지 못하게 된다.

[0049] 따라서 본 발명의 일 실시예에 관한 유기발광 디스플레이 장치에서는, 복수개의 도전층(140)들과 대향전극(230)이 직접적으로 접촉하는 부분(120a) 하부에 박막트랜지스터(TFT2)들이 배치되지 않도록 한다. 다시 말해, 복수개의 도전층(140)들이 구동영역(PA)에 배치되는 박막트랜지스터(TFT2)들 사이에 대응하도록 배치하여 도전층(140)들과 대향전극(230)이 직접적으로 접촉하는 부분(120a)의 열이 박막트랜지스터(TFT2)들에 미치지 않게 함으로써 유기발광 디스플레이 장치의 구동영역(PA)의 박막트랜지스터(TFT2)들이 열에 의해 손상되는 것을 획기적

으로 방지할 수 있을 뿐만 아니라, 이로서 유기발광 디스플레이 장치의 장기적인 신뢰성을 향상시킬 수 있다.

- [0050] 지금까지는 유기발광 디스플레이 장치에 대해서만 주로 설명하였으나, 본 발명이 이에 한정되는 것은 아니다. 예컨대 이러한 유기발광 디스플레이 장치의 제조방법 역시 본 발명의 범위에 속한다고 할 것이다.
- [0051] 도 3 내지 도 5는 본 발명의 일 실시예에 관한 유기발광 디스플레이 장치의 제조방법의 공정들을 개략적으로 도시하는 단면도들이다.
- [0052] 도 3을 참조하면, 먼저 디스플레이영역(DA)과 디스플레이영역(DA) 외측의 구동영역(PA)을 갖는 기판(100)을 준비하는 단계를 거쳐, 기판(100)의 구동영역(PA) 상에 복수개의 박막트랜지스터(TFT1, TFT2)들을 형성하는 단계를 거칠 수 있다.
- [0053] 이때 복수개의 박막트랜지스터(TFT1, TFT2)들을 형성하는 단계는, 먼저 기판(100) 전면에 걸쳐 버퍼층(102)을 형성한 후, 기판(100)의 디스플레이영역(DA) 및 구동영역(PA) 상에 반도체층(103, 203)을 형성하는 단계를 거칠 수 있다. 그 후 반도체층(103, 203)을 덮도록 게이트절연막(104)을 형성할 수 있다. 반도체층(103, 203) 상에 게이트전극(105, 205)을 형성하는 단계를 거쳐, 게이트전극(105, 205)을 덮도록 층간절연막(106)을 형성한 후, 게이트전극(105, 205) 상에 소스/드레인전극(107, 207)을 형성하는 단계를 거칠 수 있다. 소스/드레인전극(107, 207)은 비아홀을 통해 반도체층(103, 203)과 전기적으로 연결되도록 형성할 수 있다. 도 3에서는 구동영역(PA) 상에 배치된 박막트랜지스터(TFT2)들 상호간 소스전극 및 드레인전극(207)이 연결되어 있는 것으로 도시되어 있는데 이는 구동영역(PA)의 배선을 형성하는 것으로 이해될 수 있다. 도 3에 도시된 것과 같이, 버퍼층(102), 게이트절연막(104) 및 층간절연막(106)은 기판(100) 전면에 걸쳐서 형성될 수 있다.
- [0054] 그 후 도 4를 참조하면, 복수개의 박막트랜지스터(TFT1, TFT2)들을 덮도록 제1절연막(112)을 형성하는 단계를 거칠 수 있다. 제1절연막(112)은 기판(100)의 디스플레이영역(DA)과 구동영역(PA) 전면에 걸쳐서 형성될 수 있다. 경우에 따라서는 도 4에 도시된 것과 같이, 제1절연막(112)을 형성하기 전에 박막트랜지스터(TFT1, TFT2)들을 덮도록 기판(100) 전면에 걸쳐서 보호막을 형성하는 단계를 더 거칠 수 있다. 도 4에서는 제1절연막(112) 및 보호막이 단층으로 도시되어 있으나 다층으로 형성하는 등 다양한 변형이 가능하다.
- [0055] 기판(100)의 디스플레이영역(DA) 외측의 구동영역(PA) 내에 있어서, 복수개의 박막트랜지스터(TFT2)들 상부에 위치하도록 제1절연막(112) 상에 형성되고, 복수개의 박막트랜지스터(TFT2)들 사이에 대응하며 제1절연막(112) 상에 상호 이격되도록, 복수개의 도전층(140)들을 형성하는 단계를 거칠 수 있다. 제1절연막(112) 상에 형성되는 복수개의 도전층(140)들이 상호 이격되도록 형성되는 이유는, 하부의 유기층에서 아웃게싱(out-gassing)이 가능해지도록 하기 위한 것으로 이해될 수 있다.
- [0056] 이러한 복수개의 도전층(140)들을 형성하는 단계는 디스플레이영역(DA)에 화소전극(210)을 형성하는 단계와 동시에 진행될 수 있다. 즉, 복수개의 도전층(140)들은 디스플레이영역(DA)에 화소전극(210)을 형성하는 과정에서 동일한 물질을 포함하며 형성될 수 있다.
- [0057] 상술한 것과 같이, 기판(100)의 구동영역(PA) 상에 복수개의 도전층(140)들을 형성하는 것과 동시에, 기판(100)의 디스플레이영역(DA)에서 제1절연막(112) 상에 복수개의 화소전극(210)들을 형성할 수 있다. 보호막(110)과 제1절연막(112)에는 박막트랜지스터(TFT1)의 소스/드레인전극(107) 중 적어도 어느 하나를 노출시키는 개구부가 존재하며, 이 개구부를 통해 소스/드레인전극(107) 중 어느 하나와 접촉하여 박막트랜지스터(TFT1)와 전기적으로 연결되는 복수개의 화소전극(210)들이 제1절연막(112) 상에 형성된다. 화소전극(210)들은 (반)투명 전극 또는 반사형 전극으로 형성될 수 있다.
- [0058] 그 후 도 5를 참조하면, 기판(100)의 디스플레이영역(DA) 상에 복수개의 화소전극(210)들 각각의 중앙부가 노출되도록 복수개의 화소전극(210)들 각각의 가장자리를 덮도록 화소정의막을 형성하는 단계를 더 포함할 수 있다. 이때 기판(100)의 구동영역(PA) 상에는 복수개의 도전층(140)들 사이의 공간을 덮도록 제2절연막(120')을 형성할 수 있다. 제2절연막(120')을 형성하는 단계는 상기 화소정의막을 형성하는 단계와 동시에 진행되는 단계일 수 있다.
- [0059] 구동영역(PA) 상에 형성되는 제2절연막(120')은 제1절연막(112) 상에 형성되어 있는 복수개의 도전층(140)들 사이의 공간(140a)을 덮도록 형성될 수 있다. 즉, 제2절연막(120')은 복수개의 도전층(140)들 사이의 공간(140a)을 덮되 복수개의 도전층(140)들의 적어도 일부분(120a)을 노출시키며 형성할 수 있다. 따라서 제2절연막(120')에 의해 노출된 복수개의 도전층(140)들의 적어도 일부분(120a)은 대향전극(230)과 직접적으로 접촉하게 된다. 이에 대하여는 자세히 후술하기로 한다.

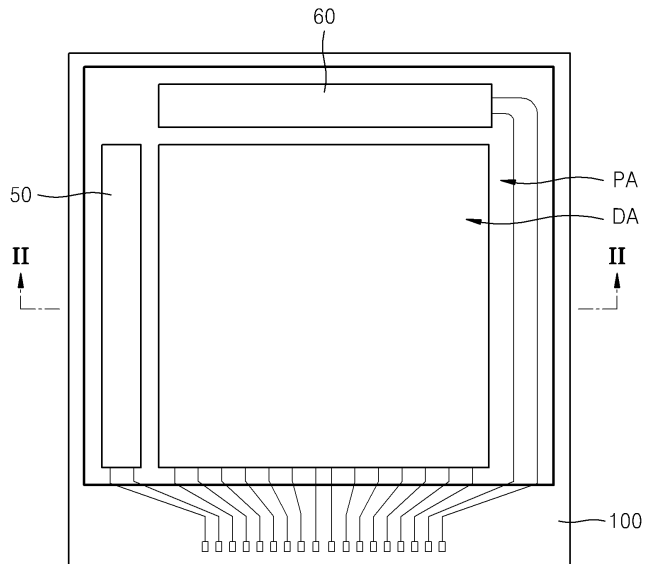
- [0060] 한편, 전술한 것과 같이, 복수개의 박막트랜지스터(TFT2)들을 형성하는 단계는, 각각이 반도체층(203), 게이트 전극(205), 소스/드레인전극(207)을 형성하는 단계를 포함하고, 이때 제2절연막(120')은 박막트랜지스터(TFT2)들의 반도체층(203)에 대응하도록 형성할 수 있다. 다시 말해, 복수개의 박막트랜지스터(TFT2)들이 제2절연막(120') 하부에 형성되도록 함으로서 도전층(140)들과 대향전극(230)이 접촉하는 부분(120a)이 박막트랜지스터(TFT2) 상에 위치하지 않도록 하는 것이다. 이는 도전층(140)들과 대향전극(230)이 접촉하는 부분(120a)에서 컨택저항에 의한 열이 발생함에 따라 열에 의해 박막트랜지스터(TFT2)가 손상되는 것을 방지하기 위함이다. 이에 대해서는 자세히 후술하기로 한다.
- [0061] 상술한 것처럼 제2절연막(120')과 동시에 형성되는 화소정의막(120)은 화소영역을 정의하며 기판(100)의 디스플레이영역(DA)에 형성될 수 있다. 이와 같이 화소정의막(120)에 의해 정의된 화소영역 상에는 복수개의 화소전극(210)들 상의 발광층을 포함하는 중간층을 형성하는 단계를 더 포함할 수 있다.
- [0062] 한편, 도 5에는 도시되어 있지 않지만, 도 2를 참조하면, 기판(100)의 전면에 걸쳐서 디스플레이영역(DA)과 구동영역(PA)에 대응하며, 제2절연막(120')을 덮고, 도전층(140)들 중 적어도 일부에 접촉하도록, 대향전극(230)을 형성하는 단계를 더 포함할 수 있다. 디스플레이영역(DA)에 있어서 대향전극(230)을 형성하는 단계는, 대향전극이 디스플레이영역(DA) 상에 형성된 복수개의 화소전극(210)들에 대응하도록 형성할 수 있다. 이 경우 디스플레이영역(DA)에 형성된 대향전극(230)은 복수개의 유기발광소자(200)들에 있어서 일체(一體)로 형성되어 복수개의 화소전극(210)들에 대응할 수 있다.
- [0063] 이러한 대향전극(230)을 형성하는 단계는, 구동영역(PA) 상에서는 복수개의 도전층(140)들 각각의 제2절연막(120')에 의해 노출된 부분과 접촉하도록 형성할 수 있다. 즉, 대향전극(230)은 디스플레이영역(DA)과 디스플레이영역(DA) 외측의 구동영역(PA) 상부 전면(全面)에 걸쳐 형성될 수 있는데, 이때 구동영역(PA)에 배치되는 대향전극(230)은 복수개의 도전층(140)들 중 적어도 일부에 접촉하도록 형성할 수 있다. 즉, 복수개의 도전층(140)들 각각이 제2절연막(120')에 의해 노출된 부분(120a)에 직접적으로 컨택하도록 형성할 수 있다.
- [0064] 이때 구동영역(PA)에서 복수개의 도전층(140)들과 대향전극(230)이 직접적으로 컨택하는 부분(120a)에서 컨택저항에 의한 열이 발생하게 된다. 이 경우 복수개의 도전층(140)들과 대향전극(230)의 컨택에 의해 열이 발생하는 부분의 하부에는 구동영역(PA)의 스캔 드라이버를 구성하고 있는 박막트랜지스터(TFT2)들이 위치하고 있는데, 이러한 박막트랜지스터(TFT2)들은 열에 의한 고온의 스트레스를 받게 되면 박막트랜지스터(TFT2)들의 특성에 변화를 일으켜 정상적인 구동을 하지 못하게 된다.
- [0065] 따라서 본 발명의 일 실시예에 관한 유기발광 디스플레이 장치의 제조방법에서는, 복수개의 도전층(140)들과 대향전극(230)이 직접적으로 컨택하는 부분(120a) 하부에 박막트랜지스터(TFT2)들을 형성하지 않도록 한다. 다시 말해, 복수개의 도전층(140)들이 구동영역(PA)에 위치하는 박막트랜지스터(TFT2)들 사이에 대응하도록 형성하여 도전층(140)들과 대향전극(230)이 직접적으로 컨택하는 부분(120a)의 열이 박막트랜지스터(TFT2)들에 미치지 않게 함으로써 유기발광 디스플레이 장치의 구동영역(PA)의 박막트랜지스터(TFT2)들이 열에 의해 손상되는 것을 획기적으로 방지할 수 있을 뿐만 아니라, 이로서 유기발광 디스플레이 장치의 장기적인 신뢰성을 향상시킬 수 있다.
- [0066] 본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 당해 기술분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 다른 실시예가 가능하다는 점을 이해할 것이다. 따라서 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

부호의 설명

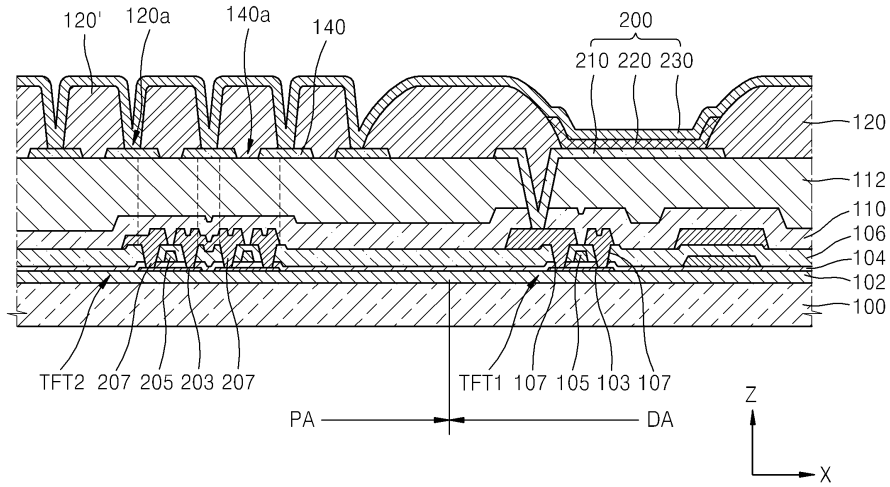
- [0067]
- | | |
|-----------------|--------------------|
| 50: 수직회로부 | 60: 수평회로부 |
| 100: 기판 | 103, 203: 반도체층 |
| 105, 205: 게이트전극 | 107, 207: 소스/드레인전극 |
| 112: 제1절연막 | 120': 제2절연막 |
| 120: 화소정의막 | 140: 도전층 |
| 200: 유기발광소자 | 210: 화소전극 |
| 220: 중간층 | 230: 대향전극 |

도면

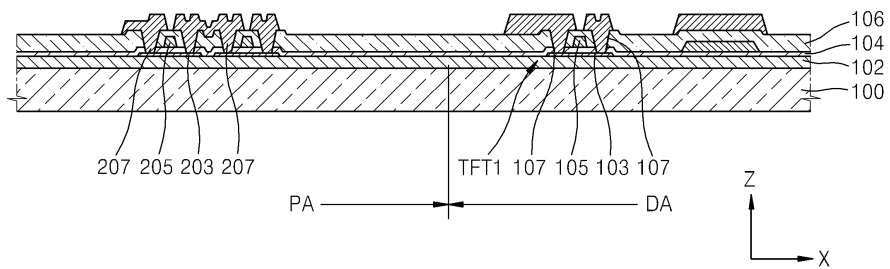
도면1



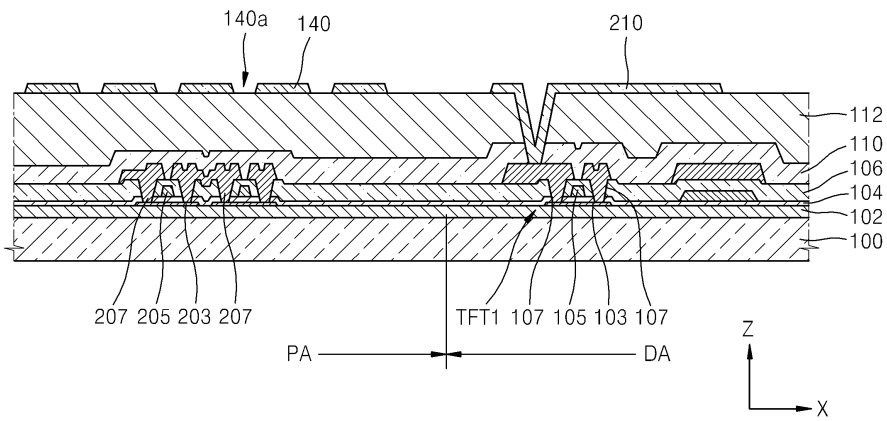
도면2



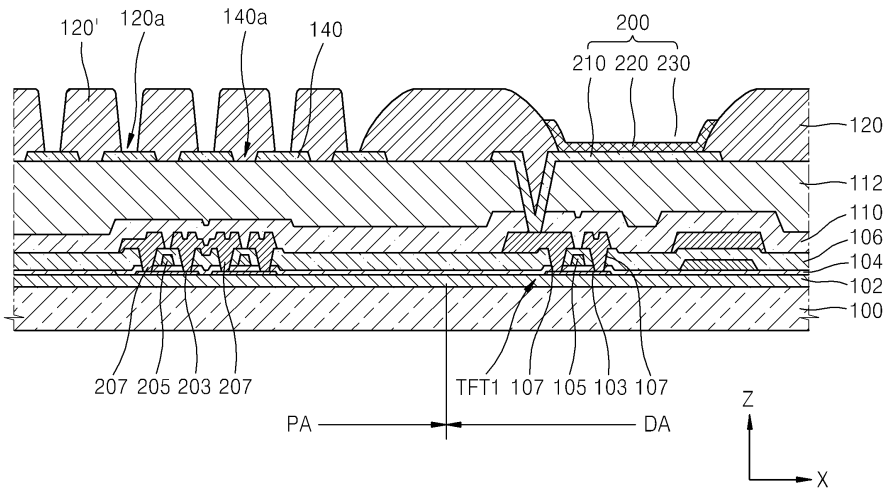
도면3



도면4



도면5



专利名称(译)	标题：OLED显示装置及其制造方法		
公开(公告)号	KR1020150039490A	公开(公告)日	2015-04-10
申请号	KR1020130118126	申请日	2013-10-02
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	HYUN CHAE HAN 현채한 LEE SEUNG KYU 이승규 JEON JIN 전진		
发明人	현채한 이승규 전진		
IPC分类号	H01L51/52 H01L29/786 H05B33/06 H05B33/10 H05B33/26		
CPC分类号	H01L27/3276 H01L27/3262 H01L27/3246 H01L27/124 H01L27/1248 H01L27/3248 H01L27/3258		
其他公开文献	KR102114316B1		
外部链接	Espacenet		

摘要(译)

本发明的用于避免对驱动单元，有机发光显示装置和用于根据发热的制造方法的损坏，根据本发明的一个方面，具有该显示区域的外侧的驱动区域和显示区域，和所述基板的基板多个设置在驱动区域的薄膜晶体管，覆盖所述多个薄膜晶体管的第一绝缘膜，设置在第一绝缘膜，以便被定位在所述多个薄膜晶体管的顶部，与所述多个薄膜晶体管的之间以对应于对应于显示区域和所述间隔开的相互位于驱动区域中，多个导电层，其覆盖所述多个导电层之间的空间的，所述第二绝缘膜和在第一绝缘膜的基板，其特征在于2.一种有机电致发光显示装置，包括：有机发光二极管它提供了一个播放设备。

