



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0009501
(43) 공개일자 2013년01월23일

(51) 국제특허분류(Int. Cl.)

H01L 51/56 (2006.01) H05B 33/06 (2006.01)

H05B 33/26 (2006.01) H05B 33/10 (2006.01)

(21) 출원번호 10-2011-0070661

(22) 출원일자 2011년07월15일

심사청구일자 없음

(71) 출원인

삼성디스플레이 주식회사

경기도 용인시 기흥구 삼성2로 95 (농서동)

(72) 발명자

유춘기

경기도 용인시 기흥구 삼성2로 95 (농서동)

(74) 대리인

리앤목특허법인

전체 청구항 수 : 총 20 항

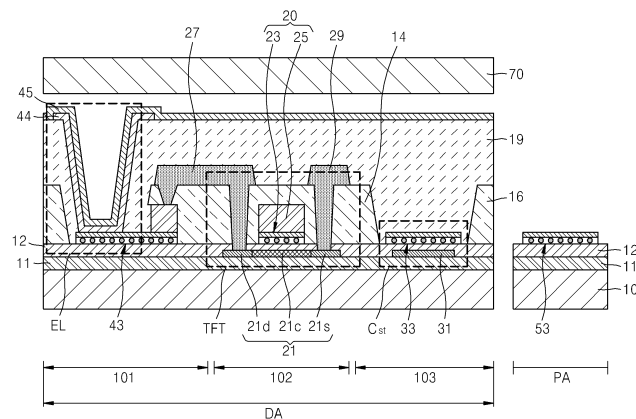
(54) 발명의 명칭 유기발광표시장치 및 이의 제조방법

(57) 요약

본 발명은 유기발광표시장치 및 그 제조 방법을 개시한다.

본 발명의 유기발광표시장치는, 활성층, 상기 활성층 상부의 절연층 상에 나노 은을 포함하는 제1전극과 상기 제1전극 상부의 제2전극을 포함하는 게이트전극, 소스전극 및 드레인전극을 포함하는 박막트랜지스터와, 상기 박막트랜지스터와 전기적으로 연결되고, 상기 제1전극과 동일층에 동일물질로 형성된 화소전극, 발광층을 포함하는 중간층 및 상기 중간층을 덮도록 상기 화소전극에 대하여 형성된 대향전극을 포함하는 유기발광소자와, 발광 영역 외측에 위치하는 패드 영역에 상기 제1전극과 동일층에 동일물질로 형성된 패드전극을 포함한다.

대표도 - 도2



특허청구의 범위

청구항 1

활성층, 상기 활성층 상부의 절연층 상에 나노 은을 포함하는 제1전극과 상기 제1전극 상부의 제2전극을 포함하는 게이트전극, 소스전극 및 드레인전극을 포함하는 박막트랜지스터;

상기 박막트랜지스터와 전기적으로 연결되고, 상기 제1전극과 동일층에 동일물질로 형성된 화소전극, 발광층을 포함하는 중간층 및 상기 중간층을 덮도록 상기 화소전극에 대향하여 형성된 대향전극을 포함하는 유기발광소자; 및

발광 영역 외측에 위치하는 패드 영역에 상기 제1전극과 동일층에 동일물질로 형성된 패드전극;을 포함하는 유기발광표시장치.

청구항 2

제1항에 있어서,

상기 활성층과 동일층에 형성되며 불순물이 도핑된 반도체 물질을 포함하는 하부전극, 및 상기 제1전극과 동일층에 동일물질로 형성된 상부전극을 포함하는 커패시터;를 더 포함하는 유기발광표시장치.

청구항 3

제1항에 있어서,

상기 박막트랜지스터의 제1전극, 상기 유기발광소자의 화소전극 및 상기 패드전극은, 상기 나노 은을 포함하는 투명 전도성 물질의 도전층인 유기발광표시장치.

청구항 4

제1항에 있어서,

상기 박막트랜지스터의 제1전극, 상기 유기발광소자의 화소전극 및 상기 패드전극은, 상기 나노 은을 포함하는 나노 은 박막과, 상기 나노 은 박막 상부에 구비된 투명 전도성 물질의 도전층을 포함하는 유기발광표시장치.

청구항 5

제2항에 있어서,

상기 커패시터의 상부전극은, 상기 나노 은을 포함하는 투명 전도성 물질의 도전층인 유기발광표시장치.

청구항 6

제2항에 있어서,

상기 커패시터의 상부전극은, 상기 나노 은을 포함하는 나노 은 박막과, 상기 나노 은 박막 상부에 구비된 투명 전도성 물질의 도전층을 포함하는 유기발광표시장치.

청구항 7

제1항에 있어서,

상기 제2전극은 다층으로 형성된 유기발광표시장치.

청구항 8

제1항에 있어서,

상기 화소전극은, 상부 일면에 상기 제2전극과 동일층에 동일물질로 형성된 전극층을 통해 상기 소스전극 및 드레인전극 중 하나와 전기적으로 연결되는 유기발광표시장치.

청구항 9

제1항에 있어서,

상기 패드전극은, 상기 유기발광표시장치의 구동을 위해 전류를 공급하는 드라이버 IC와 전기적으로 연결되는 유기발광표시장치.

청구항 10

박막트랜지스터의 활성층 및 커패시터의 하부전극을 형성하는 제1마스크 공정 단계;

상기 활성층 및 상기 하부전극 상에 제1절연층과 나노 은 박막을 형성하는 단계;

상기 제1절연층 상부에 상기 박막트랜지스터의 게이트전극, 화소전극을 형성하기 위한 제1전극패턴, 상기 커패시터의 상부전극을 형성하기 위한 제2전극패턴, 및 패드 영역의 패드전극을 형성하기 위한 제3전극패턴을 각각 형성하는 제2마스크 공정 단계;

상기 활성층의 양측, 상기 제1전극패턴, 상기 제2전극패턴 및 상기 제3전극패턴을 노출하는 개구를 갖는 층간절연막을 형성하는 제3마스크 공정 단계;

상기 활성층의 노출된 양측과 접촉하는 소스전극과 드레인 전극, 상기 화소 전극, 상기 커패시터 상부전극 및 상기 패드전극을 각각 형성하는 제4마스크 공정 단계; 및

상기 화소 전극을 노출하는 화소 정의막을 형성하는 제5마스크 공정 단계;를 포함하는 유기발광표시장치의 제조 방법.

청구항 11

제10항에 있어서, 상기 제1마스크 공정 단계는,

기판 상에 반도체층을 형성하는 단계; 및

상기 반도체층을 패터닝하여, 상기 활성층과 상기 커패시터 하부전극을 형성하는 단계;를 포함하는 것을 특징으로 하는 유기 발광 표시 장치 제조 방법.

청구항 12

제10항에 있어서, 상기 나노 은 박막 형성 단계는,

상기 활성층 및 상기 하부전극 상에 제1절연층을 형성하는 단계;

상기 제1절연층 상부에 은 박막을 형성하는 단계; 및

상기 은 박막을 열처리하여 나노 은 박막을 형성하는 단계;를 포함하는 유기발광표시장치의 제조방법.

청구항 13

제10항에 있어서, 상기 제2마스크 공정 단계는,

상기 나노 은 박막 상부에 제1도전층 및 제2도전층을 차례로 형성하는 단계;

상기 나노 은 박막, 상기 제1도전층 및 제2도전층을 패터닝하여, 상기 나노 은 박막과 상기 제1도전층을 제1전극으로 하고 상기 제2도전층을 제2전극으로 하는 상기 게이트 전극을 형성하는 단계; 및

상기 화소전극을 형성하기 위한 제1전극패턴, 상기 커패시터의 상부전극을 형성하기 위한 제2전극패턴, 및 상기 패드전극을 형성하기 위한 제3전극패턴을 각각 형성하는 단계;를 포함하는 유기발광표시장치의 제조방법.

청구항 14

제10항에 있어서,

상기 제2마스크 공정 단계 후, 상기 활성층의 양측을 도핑하는 단계;를 더 포함하는 유기발광표시장치의 제조 방법.

청구항 15

제13항에 있어서,

상기 제1도전층은 투명 전도 물질의 도전층이고, 상기 제1도전층이 상기 나노 은 박막의 공극을 채우는 유기발광표시장치의 제조방법.

청구항 16

제13항에 있어서,

상기 제2도전층은 다층으로 형성된 유기발광표시장치의 제조방법.

청구항 17

제10항에 있어서, 상기 제3마스크 공정 단계는,

상기 게이트 전극, 상기 제1전극패턴, 상기 제2전극패턴, 및 상기 제3전극패턴이 형성된 기판 상부에 제2절연층을 형성하는 단계; 및

상기 제2절연층과 상기 제1절연층을 패터닝하여 상기 활성층의 양측을 노출시키는 개구, 상기 제2절연층을 패터닝하여 상기 제1전극패턴, 상기 제2전극패턴 및 상기 제3전극패턴을 노출하는 개구를 형성하는 단계;를 포함하는 유기발광표시장치의 제조방법.

청구항 18

제13항에 있어서, 상기 제4마스크 공정 단계는

상기 층간절연막 상부에 제3도전층을 형성하는 단계;

상기 제3도전층을 패터닝하여 상기 소스전극과 상기 드레인전극을 형성하는 단계; 및

상기 소스전극 및 상기 드레인전극의 형성과 함께, 상기 제1전극패턴, 상기 제2전극패턴 및 상기 제3전극패턴을 구성하는 상기 제2도전층을 적어도 일부 제거하여, 상기 제1도전층과 상기 나노 은 박막을 전극으로 하는 상기 화소전극, 상기 커패시터 상부전극 및 상기 패드전극을 각각 형성하는 단계;를 포함하는 것을 특징으로 하는 유기발광표시장치의 제조방법.

청구항 19

제17항에 있어서,

상기 제4마스크 공정 단계 후, 상기 커패시터 하부전극을 도핑하는 단계;를 더 포함하는 유기발광표시장치의 제조방법.

청구항 20

제10항에 있어서, 상기 제5마스크 공정 단계는

기판 전면에서 제3절연층을 형성하는 단계; 및

상기 제3절연층을 패터닝하여 상기 화소정의막을 형성하는 단계;를 포함하는 유기발광표시장치의 제조방법.

명세서

기술 분야

[0001] 본 발명은 유기발광표시장치 및 그의 제조방법에 관한 것으로, 상세하게는 제조공정이 단순화되고, 패드전극의 손상을 최소화하는 유기발광표시장치 및 그의 제조방법에 관한 것이다.

배경 기술

[0002] 유기 발광 표시 장치, 액정 표시 장치 등과 같은 평판 표시 장치는 박막 트랜지스터(Thin Film Transistor: TFT) 및 커패시터 등과 이들을 연결하는 배선을 포함하는 패턴이 형성된 기판 상에 제작된다.

[0003] 일반적으로, 평판 표시 장치가 제작되는 기판은 TFT 등을 포함하는 미세 구조의 패턴을 형성하기 위하여, 이와 같은 미세 패턴이 그려진 마스크를 이용하여 패턴을 상기 어레이 기판에 전사한다.

[0004] 마스크를 이용하여 패턴을 전사하는 공정은 일반적으로 포토 리소그래피(photo-lithography) 공정을 이용한다. 포토 리소그래피 공정에 의하면, 패턴을 형성할 기판 상에 포토레지스트(photoresist)를 균일하게 도포하고, 스텝퍼(stepper)와 같은 노광 장비로 포토레지스트를 노광시킨 후, (포지티브(positive) 포토레지스트의 경우) 감광된 포토레지스트를 현상(developing)하는 과정을 거친다. 또한, 포토레지스트를 현상한 후에는, 잔존하는 포토레지스트를 마스크로 하여 패턴을 식각(etching)하고, 불필요한 포토레지스트를 제거하는 일련의 과정을 거친다.

[0005] 이와 같이 마스크를 이용하여 패턴을 전사하는 공정에서는, 먼저 필요한 패턴을 구비한 마스크를 준비하여야 하기 때문에, 마스크를 이용하는 공정 단계가 늘어날수록 마스크 준비를 위한 제조 원가가 상승한다. 또한, 상술한 복잡한 단계들을 거쳐야 하기 때문에 제조 공정이 복잡하고, 제조 시간의 증가 및 이로 인한 제조 원가가 상승하는 문제점이 발생한다.

발명의 내용

해결하려는 과제

[0006] 본 발명은 마스크를 이용한 패턴링 공정 단계를 줄이고 표시 품질이 우수한 유기 발광 표시 장치 및 이의 제조 방법을 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0007] 본 발명의 바람직한 일 실시예에 따른 유기발광표시장치는, 활성층, 상기 활성층 상부의 절연층 상에 나노 은을 포함하는 제1전극과 상기 제1전극 상부의 제2전극을 포함하는 게이트전극, 소스전극 및 드레인전극을 포함하는 박막트랜지스터; 상기 박막트랜지스터와 전기적으로 연결되고, 상기 제1전극과 동일층에 동일물질로 형성된 화소전극, 발광층을 포함하는 중간층 및 상기 중간층을 덮도록 상기 화소전극에 대하여 형성된 대향전극을 포함하는 유기발광소자; 및 발광 영역 외측에 위치하는 패드 영역에 상기 제1전극과 동일층에 동일물질로 형성된 패드전극;을 포함할 수 있다.

[0008] 상기 유기발광표시장치는, 상기 활성층과 동일층에 형성되며 불순물이 도핑된 반도체 물질을 포함하는 하부전극, 및 상기 제1전극과 동일층에 동일물질로 형성된 상부전극을 포함하는 커패시터;를 더 포함할 수 있다.

[0009] 상기 박막트랜지스터의 제1전극, 상기 유기발광소자의 화소전극, 상기 패드전극, 및 상기 커패시터의 상부전극은, 상기 나노 은을 포함하는 투명 전도성 물질의 도전층이거나, 상기 나노 은을 포함하는 나노 은 박막과 상기 나노 은 박막 상부에 구비된 투명 전도성 물질의 도전층을 포함할 수 있다.

[0010] 상기 제2전극은 다층으로 형성될 수 있다.

[0011] 상기 화소전극은, 상부 일면에 상기 제2전극과 동일층에 동일물질로 형성된 전극층을 통해 상기 소스전극 및 드레인전극 중 하나와 전기적으로 연결될 수 있다.

[0012] 상기 패드전극은, 상기 유기발광표시장치의 구동을 위해 전류를 공급하는 드라이버 IC와 전기적으로 연결될 수 있다.

[0013] 본 발명의 바람직한 일 실시예에 따른 유기발광표시장치의 제조 방법은, 박막트랜지스터의 활성층 및 커패시터의 하부전극을 형성하는 제1마스크 공정 단계; 상기 활성층 및 상기 하부전극 상에 제1절연층과 나노 은 박막을 형성하는 단계; 상기 제1절연층 상부에 상기 박막트랜지스터의 게이트전극, 화소전극을 형성하기 위한 제1전극 패턴, 상기 커패시터의 상부전극을 형성하기 위한 제2전극패턴, 및 패드 영역의 패드전극을 형성하기 위한 제3전극패턴을 각각 형성하는 제2마스크 공정 단계; 상기 활성층의 양측, 상기 제1전극패턴, 상기 제2전극패턴 및 상기 제3전극패턴을 노출하는 개구를 갖는 중간절연막을 형성하는 제3마스크 공정 단계; 상기 활성층의 노출된 양측과 접촉하는 소스전극과 드레인 전극, 상기 화소 전극, 상기 커패시터 상부전극 및 상기 패드전극을 각각 형성하는 제4마스크 공정 단계; 및 상기 화소 전극을 노출하는 화소 정의막을 형성하는 제5마스크 공정 단계;를 포함할 수 있다.

[0014] 상기 제1마스크 공정 단계는, 기판 상에 반도체층을 형성하는 단계; 및 상기 반도체층을 패터닝하여, 상기 활성

층과 상기 커패시터 하부전극을 형성하는 단계;를 포함할 수 있다.

- [0015] 상기 나노 은 박막 형성 단계는, 상기 활성층 및 상기 하부전극 상에 제1절연층을 형성하는 단계; 상기 제1절연층 상부에 은 박막을 형성하는 단계; 및 상기 은 박막을 열처리하여 나노 은 박막을 형성하는 단계;를 포함할 수 있다.
- [0016] 상기 제2마스크 공정 단계는, 상기 나노 은 박막 상부에 제1도전층 및 제2도전층을 차례로 형성하는 단계; 상기 나노 은 박막, 상기 제1도전층 및 제2도전층을 패터닝하여, 상기 나노 은 박막과 상기 제1도전층을 제1전극으로 하고 상기 제2도전층을 제2전극으로 하는 상기 게이트 전극을 형성하는 단계; 및 상기 화소전극을 형성하기 위한 제1전극패턴, 상기 커패시터의 상부전극을 형성하기 위한 제2전극패턴, 및 상기 패드전극을 형성하기 위한 제3전극패턴을 각각 형성하는 단계;를 포함할 수 있다.
- [0017] 상기 제2마스크 공정 단계 후, 상기 활성층의 양측을 도핑하는 단계;를 더 포함할 수 있다.
- [0018] 상기 제1도전층은 투명 전도 물질의 도전층이고, 상기 제1도전층이 상기 나노 은 박막의 공극을 채우도록 형성될 수 있다.
- [0019] 상기 제2도전층은 다층으로 형성될 수 있다.
- [0020] 상기 제3마스크 공정 단계는, 상기 게이트 전극, 상기 제1전극패턴, 상기 제2전극패턴, 및 상기 제3전극패턴이 형성된 기판 상부에 제2절연층을 형성하는 단계; 및 상기 제2절연층과 상기 제1절연층을 패터닝하여, 상기 활성층의 양측을 노출시키는 개구, 상기 제2절연층을 패터닝하여 상기 제1전극패턴, 상기 제2전극패턴 및 상기 제3전극패턴을 노출하는 개구를 형성하는 단계;를 포함할 수 있다.
- [0021] 상기 제4마스크 공정 단계는, 상기 층간절연막 상부에 제3도전층을 형성하는 단계; 상기 제3도전층을 패터닝하여 상기 소스전극과 상기 드레인전극을 형성하는 단계; 및 상기 소스전극 및 상기 드레인전극의 형성 단계와 함께, 상기 제1전극패턴, 상기 제2전극패턴 및 상기 제3전극패턴을 구성하는 상기 제2도전층을 적어도 일부 제거하여, 상기 제1도전층과 상기 나노 은 박막을 전극으로 하는 상기 화소전극, 상기 커패시터 상부전극 및 상기 패드전극을 각각 형성하는 단계;를 포함할 수 있다.
- [0022] 상기 제4마스크 공정 단계 후, 상기 커패시터 하부전극을 도핑하는 단계;를 더 포함할 수 있다.
- [0023] 상기 제5마스크 공정 단계는, 기판 전면에서 제3절연층을 형성하는 단계; 및 상기 제3절연층을 패터닝하여 상기 화소정의막을 형성하는 단계;를 포함할 수 있다.

발명의 효과

- [0024] 본 발명의 일 실시예에 따르면, 유기발광표시장치의 제조공정이 단순화되고, 패드전극의 손상이 최소화되어 장치의 신뢰성이 향상되는 효과를 얻을 수 있다.

도면의 간단한 설명

- [0025] 도 1은 본 발명의 일 실시예에 따른 유기 발광 디스플레이 장치의 구조를 개략적으로 나타낸 평면도이다.
- 도 2는 도 1의 발광 영역(DA)과 비발광 영역(NDA)인 패드 영역(PA)의 단면도이다.
- 도 3 내지 도 14는 도 2에 도시된 유기발광표시장치(1)의 제조공정을 개략적으로 나타내는 단면도이다.
- 도 15는 본 발명의 일 실시예에 따른 나노 은(nano Ag)의 형성을 보여주는 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0026] 이하, 첨부된 도면들을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하면 다음과 같다.
- [0027] 도면상의 동일한 부호는 동일한 요소를 지칭한다. 하기에서 본 발명을 설명함에 있어, 관련된 공지 기능 또는 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명을 생략할 것이다.
- [0028] 본 발명의 실시예를 설명하는 도면에 있어서, 어떤 층이나 영역들은 명세서의 명확성을 위해 두께를 확대하여 나타내었다. 또한 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐만 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다.

- [0029] 도 1은 본 발명의 일 실시예에 따른 유기 발광 디스플레이 장치의 구조를 개략적으로 나타낸 평면도이다.
- [0030] 본 발명의 일 실시예에 따른 유기 발광 표시 장치(1)는 TFT(thin film transistor) 및 유기 발광 소자 등을 포함하는 제1기판(10) 및 상기 제1기판(10)과 실링을 통해 합착되는 제2기판(70)을 포함한다.
- [0031] 제1기판(10)에는 박막트랜지스터(TFT), 유기발광소자(EL), 커패시터(Cst) 등이 형성될 수 있다. 또한, 제1기판(10)은 LTPS(crystalline silicon) 기판, 유리 기판 또는 플라스틱 기판 등일 수 있다.
- [0032] 제2기판(70)은 제1기판(10)에 구비된 TFT 및 발광화소 등을 외부 수분, 공기 등으로부터 차단하도록 제1기판(10) 상에 배치되는 봉지기관일 수 있다. 제2기판(70)은 제1기판(10)과 대향되도록 위치하고, 제1기판(10)과 제2기판(70)은 그 가장자리를 따라 배치되는 실링부재(90)에 의해 서로 접합된다. 제2기판(70)은 유리 기판 또는 플라스틱 기판 또는 스테인리스 스틸(Stainless Using Steel; SUS) 기판 일 수 있다.
- [0033] 제1기판(10)은 빛이 출사되는 발광영역(DA)과 이 발광영역(DA)의 외곽에 위치한 비발광영역(NDA)을 포함한다. 본 발명의 실시예들에 따르면, 발광 영역(DA) 외측의 비발광 영역(NDA)에 실링부재(90)가 배치되어, 제1기판(10)과 제2기판(70)을 접합한다.
- [0034] 상술한 바와 같이, 제1기판(10)의 발광 영역(DA)에는 유기발광소자(EL), 이를 구동하는 박막트랜지스터(TFT), 커패시터(Cst) 및 이들과 전기적으로 연결된 배선이 형성된다. 그리고, 비발광 영역(NDA)에는 발광 영역(DA)의 배선으로부터 연장 형성된 패드전극(53)이 위치하는 패드 영역(PA)이 포함될 수 있다.
- [0035] 도 2는 도 1의 발광 영역(DA)과 비발광 영역(NDA)인 패드 영역(PA)의 단면도이다.
- [0036] 도 2를 참조하면, 본 발명의 유기발광표시장치(1)는, 제1기판(10) 상에 마련된 화소 영역(101), 채널 영역(102), 저장 영역(103) 및 패드 영역(PA)을 포함한다.
- [0037] 화소 영역(101)에는 유기발광소자(EL)가 구비된다. 유기발광소자(EL)는 박막트랜지스터(TFT)의 소스/드레인전극(29/27) 중 하나와 접속된 화소전극(43), 화소전극(43)과 마주보도록 형성된 대향전극(45) 및 그 사이에 개재된 중간층(44)으로 구성된다. 화소전극(43)은 투명한 전도성 물질로 형성되며, 나노 사이즈의 입자 형태의 은(Ag)을 포함할 수 있다. 도 2에서는 나노 은(nano Ag) 박막과 투명한 전도성 물질의 도전층으로 형성된 이층 구조의 화소전극(43)을 도시하고 있으나, 투명한 전도성 물질의 도전층이 나노 은 박막의 공극을 채우며 단일 층의 화소전극(43)이 형성될 수도 있다. 화소전극(43)은 박막트랜지스터(TFT)의 제1전극(23), 커패시터(Cst)의 상부전극(33)과 동일한 층에 동일한 물질로 형성될 수 있다.
- [0038] 채널 영역(102)에는 구동소자로서 박막트랜지스터(TFT)가 구비된다. 박막트랜지스터(TFT)는, 활성층(21), 게이트전극(20) 및 소스/드레인 전극(29, 27)으로 구성된다. 게이트 전극(20)은 제1전극(23)과 제1전극(23) 상부에 있는 제2전극(25)으로 구성되고, 이때 제1전극(23)은 투명한 전도성 물질로 형성되며, 나노 사이즈의 입자 형태의 은(Ag)을 포함할 수 있다. 도 2에서는 나노 은(nano Ag) 박막과 투명한 전도성 물질의 도전층으로 형성된 이층 구조의 제1전극(23)을 도시하고 있으나, 투명한 전도성 물질의 도전층이 나노 은 박막의 공극을 채우며 단일 층의 제1전극(23)이 형성될 수도 있다. 게이트 전극(20)과 활성층(21) 사이에는 이들 간의 절연을 위한 게이트 절연막인 제1절연층(12)이 개재되어 있다. 또한, 활성층(21)의 양쪽 가장자리에는 고농도의 불순물이 도핑된 소스/드레인 영역(21s/21d)이 형성되어 있으며, 이들은 상기 소스/드레인 전극(29/27)에 각각 연결되어 있다.
- [0039] 저장 영역(103)에는 커패시터(Cst)가 구비된다. 커패시터(Cst)는 하부전극(31) 및 상부전극(33)으로 이루어지며, 이들 사이에 제1절연층(12)이 개재된다. 여기서, 하부전극(31)은 박막트랜지스터(TFT)의 활성층(21)과 동일한 층에 형성될 수 있다. 하부전극(31)은 반도체 물질로 이루어지며, 불순물이 도핑되어 있어 전기 전도성이 향상된다. 한편, 상부전극(33)은 박막트랜지스터(TFT)의 제1전극(23), 유기발광소자(EL)의 화소전극(43), 패드 영역(PA)의 패드전극(53)과 동일한 층에 동일한 물질로 형성될 수 있다. 즉, 상부전극(33)은 나노 은(nano Ag) 박막과 투명한 전도성 물질의 도전층으로 형성된 이층 구조, 또는 투명한 전도성 물질의 도전층이 나노 은 박막의 공극을 채우는 단일 층 구조로 형성될 수 있다.
- [0040] 패드 영역(PA)은 패드전극(53)을 포함한다. 여기서, 패드전극(53)은 박막트랜지스터(TFT)의 제1전극(23), 커패시터(Cst)의 상부전극(33) 및 유기발광소자(EL)의 화소전극(43)과 동일한 층에 동일한 물질로 형성될 수 있다. 즉, 패드전극(53)은 나노 은(nano Ag) 박막과 투명한 전도성 물질의 도전층으로 형성된 이층 구조, 또는 투명한 전도성 물질의 도전층이 나노 은 박막의 공극을 채우는 단일 층 구조로 형성될 수 있다. 패드전극(53)은 유기발광표시장치(1)의 구동을 위해 전류를 공급하는 드라이버 IC(미도시)와 전기적으로 연결된다. 따라서, 패드전극(53)은 드라이버 IC로부터 전류를 인가받아 발광영역(DA)으로 전달하게 된다.

- [0041] 도 3 내지 도 14는 도 2에 도시된 유기발광표시장치(1)의 제조공정을 개략적으로 나타내는 단면도이다. 이하에 서는 도 2에 도시된 유기발광표시장치(1)의 제조공정을 개략적으로 설명한다.
- [0042] 먼저, 도 3에 도시된 바와 같이, 제1기판(10) 상부에 보조층(11)을 형성한다.
- [0043] 제1기판(10)은 SiO_2 를 주성분으로 하는 투명 재질의 글라스재로 형성될 수 있다. 제1기판(10)은 반드시 이에 한정되는 것은 아니며 투명한 플라스틱 재 또는 금속 재 등, 다양한 재질의 기판을 이용할 수 있다.
- [0044] 제1기판(10) 상면에 불순물 이온이 확산되는 것을 방지하고, 수분이나 외기의 침투를 방지하며, 표면을 평탄화 하기 위한 베리어층, 블록킹층, 및/또는 버퍼층과 같은 보조층(11)이 구비될 수 있다. 보조층(11)은 SiO_2 및/또는 SiN_x 등을 사용하여, PECVD(plasma enhanced chemical vapor deosition)법, APCVD(atmospheric pressure CVD)법, LPCVD(low pressure CVD)법 등 다양한 증착 방법에 의해 형성될 수 있다.
- [0045] 보조층(11) 상부에 박막트랜지스터(TFT)의 활성층(21)과 커패시터(Cst)의 하부전극(31)을 형성한다. 구체적으로, 보조층(11) 상부에 비정질실리콘층(미도시)을 먼저 증착한 후 이를 결정화함으로써 다결정실리콘층(미도시)을 형성한다. 비정질 실리콘은 RTA(rapid thermal annealing)법, SPC(solid phase crystallization)법, ELA(excimer laser annealing)법, MIC(metal induced crystallization)법, MILC(metal induced lateral crystallization)법, SLS(sequential lateral solidification)법 등 다양한 방법에 의해 결정화될 수 있다. 이와 같은 다결정실리콘층은 제1마스크(미도시)를 사용한 마스크 공정에 의해, 박막트랜지스터(TFT)의 활성층(21) 및 커패시터(Cst)의 하부전극(31)으로 패터닝된다.
- [0046] 본 실시예에서는, 박막트랜지스터(TFT)의 활성층(21)과 커패시터(Cst)의 하부전극(31)이 분리 형성되었으나, 박막트랜지스터(TFT)의 활성층(21)과 커패시터(Cst)의 하부전극(31)을 일체로 형성할 수도 있다.
- [0047] 다음으로, 도 4에 도시된 바와 같이, 박막트랜지스터(TFT)의 활성층(21)과 커패시터(Cst)의 하부전극(31)이 형성된 제1기판(10)의 전면에 제1절연층(12)과 나노 은(Nano Ag) 박막(13')을 증착한다.
- [0048] 제1절연층(12)은 SiN_x 또는 SiO_x 등과 같은 무기 절연막을 PECVD법, APCVD법, LPCVD법 등의 방법으로 증착할 수 있다. 제1절연층(12)은, 박막트랜지스터(TFT)의 활성층(21)과 게이트전극(20) 사이에 개재되어 박막트랜지스터(TFT)의 게이트 절연막 역할을 하며, 커패시터(Cst)의 상부전극(33)과 하부전극(31) 사이에 개재되어 커패시터(Cst)의 유전체층 역할을 하게 된다.
- [0049] 메탈 미러(Metal mirror)를 구현하기 위해서는 흡수율이 낮으면서도 반사율이 높아야 하는 금속(metal) 고유특성에 모순적인 금속 특성을 요구하는데 이를 잘 만족시킬 수 있는 금속이 은(Ag)이다.
- [0050] 도 15(a)와 같이, 스퍼터링에 의해 은(Ag) 박막을 제1절연층(12) 상부에 증착하고, 물리적 및/또는 열적 변화를 가하게 되면, 예를 들어, 200℃의 열처리에 의해, 은(Ag) 박막에서 은(Ag) 응집(agglomeration) 현상이 일어날 수 있다. 이에 따라, 도 15(b)와 같이, 나노 사이즈의 은(Ag)(이하, '나노 은(nano Ag)'이라 함)입자 간에 공극이 형성된 나노 은 박막(13')이 제1절연층(12) 상부에 형성될 수 있다. 다른 예로서, 나노 은(nano Ag)을 바로 스퍼터링에 의해 제1절연층(12) 상부에 증착하여 나노 은 박막(13')을 형성할 수 있다. 나노 은(nano Ag) 입자의 사이즈는 공정에 따라 상이할 수 있으며, 전체적으로 균일하지 않을 수 있다. 나노 은 박막(13')의 두께는 대략 100Å 이하인 것이 바람직하다.
- [0051] 다음으로, 도 5에 도시된 바와 같이, 제1절연층(12)과 나노 은(Nano Ag) 박막(13')이 형성된 제1 기판(10)의 전면에 제1도전층(13)과 제2도전층(15)을 순차로 증착한다.
- [0052] 제1도전층(13)은 투명도전층으로서, 인듐틴옥사이드(indium tin oxide: ITO), 인듐징크옥사이드(indium zink oxide: IZO), 징크옥사이드(zink oxide: ZnO), 인듐옥사이드(indium oxide: In_2O_3), 인듐갈륨옥사이드(indium galium oxide: IGO), 및 알루미늄징크옥사이드(aluminium zink oxide: AZO)를 포함하는 그룹에서 선택된 적어도 하나 이상을 포함할 수 있다.
- [0053] 상기 실시예에서는 나노 은(Nano Ag) 박막(13') 상부에 제1도전층(13)이 형성되는 이층 구조를 도시하고 있으나, 도 5에서 별도 도시된 바와 같이, 제1도전층(13)이 나노 은(Nano Ag) 박막의 공극을 채우며 나노 은을 포함하는 단일 층의 제1도전층(13'')이 형성될 수도 있다.
- [0054] 나노 은(Nano Ag) 박막(13')과 제1도전층(13)은 추후 화소전극(43), 게이트의 제1전극(23), 커패시터의 상부전극(33), 및 패드전극(53)으로 패터닝 될 수 있다.

- [0055] 제2도전층(15)은 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 리튬(Li), 칼슘(Ca), 몰리브덴(Mo), 타이타늄(Ti), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속을 포함할 수 있다.
- [0056] 또한, 상기 제2도전층(15)은 다층의 금속층(15a, 15b, 15c)을 포함할 수 있는데, 본 실시예에서는 알루미늄(Al)(15b)을 중심으로 상 하부(15a, 15c)에 몰리브덴(Mo)이 형성된 Mo - Al - Mo의 3층 구조가 채용되었다. 그러나 본 발명은 이에 한정되지 않으며, 다양한 재료 및 다양한 층으로 제2도전층(15)을 형성할 수 있다. 추후 상기 제2도전층(15)은 게이트의 제2전극(25)으로 패터닝 될 수 있다.
- [0057] 다음으로, 도 6에 도시된 바와 같이, 제1기관(10) 상에 게이트 전극(20)과, 제1전극패턴(40)과 제2전극패턴(30)과 제3전극패턴(50)을 각각 형성한다.
- [0058] 제1기관(10) 전면에 차례로 적층된, 나노 은(Nano Ag) 박막(13'), 제1도전층(13) 및 제2도전층(15)은 제2마스크(미도시)를 사용한 마스크 공정에 의해 패터닝된다.
- [0059] 채널 영역(102)에는 활성층(21) 상부에 게이트 전극(20)이 형성되고, 게이트 전극(20)은 나노 은(Nano Ag) 박막(13')과 제1도전층(13)의 일부로 형성된 게이트 제1전극(23)과 제2도전층(15)의 일부로 형성된 게이트 제2전극(25)을 포함한다.
- [0060] 여기서, 게이트 전극(20)은 활성층(21)의 중앙에 대응하도록 형성되며, 게이트 전극(20)을 셀프 얼라인(self align) 마스크로 하여 활성층(21)으로 n형 또는 p형의 불순물을 도핑하여 게이트 전극(20)의 양측에 대응하는 활성층(21)의 가장자리에 소스/드레인 영역(21s/21d)과 이들 사이의 채널영역(21c)을 형성한다. 3족 원소인 붕소(B) 등으로 도핑하면 p-type, 5족 원소인 질소(N) 등으로 도핑하면 n-type 반도체를 형성할 수 있다. 도핑은 제1기관(10) 전면에서의 일괄 도핑으로 수행될 수 있다. 저장 영역(103)에는 추후 커패시터 상부전극(33)을 형성하기 위한 제2전극패턴(30)이 커패시터 하부전극(31) 상부에 형성된다. 화소 영역(101)에는 추후 화소전극(43)을 형성하기 위한 제1전극패턴(40)이 형성된다. 패드 영역(PA)에는 추후 패드전극(53)을 형성하기 위한 제3전극패턴(50)이 형성된다.
- [0061] 다음으로, 도 7에 도시된 바와 같이, 게이트 전극(20)이 형성된 제1기관(10)의 전면에 제2절연층(14)을 증착한다.
- [0062] 상기 제2절연층(14)은 폴리이미드, 폴리아마이드, 아크릴 수지, 벤조사이클로부텐 및 페놀 수지로 이루어진 군에서 선택되는 하나 이상의 유기 절연 물질로 스핀 코팅 등의 방법으로 형성된다. 제2절연층(14)은 충분한 두께로 형성되어, 예컨대 전술한 제1절연층(12)보다 두껍게 형성되어, 박막트랜지스터(TFT)의 게이트전극(20)과 소스/드레인전극(29/27) 사이의 층간 절연막 역할을 수행한다. 한편, 제2절연층(14)은 상기와 같은 유기 절연 물질뿐만 아니라, 전술한 제1절연층(12)과 같은 무기 절연 물질로 형성될 수 있으며, 유기 절연 물질과 무기절연 물질을 교번하여 형성할 수도 있다.
- [0063] 다음으로, 도 8에 도시된 바와 같이, 제2절연층(14)을 패터닝하여 제1 내지 제3전극패턴(30, 40, 50)과 활성층(21)의 소스/드레인영역(21s/21d)의 일부를 노출하는 개구들(H1, H2, H3, H4, H5)를 갖는 층간절연막(16)을 형성한다.
- [0064] 상세히, 상기 제2절연층(14)을 제3마스크(미도시)를 사용한 마스크 공정에 의해 패터닝함으로써 개구들(H1, H2, H3, H4, H5)을 형성한다. 제1 및 제2개구(H1, H2)는 소스/드레인 영역(21s/21d)의 일부를 각각 노출시킨다. 제3개구(H3)는 제2전극패턴(30) 전체를 노출시키도록 제2전극패턴(30)의 상부를 구성하는 제2도전층(15)과 제1절연층(12)의 적어도 일부를 노출시킨다. 상기 제4개구(H4)는 제1전극패턴(40)의 상부를 구성하는 제2도전층(15)과 제1절연층(12)의 적어도 일부를 노출시키고, 제5개구(H5)는 제1전극패턴(40)의 상부를 구성하는 제2도전층(15)의 적어도 일부를 노출시킨다.
- [0065] 그리고, 패드 영역(PA)의 상기 제3전극패턴(50)을 덮는 상기 제2절연층(14)을 제거하여, 상기 제3전극패턴(50) 전체를 노출시킨다. 이때, 패드 영역(PA)의 제2절연층(14)에 개구를 형성함으로써 상기 제3전극패턴(50)을 노출시킬 수 있다.
- [0066] 한편, 도 8에 도시된 바와 같이 제3개구(H3)는 제1전극패턴(40) 전체를 노출시키도록 형성될 수 있으나, 이에 한정되지 않고, 제1전극패턴(40)의 상부를 구성하는 제2도전층(15)의 적어도 일부를 노출시키도록 형성될 수도 있다.

- [0067] 다음으로, 도 9에 도시된 바와 같이, 층간 절연막(16)을 덮도록 제1기판(10) 전면에서 제3도전층(17)을 증착한다.
- [0068] 상기 제3도전층(17)은 전술한 제1도전층(13) 또는 제2도전층(15)과 동일한 도전 물질 가운데 선택할 수 있으며, 이에 한정되지 않고 다양한 도전 물질들로 형성될 수 있다. 또한, 상기 도전 물질은 전술한 개구들(H1, H2, H3, H4, H5)을 충전하고, 제1 내지 제3전극패턴(40, 30, 50)을 덮을 수 있을 정도로 충분한 두께로 증착된다.
- [0069] 다음으로, 도 10에 도시된 바와 같이, 제3도전층(17)을 식각함으로써, 소스/드레인전극(29/27), 화소전극(43), 커패시터 상부전극(33) 및 패드전극(53)을 각각 형성한다.
- [0070] 제3도전층(17) 상에 전면적으로 포토레지스트 물질을 균일하게 도포한 후, 제4마스크(미도시)를 사용한 마스크 공정에 의해 소스/드레인전극(29/27)을 형성한다. 여기서, 소스/드레인전극(29/27) 중 하나의 전극(본 실시예의 경우 드레인전극(27))은 화소전극(43)이 형성될 제1전극패턴(40)의 상부 제2도전층(15)의 가장자리 영역의 제5개구(H5)를 통하여 화소전극(43)과 접촉하도록 형성된다.
- [0071] 한편, 소스/드레인전극(29/27)을 형성함과 동시에 화소전극(43), 커패시터 상부전극(33) 및 패드전극(53)을 각각 형성한다. 그러나 본 발명은 이에 한정되지 않고, 소스/드레인전극(29/27)을 형성한 후 추가 식각에 의해 화소전극(43), 커패시터 상부전극(33) 및 패드전극(53)을 각각 형성할 수도 있다. 상세히, 제1전극패턴(40)의 상부 제2도전층(15)을 제거하여 화소전극(43)을 형성한다. 그리고, 상기 제2전극패턴(30)의 상부 제2도전층(15)을 제거하여 커패시터 상부전극(33)을 형성한다. 그리고, 제3전극패턴(50)의 상부 제2도전층(15)을 제거하여 패드전극(53)을 형성한다. 커패시터 상부전극(33), 화소전극(43), 및 패드전극(53)은 나노 은(Nano Ag) 박막(13')과 제1도전층(13)의 일부로 형성된다.
- [0072] 따라서 게이트 제1전극(23), 커패시터 상부전극(33), 화소전극(43), 및 패드전극(53)은 동일층에서 동일 물질로 형성된다.
- [0073] 다음으로, 도 11에 도시된 바와 같이, n형 또는 p형의 불순물을 주입하여 커패시터 하부전극(31)을 도핑한다.
- [0074] 여기서, 상기 커패시터 상부전극(33)의 형성에 의해 저장 영역(103)에 형성된 제6개구(H6)를 통해 n형 또는 p형의 불순물을 주입하여 커패시터 하부전극(31)을 도핑할 수 있다. 도핑 시 주입되는 불순물은 상기 활성층(21)의 도핑 시 사용된 것과 동일 또는 상이할 수 있다.
- [0075] 한편, 도 11을 참조하면, 제6개구(H6)가 커패시터 하부전극(31)을 완전히 노출하도록 충분히 넓게 형성되고, 제2전극패턴(30)의 제2도전층(15)이 일부 잔존하지 않고 모두 식각됨으로써, 커패시터 하부전극(31)이 완전히 도핑될 수 있어, 개구율 향상, 정전 용량 증가, 및 커패시터 배선의 신호 전달 품질 향상을 도모할 수 있다. 여기서, 불순물의 도핑은 커패시터 하부전극(31)을 타겟으로 하지만 제1기판(10) 전면에서 수행될 수도 있다.
- [0076] 다음으로, 도 12에 도시된 바와 같이, 제1기판(10) 상에 제3절연층(18)을 형성한다.
- [0077] 상세히, 화소전극(43), 소스/드레인전극(29/27), 커패시터 상부전극(33), 패드전극(53)이 형성된 제1기판(10) 전면에서 제3절연층(18)을 충분히 두껍게 증착한다. 이때 상기 제3절연층(18)은 폴리이미드, 폴리아마이드, 아크릴 수지, 벤조사이클로부텐 및 페놀 수지로 이루어진 군에서 선택되는 하나 이상의 유기 절연 물질로 스핀 코팅 등의 방법으로 형성될 수 있다. 한편, 상기 제3 절연층(18)은 상기와 같은 유기 절연 물질뿐만 아니라, SiO₂, SiNx, Al₂O₃, CuOx, Tb₄O₇, Y₂O₃, Nb₂O₅, Pr₂O₃ 등에서 선택된 무기 절연 물질로 형성될 수 있음은 물론이다. 또한 상기 제3절연층(18)은 유기 절연 물질과 무기 절연 물질이 교번하는 다층 구조로 형성될 수도 있다.
- [0078] 한편, 제3절연층(18)은 선택에 따라 패드 영역(PA)에 증착될 수도 있고, 증착되지 않을 수도 있다.
- [0079] 패드 영역(PA)은 제1절연층(12) 상부에 나노 은을 포함하는 ITO 전극층이 형성된 나노 은/ITO 패드이다.
- [0080] 다음으로, 도 13에 도시된 바와 같이, 제3절연층(18)을 패터닝하여 화소정의막(19)을 형성한다.
- [0081] 화소정의막(19)은 제5마스크(미도시)를 사용한 마스크 공정에 의해 패터닝하여 화소전극(43)의 중앙부가 노출되도록 개구(H7)를 형성함으로써, 픽셀을 정의하게 된다.
- [0082] 마지막으로, 도 14에 도시된 바와 같이, 화소전극(43)을 노출하는 개구(H7)에 발광층을 포함하는 중간층(44) 및 대향 전극(45)을 형성한다.
- [0083] 중간층(44)은 유기 발광층(emissive layer: EML)과, 그 외에 정공 수송층(hole transport layer: HTL), 정공 주입층(hole injection layer: HIL), 전자 수송층(electron transport layer: ETL), 및 전자 주입층(electron

injection layer: EIL) 등의 기능층 중 어느 하나 이상의 층이 단일 혹은 복합의 구조로 적층되어 형성될 수 있다.

[0084] 상기 중간층(44)은 저분자 또는 고분자 유기물로 구비될 수 있다.

[0085] 저분자 유기물로 형성되는 경우, 중간층(44)은 유기 발광층을 중심으로 화소전극(43)의 방향으로 정공 수송층 및 정공 주입층 등이 적층되고, 대향 전극(45) 방향으로 전자 수송층 및 전자 주입층 등이 적층된다. 이외에도 필요에 따라 다양한 층들이 적층될 수 있다. 이때, 사용 가능한 유기 재료도 구리 프탈로시아닌(CuPc: copper phthalocyanine), N,N-디(나프탈렌-1-일)-N,N'-디페닐-벤지딘(N,N'-Di(naphthalene-1-yl)-N,N'-diphenylbenzidine: NPB), 트리스-8-하이드록시퀴놀린 알루미늄(tris-8-hydroxyquinoline aluminum)(Alq3) 등을 비롯하여 다양하게 적용 가능하다.

[0086] 한편, 고분자 유기물로 형성되는 경우에는, 중간층(44)은 유기 발광층을 중심으로 화소전극(43) 방향으로 정공 수송층만이 포함될 수 있다. 정공 수송층은 폴리에틸렌 디히드록시티오펜(PEDOT: poly-(2,4)-ethylene-dihydroxy thiophene)이나, 폴리아닐린(PANI: polyaniline) 등을 사용하여 잉크젯 프린팅이나 스핀 코팅의 방법에 의해 화소전극(43) 상부에 형성할 수 있다. 이때 사용 가능한 유기 재료로 PPV(Poly-Phenylenevinylene)계 및 폴리플루오렌(Polyfluorene)계 등의 고분자 유기물을 사용할 수 있으며, 잉크젯 프린팅이나 스핀 코팅 또는 레이저를 이용한 열전사 방식 등의 통상의 방법으로 컬러 패턴을 형성할 수 있다.

[0087] 상기 대향 전극(45)은 제1기판(10) 전면에 증착되어 공통 전극으로 형성될 수 있다. 본 실시예에 따른 유기발광 표시장치(1)의 경우, 화소전극(43)은 애노드 전극으로 사용되고, 대향 전극(45)은 캐소드 전극으로 사용된다. 물론 전극의 극성은 반대로 적용될 수 있음은 물론이다.

[0088] 유기발광표시장치(1)가 제1기판(10)의 방향으로 화상이 구현되는 배면 발광형(bottom emission type)의 경우, 화소전극(43)은 투명전극이 되고 대향 전극(45)은 반사 전극이 된다. 이때 반사 전극은 일함수가 적은 금속, 예를 들자면, Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Li, Ca, LiF/Ca, LiF/Al, 또는 이들의 화합물을 얇게 증착하여 형성할 수 있다.

[0089] 본 발명의 실시예에 따른 유기 발광 표시 장치와 그 제조방법에 의하면, 5번의 마스크 공정에 의해 제조가 가능하므로, 마스크 수의 저감에 따른 비용의 절감 및 제조 공정의 단순화를 실현할 수 있다. 또한, 화소전극이 나노 은을 포함하여 메탈 미러(metal mirror) 기능을 수행함으로써 별도의 메탈 미러(metal mirror) 기능을 위한 층을 형성할 필요가 없다. 그리고, 패드 영역에 나노 은-투명전극(ITO) 패드가 형성되기 때문에, 나노 은과 같은 금속이 노출되지 않아, 패드 영역의 부식을 방지할 수 있다.

[0090] 전술된 유기발광표시장치(1)를 형성하기 위한 각 마스크 공정시 적층막의 제거는 건식 식각 또는 습식 식각으로 수행될 수 있다.

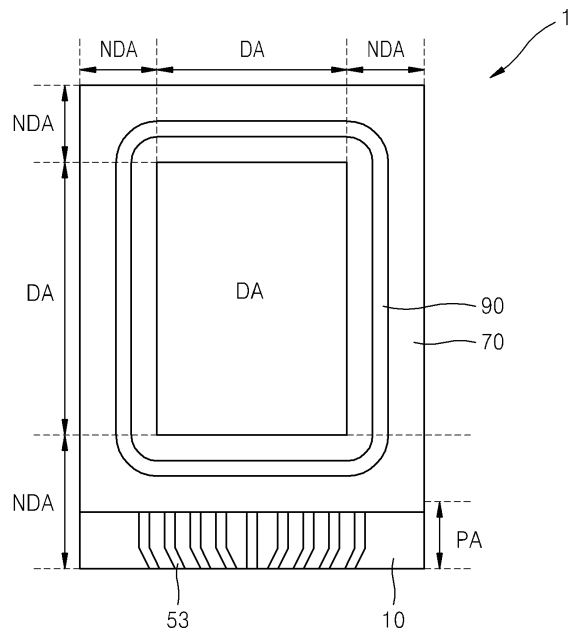
[0091] 한편, 전술한 실시예에서는 유기발광표시장치(1)를 예로 설명하였으나, 본 발명은 이에 한정되지 않고 액정표시 장치를 비롯한 다양한 표시 소자를 사용할 수 있음은 물론이다.

[0092] 또한, 본 발명에 따른 실시예를 설명하기 위한 도면에는 하나의 TFT와 하나의 커패시터만 도시되어 있으나, 이는 설명의 편의를 위한 것일 뿐, 본 발명은 이에 한정되지 않으며, 본 발명에 따른 마스크 공정을 늘리지 않는 한, 복수 개의 TFT와 복수 개의 커패시터가 포함될 수 있음은 물론이다.

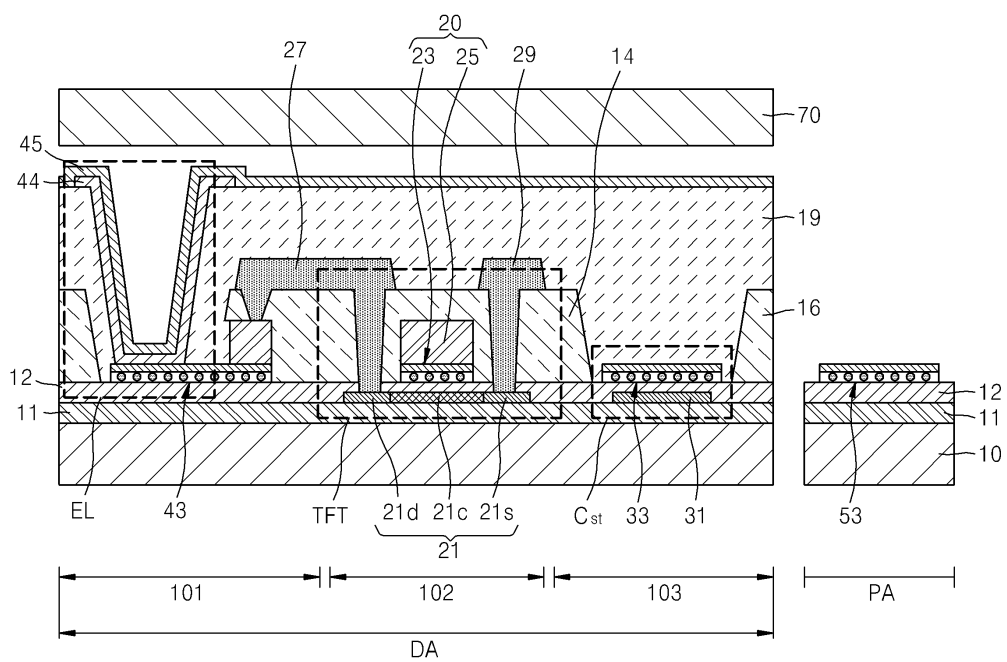
[0093] 본 명세서에서는 본 발명을 한정된 실시예를 중심으로 설명하였으나, 본 발명의 범위 내에서 다양한 실시예가 가능하다. 또한 설명되지 않는 것은, 균등한 수단도 또한 본 발명에 그대로 결합되는 것이라 할 것이다. 따라서 본 발명의 진정한 보호범위는 아래의 특허청구범위에 의하여 정해져야 할 것이다.

도면

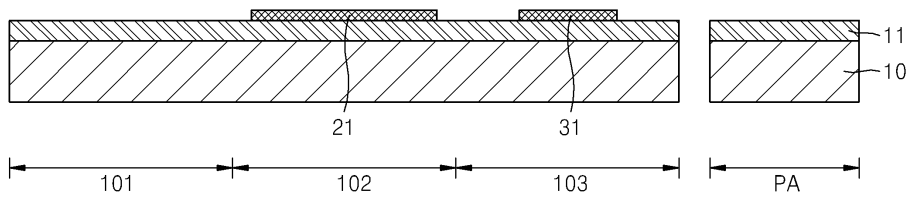
도면1



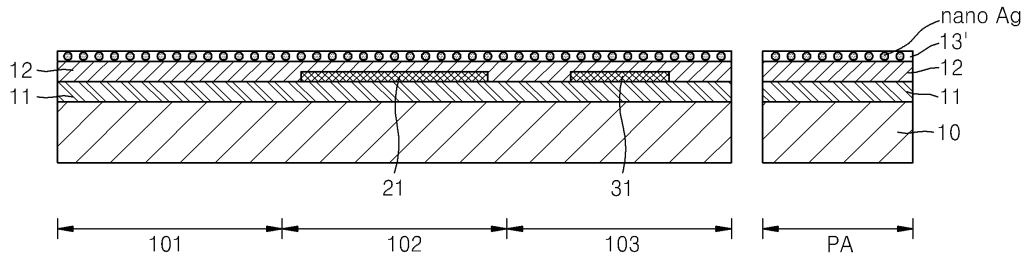
도면2



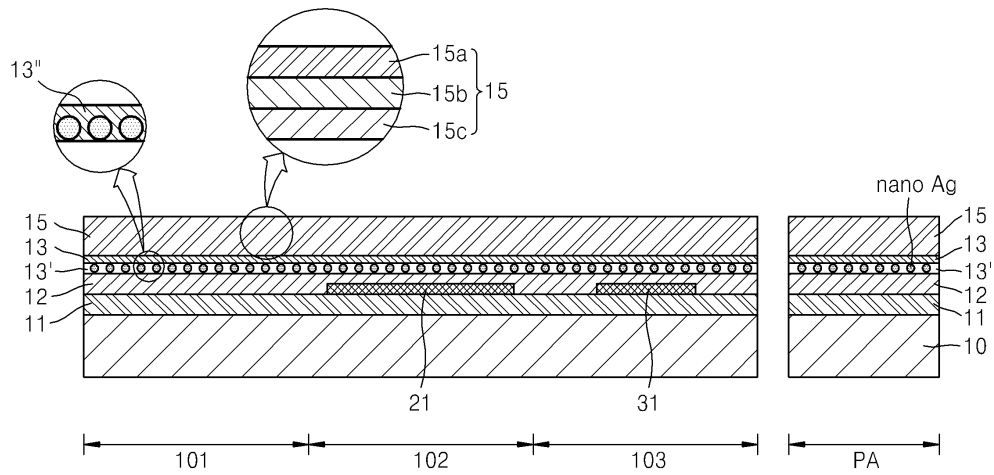
도면3



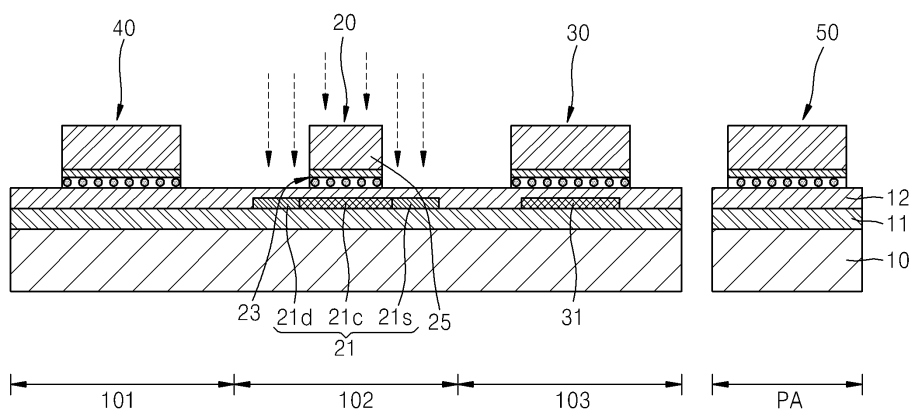
도면4



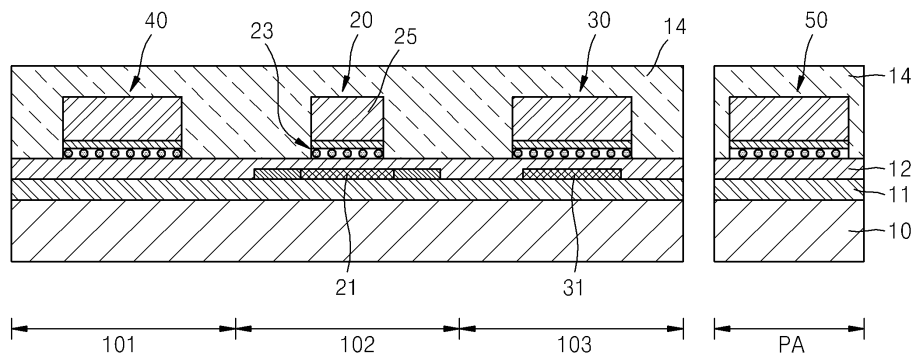
도면5



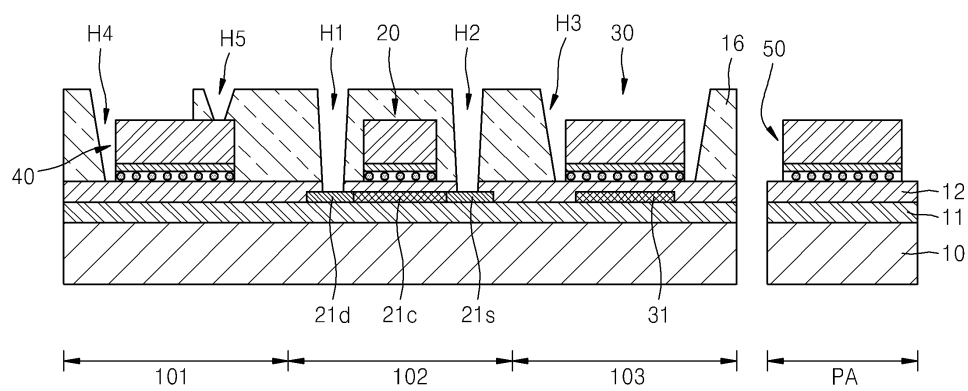
도면6



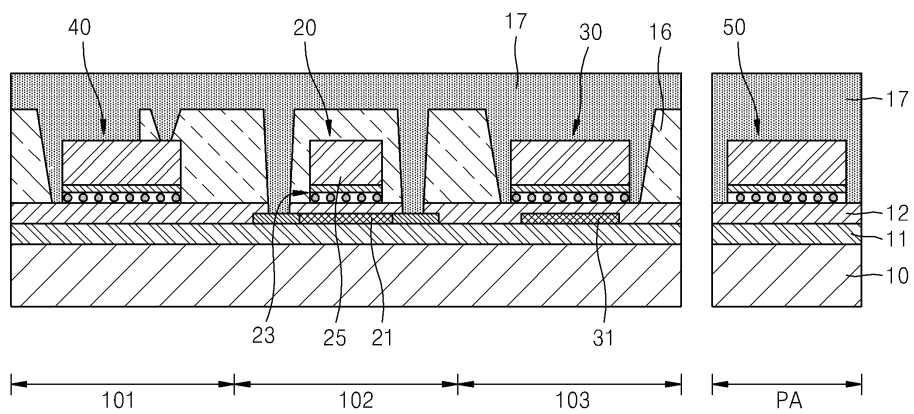
도면7



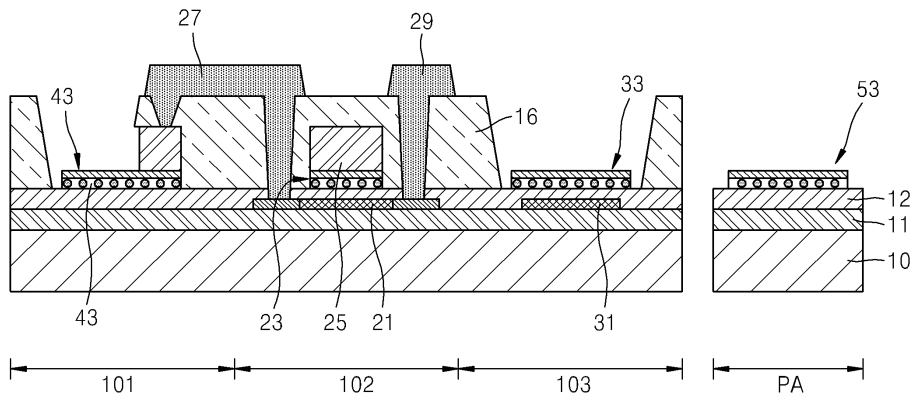
도면8



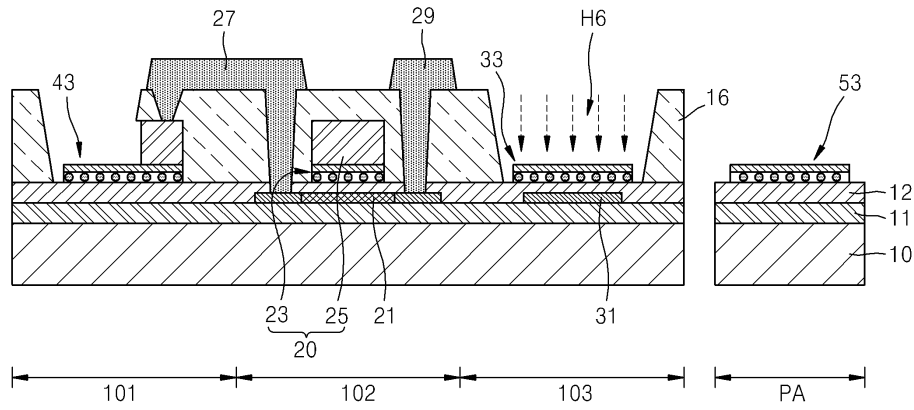
도면9



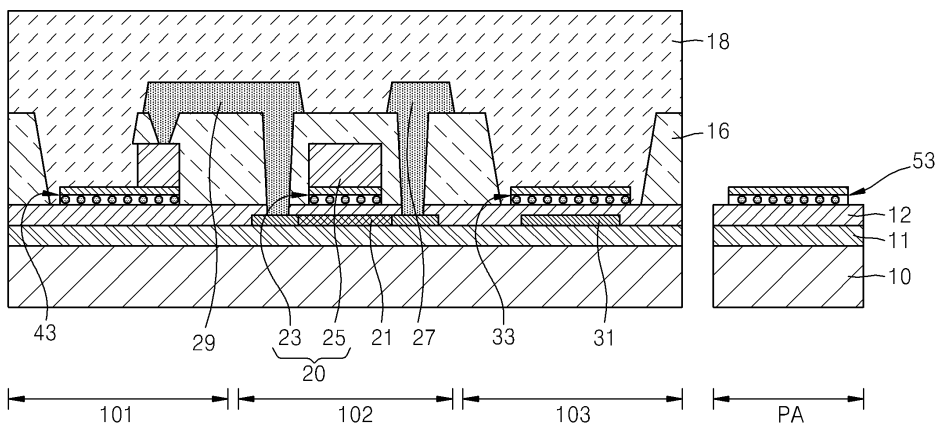
도면10



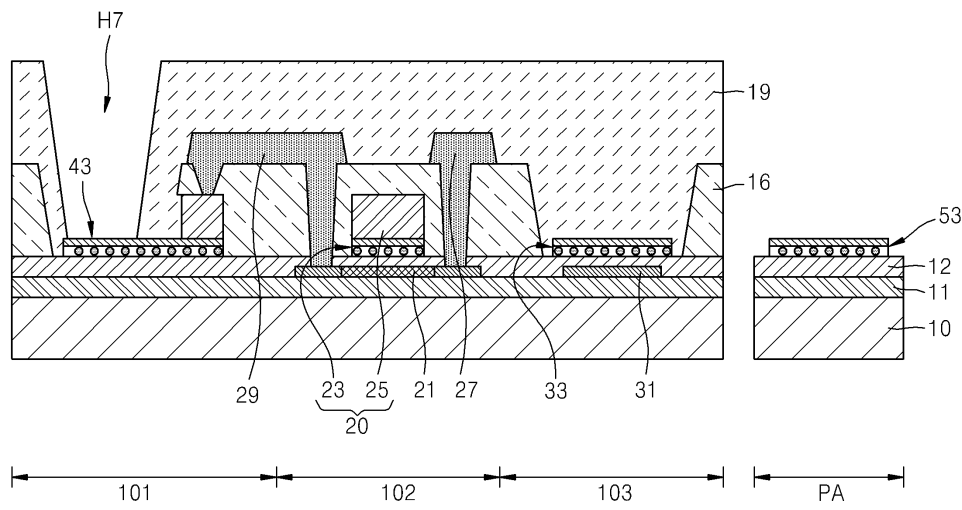
도면11



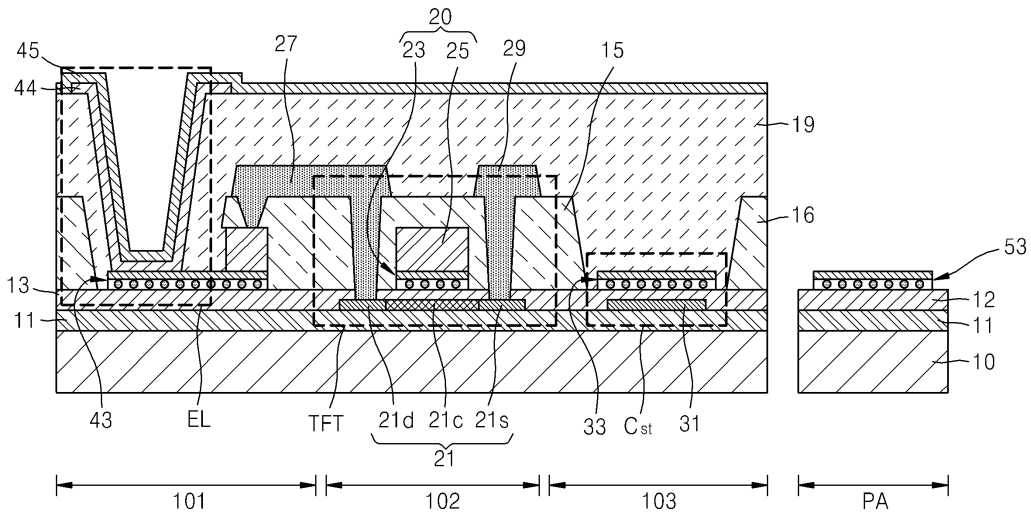
도면12



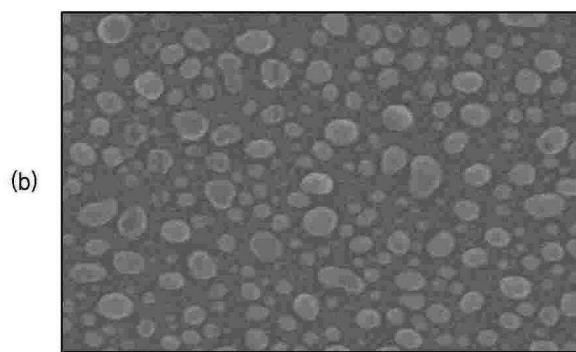
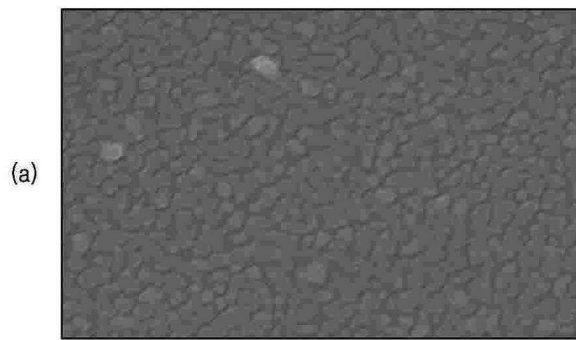
도면13



도면14



도면15



专利名称(译)	有机发光显示装置及其制造方法		
公开(公告)号	KR1020130009501A	公开(公告)日	2013-01-23
申请号	KR1020110070661	申请日	2011-07-15
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	YOU CHUN GI 유춘기		
发明人	유춘기		
IPC分类号	H01L51/56 H05B33/06 H05B33/26 H05B33/10		
CPC分类号	H01L27/3276 H01L27/1288 H01L29/4908 H01L27/124 H01L27/3262 H01L27/3265 H01L51/5206 H01L51/5215 H01L2227/323		
其他公开文献	KR101873448B1		
外部链接	Espacenet		

摘要(译)

本发明公开了一种有机发光显示器及其制造方法。本发明的有机发光二极管显示器包括有源层，包括第一电极的栅电极和在第一电极上方的第二电极，以及在有源层上方的绝缘层上的源电极和漏电极像素电极电连接到薄膜晶体管并由与第一电极相同的材料形成，中间层包括发光层，并且相对电极形成面对像素电极，并且焊盘电极形成在与位于发光区域外部的焊盘区域中的第一电极相同的层上。

