



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년07월16일
(11) 등록번호 10-2000207
(24) 등록일자 2019년07월09일

(51) 국제특허분류(Int. Cl.)
H01L 51/05 (2006.01) H01L 29/786 (2006.01)
H01L 51/50 (2006.01)
(21) 출원번호 10-2012-0086390
(22) 출원일자 2012년08월07일
심사청구일자 2017년08월07일
(65) 공개번호 10-2014-0019698
(43) 공개일자 2014년02월17일
(56) 선행기술조사문헌
JP2003069022 A*
KR1020020027435 A*
US20090267075 A1*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
최대성
경기도 용인시 기흥구 삼성2로 95 (농서동)
박원상
경기도 용인시 기흥구 삼성2로 95 (농서동)
(74) 대리인
리앤목특허법인

전체 청구항 수 : 총 22 항

심사관 : 최정예

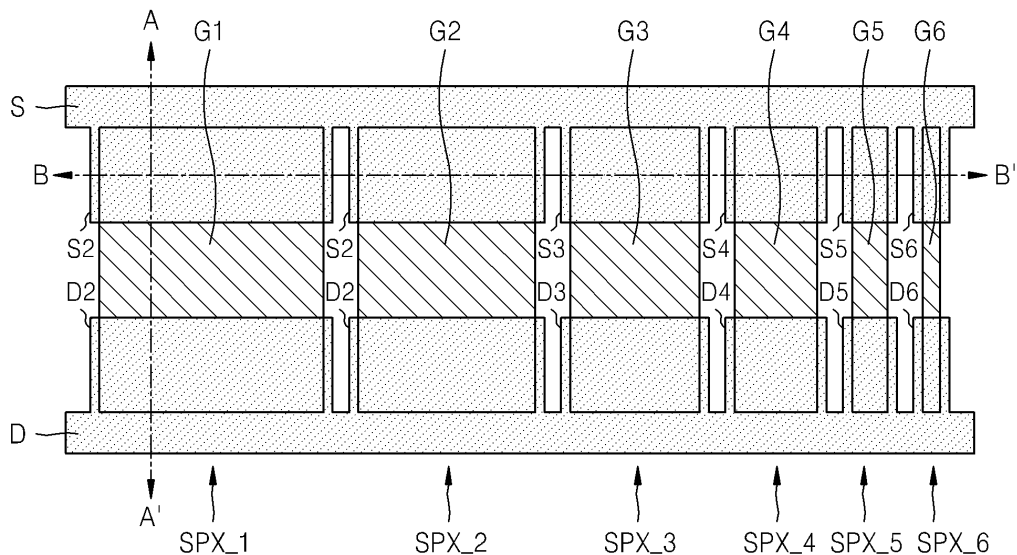
(54) 발명의 명칭 유기 발광 트랜지스터 및 유기 발광 표시 장치

(57) 요약

본 발명은 유기 발광 트랜지스터 및 유기 발광 표시 장치를 개시한다.

유기 발광 표시 장치의 각 픽셀은, 상이한 면적을 가지며 인접하게 배열된 복수의 게이트 전극들과, 소스 및 드레인 전극과, 상기 소스 및 드레인 전극 사이에 형성된 유기 발광 물질을 포함하는 유기 박막층을 포함하는 유기 발광 트랜지스터에 의해 복수의 서브 픽셀로 구성되고, 스캔 신호에 의해 선택된 픽셀의 서브 픽셀들이 데이터 신호에 의해 선택적으로 온오프 되어 계조를 표현할 수 있다.

대표도 - 도4



명세서

청구범위

청구항 1

상이한 면적을 가지며 인접하게 배열된 복수의 게이트 전극들;

상기 복수의 게이트 전극들 상에 배치된 절연막;

상기 절연막 상에 배치되고, 상기 복수의 게이트 전극들 각각의 일부와 오버랩되고 서로 상이한 면적을 가지며 전기적으로 연결된 복수의 소스부들을 포함하는 소스전극;

상기 절연막 상에 상기 소스 전극의 복수의 소스부들과 마주하며 이격되고, 상기 복수의 게이트 전극들 각각의 일부와 오버랩되고 서로 상이한 면적을 가지며 전기적으로 연결된 복수의 드레인부들을 포함하는 드레인 전극; 및

상기 절연막 상에, 적어도 상기 복수의 소스부들과 상기 복수의 드레인부들 사이의 영역에 대응하여 배치되고, 유기 발광 물질을 포함하는 유기 박막층;을 포함하는 유기 발광 트랜지스터.

청구항 2

제1항에 있어서,

상기 유기 박막층은 상기 복수의 소스부들과 상기 절연막 사이 및 상기 복수의 드레인부들과 상기 절연막 사이에 배치된, 유기 발광 트랜지스터.

청구항 3

제1항에 있어서,

상기 유기 박막층은 적어도 상기 복수의 소스부들과 상기 복수의 드레인부들 사이에 배치된, 유기 발광 트랜지스터.

청구항 4

제1항에 있어서,

상기 유기 박막층은 상기 복수의 소스부들과 상기 복수의 드레인부들 사이 및 상기 복수의 소스부들과 상기 복수의 드레인부들 상부에 배치된, 유기 발광 트랜지스터.

청구항 5

제1항에 있어서,

상기 유기 박막층은,

상기 유기 발광 물질을 포함하는 발광층; 및

상기 발광층의 상부 또는 하부에 배치된 활성층;을 포함하고,

상기 활성층이 전자 수송층 또는 정공 수송층인, 유기 발광 트랜지스터.

청구항 6

상이한 면적을 가지며 인접하게 배열된 복수의 게이트 전극들;

상기 복수의 게이트 전극들 상에 배치된 절연막;

상기 절연막 상에 배치되고, 상기 복수의 게이트 전극들을 가로지르며 일정한 간격으로 평행하게 배치되고, 전기적으로 연결된 복수의 소스 전극들;

상기 절연막 상에 배치되고, 상기 복수의 게이트 전극들을 가로지르며 상기 복수의 소스 전극들 사이에 배치되고, 전기적으로 연결된 복수의 드레인 전극들; 및

상기 절연막 상에, 적어도 상기 복수의 소스 전극들과 상기 복수의 드레인 전극들 사이의 영역에 대응하여 배치되고, 유기 발광 물질을 포함하는 유기 박막층;을 포함하는 유기 발광 트랜지스터.

청구항 7

제6항에 있어서,

상기 유기 박막층은 상기 복수의 소스 전극들과 상기 절연막 사이 및 상기 복수의 드레인 전극들과 상기 절연막 사이에 배치된, 유기 발광 트랜지스터.

청구항 8

제6항에 있어서,

상기 유기 박막층은 적어도 상기 복수의 소스 전극들과 상기 복수의 드레인 전극들 사이에 배치된, 유기 발광 트랜지스터.

청구항 9

제6항에 있어서,

상기 유기 박막층은 상기 복수의 소스 전극들과 상기 복수의 드레인 전극들 사이 및 상기 복수의 소스 전극들과 상기 복수의 드레인 전극들 상부에 배치된, 유기 발광 트랜지스터.

청구항 10

제6항에 있어서,

상기 유기 박막층은,

상기 유기 발광 물질을 포함하는 발광층; 및

상기 발광층의 상부 또는 하부에 배치된 활성층;을 포함하고,

상기 활성층이 전자 수송층 또는 정공 수송층인, 유기 발광 트랜지스터.

청구항 11

상이한 면적을 가지며 인접하게 배열된 복수의 게이트 전극들;

상기 복수의 게이트 전극들 상에 배치된 제1절연막;

상기 제1절연막 상에 배치된 활성층;

상기 활성층 상에 일정 패터를 갖고 배치된 소스 전극;

상기 소스 전극 상에 배치된 제2절연막;

상기 제2절연막 상에 배치되고, 유기 발광 물질을 포함하는 유기 박막층; 및

상기 유기 박막층 상에 배치되고, 상기 복수의 게이트 전극들에 공통인 드레인 전극;을 포함하는 유기 발광 트랜지스터.

청구항 12

제11항에 있어서,

상기 유기 박막층은, 상기 유기 발광 물질을 포함하는 발광층, 전자 수송층 및 정공 수송층을 포함하고,

상기 발광층이 상기 전자 수송층과 상기 정공 수송층 사이에 배치된, 유기 발광 트랜지스터.

청구항 13

제11항에 있어서,

상기 소스 전극은, 상기 게이트 전극들을 가로질러 일정 간격으로 평행하게 배치되며 전기적으로 연결된 복수의 전극 라인들인, 유기 발광 트랜지스터.

청구항 14

제11항에 있어서,

상기 소스 전극은 벌집형 또는 격자형의 패턴을 갖는, 유기 발광 트랜지스터.

청구항 15

복수의 스캔 라인들로 스캔 신호를 공급하는 스캔 드라이버;

복수의 데이터 라인들로 데이터 신호를 공급하는 데이터 드라이버; 및

상기 복수의 스캔 라인들 중 대응하는 스캔 라인과 상기 복수의 데이터 라인들 중 대응하는 데이터 라인에 연결된 복수의 픽셀들;을 포함하고,

상기 복수의 픽셀들 각각은, 상이한 면적을 가지며 인접하게 배열된 복수의 게이트 전극들과, 소스 전극과, 드레인 전극과, 적어도 상기 소스 전극과 상기 드레인 전극 사이의 영역에 대응하여 배치된 유기 발광 물질을 포함하는 유기 박막층을 포함하는 유기 발광 트랜지스터에 의해 복수의 서브 픽셀들로 구성되고,

상기 복수의 픽셀들 각각은, 상기 데이터 신호에 의해 복수의 서브 픽셀들이 선택적으로 온오프 되어 계조를 표현하는 유기 발광 표시 장치.

청구항 16

제15항에 있어서,

상기 선택된 픽셀은, 복수의 게이트 전극들이 선택적으로 온됨으로써 복수의 서브 픽셀들이 선택적으로 온되는 유기 발광 표시 장치.

청구항 17

제15항에 있어서,

상기 복수의 게이트 전극들의 수가 N (N 은 자연수)일 때, 표현되는 계조 수는 2^N 인 유기 발광 표시 장치.

청구항 18

제17항에 있어서,

계조 값은 상기 온되는 서브 픽셀들의 발광 면적들의 합에 대응하는, 유기 발광 표시 장치.

청구항 19

제15항에 있어서,

상기 소스 전극은, 상기 복수의 게이트 전극들 각각의 일부와 오버랩되고 서로 상이한 면적을 가지며 전기적으로 연결된 복수의 소스부들을 포함하고,

상기 드레인 전극은, 상기 소스 전극의 복수의 소스부들과 마주하며 이격되고, 상기 복수의 게이트 전극들 각각의 일부와 오버랩되고 서로 상이한 면적을 가지며 전기적으로 연결된 복수의 드레인부들을 포함하는, 유기 발광 표시 장치.

청구항 20

제15항에 있어서,

상기 소스 전극은 상기 복수의 게이트 전극들을 가로지르며 일정한 간격으로 평행하게 배치되고, 전기적으로 연결된 복수의 소스부들을 포함하고,

상기 드레인 전극은 상기 복수의 게이트 전극들을 가로지르며 상기 복수의 소스부들 사이에 배치되고, 전기적으로 연결된 복수의 드레인부들을 포함하는, 유기 발광 표시 장치.

청구항 21

제15항에 있어서,

상기 소스 전극은 상기 복수의 게이트 전극들을 가로질러 일정 간격으로 평행하게 배치되며 전기적으로 연결된 복수의 전극 라인들을 포함하고,

상기 드레인 전극은 상기 소스 전극 상에 배치되고, 상기 복수의 게이트 전극들에 공통이고,

상기 유기 발광 트랜지스터는 상기 복수의 게이트 전극들과 상기 소스 전극 사이에 배치된 활성층을 더 포함하는, 유기 발광 표시 장치.

청구항 22

제15항에 있어서,

상기 소스 전극은 벌집형 또는 격자형의 패턴을 갖고,

상기 드레인 전극은 상기 소스 전극 상에 배치되고, 상기 복수의 게이트 전극들에 공통이고,

상기 유기 발광 트랜지스터는 상기 복수의 게이트 전극들과 상기 소스 전극 사이에 배치된 활성층을 더 포함하는, 유기 발광 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명은 유기 발광 트랜지스터 및 유기 발광 표시 장치에 관한 것이다.

배경 기술

[0002] 유기 발광 다이오드를 이용하는 표시 장치는 전자(electron)와 정공(hole)이 반도체 안에서 전자-정공 쌍을 만들거나 캐리어(carrier)들이 좀더 높은 에너지 상태로 여기된 후 다시 안정화 상태인 바닥상태로 떨어지는 과정을 통해 빛이 발생하는 현상을 이용한다.

[0003] 그러나, 유기 발광 다이오드는 액정 표시 장치와 달리 전압 구동 방식이 아닌 전류 구동 방식이므로 유기 발광 다이오드를 제어하기 위한 별도의 소자가 필요하다. 이러한 유기 발광 다이오드를 제어하기 위한 소자로 화소를 선택하는 스위칭 트랜지스터 및 유기 발광 다이오드를 구동하는 구동 트랜지스터를 포함하여 적어도 2개의 트랜지스터가 요구된다.

발명의 내용

해결하려는 과제

[0004] 종래의 유기 발광 다이오드를 제어하기 위한 별도의 소자를 구비하는 경우 화소 면적이 매우 감소한다. 또한 구동 트랜지스터를 아날로그 형태로 제어함에 따라 구동 트랜지스터의 임계전압(V_{th}) 산포에 의해 계조 불균일을 유발하며 이는 표시 장치의 균일성(uniformity)에 문제를 발생시킨다. 또한 임계전압(V_{th}) 보상을 위한 별도 시간(time)이 요구되어 UD(Ultra Definition)급 3차원(3D) 표시 장치 등에서는 타이밍(Timing) 문제를 야기시킨다.

[0005] 따라서, 본 발명은 트랜지스터로서의 기능과 발광 기능을 동시에 가지는 유기 발광 트랜지스터를 이용하여 하나의 픽셀을 복수의 차등 서브 픽셀 구조로 만들고, 각 서브 픽셀의 온/오프 조합을 통해 계조 표현이 가능한 표시 장치를 제공하고자 한다.

과제의 해결 수단

[0006] 본 발명의 바람직한 일 실시예에 따른 유기 발광 트랜지스터는, 상이한 면적을 가지며 인접하게 배열된 복수의 게이트 전극들; 상기 복수의 게이트 전극들 상에 형성된 절연막; 게이트 전극의 면적에 따라 정해진 면적을 갖

고, 각 게이트 전극마다 상기 절연막 상에 마주하며 이격되어 형성되는 소스 전극 및 드레인 전극; 및 상기 소스 전극 및 드레인 전극 사이에 배치되고, 유기 발광 물질을 포함하는 유기 박막층;을 포함할 수 있다.

- [0007] 상기 유기 박막층은 상기 소스 전극 및 드레인 전극 하부에 배치되거나, 상기 소스 전극 및 드레인 전극 사이를 채우며 동일층에 형성될 수 있다.
- [0008] 상기 유기 박막층은 발광층 및 활성층으로 기능할 수 있다.
- [0009] 상기 유기 박막층은 상기 유기 발광 물질을 포함하는 발광층과, 상기 발광층을 중심으로 배치된 전자 수송층 및 정공 수송층을 포함하고, 상기 전자 수송층 또는 정공 수송층이 활성층일 수 있다.
- [0010] 본 발명의 바람직한 다른 실시예에 따른 유기 발광 트랜지스터는, 상이한 면적을 가지며 인접하게 배열된 복수의 게이트 전극들; 상기 복수의 게이트 전극들 상에 형성된 절연막; 상기 게이트 전극들을 가로질러 상기 절연막 상에 일정한 간격으로 평행하게 배치된 복수의 소스 전극들과, 상기 복수의 소스 전극들 사이에 배치된 복수의 드레인 전극들; 및 상기 소스 전극들 및 드레인 전극들 사이에 배치되고, 유기 발광 물질을 포함하는 유기 박막층;을 포함할 수 있다.
- [0011] 상기 유기 박막층은 상기 소스 전극 및 드레인 전극 하부에 배치되거나, 상기 소스 전극 및 드레인 전극 사이를 채우며 동일층에 형성될 수 있다.
- [0012] 상기 유기 박막층은 발광층 및 활성층으로 기능할 수 있다.
- [0013] 상기 유기 박막층은 상기 유기 발광 물질을 포함하는 발광층과, 상기 발광층을 중심으로 배치된 전자 수송층 및 정공 수송층을 포함하고, 상기 전자 수송층 또는 정공 수송층이 활성층일 수 있다.
- [0014] 본 발명의 바람직한 또 다른 실시예에 따른 유기 발광 트랜지스터는, 상이한 면적을 가지며 인접하게 배열된 복수의 게이트 전극들; 상기 복수의 게이트 전극들 상에 형성된 제1절연막; 상기 절연막 상에 형성된 활성층; 상기 활성층 상에 상기 게이트 전극들을 가로질러 일정 간격으로 평행하게 배치된 복수의 소스 전극들; 상기 소스 전극들 상에 형성된 제2절연막; 상기 소스 전극들 사이를 채우며 상기 제2절연막 상에 형성되고, 유기 발광 물질을 포함하는 유기 박막층; 및 상기 유기 박막층 상에 상기 복수의 게이트 전극들에 공통으로 형성된 드레인 전극;을 포함할 수 있다.
- [0015] 상기 유기 박막층은 상기 유기 발광 물질을 포함하는 발광층과, 상기 발광층을 중심으로 배치된 전자 수송층 및 정공 수송층을 포함할 수 있다.
- [0016] 상기 소스 전극은, 상기 활성층 상에 상기 게이트 전극들을 가로질러 일정 간격으로 평행하게 배치된 복수의 전극 라인으로 형성되거나, 벌집형 또는 격자형 패턴으로 형성될 수 있다.
- [0017] 본 발명의 바람직한 일 실시예에 따른 유기 발광 표시 장치는, 복수의 스캔 라인으로 스캔 신호를 공급하는 스캔 드라이버; 복수의 데이터 라인으로 데이터 신호를 공급하는 데이터 드라이버; 및 스캔 라인과 데이터 라인의 교차 영역에 형성된 복수의 픽셀;을 포함하고, 각 픽셀은, 상이한 면적을 가지며 인접하게 배열된 복수의 게이트 전극들과, 소스 및 드레인 전극과, 상기 소스 및 드레인 전극 사이에 형성된 유기 발광 물질을 포함하는 유기 박막층을 포함하는 유기 발광 트랜지스터에 의해 복수의 서브 픽셀로 구성되고, 상기 스캔 신호에 의해 선택된 픽셀의 서브 픽셀들이 상기 데이터 신호에 의해 선택적으로 온오프 되어 계조를 표현할 수 있다.
- [0018] 상기 데이터 신호에 의해 상기 픽셀의 복수의 게이트 전극들이 선택적으로 온됨으로써 상기 서브 픽셀들이 선택적으로 온될 수 있다.
- [0019] 상기 복수의 게이트 전극의 수가 $N(N$ 은 자연수)일 때, 표현되는 계조 수는 $2^{(N)}$ 일 수 있다.
- [0020] 계조 값은 상기 온되는 서브 픽셀의 발광 면적의 합에 대응할 수 있다.
- [0021] 상기 유기 발광 트랜지스터의 소스 전극과 드레인 전극은, 상기 게이트 전극의 면적에 따라 정해진 면적을 갖고, 각 게이트 전극마다 마주하며 이격되어 형성될 수 있다.
- [0022] 상기 유기 발광 트랜지스터의 복수의 소스 전극들이 상기 게이트 전극들 상에 상기 게이트 전극들을 가로질러 일정한 간격으로 평행하게 배치되고, 복수의 드레인 전극들이 상기 복수의 소스 전극들 사이에 배치될 수 있다.
- [0023] 상기 유기 발광 트랜지스터의 상기 복수의 게이트 전극들 상에 활성층이 배치되고, 상기 활성층 상에 상기 게이트 전극들을 가로질러 일정 간격으로 평행하게 복수의 소스 전극들이 배치되고, 상기 소스 전극들 상에 상기 복

수의 게이트 전극들에 공통으로 드레인 전극이 배치될 수 있다.

[0024] 상기 복수의 게이트 전극들 상에 활성층이 배치되고, 상기 활성층 상에 벌집 형 또는 격자형의 패턴으로 소스 전극이 배치되고, 상기 소스 전극 상에 상기 복수의 게이트 전극들에 공통으로 드레인 전극이 배치될 수 있다.

발명의 효과

[0025] 본 발명은 유기 발광 트랜지스터를 이용하여 하나의 픽셀을 복수의 차등 서브 픽셀 구조로 만들고 각 서브 픽셀의 온/오프 조합을 통해 계조를 표현함으로써 기존 아날로그 방식의 문제점인 임계전압(Vth) 산포에 의한 휘도 불균일을 개선할 수 있다.

도면의 간단한 설명

[0026] 도 1은 본 발명의 일 실시예에 따른 표시 장치를 개략적으로 도시한 도면이다.
 도 2는 본 발명의 일 실시예에 따른 도 1의 픽셀 구조를 개략적으로 도시한 도면이다.
 도 3a 내지 도 3e는 본 발명의 일 실시예에 따른 계조 표현의 구현 예를 도시한다.
 도 4는 본 발명의 일 실시예에 따른 픽셀 구조의 상부 평면도이다.
 도 5a 및 도 5b는 본 발명의 일 실시예에 따른 도 4의 A-A'선과 B-B'선을 따라 자른 단면도이다.
 도 7a와 도 7b, 및 도 7c는 본 발명의 다른 실시예에 따른 도 4의 A-A'선과 B-B'선을 따라 자른 단면도이다.
 도 8은 본 발명의 다른 실시예에 따른 픽셀 구조의 상부 평면도이다.
 도 9a 및 도 9b는 본 발명의 일 실시예에 따른 도 8의 C-C'선과 E-E'선을 따라 자른 단면도이다.
 도 10a 및 도 10b는 본 발명의 다른 실시예에 따른 도 8의 C-C'선과 E-E'선을 따라 자른 단면도이다.
 도 11은 본 발명의 또 다른 실시예에 따른 픽셀 구조의 상부 평면도이다.
 도 12a 및 도 12b는 본 발명의 일 실시예에 따른 도 11의 F-F'선과 H-H'선을 따라 자른 단면도이다.
 도 13 및 도 14는 본 발명의 다른 실시예에 따른 소스 전극(S)의 전극 패턴을 도시한다.

발명을 실시하기 위한 구체적인 내용

[0027] 본 발명은 다양한 변환을 가할 수 있고 여러 가지 실시 예를 가질 수 있는 바, 특정 실시 예들을 도면에 예시하고 상세한 설명에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변환, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 본 발명을 설명함에 있어서 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우 그 상세한 설명을 생략한다.

[0028] 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 구성요소들은 용어들에 의해 한정되어서는 안 된다. 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다.

[0029] 본 발명의 실시예를 설명하는 도면에 있어서, 층 및 영역들의 크기 및 상대적인 크기는 설명의 명료성을 위해 과장된 것일 수 있다. 소자(elements) 또는 층이 다른 소자 또는 층의 "위(on)" 또는 "상(on)"으로 지칭되는 것은 다른 소자 또는 층의 바로 위뿐만 아니라 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다. 반면, 소자가 "직접 위(directly on)" 또는 "바로 위"로 지칭되는 것은 중간에 다른 소자 또는 층을 개재하지 않은 것을 나타낸다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. "및/또는"은 언급된 아이템들의 각각 및 하나 이상의 모든 조합을 포함한다.

[0030] 공간적으로 상대적인 용어인 "아래(below)", "아래(beneath)", "하부(lower)", "위(above)", "상부(upper)" 등은 도면에 도시되어 있는 바와 같이 하나의 소자 또는 구성 요소들과 다른 소자 또는 구성 요소들과의 상관관계를 용이하게 기술하기 위해 사용될 수 있다. 공간적으로 상대적인 용어는 도면에 도시되어 있는 방향에 더하여 사용시 또는 동작 시 소자의 서로 다른 방향을 포함하는 용어로 이해되어야 한다.

[0031] 본 출원에서 사용한 용어는 단지 특정한 실시 예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함

하다" 또는 "가지다" 등의 용어는 명세서상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

- [0032] 이하 첨부된 도면들에 도시된 본 발명에 관한 실시예를 참조하여 본 발명의 구성 및 작용을 상세히 설명한다.
- [0033] 도 1은 본 발명의 일 실시예에 따른 표시 장치를 개략적으로 도시한 도면이다.
- [0034] 도 1을 참조하면, 본 발명의 표시 장치는 발광패널(100), 스캔 드라이버(200), 데이터 드라이버(300) 및 타이밍 컨트롤러(400)를 포함한다.
- [0035] 발광패널(100)은 다수의 스캔 라인(SL1-SL_n), 다수의 데이터 라인(DL1-DL_m) 및 다수의 픽셀(PX)을 포함한다. 다수의 스캔 라인(SL1-SL_n)은 일정하게 이격되어 행으로 배열되며 각각 스캔 신호를 전달하고, 다수의 데이터 라인(DL1-DL_m)은 일정하게 이격되어 열로 배열되며 각각 데이터 신호를 전달한다. 다수의 스캔 라인(SL1-SL_n)과 다수의 데이터 라인(DL1-DL_m)은 매트릭스 형태로 배열되며, 이때 그 교차부에는 하나의 픽셀(PX)이 형성된다. 하나의 픽셀(PX)은 복수의 차등 서브 픽셀에 의해 정의되고, 복수의 차등 서브 픽셀의 온/오프에 따른 선택적 발광에 의해 계조를 표현한다.
- [0036] 스캔 드라이버(200)는 발광패널(100)의 스캔 라인(SL1-SL_n)에 연결되어 게이트 온 전압과 게이트 오프 전압의 조합으로 이루어진 스캔 신호를 스캔 라인(SL1-SL_n)에 인가한다. 이때, 스캔 드라이버(200)는 다수의 스캔 라인(SL1-SL_n)에 각각 인가되는 다수의 선택 신호가 차례로 게이트 온 전압을 가지도록 스캔 신호를 인가할 수 있다. 그리고 스캔 신호가 게이트 온 전압을 가지는 경우에, 해당 스캔 라인에 연결되는 스위칭 트랜지스터가 턴온되어 해당 픽셀(PX)이 턴온(선택)된다.
- [0037] 데이터 드라이버(300)는 발광패널(100)의 데이터 라인(DL1-DL_m)에 연결되어 계조를 나타내는 데이터 신호를 데이터 라인(DL1-DL_m)에 인가한다.
- [0038] 타이밍 컨트롤러(400)는 외부의 그래픽 제어기(도시하지 않음)로부터 입력 영상 데이터(Data) 및 이의 표시를 제어하는 입력 제어 신호를 제공받는다. 입력 제어 신호에는 예를 들어 수평 동기 신호(Hsync), 수직 동기 신호(Vsync) 및 메인 클럭(MCLK)이 있다. 타이밍 컨트롤러(400)는 스캔 드라이버(200)와 데이터 드라이버(300)의 신호 출력을 제어한다.
- [0039] 도 2는 본 발명의 일 실시예에 따른 도 1의 픽셀 구조를 개략적으로 도시한 도면이다.
- [0040] 도 2를 참조하면, i번째(i는 1 이상 n 이하의 자연수) 스캔 라인(SL_i)과 j번째(j는 1 이상 m 이하의 자연수) 데이터 라인(DL_j)에 연결된 픽셀(PX)은 복수의 차등 서브 픽셀(SP_X)을 포함한다. 각 픽셀(PX)은 스캔 라인(SL_i)으로부터 인가되는 스캔 신호에 의해 스위칭 트랜지스터(sTFT)가 턴온되면, 스위칭 트랜지스터(sTFT)를 통해 데이터 라인(DL_j)과 커플링되어 계조를 표현한다. 하나의 픽셀에서, 계조 수와 차등 서브 픽셀의 개수는 다음과 같은 관계가 있다.
- [0041] 계조 수 = 2^N (여기서, N은 발광 면적이 상이한 차등 서브 픽셀의 개수)
- [0042] 차등 서브 픽셀은 발광 면적 또는 서브 픽셀의 사이즈가 상이함을 의미하며, 사각형상을 갖는다. 하나의 픽셀을 구성하는 차등 서브 픽셀들의 발광 면적은 소자 특성 및 계조 수에 따라 달라질 수 있다. 비디오 데이터는 각 차등 서브 픽셀의 온오프를 위한 디지털 신호로 변환된다. 이때, 비디오 데이터에 상응하여 변환된 디지털 신호에 의해 픽셀이 계조를 표현함에 있어서, 높은 계조를 표현할수록 온 되는 차등 서브 픽셀의 수가 많아진다. 즉, 표현되는 계조 값은 온되는 차등 서브 픽셀의 발광 면적의 합에 대응한다.
- [0043] 예를 들어, 하나의 픽셀을 구성하는 차등 서브 픽셀이 6개이고, 6개의 차등 서브 픽셀의 발광 면적이 모두 상이한 경우, 구현 가능한 계조 수는 $2^6=64$ 이다. 만일 6개의 차등 서브 픽셀 중 2개의 차등 서브 픽셀의 발광 면적이 동일한 경우, 구현 가능한 계조 수는 $2^5=32$ 이다.
- [0044] 도 3a 내지 도 3e는 본 발명의 일 실시예에 따른 계조 표현의 구현 예를 도시한다.
- [0045] 본 발명의 일 실시예는 하나의 픽셀을 복수 개의 차등 서브 픽셀로 나눈다. 각 서브 픽셀의 사이즈는 눈의 분해능보다 작아 면적 자체가 밝기 정도로 인식이 된다. 이를 이용하여 각 서브 픽셀의 온/오프(On/Off) 조합으로 계조 표현을 구현한다.

- [0046] 도 3a 내지 도 3e는 하나의 픽셀(PX)을 총 6개의 차등 서브 픽셀(SPX)로 나누어, 6개의 발광 영역으로 구성한 예이다. 이때, 제5 차등 서브 픽셀(SPX_5)의 발광 면적과 제6 차등 서브 픽셀(SPX_6)의 발광 면적을 동일하게 구성하여, 32개의 계조 수를 표현할 수 있다. 계조가 선형적(linear)이라고 가정을 하면, 6개의 발광 영역으로 32개의 계조 수 표현이 가능하다. 그러나, 이는 본 발명의 일 실시예일 뿐이며, 6개의 차등 서브 픽셀의 발광 면적을 모두 다르게 구성하여, 64개의 계조를 표현할 수 있음은 물론이다.
- [0047] 도 3a 내지 도 3e를 참조하면, 제5 및 제6 차등 서브 픽셀(SPX_5, SPX_6)은 동일한 최소 발광면적을 갖는다. 제4 차등 서브 픽셀(SPX_4)의 발광 면적은 제5 차등 서브 픽셀(SPX_5)의 발광 면적의 2배이다. 제3 차등 서브 픽셀(SPX_3)의 발광 면적은 제4 차등 서브 픽셀(SPX_4)의 발광 면적의 2배이다. 제2 차등 서브 픽셀(SPX_2)의 발광 면적은 제3 차등 서브 픽셀(SPX_3)의 발광 면적의 2배이다. 제1 차등 서브 픽셀(SPX_1)의 발광 면적은 제2 차등 서브 픽셀(SPX_2)의 발광 면적의 2배이다.
- [0048] 1계조를 구현하고자 하는 경우, 즉 전체 발광 면적에 대해 1/32이 발광하도록, 도 3a와 같이, 제5 및 제6 차등 서브 픽셀(SPX_5, SPX_6) 중 하나, 예를 들어, 제6 차등 서브 픽셀(SPX_6)만 온되어 발광하고, 나머지 차등 서브 픽셀들(SPX_1 내지 SPX_5)은 오프된다.
- [0049] 5계조를 구현하고자 하는 경우, 즉 전체 발광 면적에 대해 5/32이 발광하도록, 도 3b와 같이, 제5 및 제6 차등 서브 픽셀(SPX_5, SPX_6) 중 하나, 예를 들어, 제6 차등 서브 픽셀(SPX_6)과 제4 차등 서브 픽셀(SPX_4)만 온되어 발광하고, 나머지 차등 서브 픽셀들(SPX_1 내지 SPX_3, SPX_5)은 오프된다.
- [0050] 17계조를 구현하고자 하는 경우, 즉 전체 발광 면적에 대해 17/32이 발광하도록, 도 3c와 같이, 제5 및 제6 차등 서브 픽셀(SPX_5, SPX_6) 중 하나, 예를 들어, 제6 차등 서브 픽셀(SPX_6)과 제1 차등 서브 픽셀(SPX_1)만 온되어 발광하고, 나머지 차등 서브 픽셀들(SPX_2 내지 SPX_5)은 오프된다.
- [0051] 21계조를 구현하고자 하는 경우, 즉 전체 발광 면적에 대해 21/32이 발광하도록, 도 3d와 같이, 제5 및 제6 차등 서브 픽셀(SPX_5, SPX_6) 중 하나, 예를 들어, 제6 차등 서브 픽셀(SPX_6), 제1 차등 서브 픽셀(SPX_1), 제4 차등 서브 픽셀(SPX_4)만 온되어 발광하고, 나머지 차등 서브 픽셀들(SPX_2, SPX_3, SPX_5)은 오프된다.
- [0052] 32계조를 구현하고자 하는 경우, 즉 전체 발광 면적이 발광하도록, 도 3e와 같이, 모든 차등 서브 픽셀(SPX_1 내지 SPX_6)이 온되어 발광한다.
- [0053] 도 4는 본 발명의 일 실시예에 따른 픽셀 구조의 상부 평면도이다.
- [0054] 본 발명의 일 실시예에 따른 하나의 픽셀(PX)은 계조 표현을 위해 유기발광 트랜지스터(Organic Light Emitting Transistor, OLET)를 이용하여 복수의 차등 서브 픽셀(SPX)로 나뉜다. 유기발광 트랜지스터(OLET)는 트랜지스터로서의 기능과 발광 기능을 동시에 가진다.
- [0055] 도 4를 참조하면, 픽셀(PX)은 제1 내지 제6 차등 서브 픽셀(SPX_1 내지 SPX_6)을 포함하여, 64개의 계조 수 표현이 가능하다. 본 실시예에서는 6개의 차등 서브 픽셀 구조를 개시하고 있으나, 본 발명은 이에 한정되지 않고, 계조 수에 따라 픽셀을 구성하는 차등 서브 픽셀의 개수는 상이해질 수 있다.
- [0056] 제1 내지 제6 차등 서브 픽셀(SPX_1 내지 SPX_6)은 상이한 발광 면적을 갖는다. 그리고, 차등 서브 픽셀(SPX_1 내지 SPX_6) 각각은 게이트 전극, 소스 전극, 드레인 전극, 소스 전극과 드레인 전극 사이에 유기 박막층을 포함하는 유기 발광 트랜지스터로 구현된다. 유기 박막층은 전하(carrier, 전자 또는 정공)를 이동시키고 빛을 발산하는 역할을 한다. 본 실시예에서는 소스 전극과 드레인 전극이 각각 OLED의 애노드와 캐소드 중 하나의 역할을 한다. 즉, 소스 전극과 드레인 전극에 각각 전압이 인가되고, 게이트 전극에 온 신호를 인가하면, 유기 박막층에 채널이 형성됨과 동시에 전자 또는 정공이 이동하여 빛이 발생하게 된다.
- [0057] 도 5a는 본 발명의 일 실시예에 따른 도 4의 A-A'선을 따라 자른 단면도이고, 도 5b는 본 발명의 일 실시예에 따른 도 4의 B-B'선을 따라 자른 단면도이다.
- [0058] 도 5a 및 도 5b를 함께 참조하면, 기판(10) 상의 차등 서브 픽셀(SPX_1 내지 SPX_6) 영역에 복수의 게이트 전극(G1 내지 G6)이 형성된다. 기판(10)은, 예를 들어, 유리, 석영, 폴리에틸렌, 폴리프로필렌, 폴리에틸렌 테레프탈레이트, 폴리메타크릴레이트, 폴리메틸메타크릴레이트, 폴리메틸 아크릴레이트, 폴리에스테르, 폴리카보네이트 등의 재료로 이루어진 경질 기판이거나 플렉서블(flexible) 기판일 수 있다. 기판(10) 상면에 불순물 이온이 확산되는 것을 방지하고, 수분이나 외기의 침투를 방지하며, 표면을 평탄화하기 위한 베리어층, 블록킹층, 및/또는 버퍼층과 같은 보조층(미도시)이 더 구비될 수 있다. 보조층은 SiO₂ 및/또는 SiN_x 등의 무기 재료로 이

루어질 수 있다.

- [0059] 복수의 게이트 전극(G1 내지 G6)은 각각 상이한 면적으로 인접하게 배열된다. 이때 이웃하는 게이트 전극들 간의 면적은 소자 특성 및 패널 특성에 따라 결정될 수 있다. 복수의 게이트 전극(G1 내지 G6)은 금속 또는 전도성 고분자로 이루어질 수 있다. 금속으로서, 예를 들어, Al, Ag, Mo, Cu, Ti 등을 이용할 수 있고, 양면 발광이 요구되는 경우 ITO(Indium tin oxide), IZO(Indium zinc oxide), SnO₂, ZnO와 같은 투명 전극을 이용할 수도 있다. 전도성 고분자로서, 예를 들어, 폴리아닐린, 폴리아세틸렌, 폴리알킬티오펜 유도체, 폴리실란 유도체를 이용할 수 있다.
- [0060] 게이트 전극(G1 내지 G6) 상에는 게이트 절연막(20)이 형성된다. 게이트 절연막(20)은, 예를 들어, SiO₂, SiN_x, Al₂O₃ 등의 무기 재료나, 예를 들어, 폴리클로로피렌, 폴리에틸렌 테레프탈레이트, 폴리옥시메틸렌, 폴리비닐 클로라이드, 폴리비닐리덴 플로라이드, 시아노에틸 폴루란, 폴리메틸 메타아크릴레이트, 폴리비닐 페놀, 폴리술폰, 폴리카보네이트, 폴리이미드 등의 유기 재료로 이루어질 수 있다.
- [0061] 게이트 절연막(20) 상에는 활성층(Active layer, AL) 및 발광층(emitting material layer, EML)의 기능을 하는 유기 박막층(30)이 형성된다. 유기 박막층(30)은 전하 이동도 및 발광 특성이 모두 우수한 물질을 이용할 수 있다. 유기 박막층(30)은 진공 증착(Vacuum evaporation), 스핀 코팅(Spin coating), 딥 코팅(Dip coating), 잉크젯 프린팅(Ink-jet printing), 스탬핑(stamping) 등의 방법으로 형성될 수 있다.
- [0062] OLET가 활성층(AL)이 발광하는 호모 타입(Homo type)인 경우, 유기 박막층(30)은 활성층(AL)이면서 발광층(EML)의 기능을 수행한다. 이 경우, 유기 박막층(30)은 테트라신(tetracene)과 같은 단극성 물질로 이루어질 수 있다.
- [0063] OLET가 헤테로 타입(Hetro type)인 경우, 유기 박막층(30)은 발광층(EML)을 중심으로 정공 수송층(hole transporting layer, HTL) 또는 전자 수송층(electron transporting layer, ETL)을 포함하는 구조일 수 있다. 이때, 어떤 전하(carrier)가 제어되느냐에 따라 정공 수송층 또는 전자 수송층이 활성층(AL)으로 기능한다. 예를 들어, 전자 수송층이 n형 유기 반도체(n-type organic semiconductor) 물질을 포함하는 활성층으로 기능할 수 있고, 정공 수송층이 p형 유기 반도체(p-type organic semiconductor) 물질을 포함하는 활성층으로 기능할 수 있다.
- [0064] 도 6a 및 도 6b는 본 발명의 일 실시예에 따른 유기 박막층(30)의 구조를 개략적으로 도시한 단면도이다. 도 6a에서는 정공 수송층이 활성층(AL)인 예를 도시하고, 도 6b에서는 전자 수송층이 활성층(AL)인 예를 도시하고 있다. 이 경우, 정공 수송층은 DH4T를 포함하는 물질이고, 발광층은 Alq3-DCM을 포함하는 물질이고, 전자 수송층은 DFH-4T를 포함하는 물질일 수 있다.
- [0065] 여기서, 전자 수송층은 전자 주입층(electron injection layer, EIL)을 포함하고, 정공 수송층은 정공 주입층(hole injection layer, HIL)을 포함할 수 있다.
- [0066] 유기 박막층(30) 상에는 게이트 전극(G1 내지 G6)의 면적에 따라 정해진 면적으로 복수의 소스 전극들(S1 내지 S6)과 복수의 드레인 전극들(D1 내지 D6)이 이격되어 대향하도록 형성된다. 이때 복수의 소스 전극들(S1 내지 S6)과 복수의 드레인 전극들(D1 내지 D6)은 소스 라인(S)과 드레인 라인(D)으로부터 연장되어 형성될 수 있다.
- [0067] 복수의 소스 전극들(S1 내지 S6)과 복수의 드레인 전극들(D1 내지 D6)은 접촉하는 층의 재료에 따라 적절히 선택될 수 있다. 복수의 소스 전극들(S1 내지 S6)과 복수의 드레인 전극들(D1 내지 D6)은 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 리튬(Li), 칼슘(Ca), 몰리브덴(Mo), 타이타늄(Ti), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속 또는 이들의 합금으로 단층 또는 다층으로 형성될 수 있다.
- [0068] 도 7a 및 도 7b는 본 발명의 다른 실시예에 따른 도 4의 A-A'선을 따라 자른 단면도이고, 도 7c는 본 발명의 다른 실시예에 따른 도 4의 B-B'선을 따라 자른 단면도이다.
- [0069] 도 7a 내지 도 7c는 도 5a 및 도 5b와 비교하여, 유기 박막층(30)이 소스 전극(S1 내지 S6) 및 드레인 전극(D1 내지 D6)과 동일층에 형성되는 점에서 차이가 있다. 그리고, 도 7a는 유기 박막층(30)이 소스 전극(S1 내지 S6) 및 드레인 전극(D1 내지 D6) 사이에 형성되면서 동일층에 형성되는 예이고, 도 7b 및 도 7c는 유기 박막층(30)이 소스 전극(S1 내지 S6) 및 드레인 전극(D1 내지 D6) 사이를 채우며 소스 전극(S1 내지 S6) 및 드레인 전극(D1 내지 D6)을 덮도록 형성되면서 동일층에 형성되는 예이다. 이하에서는 도 5a 및 도 5b와 중복하는 내용

의 상세한 설명은 생략하겠다.

- [0070] 도 7a 내지 도 7c를 함께 참조하면, 기판(10) 상에 복수의 차등 게이트 전극(G1 내지 G6)이 형성된다. 복수의 차등 게이트 전극(G1 내지 G6) 상에는 게이트 절연막(20)이 형성된다. 게이트 절연막(20) 상에는 복수의 소스 전극(S1 내지 S6) 및 복수의 드레인 전극(D1 내지 D6)이 이격되어 동일층 상에 대향하도록 형성된다. 그리고, 소스 전극(S1 내지 S6) 및 드레인 전극(D1 내지 D6) 상에는 활성층(Active layer, AL) 및 발광층(emitting material layer, EML)의 기능을 하는 유기 박막층(30)이 형성된다. 유기 박막층(30)은 소스 전극(S1 내지 S6) 및 드레인 전극(D1 내지 D6) 사이에, 또는 소스 전극(S1 내지 S6) 및 드레인 전극(D1 내지 D6)을 덮으면서 소스 전극(S1 내지 S6) 및 드레인 전극(D1 내지 D6)과 동일층에 형성된다. 유기 박막층(30)은 호모 타입(Homo type)과 헤테로 타입(Hetro type) 모두 가능하다.
- [0071] 도 8은 본 발명의 다른 실시예에 따른 픽셀 구조의 상부 평면도이다.
- [0072] 본 발명의 실시예에 따른 하나의 픽셀(PX)은 계조 표현을 위해 유기발광 트랜지스터(Organic Light Emitting Transistor, OLET)를 이용하여 복수의 차등 서브 픽셀(SPX)로 나뉜다. 유기발광 트랜지스터(OLET)는 트랜지스터로서의 기능과 발광 기능을 동시에 가진다.
- [0073] 도 8을 참조하면, 픽셀(PX)은 제1 내지 제6 차등 서브 픽셀(SPX_1 내지 SPX_6)을 포함하여, 6계조 표현이 가능하다. 본 실시예에서는 6개의 차등 서브 픽셀 구조를 개시하고 있으나, 본 발명은 이에 한정되지 않고, 계조 수에 따라 픽셀을 구성하는 차등 서브 픽셀의 개수는 상이해질 수 있다.
- [0074] 제1 내지 제6 차등 서브 픽셀(SPX_1 내지 SPX_6)은 상이한 발광 면적을 갖는다. 그리고, 차등 서브 픽셀(SPX_1 내지 SPX_6) 각각은 게이트 전극, 소스 전극, 드레인 전극, 소스 전극과 드레인 전극 사이에 유기 박막층을 포함하는 유기 발광 트랜지스터로 구현된다. 유기 박막층은 전하(carrier, 전자 또는 정공)를 이동시키고 빛을 발산하는 역할을 한다. 소스 전극과 드레인 전극은 상호 교대로 배치된다. 소스 전극과 드레인 전극 간의 채널 간격은 발광 효율성을 고려하여 적절하게 선택될 수 있다. 본 실시예에서는 소스 전극과 드레인 전극이 각각 OLED의 애노드와 캐소드 중 하나의 역할을 한다.
- [0075] 도 9a는 본 발명의 일 실시예에 따른 도 8의 C-C'선을 따라 자른 단면도이고, 도 9b는 본 발명의 일 실시예에 따른 도 8의 E-E'선을 따라 자른 단면도이다.
- [0076] 도 9a 및 도 9b를 함께 참조하면, 기판(10) 상의 차등 서브 픽셀(SPX_1 내지 SPX_6) 영역에 복수의 게이트 전극(G1 내지 G6)이 형성된다. 기판(10)은, 예를 들어, 유리, 석영, 폴리에틸렌, 폴리프로필렌, 폴리에틸렌 테레프탈레이트, 폴리메타크릴레이트, 폴리메틸메타크릴레이트, 폴리메틸 아크릴레이트, 폴리에스테르, 폴리카보네이트 등의 재료로 이루어진 경질 기판이거나 가요성(flexible) 기판일 수 있다. 기판(10) 상면에 불순물 이온이 확산되는 것을 방지하고, 수분이나 외기의 침투를 방지하며, 표면을 평탄화하기 위한 베리어층, 블록킹층, 및/또는 버퍼층과 같은 보조층(미도시)이 더 구비될 수 있다. 보조층은 SiO₂ 및/또는 SiN_x 등의 무기 재료로 이루어질 수 있다.
- [0077] 복수의 게이트 전극(G1 내지 G6)은 상이한 면적을 가지며 인접하게 배열된다. 복수의 게이트 전극(G1 내지 G6)은 금속 또는 전도성 고분자로 이루어질 수 있다. 금속으로서, 예를 들어, Al, Ag, Mo, Cu, Ti 등을 이용할 수 있고, 양면 발광이 요구되는 경우 ITO(Indium tin oxide), IZO(Indium zinc oxide), SnO₂, ZnO와 같은 투명 전극을 이용할 수도 있다. 전도성 고분자로서, 예를 들어, 폴리아닐린, 폴리아세틸렌, 폴리알킬티오펜 유도체, 폴리실란 유도체를 이용할 수 있다.
- [0078] 게이트 전극(G1 내지 G6) 상에는 게이트 절연막(20)이 형성된다. 게이트 절연막(20)은, 예를 들어, SiO₂, SiN_x, Al₂O₃ 등의 무기 재료나, 예를 들어, 폴리클로로피렌, 폴리에틸렌 테레프탈레이트, 폴리옥시메틸렌, 폴리비닐 클로라이드, 폴리비닐리덴 플로라이드, 시아노에틸 풀루란, 폴리메틸 메타아크릴레이트, 폴리비닐 페놀, 폴리술폰, 폴리카보네이트, 폴리이미드 등의 유기 재료로 이루어질 수 있다.
- [0079] 게이트 절연막(20) 상에는 활성층(Active layer, AL) 및 발광층(emitting material layer, EML)의 기능을 하는 유기 박막층(30)이 형성된다. 유기 박막층(30)은 전하 이동도 및 발광 특성이 모두 우수한 물질을 이용할 수 있다. 유기 박막층(30)은 진공 증착(Vacuum evaporation), 스핀 코팅(Spin coating), 딥 코팅(Dip coating), 잉크젯 프린팅(Ink-jet printing), 스탬핑(stamping) 등의 방법으로 형성될 수 있다.
- [0080] OLET가 활성층(AL)이 발광하는 호모 타입(Homo type)인 경우, 유기 박막층(30)은 활성층(AL)이면서 발광층(EML)의 기능을 수행한다. 이 경우, 유기 박막층(30)은 테트라신(tetracene)과 같은 단극성 물질로 이루어질 수

있다.

- [0081] OLET가 헤테로 타입(Hetro type)인 경우, 유기 박막층(30)은 발광층(EML)을 중심으로 정공 수송층(hole transporting layer, HTL) 또는 전자 수송층(electron transporting layer, ETL)을 포함하는 구조일 수 있다. 이때, 어떤 전하(carrier)를 제어하느냐에 따라 정공 수송층 또는 전자 수송층이 활성층(AL)으로 기능한다. 정공 수송층은 DH4T를 포함하는 물질이고, 발광층은 Alq3-DCM을 포함하는 물질이고, 전자 수송층은 DFH-4T를 포함하는 물질일 수 있다.
- [0082] 여기서, 전자 수송층은 전자 주입층(electron injection layer, EIL)을 포함하고, 정공 수송층은 정공 주입층(hole injection layer)을 포함할 수 있다.
- [0083] 유기 박막층(30) 상에는 복수의 소스 전극들(S) 및 복수의 드레인 전극들(D)이 교대로 이격되어 동일층 상에 대향하도록 형성된다. 복수의 소스 전극들(S)은 게이트 전극들을 가로질러 유기 박막층(30) 상에 일정한 간격으로 평행하게 배치된다. 복수의 드레인 전극들(D)은 복수의 소스 전극들(S) 사이에 배치된다.
- [0084] 복수의 소스 전극들(S)과 복수의 드레인 전극들(D)은 접촉하는 층의 재료에 따라 적절히 선택될 수 있다. 복수의 소스 전극들(S1 내지 S6)과 복수의 드레인 전극들(D1 내지 D6)은 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 리튬(Li), 칼슘(Ca), 몰리브덴(Mo), 타이타늄(Ti), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속 또는 이들의 합금으로 단층 또는 다층으로 형성될 수 있다.
- [0085] 도 10a는 본 발명의 다른 실시예에 따른 도 8의 C-C'선을 따라 자른 단면도이고, 도 10b는 본 발명의 다른 실시예에 따른 도 8의 E-E'선을 따라 자른 단면도이다.
- [0086] 도 10a 및 도 10b는 도 9a 및 도 9b와 비교하여, 유기 박막층(30)이 소스 전극(S) 및 드레인 전극(D)과 동일층에 형성되는 점에서 차이가 있다. 유기 박막층(30)은 소스 전극(S) 및 드레인 전극(D) 사이에 형성되면서 동일층에 형성되거나, 소스 전극(S) 및 드레인 전극(D) 사이를 채우며 소스 전극(S) 및 드레인 전극(D)을 덮도록 형성되면서 동일층에 형성될 수 있다. 이하에서는 도 9a 및 도 9b와 중복하는 내용의 상세한 설명은 생략하겠다.
- [0087] 도 10a 및 도 10b를 함께 참조하면, 기판(10) 상에 복수의 차등 게이트 전극(G1 내지 G6)이 형성된다. 복수의 차등 게이트 전극(G1 내지 G6) 상에는 게이트 절연막(20)이 형성된다. 게이트 절연막(20) 상에는 복수의 소스 전극들(S)이 게이트 전극들을 가로질러 일정한 간격으로 평행하게 배치된다. 복수의 드레인 전극들(D)은 게이트 절연막(20) 상에서 복수의 소스 전극들(S) 사이에 배치된다. 그리고, 소스 전극(S) 및 드레인 전극(D) 상에는 활성층(Active layer, AL) 및 발광층(emitting material layer, EML)의 기능을 하는 유기 박막층(30)이 형성된다. 유기 박막층(30)은 복수의 소스 전극(S) 및 드레인 전극(D) 사이에, 또는 복수의 소스 전극(S) 및 드레인 전극(D)을 덮으면서 소스 전극(S) 및 드레인 전극(D)과 동일층에 형성된다. 유기 박막층(30)은 호모 타입(Homo type)과 헤테로 타입(Hetro type) 모두 가능하다.
- [0088] 도 11은 본 발명의 다른 실시예에 따른 픽셀 구조의 상부 평면도이다.
- [0089] 본 발명의 일 실시예에 따른 하나의 픽셀(PX)은 계조 표현을 위해 유기발광 트랜지스터(Organic Light Emitting Transistor, OLET)를 이용하여 복수의 차등 서브 픽셀(SPX)로 나뉜다. 유기발광 트랜지스터(OLET)는 트랜지스터로서의 기능과 발광 기능을 동시에 가진다.
- [0090] 도 11을 참조하면, 픽셀(PX)은 제1 내지 제6 차등 서브 픽셀(SPX_1 내지 SPX_6)을 포함하여, 64계조 표현이 가능하다. 본 실시예에서는 6개의 차등 서브 픽셀 구조를 개시하고 있으나, 본 발명은 이에 한정되지 않고, 계조수에 따라 픽셀을 구성하는 차등 서브 픽셀의 개수는 상이해질 수 있다.
- [0091] 제1 내지 제6 차등 서브 픽셀(SPX_1 내지 SPX_6)은 상이한 발광 면적을 갖는다. 그리고, 차등 서브 픽셀(SPX_1 내지 SPX_6) 각각은 게이트 전극, 소스 전극, 드레인 전극, 소스 전극과 드레인 전극 사이에 유기 박막층을 포함하는 유기 발광 트랜지스터로 구현된다. 유기 박막층은 전하(carrier, 전자 또는 정공)를 이동시키고 빛을 발산하는 역할을 한다. 소스 전극(S)은 복수의 전극 라인이 평행하게 이격되며 형성되고, 드레인 전극(D)은 소스 전극(S) 상부에 배치된다. 본 실시예에서 소스 전극(S)이 평행하게 배치된 예를 도시하고 있으나, 본 발명은 이에 한정되지 않고, 전극 구조에 따라 다양한 패턴으로 형성될 수 있다. 도 13 및 도 14는 본 발명의 다른 실시예에 따른 소스 전극(S)의 전극 패턴을 도시한다. 도 13에 도시된 바와 같이 벌집형, 또는 도 14에 도시된 바와 같이 격자형으로 소스 전극 패턴을 형성할 수 있다.
- [0092] 본 실시예에서는 소스 전극에 연결된 활성층과 드레인 전극이 각각 OLED의 애노드와 캐소드 중 하나의 역할을

한다.

- [0093] 도 12a는 본 발명의 일 실시예에 따른 도 11의 F-F'선을 따라 자른 단면도이고, 도 12b는 도 11의 H-H'선을 따라 자른 단면도이다.
- [0094] 도 12a 및 도 12b를 함께 참조하면, 기판(10) 상의 차등 서브 픽셀(SPX_1 내지 SPX_6) 영역에 복수의 게이트 전극(G1 내지 G6)이 형성된다. 기판(10)은, 예를 들어, 유리, 석영, 폴리에틸렌, 폴리프로필렌, 폴리에틸렌 테레프탈레이트, 폴리메타크릴레이트, 폴리메틸메타크릴레이트, 폴리메틸 아크릴레이트, 폴리에스테르, 폴리카보네이트 등의 재료로 이루어진 경질 기판이거나 가요성(flexible) 기판일 수 있다. 기판(10) 상면에 불순물 이온이 확산되는 것을 방지하고, 수분이나 외기의 침투를 방지하며, 표면을 평탄화하기 위한 베리어층, 블록킹층, 및/또는 버퍼층과 같은 보조층(미도시)이 더 구비될 수 있다. 보조층은 SiO₂ 및/또는 SiN_x 등의 무기 재료로 이루어질 수 있다.
- [0095] 복수의 게이트 전극(G1 내지 G6)은 상이한 면적을 가지며 인접하게 배열된다. 복수의 게이트 전극(G1 내지 G6)은 금속 또는 전도성 고분자로 이루어질 수 있다. 금속으로서, 예를 들어, Al, Ag, Mo, Cu, Ti 등을 이용할 수 있고, 양면 발광이 요구되는 경우 ITO(Indium tin oxide), IZO(Indium zinc oxide), SnO₂, ZnO와 같은 투명 전극을 이용할 수도 있다. 전도성 고분자로서, 예를 들어, 폴리아닐린, 폴리아세틸렌, 폴리알킬티오펜 유도체, 폴리실란 유도체를 이용할 수 있다.
- [0096] 게이트 전극(G1 내지 G6) 상에는 게이트 절연막(20)이 형성된다. 게이트 절연막(20)은, 예를 들어, SiO₂, SiN_x, Al₂O₃ 등의 무기 재료나, 예를 들어, 폴리클로로피렌, 폴리에틸렌 테레프탈레이트, 폴리옥시메틸렌, 폴리비닐 클로라이드, 폴리비닐리덴 플로라이드, 시아노에틸 폴루란, 폴리메틸 메타아크릴레이트, 폴리비닐 페놀, 폴리술폰, 폴리카보네이트, 폴리이미드 등의 유기 재료로 이루어질 수 있다.
- [0097] 게이트 절연막(20) 상에는 활성층(Active layer, AL)(40)이 형성된다. 활성층(40)은 비정질 실리콘(amorphous silicon) 또는 결정질 실리콘(poly silicon)과 같은 무기재 반도체나, 유기 반도체가 사용될 수 있다.
- [0098] 활성층(40) 상에는 복수의 소스 전극(S)이 게이트 전극들을 가로질러 일정 간격으로 평행하게 배치 형성된다.
- [0099] 소스 전극(S) 상에는 절연막(50)이 형성된다. 절연막(50)은 소스 전극(S)에서 드레인 전극(D)으로 전하가 직접(direct) 이동하는 것을 방지하기 위한 베리어 층으로 기능한다. 절연막(50)은 게이트 절연막(20)과 유사하게, 예를 들어, SiO₂, SiN_x, Al₂O₃ 등의 무기 재료나, 예를 들어, 폴리클로로피렌, 폴리에틸렌 테레프탈레이트, 폴리옥시메틸렌, 폴리비닐 클로라이드, 폴리비닐리덴 플로라이드, 시아노에틸 폴루란, 폴리메틸 메타아크릴레이트, 폴리비닐 페놀, 폴리술폰, 폴리카보네이트, 폴리이미드 등의 유기 재료로 이루어질 수 있다.
- [0100] 절연막(50) 상에는 발광층(emitting material layer, EML)의 기능을 하는 유기 박막층(30)이 복수의 소스 전극들(S)을 채우며 형성된다. 유기 박막층(30)은 전하 이동도 및 발광 특성이 모두 우수한 물질을 이용할 수 있다. 유기 박막층(30)은 유기 발광 물질을 포함하는 발광층과, 발광층을 중심으로 배치된 전자 수송층 및 정공 수송층을 포함할 수 있다. 유기 박막층(30)은 진공 증착(Vacuum evaporation), 스핀 코팅(Spin coating), 딥 코팅(Dip coating), 잉크젯 프린팅(Ink-jet printing), 스탬핑(stamping) 등의 방법으로 형성될 수 있다.
- [0101] 유기 박막층(30) 상에는 드레인 전극(D)이 기판(10) 전면에 형성되어, 복수의 게이트 전극들(G1 내지 G6)에 공통으로 배치된다.
- [0102] 복수의 소스 전극들(S)과 드레인 전극(D)은 접촉하는 층의 재료에 따라 적절히 선택될 수 있다. 복수의 소스 전극들(S)과 드레인 전극(D)은 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 니켈(Li), 칼슘(Ca), 몰리브덴(Mo), 타이타늄(Ti), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속 또는 이들의 합금으로 단층 또는 다층으로 형성될 수 있다.
- [0103] 본 발명의 실시예들은 OLET를 이용하여 픽셀을 복수의 서브 픽셀 구조로 구성함으로써 디지털 구동 개념을 도입하여 아날로그 구동 방식의 단점을 보완할 수 있다. 즉, 아날로그 구동에서의 임계전압(V_{th}) 보상 시간이 불필요하므로 픽셀 내에 디머스(Demux)를 적용할 수 있다. 또한 하나의 픽셀을 2개의 OLET로 구성하는 경우, 해상도 제한 없이 3D를 구현할 수 있다.
- [0104] 본 발명의 실시예들에서는 바텀 게이트(bottom gate) 방식의 OLET가 픽셀을 구성하는 예를 도시하고 설명하였다. 그러나, 이와 달리 탑 게이트(top gate) 방식을 포함한 다른 구조의 OLET가 픽셀을 구성할 수 있음은 물론이다.

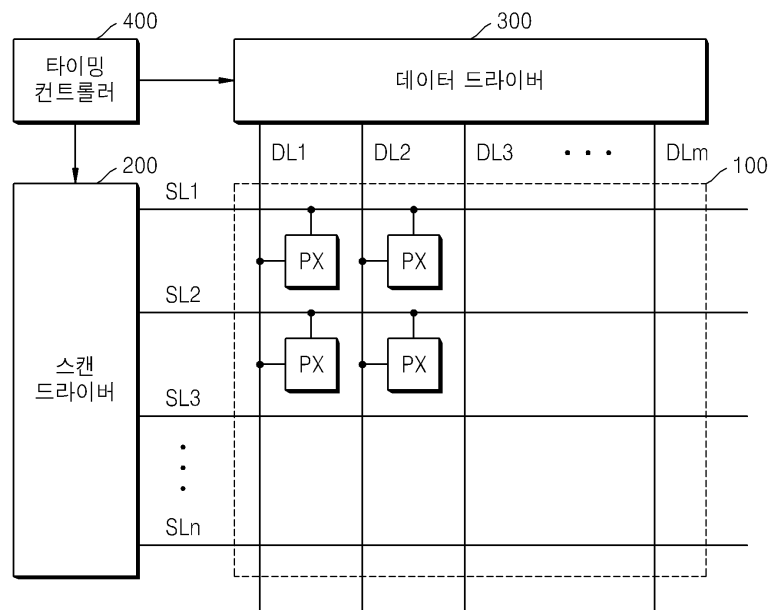
[0105] 본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 당해 기술 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 다른 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

부호의 설명

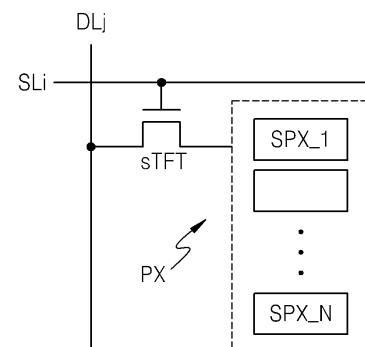
[0106] 10; 기관
20; 게이트 절연막
30; 유기 박막층
40; 활성층
50; 절연막
100; 발광패널
200; 스캔 드라이버
300; 데이터 드라이버
400; 타이밍 컨트롤러

도면

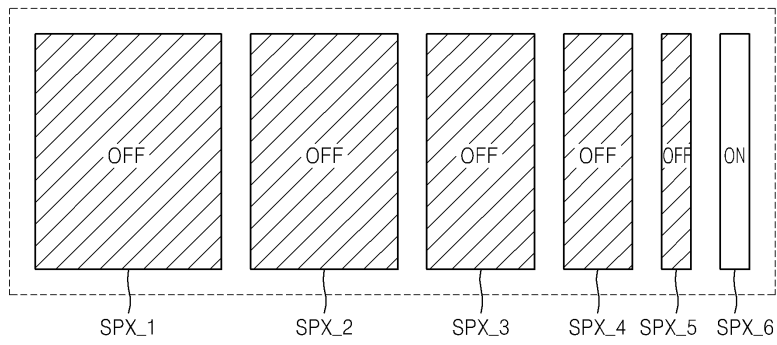
도면1



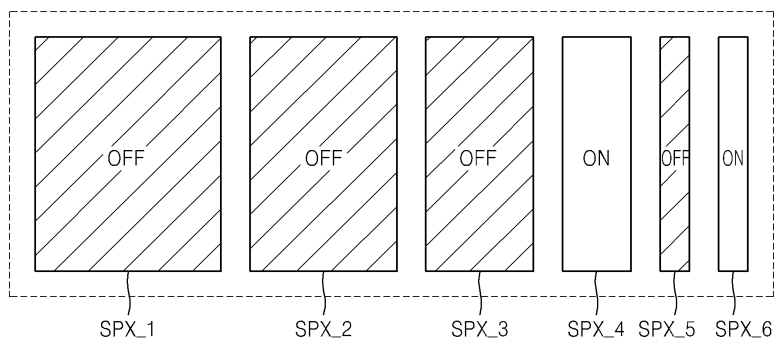
도면2



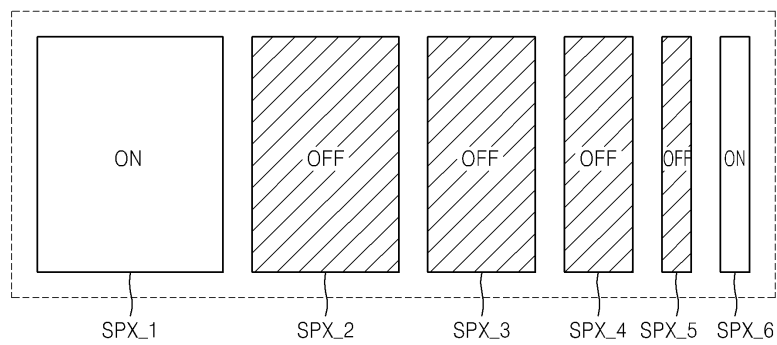
도면3a



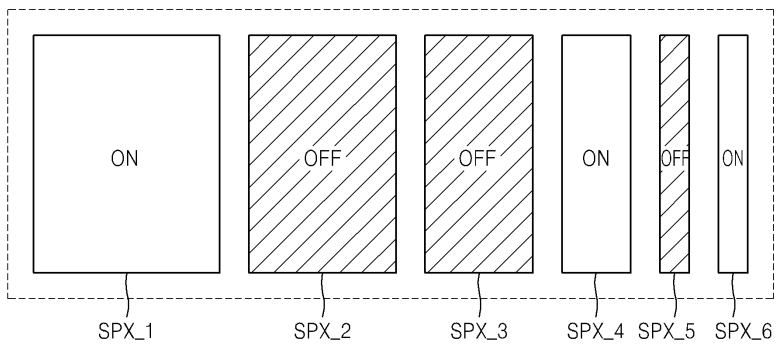
도면3b



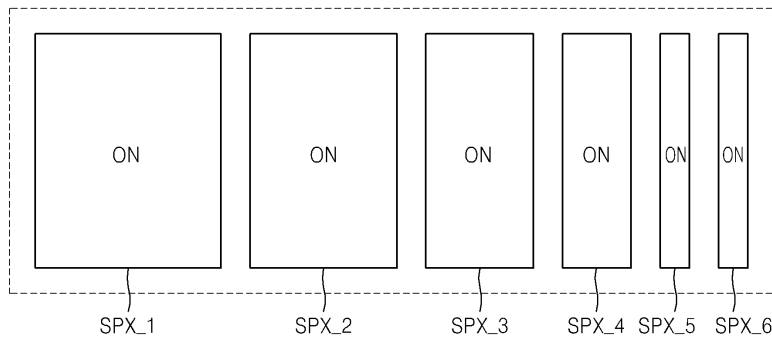
도면3c



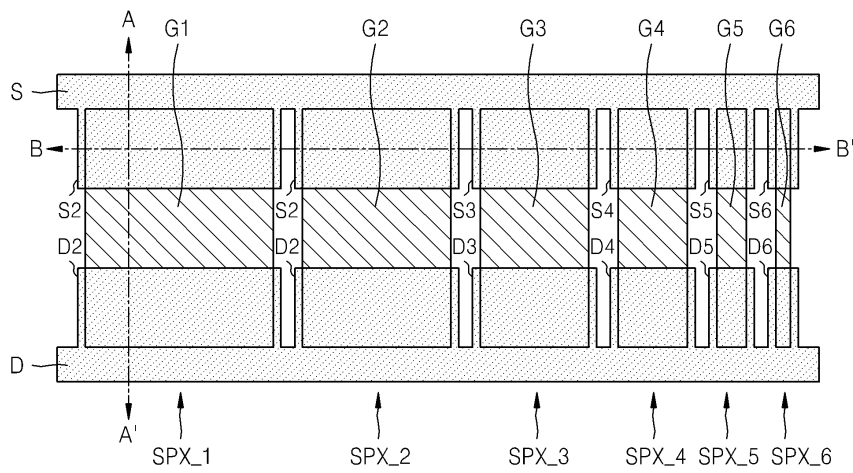
도면3d



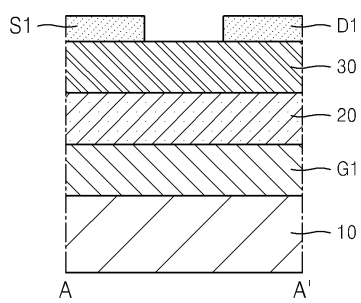
도면3e



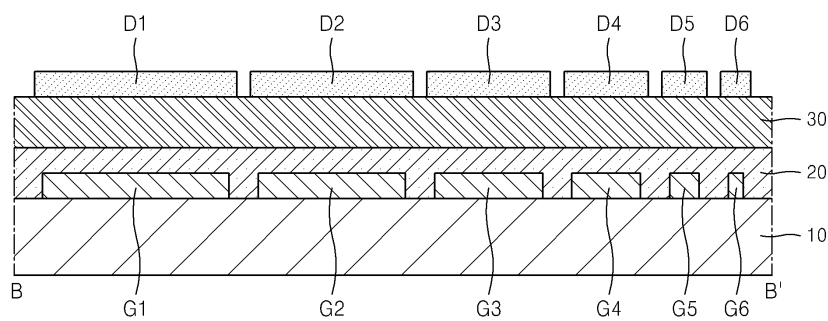
도면4



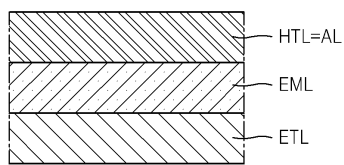
도면5a



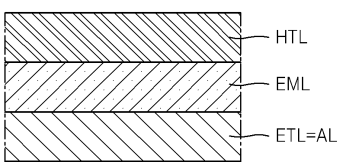
도면5b



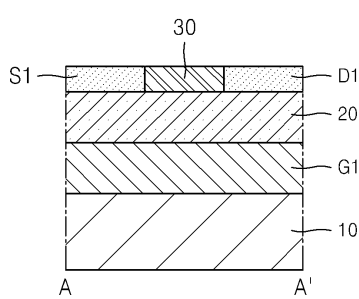
도면6a



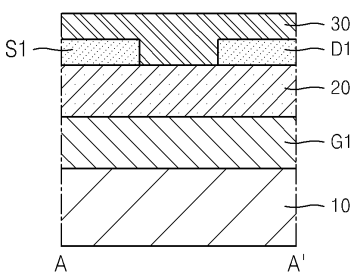
도면6b



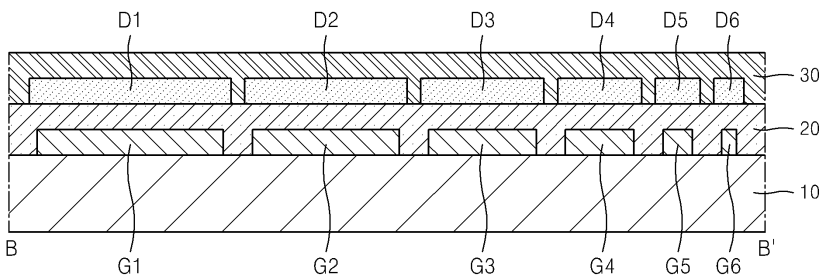
도면7a



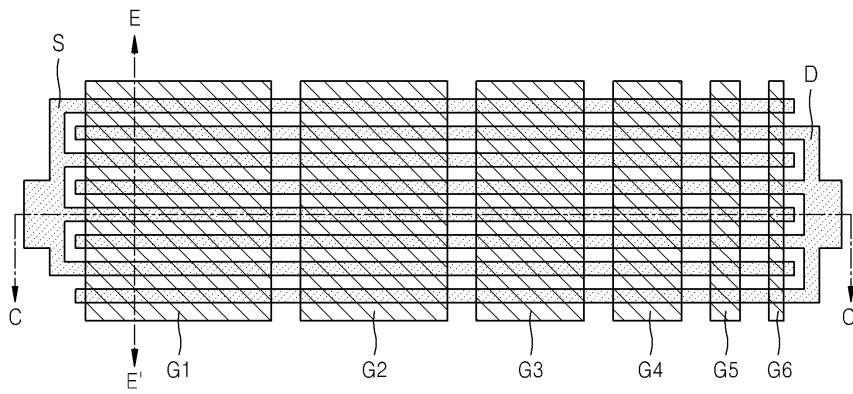
도면7b



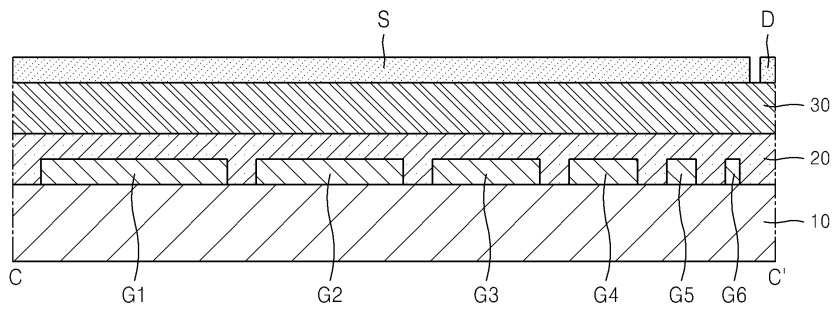
도면7c



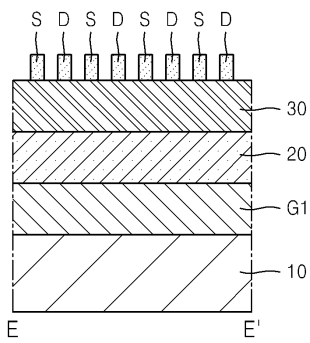
도면8



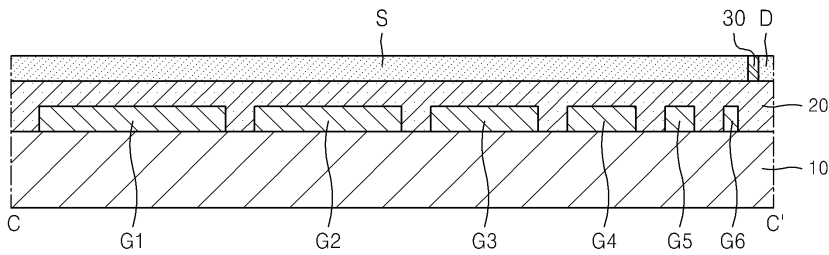
도면9a



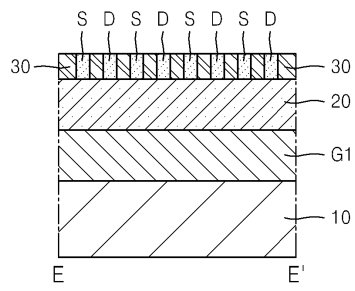
도면9b



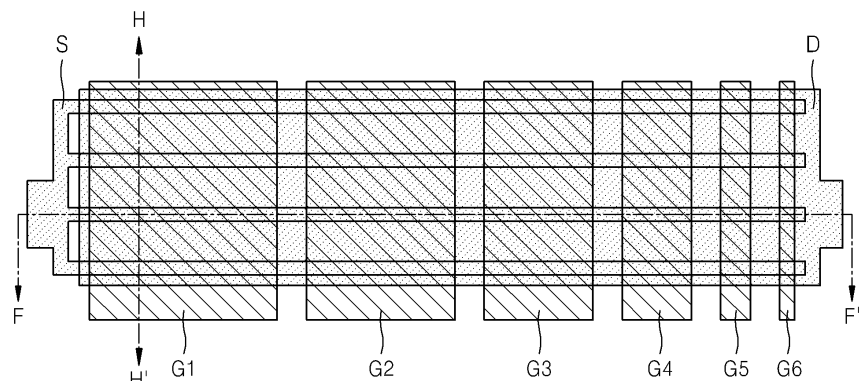
도면10a



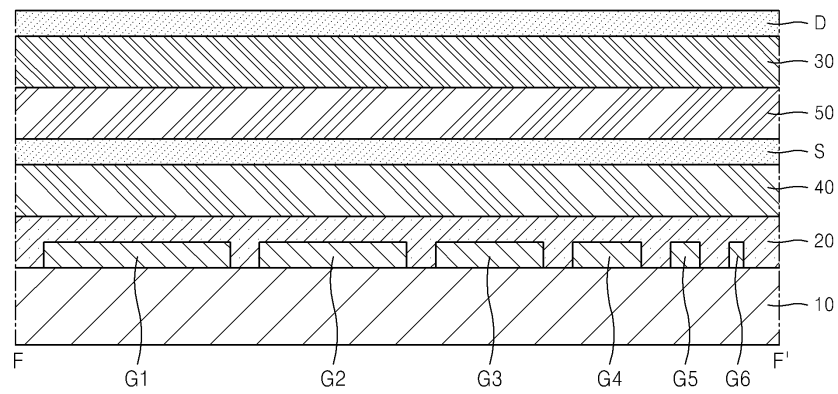
도면10b



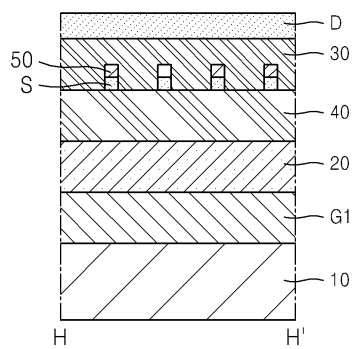
도면11



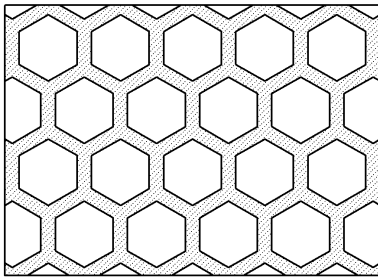
도면12a



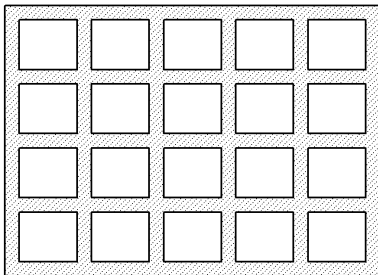
도면12b



도면13



도면14



专利名称(译)	有机发光晶体管和有机发光显示器		
公开(公告)号	KR102000207B1	公开(公告)日	2019-07-16
申请号	KR1020120086390	申请日	2012-08-07
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	최대성 박원상		
发明人	최대성 박원상		
IPC分类号	H01L51/05 H01L29/786 H01L51/50		
CPC分类号	H01L51/5296 G09G3/2074 G09G3/3258 G09G3/3283 H01L51/0554 H01L2251/53		
审查员(译)	最精锐		
其他公开文献	KR1020140019698A		
外部链接	Espacenet		

摘要(译)

通过使用有机发光晶体管 (OLET)，有机发光显示装置的每个像素包括多个子像素。OLET包括：具有不同面积并且彼此相邻布置的多个栅电极；多个源电极和多个漏电极；以及有机薄膜层，其设置在源电极和漏电极之间或下方，包括有机发光材料的有机薄膜层，其中由扫描信号选择的像素的子像素由数据信号选择性地导通/截止以表示灰度。

도 - 도4

