



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2019년04월04일

(11) 등록번호 10-1935955

(24) 등록일자 2018년12월31일

(51) 국제특허분류(Int. Cl.)

G09G 3/30 (2006.01)

(21) 출원번호 10-2012-0083847

(22) 출원일자 2012년07월31일

심사청구일자 2017년07월12일

(65) 공개번호 10-2014-0017738

(43) 공개일자 2014년02월12일

(56) 선행기술조사문헌

KR1020080109613 A*

KR1020110091293 A*

KR1020120064110 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

배나영

부산 부산진구 국악로54번길 17, (연지동)

윤중선

경기도 파주시 탄현면 소금쟁이길, 203호 (민들레빌)

신민재

서울 동작구 만양로14사길 20, 301호 (노량진동)

(74) 대리인

특허법인으로알

전체 청구항 수 : 총 19 항

심사관 : 이승민

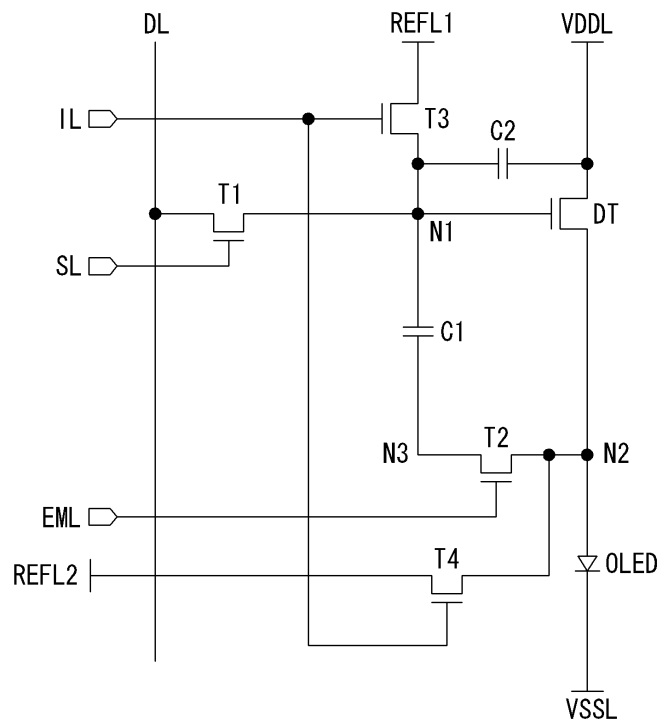
(54) 발명의 명칭 유기발광다이오드 표시장치

(57) 요약

본 발명은 구동 TFT의 문턱전압을 보상할 수 있는 유기발광다이오드 표시장치에 관한 것이다. 본 발명의 실시예에 따른 유기발광다이오드 표시장치는 데이터 라인, 스캔 라인, 초기화 라인, 및 발광 라인이 형성되고, 매트릭스 형태로 형성된 화소들이 형성된 표시패널을 구비하고, 상기 화소들 각각은, 게이트 전극이 제1 노드에 접속

(뒷면에 계속)

대표도 - 도2



되고, 소스 전극이 제2 노드에 접속되며, 드레인 전극에 고전위 전압을 공급하는 고전위 전압원에 접속된 구동 TFT; 상기 제2 노드에 접속된 애노드 전극과, 저전위 전압을 공급하는 저전위 전압원에 접속된 캐소드 전극을 포함하는 유기발광다이오드; 상기 스캔 라인의 스캔 신호에 응답하여 상기 제1 노드에 데이터 전압을 공급하는 제1 TFT; 상기 발광 라인의 발광 신호에 응답하여 상기 제2 노드와 제3 노드를 접속시키는 제2 TFT; 상기 초기화 라인의 초기화 신호에 응답하여 상기 제1 노드를 제1 기준 전압으로 초기화시키는 제3 TFT를 구비하는 초기화 제어 회로; 및 상기 제1 노드와 상기 제3 노드 사이에 접속된 제1 캐패시터를 포함하는 것을 특징으로 한다.

명세서

청구범위

청구항 1

삭제

청구항 2

데이터 라인, 스캔 라인, 초기화 라인, 및 발광 라인이 형성되고, 매트릭스 형태로 형성된 화소들이 형성된 표시패널을 구비하고,

상기 화소들 각각은,

게이트 전극이 제1 노드에 접속되고, 소스 전극이 제2 노드에 접속되며, 드레인 전극에 고전위 전압을 공급하는 고전위 전압원에 접속된 구동 TFT;

상기 제2 노드에 접속된 애노드 전극과, 저전위 전압을 공급하는 저전위 전압원에 접속된 캐소드 전극을 포함하는 유기발광다이오드;

상기 스캔 라인의 스캔 신호에 응답하여 상기 제1 노드에 데이터 전압을 공급하는 제1 TFT;

상기 발광 라인의 발광 신호에 응답하여 상기 제2 노드와 제3 노드를 접속시키는 제2 TFT;

상기 초기화 라인의 초기화 신호에 응답하여 상기 제1 노드를 제1 기준 전압으로 초기화시키는 제3 TFT;

상기 초기화 라인의 상기 초기화 신호에 응답하여 상기 제2 노드를 제2 기준 전압으로 초기화시키는 제4 TFT; 및

상기 제1 노드와 상기 제3 노드 사이에 접속된 제1 캐패시터를 구비하고,

상기 제1 노드, 상기 제2 노드, 및 제3 노드를 초기화시키는 제1 기간 동안, 상기 초기화 신호는 제1 로직 레벨 전압으로 발생하고,

상기 제1 기간에 연속하고, 상기 구동 TFT의 문턱전압을 센싱하는 제2 기간 동안, 상기 초기화 신호는 제2 로직 레벨 전압으로 발생하며,

상기 제1 캐패시터는 상기 제1 기간 동안 상기 제1 노드와 제3 노드 간의 전압 편차를 저장하고, 상기 제2 기간 동안 상기 제3 노드의 전압 변화량을 상기 제1 노드에 반영하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 3

제 2 항에 있어서,

상기 화소들 각각은,

상기 제1 노드와 상기 고전위 전압원 사이에 접속된 제2 캐패시터를 더 포함하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 4

제 2 항에 있어서,

상기 화소들 각각은,

상기 제1 노드와 상기 제1 기준 전압을 공급하는 제1 기준 전압원 사이에 접속된 제2 캐패시터를 더 포함하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 5

제 2 항에 있어서,

상기 화소들 각각은,

상기 제1 노드와 상기 제2 기준 전압을 공급하는 제2 기준 전압원 사이에 접속된 제2 캐패시터를 더 포함하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 6

제 2 항에 있어서,

상기 제1 TFT의 게이트 전극은 상기 스캔 라인에 접속되고, 소스 전극은 상기 제1 노드에 접속되며, 드레인 전극은 데이터 라인에 접속되고,

상기 제2 TFT의 게이트 전극은 상기 발광 라인에 접속되고, 소스 전극은 상기 제3 노드에 접속되며, 드레인 전극은 상기 제2 노드에 접속되고,

상기 제3 TFT의 게이트 전극은 상기 초기화 라인에 접속되며, 소스 전극은 상기 제1 기준 전압을 공급하는 제1 기준 전압원에 접속되고, 드레인 전극은 상기 제1 노드에 접속되며,

상기 제4 TFT의 게이트 전극은 상기 초기화 라인에 접속되고, 소스 전극은 상기 제2 기준 전압을 공급하는 제2 기준 전압원에 접속되며, 드레인 전극은 상기 제2 노드에 접속되는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 7

데이터 라인, 스캔 라인, 초기화 라인, 및 발광 라인이 형성되고, 매트릭스 형태로 형성된 화소들이 형성된 표시패널을 구비하고,

상기 화소들 각각은,

게이트 전극이 제1 노드에 접속되고, 소스 전극이 제2 노드에 접속되며, 드레인 전극에 고전위 전압을 공급하는 고전위 전압원에 접속된 구동 TFT;

상기 제2 노드에 접속된 애노드 전극과, 저전위 전압을 공급하는 저전위 전압원에 접속된 캐소드 전극을 포함하는 유기발광다이오드;

상기 스캔 라인의 스캔 신호에 응답하여 상기 제1 노드에 데이터 전압을 공급하는 제1 TFT;

상기 발광 라인의 발광 신호에 응답하여 상기 제2 노드와 제3 노드를 접속시키는 제2 TFT;

상기 초기화 라인의 초기화 신호에 응답하여 상기 제1 노드를 제1 기준 전압으로 초기화시키는 제3 TFT;

상기 초기화 라인의 상기 초기화 신호에 응답하여 상기 제3 노드를 제2 기준 전압으로 초기화시키는 제4 TFT; 및

상기 제1 노드와 상기 제3 노드 사이에 접속된 제1 캐패시터를 구비하고,

상기 제1 노드, 상기 제2 노드, 및 제3 노드를 초기화시키는 제1 기간 동안, 상기 초기화 신호는 제1 로직 레벨 전압으로 발생하고,

상기 제1 기간에 연속하고, 상기 구동 TFT의 문턱전압을 센싱하는 제2 기간 동안, 상기 초기화 신호는 제2 로직 레벨 전압으로 발생하며,

상기 제1 캐패시터는 상기 제1 기간 동안 상기 제1 노드와 제3 노드 간의 전압 편차를 저장하고, 상기 제2 기간 동안 상기 제3 노드의 전압 변화량을 상기 제1 노드에 반영하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 8

제 7 항에 있어서,

상기 화소들 각각은,

상기 제1 노드와 상기 고전위 전압원 사이에 접속된 제2 캐패시터를 더 포함하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 9

제 7 항에 있어서,

상기 화소들 각각은,

상기 제1 노드와 상기 제1 기준 전압을 공급하는 제1 기준 전압원 사이에 접속된 제2 캐패시터를 더 포함하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 10

제 7 항에 있어서,

상기 화소들 각각은,

상기 제1 노드와 상기 제2 기준 전압을 공급하는 제2 기준 전압원 사이에 접속된 제2 캐패시터를 더 포함하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 11

제 7 항에 있어서,

상기 화소들 각각은,

상기 제3 노드와 상기 고전위 전압원 사이에 접속된 제2 캐패시터를 더 포함하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 12

제 7 항에 있어서,

상기 화소들 각각은,

상기 제3 노드와 상기 제1 기준 전압을 공급하는 제1 기준 전압원 사이에 접속된 제2 캐패시터를 더 포함하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 13

제 7 항에 있어서,

상기 화소들 각각은,

상기 제3 노드와 상기 제2 기준 전압을 공급하는 제2 기준 전압원 사이에 접속된 제2 캐패시터를 더 포함하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 14

제 2 항 또는 제 7 항에 있어서,

상기 제2 기준 전압은 상기 제1 기준 전압과 상기 구동 TFT의 문턱전압의 차 전압보다 낮은 전압으로 설정된 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 15

제 2 항 내지 제 13 항 중 어느 한 항에 있어서,

상기 제1 기간 동안,

상기 발광 신호는 상기 제1 로직 레벨 전압으로 발생하고,

상기 스캔 신호는 상기 제2 로직 레벨 전압으로 발생하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 16

제 15 항에 있어서,
상기 제2 기간 동안,
상기 발광 신호는 상기 제1 로직 레벨 전압으로 발생하고,
상기 스캔 신호는 상기 제2 로직 레벨 전압으로 발생하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 17

제 16 항에 있어서,
상기 제2 기간에 연속하고, 상기 데이터 전압이 상기 제1 노드에 공급되는 제3 기간 동안,
상기 스캔 신호는 상기 제1 로직 레벨 전압으로 발생하고,
상기 초기화 신호와 상기 발광 신호는 상기 제2 로직 레벨 전압으로 발생하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 18

제 17 항에 있어서,
상기 제3 기간에 연속하고, 상기 구동 TFT의 문턱전압을 보상하는 제4 기간 동안,
상기 발광 신호는 상기 제1 로직 레벨의 전압으로 발생하고,
상기 스캔 신호와 상기 초기화 신호는 상기 제2 로직 레벨 전압으로 발생하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 19

제 18 항에 있어서,
상기 제4 기간에 연속하고, 상기 유기발광다이오드가 발광하는 제5 기간 동안,
상기 스캔 신호, 상기 초기화 신호, 및 상기 발광 신호는 상기 제2 로직 레벨 전압으로 발생하는 것을 특징으로 하는 유기발광다이오드 표시장치.

청구항 20

제 19 항에 있어서,
상기 제1 기간, 상기 제2 기간, 상기 제3 기간, 및 상기 제4 기간 각각은 수 내지 수십 수평 기간으로 구현되는 것을 특징으로 하는 유기발광다이오드 표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 구동 TFT의 문턱전압을 보상할 수 있는 유기발광다이오드 표시장치에 관한 것이다.

배경 기술

[0002] 정보화 사회가 발전함에 따라 화상을 표시하기 위한 표시장치에 대한 요구가 다양한 형태로 증가하고 있다. 이에 따라, 최근에는 액정표시장치(LCD: Liquid Crystal Display), 플라즈마표시장치(PDP: Plasma Display Panel), 유기발광다이오드 표시장치(OLED: Organic Light Emitting Diode)와 같은 여러가지 평판표시장치가 활용되고 있다. 이들 평판표시장치 중에서, 유기발광다이오드 표시장치는 저전압 구동이 가능하고, 박형이며, 시야각이 우수하고, 응답속도가 빠른 특성이 있다. 유기발광다이오드 표시장치 중에서 다수의 화소가 매트릭스

형태로 위치하여 영상을 표시하는 액티브 매트릭스 타입 유기발광다이오드 표시장치가 널리 사용된다.

[0003] 액티브 매트릭스 타입 유기발광다이오드 표시장치의 표시패널은 매트릭스 형태로 배치된 다수의 화소들을 포함한다. 화소들 각각은 스캔 라인의 스캔 신호에 응답하여 데이터 라인의 데이터 전압을 공급하는 스캔 TFT(Thin Film Transistor)와 게이트 전극에 공급되는 데이터 전압에 따라 유기발광다이오드(Organic Light Emitting Diode)에 공급되는 전류의 양을 조절하는 구동 TFT를 포함한다. 이때, 유기발광다이오드에 공급되는 구동 TFT의 드레인-소스간 전류(I_{ds})는 수학식 1과 같이 표현될 수 있다.

수학식 1

$$I_{ds} = k' \cdot (V_{gs} - V_{th})^2$$

[0004]

[0005] 수학식 1에서, k' 는 구동 TFT의 구조와 물리적 특성에 의해 결정되는 비례 계수, V_{gs} 는 구동 TFT의 게이트-소스간 전압, V_{th} 는 구동 TFT의 문턱전압을 의미한다.

[0006] 한편, 구동 TFT의 열화에 의한 문턱전압(V_{th})의 쉬프트(shift)로 인해, 화소들 각각의 구동 TFT의 문턱전압(V_{th})은 서로 다른 값을 가질 수 있다. 이 경우, 구동 TFT의 드레인-소스간 전류(I_{ds})는 구동 TFT의 문턱전압(V_{th})에 의존하므로, 동일한 데이터 전압을 화소들 각각에 공급하더라도 유기발광다이오드에 공급되는 전류(I_{ds})는 화소마다 달라진다. 따라서, 동일한 데이터 전압을 화소들 각각에 공급하더라도 화소들 각각의 유기발광다이오드가 발광하는 빛의 휘도가 달라지는 문제점이 발생한다. 이를 해결하기 위해, 구동 TFT의 문턱전압(V_{th})을 보상하는 여러 형태의 화소 구조가 제안되고 있다.

[0007] 도 1은 다이오드 연결 방식의 문턱전압 보상 화소 구조의 일부를 보여주는 회로도이다. 도 1에는 유기발광다이오드에 전류를 공급하는 구동 TFT(DT)와 구동 TFT(DT)의 게이트 노드(Ng)와 드레인 노드(Nd) 사이에 접속된 센싱 TFT(ST)가 나타나 있다. 센싱 TFT(ST)는 구동 TFT(DT)의 문턱전압 센싱 기간 동안 구동 TFT(DT)의 게이트 노드(Ng)와 드레인 노드(Nd)를 접속시켜, 구동 TFT(DT)가 다이오드(diode)로 구동하게 한다. 도 1에서 구동 TFT(DT)와 센싱 TFT(ST)는 N타입 MOSFET(Metal Oxide Semiconductor Field Effect Transistor)으로 구현된 것을 중심으로 설명하였다.

[0008] 도 1을 참조하면, 센싱 TFT(ST)가 턴-온되는 문턱전압 센싱 기간 동안 게이트 노드(Ng)와 드레인 노드(Nd)가 접속되므로, 게이트 노드(Ng)와 드레인 노드(Nd)는 실질적으로 동등한 전위로 플로팅(floating) 된다. 이때, 게이트 노드(Ng)와 소스 노드(Ns) 간의 전압 차(V_{gs})가 문턱전압보다 큰 경우, 구동 TFT(DT)는 게이트 노드(Ng)와 소스 노드(Ns) 간의 전압 차(V_{gs})가 구동 TFT(DT)의 문턱전압(V_{th})에 도달할 때까지 전류 패스를 형성하며, 그에 따라 게이트 노드(Ng)와 드레인 노드(Nd)의 전압은 방전된다. 하지만, 구동 TFT(DT)의 문턱전압(V_{th})이 네거티브 쉬프트(negative shift)되는 경우 구동 TFT(DT)의 문턱전압(V_{th})이 0V보다 낮기 때문에, 게이트 노드(Ng)가 0V까지 낮아지더라도 게이트 노드(Ng)와 소스 노드(Ns) 간의 전압 차(V_{gs})가 구동 TFT(DT)의 문턱전압(V_{th})에 도달할 수 없다. 결국, 구동 TFT(DT)의 문턱전압(V_{th})이 네거티브 쉬프트되는 경우, 구동 TFT(DT)의 문턱전압(V_{th}) 센싱이 불가능하다는 문제가 발생한다. 네거티브 쉬프트는 구동 TFT(DT)가 N타입 MOSFET으로 구현된 경우 구동 TFT(DT)의 문턱전압(V_{th})이 0V보다 낮은 전압으로 쉬프트되는 것을 의미한다. 네거티브 쉬프트는 구동 TFT(DT)의 반도체층이 옥사이드(Oxide)로 형성되는 경우 주로 발생한다.

발명의 내용

해결하려는 과제

[0009] 본 발명은 구동 TFT의 문턱전압이 네거티브 쉬프트되는 경우에도 구동 TFT의 문턱전압을 센싱할 수 있는 유기발광다이오드 표시장치를 제공한다.

과제의 해결 수단

[0010] 본 발명의 실시 예에 따른 유기발광다이오드 표시장치는 데이터 라인, 스캔 라인, 초기화 라인, 및 발광 라인이

형성되고, 매트릭스 형태로 형성된 화소들이 형성된 표시패널을 구비하고, 상기 화소들 각각은, 게이트 전극이 제1 노드에 접속되고, 소스 전극이 제2 노드에 접속되며, 드레인 전극에 고전위 전압을 공급하는 고전위 전압원에 접속된 구동 TFT; 상기 제2 노드에 접속된 애노드 전극과, 저전위 전압을 공급하는 저전위 전압원에 접속된 캐소드 전극을 포함하는 유기발광다이오드; 상기 스캔 라인의 스캔 신호에 응답하여 상기 제1 노드에 데이터 전압을 공급하는 제1 TFT; 상기 발광 라인의 발광 신호에 응답하여 상기 제2 노드와 제3 노드를 접속시키는 제2 TFT; 상기 초기화 라인의 초기화 신호에 응답하여 상기 제1 노드를 제1 기준 전압으로 초기화시키는 제3 TFT를 구비하는 초기화 제어회로; 및 상기 제1 노드와 상기 제3 노드 사이에 접속된 제1 캐패시터를 포함하는 것을 특징으로 한다.

발명의 효과

- [0011] 본 발명은 초기화 기간 동안 구동 TFT의 게이트 노드를 제1 기준 전압으로 초기화하고, 구동 TFT의 소스 노드를 제2 기준 전압으로 초기화한다. 제2 기준 전압은 제1 기준 전압과 구동 TFT의 문턱전압의 차전압보다 낮은 전압으로 설정된다. 그 결과, 본 발명은 구동 TFT의 문턱전압이 네거티브 쉬프트(negative shift) 되더라도 구동 TFT의 게이트-소스 전극 간의 전압 차를 구동 TFT의 문턱전압보다 크게 제어할 수 있다. 그러므로, 본 발명은 구동 TFT의 문턱전압이 네거티브 쉬프트되는 경우에도 구동 TFT의 문턱전압을 센싱할 수 있다.
- [0012] 또한, 본 발명은 구동 TFT의 문턱전압 보상 기간 동안 구동 TFT의 소스 노드를 이용하여 구동 TFT의 문턱전압을 보상하는데, 이때 구동 TFT의 소스 노드는 유기발광다이오드와 접속된다. 그러므로, 구동 TFT의 문턱전압 보상 기간 동안 구동 TFT의 소스 노드의 전압은 유기발광다이오드의 문턱전압 변동을 어느 정도 반영하고 있다고 볼 수 있다. 나아가, 본 발명은 구동 TFT의 문턱전압 보상 기간 동안 구동 TFT의 소스 노드는 유기발광다이오드를 통해 저전위 전압 공급라인과 접속된다. 그러므로, 구동 TFT의 문턱전압 보상 기간 동안 구동 TFT의 소스 노드의 전압은 유기발광다이오드의 발광으로 인한 저전위 전압의 전압 상승도 어느 정도 반영하고 있다고 볼 수 있다. 결국, 본 발명은 유기발광다이오드의 문턱전압 변동과 저전위 전압의 전압 상승을 보상할 수 있다.
- [0013] 또한, 본 발명은 구동 TFT의 문턱전압 센싱 기간을 수 내지 수십 수평기간으로 제어한다. 그 결과, 본 발명은 고속 구동시에도 구동 TFT의 문턱전압을 센싱할 수 있는 기간이 충분하게 유지할 수 있다.

도면의 간단한 설명

- [0014] 도 1은 다이오드 연결 방식의 문턱전압 보상 화소의 일부를 보여주는 회로도.
- 도 2는 본 발명의 제1 실시 예에 따른 화소의 등가 회로도.
- 도 3은 본 발명의 실시 예에 따라 화소에 입력되는 신호들과 제1 내지 제3 노드들의 전압 변화를 보여주는 파형도.
- 도 4는 본 발명의 제1 실시 예에 따른 화소의 노드들의 전압 변화를 보여주는 표.
- 도 5a 내지 도 5e는 본 발명의 제1 실시 예에 따른 화소의 동작을 보여주는 회로도.
- 도 6은 본 발명의 제2 실시 예에 따른 화소의 등가 회로도.
- 도 7은 본 발명의 제2 실시 예에 따른 화소의 노드들의 전압 변화를 보여주는 표.
- 도 8a 내지 도 8e는 본 발명의 제2 실시 예에 따른 화소의 동작을 보여주는 회로도.
- 도 9는 본 발명의 제3 실시 예에 따른 화소의 등가 회로도.
- 도 10은 본 발명의 제3 실시 예에 따른 화소의 노드들의 전압 변화를 보여주는 표.
- 도 11a 내지 도 11e는 본 발명의 제3 실시 예에 따른 화소의 동작을 보여주는 회로도.
- 도 12는 본 발명의 실시예에 따른 유기발광다이오드 표시장치를 개략적으로 보여주는 블록도.

발명을 실시하기 위한 구체적인 내용

- [0015] 이하 첨부된 도면을 참조하여 유기발광다이오드 표시장치를 중심으로 본 발명에 따른 바람직한 실시예들을 상세

히 설명한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다. 이하의 설명에서 사용되는 구성요소들의 명칭은 명세서 작성의 용이함을 고려하여 선택된 것으로, 실제 제품의 명칭과는 상이할 수 있다.

- [0016] 본 발명은 화소들 각각의 구동 TFT의 문턱전압을 내부 보상하는 유기발광다이오드 표시장치에 관한 것이다. 내부 보상은 화소들 각각에서 실시간으로 구동 TFT의 문턱전압을 센싱하여 보상하는 것을 의미한다. 외부 보상은 구동 TFT의 드레인-소스간 전류를 센싱하고, 센싱된 전류를 이용하여 화소들에 공급될 디지털 영상 데이터들을 보상한 후, 보상된 디지털 영상 데이터들을 화소들에 공급하는 것을 의미한다.
- [0017] 도 2는 본 발명의 제1 실시 예에 따른 화소의 등가 회로도이다. 도 2를 참조하면, 본 발명의 제1 실시예에 따른 화소(P)는 구동 TFT(Thin Film Transistor)(DT), 유기발광다이오드(Organic Light Emitting Diode, OLED), 제어 회로, 및 캐패시터(capacitor)들 등을 포함한다.
- [0018] 구동 TFT(DT)는 게이트 전극에 인가된 전압 량에 따라, 유기발광다이오드(OLED)에 공급되는 드레인-소스간 전류(I_{ds})의 양을 다르게 조절한다. 구동 TFT(DT)의 게이트 전극은 제1 노드(N1)에 접속되고, 소스 전극은 제2 노드(N2)에 접속되며, 드레인 전극은 고전위 전압(VDD)을 공급하는 고전위 전압 공급라인(VDDL)에 접속된다.
- [0019] 유기발광다이오드(OLED)의 애노드 전극은 제2 노드(N2)에 접속되고, 캐소드 전극은 저전위 전압(VSS)을 공급하는 저전위 전압 공급라인(VSSL)에 접속된다. 유기발광다이오드(OLED)는 구동 TFT(DT)의 드레인-소스간 전류(I_{ds})에 따라 발광된다.
- [0020] 제어 회로는 제1 TFT(T1), 제2 TFT(T2), 및 초기화 제어회로(REFC)를 포함한다. 제1 TFT(T1)는 스캔 라인(SL)으로부터 공급되는 제1 로직 레벨 전압의 스캔 신호(SCAN)에 응답하여 제1 노드(N1)에 데이터 전압(DATA)을 공급한다. 제1 TFT(T1)의 게이트 전극은 스캔 신호(SCAN)가 공급되는 스캔 라인(SL)에 접속되고, 소스 전극은 제1 노드(N1)에 접속되며, 드레인 전극은 데이터 전압(DATA)이 공급되는 데이터 라인(DL)에 접속된다.
- [0021] 제2 TFT(T2)는 발광 라인(EML)으로부터 공급되는 제1 로직 레벨 전압의 발광 신호(EM)에 응답하여 제2 노드(N2)와 제3 노드(N3)를 접속시킨다. 제2 TFT(T2)의 게이트 전극은 발광 신호(EM)가 공급되는 발광 라인(EML)에 접속되고, 소스 전극은 제3 노드(N3)에 접속되며, 드레인 전극은 제2 노드(N2)에 접속된다.
- [0022] 초기화 제어회로(REFC)는 제3 TFT(T3)와 제4 TFT(T4)를 구비한다. 제3 TFT(T3)는 초기화 라인(IL)으로부터 공급되는 제1 로직 레벨 전압의 초기화 신호(INI)에 응답하여 제1 노드(N1)를 제1 기준 전압(REF1)으로 초기화시킨다. 제3 TFT(T3)의 게이트 전극은 초기화 신호(INI)가 공급되는 초기화 라인(IL)에 접속되고, 소스 전극은 제1 기준 전압(REF1)이 공급되는 제1 기준 전압 공급라인(REFL1)에 접속되며, 드레인 전극은 제1 노드(N1)에 접속된다.
- [0023] 제4 TFT(T4)는 초기화 라인(IL)으로부터 공급되는 제1 로직 레벨 전압의 초기화 신호(INI)에 응답하여 제2 노드(N2)를 제2 기준 전압(REF2)으로 초기화시킨다. 제4 TFT(T4)의 게이트 전극은 초기화 신호(INI)가 공급되는 초기화 라인(IL)에 접속되고, 소스 전극은 제2 기준 전압(REF2)이 공급되는 제2 기준 전압 공급라인(REFL2)에 접속되며, 드레인 전극은 제2 노드(N2)에 접속된다.
- [0024] 제1 캐패시터(C1)는 제1 노드(N1)와 제3 노드(N3) 사이에 접속되어 어느 한 노드의 전압 변화량을 다른 노드에 반영한다. 제2 캐패시터(C2)는 제1 노드(N1)와 고전위 전압 공급라인(VDDL) 사이에 접속되어 제1 노드(N1)의 전압을 유지한다. 또는, 제2 캐패시터(C2)는 제1 노드(N1)와 제1 기준 전압 공급라인(REFL1) 사이에 접속되거나, 제1 노드(N1)와 제2 기준 전압 공급라인(REFL2) 사이에 접속될 수 있다.
- [0025] 제1 노드(N1)는 구동 TFT(DT)의 게이트 전극, 제1 TFT(T1)의 소스 전극, 제3 TFT(T3)의 드레인 전극, 제1 캐패시터(C1)의 일측 전극, 및 제2 캐패시터(C2)의 일측 전극 간의 접점이다. 제2 노드(N2)는 구동 TFT(DT)의 소스 전극, 제2 TFT(T2)의 드레인 전극, 제4 TFT(T4)의 드레인 전극, 및 유기발광다이오드(OLED)의 애노드 전극 간의 접점이다. 제3 노드(N3)는 제2 TFT(T2)의 소스 전극, 및 제1 캐패시터(C1)의 타측 전극 간의 접점이다.
- [0026] 제1 내지 제4 TFT(T1, T2, T3, T4), 및 구동 TFT(DT)의 반도체 층은 산화물 반도체, 특히 옥사이드(Oxide)로 형성될 수 있다. 하지만, 이에 한정되지 않으며, 제1 내지 제4 TFT(T1, T2, T3, T4), 및 구동 TFT(DT)의 반도체 층은 a-Si, 및 Poly-Si 중 어느 하나로 형성될 수도 있다. 또한, 본 발명의 제1 실시예에서 제1 내지 제4 TFT(T1, T2, T3, T4), 및 구동 TFT(DT)가 N 타입 MOSFET(Metal Oxide Semiconductor Field Effect

Transistor)으로 형성된 것을 중심으로 설명하였다.

- [0027] 구동 TFT(DT)의 특성, 유기발광다이오드(OLED)의 특성 등을 고려하여 고전위 전압 공급라인(VDDL)은 고전위 전압(VDD)을 공급하도록 설정되고, 저전위 전압 공급라인(VSSL)은 저전위 전압(VSS)을 공급하도록 설정될 수 있다. 예를 들어, 고전위 전압(VDD)은 20V, 저전위 전압(VSS)은 0V로 설정될 수 있다. 제1 기준 전압 공급라인(REFL1)은 제1 기준 전압(REF1)을 공급하도록 설정되고, 제2 기준 전압 공급라인(REFL2)은 제2 기준 전압(REF2)을 공급하도록 설정될 수 있다. 한편, 구동 TFT(DT)의 문턱전압 센싱을 위해서, 제2 기준 전압(REF2)은 제1 기준 전압(REF1)과 구동 TFT(DT)의 문턱전압의 차 전압보다 낮은 전압으로 설정될 수 있다.
- [0028] 도 3은 본 발명의 실시 예에 따라 화소에 입력되는 신호들과 제1 내지 제3 노드들의 전압 변화를 보여주는 파형도이다. 도 3에는 표시패널(10)의 어느 한 화소(P)에 입력되는 초기화 신호(INI), 스캔 신호(SCAN), 및 발광 신호(EM)가 나타나 있다. 또한, 도 3에는 데이터 라인(DL)을 통해 공급되는 데이터 전압(DATA)이 나타나 있다. 또한, 도 3에는 제1 내지 제3 노드(N1, N2, N3)의 전압 변화가 나타나 있다.
- [0029] 도 3을 참조하면, 초기화 신호(INI), 스캔 신호(SCAN), 및 발광 신호(EM)는 화소(P)의 제1 내지 제4 TFT(T1, T2, T3, T4)를 제어하기 위한 신호들이다. 초기화 신호(INI), 스캔 신호(SCAN), 및 발광 신호(EM) 각각은 1 프레임 기간을 주기로 발생한다. 초기화 신호(INI), 스캔 신호(SCAN), 및 발광 신호(EM) 각각은 제1 로직 레벨 전압과 제2 로직 레벨 전압 사이에서 스위칭한다. 도 3에서는 제1 로직 레벨 전압이 게이트 하이 전압(VGH)이고, 제2 로직 레벨 전압이 게이트 로우 전압(VGL)인 것을 중심으로 설명하였다. 게이트 하이 전압(VGH)은 대략 14V 내지 20V 사이에서 설정될 수 있고, 게이트 로우 전압(VGL)은 대략 -12V 내지 -5V로 설정될 수 있다.
- [0030] 1 프레임 기간은 제1 내지 제5 기간(t1~t5)으로 구분될 수 있다. 제1 기간(t1)은 상기 제1 노드, 상기 제2 노드, 및 제3 노드를 초기화시키는 기간이고, 제2 기간(t2)은 제1 기간(t1)에 연속하고 구동 TFT(DT)의 문턱전압을 센싱하는 기간이며, 제3 기간(t3)은 제2 기간(t2)에 연속하고 데이터 전압(DATA)이 제1 노드(N1)에 공급되는 기간이고, 제4 기간(t4)은 제3 기간(t3)에 연속하고 구동 TFT(DT)의 문턱전압을 보상하는 기간이며, 제5 기간(t5)은 제4 기간(t4)에 연속하고 구동 TFT(DT)의 문턱전압이 보상된 드레인-소스간 전류(Ids)에 따라 유기발광다이오드(OLED)가 발광하는 기간이다.
- [0031] 제1 기간(t1) 동안 초기화 신호(INI)와 발광 신호(EM)는 제1 로직 레벨 전압으로 발생하고, 스캔 신호(SCAN)는 제2 로직 레벨 전압으로 발생한다. 제2 기간(t2) 동안 발광 신호(EM)는 제1 로직 레벨 전압으로 발생하고, 스캔 신호(SCAN)와 초기화 신호(INI)는 제2 로직 레벨 전압으로 발생한다. 제3 기간(t3) 동안 스캔 신호(SCAN)는 제1 로직 레벨 전압으로 발생하고, 초기화 신호(INI)와 발광 신호(EM)는 제2 로직 레벨 전압으로 발생한다. 제4 기간(t4) 동안 발광 신호(EM)는 제1 로직 레벨 전압으로 발생하고, 스캔 신호(SCAN)와 초기화 신호(INI)는 제2 로직 레벨 전압으로 발생한다. 제5 기간(t5) 동안 스캔 신호(SCAN), 초기화 신호(INI), 및 발광 신호(EM)는 제2 로직 레벨 전압으로 발생한다.
- [0032] 데이터 전압(DATA)은 1 수평 기간(1H)을 주기로 발생한다. 도 3에서는 데이터 전압(DATA)이 제1 노드(N1)에 공급되는 제3 기간(t3)은 1 수평 기간(1H)으로 발생된 것을 중심으로 설명하였지만, 이에 한정되지 않음에 주의하여야 한다. 즉, 제1 기간(t1), 제2 기간(t2), 제3 기간(t3), 및 제4 기간(t4) 각각은 화소(P)의 표시 품질을 높이기 위해 수 내지 수십 수평 기간으로 구현될 수 있으며, 사전 실험을 통해 적절하게 결정될 수 있다. 한편, 제1 내지 제3 노드(N1, N2, N3)의 전압 변화는 도 4와 도 5a 내지 도 5e를 결부하여 상세히 설명한다.
- [0033] 도 4는 본 발명의 제1 실시 예에 따른 화소의 노드들의 전압 변화를 보여주는 표이다. 도 5a 내지 도 5e는 본 발명의 제1 실시 예에 따른 화소의 동작을 보여주는 회로도이다. 이하에서, 도 3, 도 4, 및 도 5a 내지 도 5e를 참조하여 제1 내지 제5 기간(t1~t5) 동안 본 발명의 제1 실시 예에 따른 화소(P)의 동작을 상세히 설명한다.
- [0034] 첫 번째로, 제1 기간(t1) 동안 화소(P)의 동작을 설명한다. 제1 기간(t1) 동안 도 4와 같이 스캔 라인(SCAN)을 통해 제2 로직 레벨 전압의 스캔 신호(SCAN)가 공급되고, 초기화 라인(IL)을 통해 제1 로직 레벨 전압의 초기화 신호(INI)가 공급되며, 발광 라인(EML)을 통해 제1 로직 레벨 전압의 발광 신호(EM)가 공급된다.
- [0035] 도 5a를 참조하면, 제1 TFT(T1)는 제2 로직 레벨 전압의 스캔 신호(SCAN)에 의해 턴-오프된다. 제2 TFT(T2)는 제1 로직 레벨 전압의 발광 신호(EM)에 응답하여 턴-온되어 제2 노드(N2)와 제3 노드(N3)를 접속시킨다. 제3 TFT(T3)는 제1 로직 레벨 전압의 초기화 신호(INI)에 응답하여 턴-온되어 제1 노드(N1)와 제1 기준 전압 공급라인(REFL1)을 접속시킨다.

인(REFL1)을 접속시킨다. 제4 TFT(T4)는 제1 로직 레벨 전압의 초기화 신호(INI)에 응답하여 턴-온되어 제2 노드(N2)와 제2 기준 전압 공급라인(REFL2)을 접속시킨다. 제3 TFT(T3)의 턴-온으로 인해, 제1 노드(N1)는 제1 기준 전압(REF1)으로 초기화된다. 제4 TFT(T4)의 턴-온으로 인해, 제2 노드(N2)는 제2 기준 전압(REF2)으로 초기화된다. 또한, 제2 TFT(T2)의 턴-온으로 인해 제3 노드(N3)는 제2 기준 전압(REF2)으로 초기화된다.

[0036] 두 번째로, 제2 기간(t2) 동안 화소(P)의 동작을 설명한다. 제2 기간(t2) 동안 도 4와 같이 스캔 라인(SCAN)을 통해 제2 로직 레벨 전압의 스캔 신호(SCAN)가 공급되고, 초기화 라인(IL)을 통해 제2 로직 레벨 전압의 초기화 신호(INI)가 공급되며, 발광 라인(EML)을 통해 제1 로직 레벨 전압의 발광 신호(EM)가 공급된다.

[0037] 도 5b를 참조하면, 제1 TFT(T1)는 제2 로직 레벨 전압의 스캔 신호(SCAN)에 의해 턴-오프된다. 제2 TFT(T2)는 제1 로직 레벨 전압의 발광 신호(EM)에 응답하여 턴-온되어 제2 노드(N2)와 제3 노드(N3)를 접속시킨다. 제3 TFT(T3)와 제4 TFT(T4)는 제2 로직 레벨 전압의 초기화 신호(INI)에 의해 턴-오프된다. 제2 TFT(T2)의 턴-온으로 인해, 제3 노드(N3)는 제2 노드(N2)와 동등한 전위를 갖는다.

[0038] 한편, 구동 TFT(DT)의 게이트 전극에 접속된 제1 노드(N1)의 제1 기준 전압(REF1)과 구동 TFT(DT)의 소스 전극에 접속된 제2 노드(N2)의 제2 기준 전압(REF2) 간의 전압 차(Vgs)는 구동 TFT(DT)의 문턱전압보다 크기 때문에, 구동 TFT(DT)는 게이트-소스 전극 간의 전압 차(Vgs)가 문턱전압(Vth)에 도달할 때까지 전류 패스를 형성한다. 따라서, 제2 노드(N2)의 전압은 상승하기 시작하고, 제2 TFT(T2)의 턴-온으로 인해 제3 노드(N3)는 제2 노드(N2)와 접속되므로, 제2 노드(N2)의 전압 변화량은 제1 캐패시터(C1)를 통해 제1 노드(N1)에 반영된다. 그러므로, 제2 기간(t2) 동안 제2 노드(N2)의 전압 변화량이 반영된 제1 노드(N1)의 전압을 A 전압(A)이라고 한다면, 제2 노드(N2)의 전압은 A 전압(A)과 구동 TFT(DT)의 문턱전압(Vth)의 차전압(A-Vth)까지 상승한다. 또한, 제2 TFT(T2)의 턴-온으로 인해 제3 노드(N3)는 제2 노드(N2)와 접속되므로, 제3 노드(N3)의 전압도 A 전압(A)과 구동 TFT(DT)의 문턱전압(Vth)의 차전압(A-Vth)까지 상승한다.

[0039] 세 번째로, 제3 기간(t3) 동안 화소(P)의 동작을 설명한다. 제3 기간(t3) 동안 도 4와 같이 스캔 라인(SCAN)을 통해 제1 로직 레벨 전압의 스캔 신호(SCAN)가 공급되고, 초기화 라인(IL)을 통해 제2 로직 레벨 전압의 초기화 신호(INI)가 공급되며, 발광 라인(EML)을 통해 제2 로직 레벨 전압의 발광 신호(EM)가 공급된다.

[0040] 도 5c를 참조하면, 제1 TFT(T1)는 제1 로직 레벨 전압의 스캔 신호(SCAN)에 응답하여 턴-온되어 제1 노드(N1)를 데이터 라인(DL)에 접속시킨다. 제2 TFT(T2)는 제2 로직 레벨 전압의 발광 신호(EM)에 의해 턴-오프된다. 제3 TFT(T3)와 제4 TFT(T4)는 제2 로직 레벨 전압의 초기화 신호(INI)에 의해 턴-오프된다. 제1 TFT(T1)의 턴-온으로 인해, 제1 노드(N1)에는 데이터 라인(DL)의 데이터 전압(DATA)이 공급된다. 제2 TFT(T2)의 턴-오프로 인해, 제3 노드(N3)는 플로팅 된다.

[0041] 한편, 제3 기간(t3) 동안 제3 노드(N3)가 플로팅 되므로, 제1 노드(N1)의 전압 변화량이 제1 캐패시터(C1)에 의해 제3 노드(N3)에 반영된다. 제1 노드(N1)의 전압 변화량인 'A-DATA'가 제3 노드(N3)에 반영되므로, 제3 노드(N3)의 전압은 'A-Vth-(A-DATA)', 즉 'DATA-Vth'로 변화된다.

[0042] 네 번째로, 제4 기간(t4) 동안 화소(P)의 동작을 설명한다. 제4 기간(t4) 동안 도 4와 같이 스캔 라인(SCAN)을 통해 제2 로직 레벨 전압의 스캔 신호(SCAN)가 공급되고, 초기화 라인(IL)을 통해 제2 로직 레벨 전압의 초기화 신호(INI)가 공급되며, 발광 라인(EML)을 통해 제1 로직 레벨 전압의 발광 신호(EM)가 공급된다.

[0043] 도 5d를 참조하면, 제1 TFT(T1)는 제2 로직 레벨 전압의 스캔 신호(SCAN)에 의해 턴-오프된다. 제2 TFT(T2)는 제1 로직 레벨 전압의 발광 신호(EM)에 응답하여 턴-온되어 제2 노드(N2)와 제3 노드(N3)를 접속시킨다. 제3 TFT(T3)와 제4 TFT(T4)는 제2 로직 레벨 전압의 스캔 신호(SCAN)에 의해 턴-오프된다. 제1 TFT(T1)와 제3 TFT(T3)의 턴-오프로 인해, 제1 노드(N1)는 플로팅 된다. 제2 TFT(T2)의 턴-온으로 인해, 제2 노드(N2)와 제3 노드(N3)는 동등한 전위를 갖는다.

[0044] 한편, 제4 기간(t4) 동안 제1 노드(N1)의 전압에 따른 구동 TFT(DT)의 드레인-소스간 전류(Ids)로 인하여, 제2 노드(N2)는 'Voled_anode'로 변화된다. 즉, Voled_anode는 제4 기간(t4) 동안 제2 노드(N2)의 최종 전압을 의미한다. 제4 기간(t4) 동안 제2 TFT(T2)의 턴-온으로 인해, 제2 노드(N2)와 제3 노드(N3)는 서로 접속되므로, 제3 노드(N3)도 'Voled_anode'로 변화된다.

[0045] 제4 기간(t4) 동안 제1 노드(N1)가 플로팅 되므로, 제3 노드(N3)의 전압 변화량이 제1 캐패시터(C1)에 의해 제1 노드(N1)에 반영된다. 즉, 제3 노드(N3)의 전압 변화량인 'DATA-Vth-Voled_anode'가 제1 노드(N1)에 반영된다. 다만, 제1 노드(N1)는 직렬로 연결된 제1 및 제2 캐패시터(C1, C2)의 사이에 접속되어 있으므로, 수

학식 2와 같이 C'의 비율로 전압 변화량이 반영된다.

수학식 2

$$C' = \frac{CA1}{CA1 + CA2}$$

수학식 2에서, CA1은 제1 캐패시터(C1)의 용량, CA2는 제2 캐패시터(C2)의 용량을 의미한다. 결국, 제1 노드(N1)에는 'C'(DATA-Vth-Voled_anode)'가 반영되므로, 제1 노드(N1)의 전압은 'DATA-C'(DATA-Vth-Voled_anode)'로 변화된다. 제1 노드(N1)의 전압을 CA1과 CA2를 이용하여 정리하면 수학식 3과 같다.

수학식 3

$$\frac{DATA \times CA2 + CA1(Vth + Voledanode)}{CA1 + CA2}$$

한편, 유기발광다이오드(OLED)에 공급되는 구동 TFT(DT)의 드레인-소스간 전류(Ids)는 수학식 4와 같이 표현된다.

수학식 4

$$I_{ds} = k' \cdot (V_{gs} - V_{th})^2$$

수학식 4에서, k'는 구동 TFT(DT)의 구조와 물리적 특성에 의해 결정되는 비례 계수로서, 구동 TFT(DT)의 전자 이동도(mobility), 채널 폭, 및 채널 길이 등에 의해 결정된다. Vgs는 구동 TFT(DT)의 게이트-소스 전극 간의 전압 차, Vth는 구동 TFT(DT)의 문턱전압을 의미한다. 제4 기간(t4) 동안 'Vgs-Vth'는 수학식 5와 같다.

수학식 5

$$V_{gs} - V_{th} = \left[\frac{DATA \times CA2 + CA1(Vth + Voledanode)}{CA1 + CA2} - Voledanode \right] - Vth$$

수학식 5를 정리하면, 'Vgs-Vth'는 수학식 6과 같다.

수학식 6

$$V_{gs} - V_{th} = \left[\frac{DATA \times CA2}{CA1 + CA2} - \frac{CA2(Voledanode + Vth)}{CA1 + CA2} \right]$$

수학식 6을 참조하면, 'Vgs-Vth'는 제1 캐패시터(C1)의 용량(CA1)과 제2 캐패시터(C2)의 용량(CA2)에 의존한다. 제1 캐패시터(C1)의 용량(CA1)이 클수록 수학식 6의 분모가 커지므로, Vth가 작아지기 때문에 구동 TFT(DT)의 문턱전압 보상율이 높아진다. 제2 캐패시터(C2)의 용량(CA2)이 클수록 수학식 6의 분자가 커지므로, DATA와 Voled_anode가 커지기 때문에 화소(P)의 계조 표현력이 높아진다. 따라서, 제1 캐패시터(C1)의 용량(CA1)과 제2 캐패시터(C2)의 용량(CA2)은 문턱전압 보상율과 계조 표현력을 고려하여 적절하게 설계되어야 한다. 예를 들

어, 제1 캐패시터(C1)의 용량(CA1)과 제2 캐패시터(C2)의 용량(CA2)의 비율은 n (n 은 $1 \leq n \leq 10$ 을 만족하는 정수)로 구현될 수 있다.

[0056] 결국, 구동 TFT(DT)의 드레인-소스간 전류(I_{ds})는 수학적 식 7과 같이 도출된다.

수학적 식 7

$$I_{ds} = k' [(1+C') \cdot (DATA-REF1)]^2$$

[0057]

[0058] 수학적 식 7을 참조하면, 제4 기간(t_4) 동안 유기발광다이오드(OLED)에 공급되는 구동 TFT(DT)의 드레인-소스간 전류(I_{ds})는 제1 캐패시터(C1)의 용량(CA1)과 제2 캐패시터(C2)의 용량(CA2)을 적절하게 조정함으로써, 구동 TFT(DT)의 문턱전압(V_{th})을 소정의 비율로 보상할 수 있다.

[0059] 다섯 번째로, 제5 기간(t_5) 동안 화소(P)의 동작을 설명한다. 제5 기간(t_5) 동안 도 4와 같이 스캔 라인(SCAN)을 통해 제2 로직 레벨 전압의 스캔 신호(SCAN)가 공급되고, 초기화 라인(IL)을 통해 제2 로직 레벨 전압의 초기화 신호(INI)가 공급되며, 발광 라인(EML)을 통해 제2 로직 레벨 전압의 발광 신호(EM)가 공급된다.

[0060] 도 5e를 참조하면, 제1 TFT(T1)는 제2 로직 레벨 전압의 스캔 신호(SCAN)에 의해 턴-오프된다. 제2 TFT(T2)는 제2 로직 레벨 전압의 발광 신호(EM)에 의해 턴-오프된다. 제3 TFT(T3)와 제4 TFT(T4)는 제2 로직 레벨 전압의 초기화 신호(INI)에 의해 턴-오프된다. 제1 내지 제4 TFT(T1, T2, T3, T4)의 턴-오프로 인해, 제5 기간(t_5) 동안 구동 TFT(DT)의 드레인-소스간 전류(I_{ds})는 수학적 식 7과 같이 그대로 유지된다.

[0061] 이상에서 살펴본 바와 같이, 본 발명의 제1 실시 예에 따른 화소(P)는 구동 TFT(DT)의 소스 전극에 접속된 제2 노드(N2)를 이용하여 구동 TFT의 문턱전압(V_{th})을 센싱하는 소스 팔로워(source follower) 방식으로 구동되는 것을 특징으로 한다. 이를 위해, 본 발명의 제1 실시 예에 따른 화소(P)는 제1 기간(t_1) 동안 제1 노드(N1)를 제1 기준 전압(REF1)으로 초기화하고, 제2 노드(N2)와 제3 노드(N3)를 제2 기준 전압(REF2)으로 초기화한다. 제2 기준 전압(REF2)은 제1 기준 전압(REF1)과 구동 TFT(DT)의 문턱전압(V_{th})의 차전압보다 낮은 전압으로 설정된다. 그 결과, 본 발명의 제1 실시 예에 따른 화소(P)는 구동 TFT(DT)의 문턱전압(V_{th})이 네거티브 쉬프트(negative shift) 되더라도 구동 TFT(DT)의 게이트-소스 전극 간의 전압 차(V_{gs})를 문턱전압(V_{th})보다 크게 제어할 수 있으므로, 구동 TFT(DT)의 문턱전압(V_{th})을 센싱할 수 있다. 네거티브 쉬프트는 구동 TFT(DT)가 N타입 MOSFET으로 구현된 경우 구동 TFT(DT)의 문턱전압(V_{th})이 0V보다 낮은 전압으로 쉬프트되는 것을 의미한다. 네거티브 쉬프트는 구동 TFT(DT)의 반도체층이 옥사이드(Oxide)로 형성되는 경우 주로 발생한다.

[0062] 또한, 본 발명의 제1 실시 예에 따른 화소(P)는 제4 기간(t_4) 동안 제2 노드(N2)와 제3 노드(N3)를 이용하여 구동 TFT(DT)의 문턱전압을 보상하는데, 제2 노드(N2)와 제3 노드(N3)는 유기발광다이오드(OLED)와 접속되기 때문에, 제2 노드(N2)와 제3 노드(N3)의 전압인 'Voled_anode'는 유기발광다이오드(OLED)의 문턱전압 변동을 어느 정도 반영하고 있다고 볼 수 있다. 나아가, 제4 기간(t_4) 동안 제2 노드(N2)와 제3 노드(N3)는 유기발광다이오드(OLED)를 통해 저전위 전압 공급라인(VSSL)과 접속되기 때문에, 제2 노드(N2)와 제3 노드(N3)의 전압인 'Voled_anode'는 유기발광다이오드(OLED)의 발광으로 인한 저전위 전압(VSS)의 전압 상승도 어느 정도 반영하고 있다고 볼 수 있다. 즉, 본 발명의 제1 실시 예는 유기발광다이오드(OLED)의 문턱전압 변동과 저전위 전압(VSS)의 전압 상승을 보상할 수 있다.

[0063] 또한, 본 발명의 제1 실시 예는 구동 TFT(DT)의 문턱전압 센싱 시간인 제2 기간(t_2)을 수 내지 수십 수평 기간으로 제어한다. 그 결과, 본 발명은 고속 구동시에도 구동 TFT(DT)의 문턱전압을 센싱할 수 있는 시간을 충분하게 유지할 수 있다.

[0064] 도 6은 본 발명의 제2 실시 예에 따른 화소의 등가 회로도이다. 도 6을 참조하면, 본 발명의 제2 실시예에 따른 화소(P)는 구동 TFT(Thin Film Transistor)(DT), 유기발광다이오드(Organic Light Emitting Diode, OLED), 제어 회로, 및 캐패시터(capacitor)들 등을 포함한다. 제어 회로는 제1 TFT(T1), 제2 TFT(T2), 및 초기화 제어회로(REFC)를 포함한다. 초기화 제어회로(REFC)는 제3 TFT(T3)와 제4 TFT(T4)를 구비한다.

[0065] 한편, 본 발명의 제2 실시 예에 따른 화소(P)는 제4 TFT(T4)를 제외하고는 도 2를 결부하여 설명한 본 발명의

제1 실시예에 따른 화소(P)와 실질적으로 동일하므로, 본 발명의 제2 실시예에 따른 화소(P)의 구동 TFT(DT), 유기발광다이오드(OLED), 제1 내지 제3 TFT(T1, T2, T3), 제1 및 제2 캐패시터(C1, C2) 등에 대한 설명은 생략하기로 한다.

[0066] 도 6을 참조하면, 제4 TFT(T4)는 초기화 라인(IL)으로부터 공급되는 제1 로직 레벨 전압의 초기화 신호(INI)에 응답하여 제3 노드(N3)를 제2 기준 전압(REF2)으로 초기화시킨다. 제4 TFT(T4)의 게이트 전극은 초기화 신호(INI)가 공급되는 초기화 라인(IL)에 접속되고, 소스 전극은 제2 기준 전압(REF2)이 공급되는 제2 기준 전압 공급라인(REFL2)에 접속되며, 드레인 전극은 제3 노드(N3)에 접속된다.

[0067] 본 발명의 제2 실시 예에 따른 화소(P)에 공급되는 초기화 신호(INI), 스캔 신호(SCAN), 발광 신호(EM), 및 데이터 전압(DATA)은 도 3에서 설명한 바와 같다. 또한, 본 발명의 제2 실시 예에 따른 화소(P)의 제1 내지 제3 노드(N1, N2, N3)의 전압 변화는 도 7과 도 8a 내지 도 8e를 결부하여 상세히 설명한다.

[0068] 도 7은 본 발명의 제2 실시 예에 따른 화소의 노드들의 전압 변화를 보여주는 표이다. 도 8a 내지 도 8e는 본 발명의 제2 실시 예에 따른 화소의 동작을 보여주는 회로도이다. 이하에서, 도 3, 도 7, 및 도 8a 내지 도 8e를 참조하여 제1 내지 제5 기간(t1~t5) 동안 본 발명의 제2 실시 예에 따른 화소(P)의 동작을 상세히 설명한다.

[0069] 먼저, 제1 기간(t1) 동안 화소(P)의 동작을 설명한다. 제1 기간(t1) 동안 도 4와 같이 스캔 라인(SCAN)을 통해 제2 로직 레벨 전압의 스캔 신호(SCAN)가 공급되고, 초기화 라인(IL)을 통해 제1 로직 레벨 전압의 초기화 신호(INI)가 공급되며, 발광 라인(EML)을 통해 제1 로직 레벨 전압의 발광 신호(EM)가 공급된다.

[0070] 도 5a를 참조하면, 제1 TFT(T1)는 제2 로직 레벨 전압의 스캔 신호(SCAN)에 의해 턴-오프된다. 제2 TFT(T2)는 제1 로직 레벨 전압의 발광 신호(EM)에 응답하여 턴-온되어 제2 노드(N2)와 제3 노드(N3)를 접속시킨다. 제3 TFT(T3)는 제1 로직 레벨 전압의 초기화 신호(INI)에 응답하여 턴-온되어 제1 노드(N1)와 제1 기준 전압 공급라인(REFL1)을 접속시킨다. 제4 TFT(T4)는 제1 로직 레벨 전압의 초기화 신호(INI)에 응답하여 턴-온되어 제3 노드(N3)와 제2 기준 전압 공급라인(REFL2)을 접속시킨다. 제3 TFT(T3)의 턴-온으로 인해, 제1 노드(N1)는 제1 기준 전압(REF1)으로 초기화된다. 제4 TFT(T4)의 턴-온으로 인해, 제3 노드(N3)는 제2 기준 전압(REF2)으로 초기화된다. 또한, 제2 TFT(T2)의 턴-온으로 인해 제2 노드(N2)는 제2 기준 전압(REF2)으로 초기화된다.

[0071] 한편, 제2 내지 제5 기간(t2~t5) 동안 본 발명의 제2 실시 예에 따른 화소(P)의 동작은 도 3, 도 4, 및 도 5a 내지 도 5e를 결부하여 설명한 본 발명의 제1 실시 예에 따른 화소(P)의 동작과 실질적으로 동일하다. 따라서, 제2 내지 제5 기간(t2~t5)에 대한 설명은 생략하기로 한다.

[0072] 도 9는 본 발명의 제3 실시 예에 따른 화소의 등가 회로도이다. 도 9를 참조하면, 본 발명의 제2 실시예에 따른 화소(P)는 구동 TFT(Thin Film Transistor)(DT), 유기발광다이오드(Organic Light Emitting Diode, OLED), 제어 회로, 및 캐패시터(capacitor)들 등을 포함한다. 제어 회로는 제1 TFT(T1), 제2 TFT(T2), 및 초기화 제어회로(REFC)를 포함한다. 초기화 제어회로(REFC)는 제3 TFT(T3)와 제4 TFT(T4)를 구비한다.

[0073] 한편, 본 발명의 제3 실시 예에 따른 화소(P)는 제4 TFT(T4)와 제2 캐패시터(C2)를 제외하고는 도 2를 결부하여 설명한 본 발명의 제1 실시예에 따른 화소(P)와 실질적으로 동일하므로, 본 발명의 제2 실시예에 따른 화소(P)의 구동 TFT(DT), 유기발광다이오드(OLED), 제1 내지 제3 TFT(T1, T2, T3), 제1 캐패시터(C1) 등에 대한 설명은 생략하기로 한다.

[0074] 도 9를 참조하면, 제4 TFT(T4)는 초기화 라인(IL)으로부터 공급되는 제1 로직 레벨 전압의 초기화 신호(INI)에 응답하여 제3 노드(N3)를 제2 기준 전압(REF2)으로 초기화시킨다. 제4 TFT(T4)의 게이트 전극은 초기화 신호(INI)가 공급되는 초기화 라인(IL)에 접속되고, 소스 전극은 제2 기준 전압(REF2)이 공급되는 제2 기준 전압 공급라인(REFL2)에 접속되며, 드레인 전극은 제3 노드(N3)에 접속된다.

[0075] 제2 캐패시터(C2)는 제3 노드(N3)와 제2 기준 전압 공급라인(REFL2) 사이에 접속되어 제3 노드(N3)의 전압을 유지한다. 또는, 제2 캐패시터(C2)는 제3 노드(N3)와 제1 기준 전압 공급라인(REFL1) 사이에 접속되거나, 제3 노드(N3)와 고전위 전압 공급라인(VDDL) 사이에 접속될 수 있다.

[0076] 본 발명의 제2 실시 예에 따른 화소(P)에 공급되는 초기화 신호(INI), 스캔 신호(SCAN), 발광 신호(EM), 및 데이터 전압(DATA)은 도 3에서 설명한 바와 같다. 또한, 본 발명의 제2 실시 예에 따른 화소(P)의 제1 내지 제3

노드(N1, N2, N3)의 전압 변화는 도 10과 도 11a 내지 도 11e를 결부하여 상세히 설명한다.

- [0077] 도 10은 본 발명의 제3 실시 예에 따른 화소의 노드들의 전압 변화를 보여주는 표이다. 도 11a 내지 도 11e는 본 발명의 제3 실시 예에 따른 화소의 동작을 보여주는 회로도이다. 이하에서, 도 3, 도 10, 및 도 11a 내지 도 11e를 참조하여 제1 내지 제5 기간($t_1 \sim t_5$) 동안 본 발명의 제3 실시 예에 따른 화소(P)의 동작을 상세히 설명한다.
- [0078] 첫 번째로, 제1 기간(t_1) 동안 화소(P)의 동작을 설명한다. 제1 기간(t_1) 동안 도 4와 같이 스캔 라인(SCAN)을 통해 제2 로직 레벨 전압의 스캔 신호(SCAN)가 공급되고, 초기화 라인(IL)을 통해 제1 로직 레벨 전압의 초기화 신호(INI)가 공급되며, 발광 라인(EML)을 통해 제1 로직 레벨 전압의 발광 신호(EM)가 공급된다.
- [0079] 도 5a를 참조하면, 제1 TFT(T1)는 제2 로직 레벨 전압의 스캔 신호(SCAN)에 의해 턴-오프된다. 제2 TFT(T2)는 제1 로직 레벨 전압의 발광 신호(EM)에 응답하여 턴-온되어 제2 노드(N2)와 제3 노드(N3)를 접속시킨다. 제3 TFT(T3)는 제1 로직 레벨 전압의 초기화 신호(INI)에 응답하여 턴-온되어 제1 노드(N1)와 제1 기준 전압 공급라인(REFL1)을 접속시킨다. 제4 TFT(T4)는 제1 로직 레벨 전압의 초기화 신호(INI)에 응답하여 턴-온되어 제3 노드(N3)와 제2 기준 전압 공급라인(REFL2)을 접속시킨다. 제3 TFT(T3)의 턴-온으로 인해, 제1 노드(N1)는 제1 기준 전압(REF1)으로 초기화된다. 제4 TFT(T4)의 턴-온으로 인해, 제3 노드(N3)는 제2 기준 전압(REF2)으로 초기화된다. 또한, 제2 TFT(T2)의 턴-온으로 인해 제2 노드(N2)는 제2 기준 전압(REF2)으로 초기화된다.
- [0080] 두 번째로, 제2 기간(t_2) 동안 화소(P)의 동작을 설명한다. 제2 기간(t_2) 동안 도 4와 같이 스캔 라인(SCAN)을 통해 제2 로직 레벨 전압의 스캔 신호(SCAN)가 공급되고, 초기화 라인(IL)을 통해 제2 로직 레벨 전압의 초기화 신호(INI)가 공급되며, 발광 라인(EML)을 통해 제1 로직 레벨 전압의 발광 신호(EM)가 공급된다.
- [0081] 도 5b를 참조하면, 제1 TFT(T1)는 제2 로직 레벨 전압의 스캔 신호(SCAN)에 의해 턴-오프된다. 제2 TFT(T2)는 제1 로직 레벨 전압의 발광 신호(EM)에 응답하여 턴-온되어 제2 노드(N2)와 제3 노드(N3)를 접속시킨다. 제3 TFT(T3)와 제4 TFT(T4)는 제2 로직 레벨 전압의 초기화 신호(INI)에 의해 턴-오프된다. 제2 TFT(T2)의 턴-온으로 인해, 제3 노드(N3)는 제2 노드(N2)와 동등한 전위를 갖는다.
- [0082] 한편, 구동 TFT(DT)의 게이트 전극에 접속된 제1 노드(N1)의 제1 기준 전압(REF1)과 구동 TFT(DT)의 소스 전극에 접속된 제2 노드(N2)의 제2 기준 전압(REF2) 간의 전압 차(V_{gs})는 구동 TFT(DT)의 문턱전압보다 크기 때문에, 구동 TFT(DT)는 게이트-소스 전극 간의 전압 차(V_{gs})가 문턱전압(V_{th})에 도달할 때까지 전류 패스를 형성한다. 따라서, 제2 노드(N2)의 전압은 상승하기 시작하고, 제2 TFT(T2)의 턴-온으로 인해 제3 노드(N3)는 제2 노드(N2)와 접속되므로, 제2 노드(N2)의 전압 변화량은 제1 캐패시터(C1)를 통해 제1 노드(N1)에 반영된다. 그러므로, 제2 기간(t_2) 동안 제2 노드(N2)의 전압 변화량이 반영된 제1 노드(N1)의 전압을 A 전압(A)이라고 한다면, 제2 노드(N2)의 전압은 A 전압(A)과 구동 TFT(DT)의 문턱전압(V_{th})의 차전압($A - V_{th}$)까지 상승한다. 또한, 제2 TFT(T2)의 턴-온으로 인해 제3 노드(N3)는 제2 노드(N2)와 접속되므로, 제3 노드(N3)의 전압도 A 전압(A)과 구동 TFT(DT)의 문턱전압(V_{th})의 차전압($A - V_{th}$)까지 상승한다.
- [0083] 세 번째로, 제3 기간(t_3) 동안 화소(P)의 동작을 설명한다. 제3 기간(t_3) 동안 도 4와 같이 스캔 라인(SCAN)을 통해 제1 로직 레벨 전압의 스캔 신호(SCAN)가 공급되고, 초기화 라인(IL)을 통해 제2 로직 레벨 전압의 초기화 신호(INI)가 공급되며, 발광 라인(EML)을 통해 제2 로직 레벨 전압의 발광 신호(EM)가 공급된다.
- [0084] 도 5c를 참조하면, 제1 TFT(T1)는 제1 로직 레벨 전압의 스캔 신호(SCAN)에 응답하여 턴-온되어 제1 노드(N1)를 데이터 라인(DL)에 접속시킨다. 제2 TFT(T2)는 제2 로직 레벨 전압의 발광 신호(EM)에 의해 턴-오프된다. 제3 TFT(T3)와 제4 TFT(T4)는 제2 로직 레벨 전압의 초기화 신호(INI)에 의해 턴-오프된다. 제1 TFT(T1)의 턴-온으로 인해, 제1 노드(N1)에는 데이터 라인(DL)의 데이터 전압(DATA)이 공급된다. 제2 TFT(T2)의 턴-오프로 인해, 제3 노드(N3)는 플로팅 된다.
- [0085] 한편, 제3 기간(t_3) 동안 제3 노드(N3)가 플로팅 되므로, 제1 노드(N1)의 전압 변화량이 제1 캐패시터(C1)에 의해 제3 노드(N3)에 반영된다. 즉, 제1 노드(N1)의 전압 변화량인 'A-DATA'가 제3 노드(N3)에 반영된다. 다만, 제3 노드(N1)는 직렬로 연결된 제1 및 제2 캐패시터(C1, C2)의 사이에 접속되어 있으므로, 수학적 2와 같이 C'의 비율로 전압 변화량이 반영된다. 수학적 2에서, CA1은 제1 캐패시터(C1)의 용량, CA2는 제2 캐패시터(C2)의 용량을 의미한다. 결국, 제3 노드(N3)에는 'C'(A-DATA)'가 반영되므로, 제3 노드(N3)의 전압은 'A- V_{th} -C'(A-DATA)'로 변화된다.

- [0086] 네 번째로, 제4 기간(t4) 동안 화소(P)의 동작을 설명한다. 제4 기간(t4) 동안 도 4와 같이 스캔 라인(SCAN)을 통해 제2 로직 레벨 전압의 스캔 신호(SCAN)가 공급되고, 초기화 라인(IL)을 통해 제2 로직 레벨 전압의 초기화 신호(INI)가 공급되며, 발광 라인(EML)을 통해 제1 로직 레벨 전압의 발광 신호(EM)가 공급된다.
- [0087] 도 5d를 참조하면, 제1 TFT(T1)는 제2 로직 레벨 전압의 스캔 신호(SCAN)에 의해 턴-오프된다. 제2 TFT(T2)는 제1 로직 레벨 전압의 발광 신호(EM)에 응답하여 턴-온되어 제2 노드(N2)와 제3 노드(N3)를 접속시킨다. 제3 TFT(T3)와 제4 TFT(T4)는 제2 로직 레벨 전압의 초기화 신호(INI)에 의해 턴-오프된다. 제1 TFT(T1)와 제3 TFT(T3)의 턴-오프로 인해, 제1 노드(N1)는 플로팅 된다. 제2 TFT(T2)의 턴-온으로 인해, 제2 노드(N2)와 제3 노드(N3)는 동등한 전위를 갖는다.
- [0088] 한편, 제4 기간(t4) 동안 제1 노드(N1)의 전압에 따른 구동 TFT(DT)의 드레인-소스간 전류(I_{ds})로 인하여, 제2 노드(N2)는 'Voled_anode'로 변화된다. 즉, Voled_anode는 제4 기간(t4) 동안 제2 노드(N2)의 최종 전압을 의미한다. 제4 기간(t4) 동안 제2 TFT(T2)의 턴-온으로 인해, 제2 노드(N2)와 제3 노드(N3)는 서로 접속되므로, 제3 노드(N3)도 'Voled_anode'로 변화된다.
- [0089] 제4 기간(t4) 동안 제1 노드(N1)가 플로팅 되므로, 제3 노드(N3)의 전압 변화량이 제1 캐패시터(C1)에 의해 제1 노드(N1)에 반영된다. 즉, 제3 노드(N3)의 전압 변화량인 '{A-Vth-C'(A-DATA)}-Voled_anode'가 제1 노드(N1)에 반영되므로, 제1 노드(N1)의 전압은 'DATA-{A-Vth-C'(A-DATA)-Voled_anode}'로 변화된다.
- [0090] 한편, 유기발광다이오드(OLED)에 공급되는 구동 TFT(DT)의 드레인-소스간 전류(I_{ds})는 수학적식 4와 같이 표현된다. 제4 기간(t4) 동안 'Vgs-Vth'는 수학적식 5와 같다.

수학적식 8

[0091]
$$V_{gs}-V_{th}=[DATA-(A-V_{th}-C'(A-DATA)-Voledanode)-Voledanode]-V_{th}$$

- [0092] 수학적식 8을 정리하면, 구동 TFT(DT)의 드레인-소스간 전류(I_{ds})는 수학적식 9와 같이 도출된다.

수학적식 9

[0093]
$$I_{ds}=k'[(1-C') \cdot (DATA-A)]^2$$

- [0094] 수학적식 9를 참조하면, 제4 기간(t4) 동안 유기발광다이오드(OLED)에 공급되는 구동 TFT(DT)의 드레인-소스간 전류(I_{ds})는 수학적식 9와 같이 구동 TFT(DT)의 문턱전압(V_{th})에 의존하지 않게 된다. 즉, 본 발명은 구동 TFT(DT)의 문턱전압을 보상할 수 있다.
- [0095] 다섯 번째로, 제5 기간(t5) 동안 화소(P)의 동작을 설명한다. 제5 기간(t5) 동안 도 4와 같이 스캔 라인(SCAN)을 통해 제2 로직 레벨 전압의 스캔 신호(SCAN)가 공급되고, 초기화 라인(IL)을 통해 제2 로직 레벨 전압의 초기화 신호(INI)가 공급되며, 발광 라인(EML)을 통해 제2 로직 레벨 전압의 발광 신호(EM)가 공급된다.
- [0096] 도 5e를 참조하면, 제1 TFT(T1)는 제2 로직 레벨 전압의 스캔 신호(SCAN)에 의해 턴-오프된다. 제2 TFT(T2)는 제2 로직 레벨 전압의 발광 신호(EM)에 의해 턴-오프된다. 제3 TFT(T3)와 제4 TFT(T4)는 제2 로직 레벨 전압의 초기화 신호(INI)에 의해 턴-오프된다. 제1 내지 제4 TFT(T1, T2, T3, T4)의 턴-오프로 인해, 제5 기간(t5) 동안 구동 TFT(DT)의 드레인-소스간 전류(I_{ds})는 수학적식 9와 같이 그대로 유지된다.
- [0097] 이상에서 살펴본 바와 같이, 본 발명의 제3 실시 예에 따른 화소(P)는 구동 TFT(DT)의 소스 전극에 접속된 제2 노드(N2)를 이용하여 구동 TFT의 문턱전압(V_{th})을 센싱하는 소스 팔로워(source follower) 방식으로 구동되는 것을 특징으로 한다. 이를 위해, 본 발명의 제3 실시 예에 따른 화소(P)는 제1 기간(t1) 동안 제1 노드(N1)를 제1 기준 전압(REF1)으로 초기화하고, 제2 노드(N2)와 제3 노드(N3)를 제2 기준 전압(REF2)으로 초기화한다. 제2 기준 전압(REF2)은 제1 기준 전압(REF1)과 구동 TFT(DT)의 문턱전압(V_{th})의 차전압보다 낮은 전압으로 설정된다. 그 결과, 본 발명의 제3 실시 예에 따른 화소(P)는 구동 TFT(DT)의 문턱전압(V_{th})이 네거티브 쉬프트(negative shift) 되더라도 구동 TFT(DT)의 게이트-소스 전극 간의 전압 차(V_{gs})를 문턱전압(V_{th})보다 크게

제어할 수 있으므로, 구동 TFT(DT)의 문턱전압(V_{th})을 센싱할 수 있다.

[0098] 또한, 본 발명의 제3 실시 예에 따른 화소(P)는 제4 기간(t_4) 동안 제2 노드(N_2)와 제3 노드(N_3)를 이용하여 구동 TFT(DT)의 문턱전압을 보상하는데, 제2 노드(N_2)와 제3 노드(N_3)는 유기발광다이오드(OLED)와 접속되기 때문에, 제2 노드(N_2)와 제3 노드(N_3)의 전압인 'Voled_anode'는 유기발광다이오드(OLED)의 문턱전압 변동을 어느 정도 반영하고 있다고 볼 수 있다. 나아가, 제4 기간(t_4) 동안 제2 노드(N_2)와 제3 노드(N_3)는 유기발광다이오드(OLED)를 통해 저전위 전압 공급라인(VSSL)과 접속되기 때문에, 제2 노드(N_2)와 제3 노드(N_3)의 전압인 'Voled_anode'는 유기발광다이오드(OLED)의 발광으로 인한 저전위 전압(VSS)의 전압 상승도 어느 정도 반영하고 있다고 볼 수 있다. 즉, 본 발명의 제3 실시 예는 유기발광다이오드(OLED)의 문턱전압 변동과 저전위 전압(VSS)의 전압 상승을 보상할 수 있다.

[0099] 또한, 본 발명의 제3 실시 예는 구동 TFT(DT)의 문턱전압 센싱 기간인 제2 기간(t_2)을 수 내지 수십 수평 기간으로 제어한다. 그 결과, 본 발명은 고속 구동시에도 구동 TFT(DT)의 문턱전압을 센싱할 수 있는 기간을 충분히 하게 유지할 수 있다.

[0100] 도 12는 본 발명의 실시예에 따른 유기발광다이오드 표시장치를 개략적으로 보여주는 블록도이다. 도 12를 참조하면, 본 발명의 실시예에 따른 유기발광다이오드 표시장치는 표시패널(10), 데이터 구동부(20), 스캔 구동부(30), 타이밍 컨트롤러(40) 및 호스트 시스템(50) 등을 구비한다.

[0101] 표시패널(10)에는 데이터 라인(DL)들과 스캔 라인(SL)들이 서로 교차되도록 형성된다. 또한, 표시패널(10)에는 스캔 라인(SL)들과 나란하게 초기화 라인(IL)들, 및 발광 라인(EML)들이 형성된다. 또한, 표시패널(10)에는 매트릭스 형태로 배치된 화소(P)들이 형성된다. 표시패널(10)의 화소(P)들 각각은 도 2, 도 6, 도 9를 결부하여 설명한 바와 같다.

[0102] 데이터 구동부(20)는 다수의 소스 드라이브 IC들을 포함한다. 소스 드라이브 IC들은 타이밍 컨트롤러(40)로부터 디지털 비디오 데이터(RGB)를 입력받는다. 소스 드라이브 IC들은 타이밍 컨트롤러(40)로부터의 소스 타이밍 제어신호(DCS)에 응답하여 디지털 비디오 데이터(RGB)를 감마보상전압으로 변환하여 데이터 전압을 발생하고, 그 데이터 전압을 스캔 신호(SCAN)에 동기되도록 표시패널(10)의 데이터 라인(DL)들에 공급한다.

[0103] 스캔 구동부(30)는 스캔 신호 출력회로, 초기화 신호 출력회로, 발광 신호 출력 회로 등을 포함한다. 스캔 신호 출력회로는 표시패널(10)의 스캔 라인(SL)들에 스캔 신호(SCAN)를 순차적으로 공급한다. 초기화 신호 출력회로는 표시패널(10)의 초기화 라인(IL)들에 초기화 신호(INI)를 순차적으로 공급한다. 발광 신호 출력회로는 표시패널(10)의 발광 라인(EML)들에 발광 신호(EM)를 순차적으로 공급한다. 스캔 신호(SCAN), 초기화 신호(INI), 및 발광 신호(EM)에 대한 자세한 설명은 도 3을 결부하여 상세히 설명하였다.

[0104] 타이밍 컨트롤러(40)는 LVDS(Low Voltage Differential Signaling) 인터페이스, TMDS(Transition Minimized Differential Signaling) 인터페이스 등의 인터페이스를 통해 호스트 시스템(50)으로부터 디지털 비디오 데이터(RGB)를 입력받는다. 타이밍 컨트롤러(40)는 수직 동기신호, 수평 동기신호, 데이터 인에이블 신호(Data Enable), 도트 클럭(Dot Clock) 등의 타이밍 신호를 입력받는다. 타이밍 컨트롤러(40)는 호스트 시스템(50)으로부터의 타이밍 신호를 기준으로 데이터 구동부(20)와 스캔 구동부(30)의 동작 타이밍을 제어하기 위한 타이밍 제어신호들을 발생한다. 타이밍 제어신호들은 스캔 구동부(30)의 동작 타이밍을 제어하기 위한 스캔 타이밍 제어신호, 데이터 구동부(20)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호를 포함한다. 타이밍 컨트롤러(40)는 스캔 타이밍 제어신호를 스캔 구동부(30)로 출력하고, 데이터 타이밍 제어신호를 데이터 구동부(20)로 출력한다.

[0105] 표시패널은 도시하지 않은 전원부를 더 구비할 수 있다. 전원부는 표시패널(10)에 고전위 전압(VDD), 저전위 전압(VSS), 제1 기준 전압(REF1), 및 제2 기준 전압(REF2) 등을 공급한다. 또한, 전원부는 스캔 구동부(30)에 게이트 하이 전압(VGH)과 게이트 로우 전압(VGL)을 공급한다.

[0106] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

[0107]

OLED: 유기발광다이오드

DT: 구동 TFT

T1: 제1 TFT

T2: 제2 TFT

T3: 제3 TFT

T4: 제4 TFT

C2: 제2 캐패시터

C3: 제3 캐패시터

N1: 제1 노드

N2: 제2 노드

N3: 제3 노드

SCAN: 스캔 신호

EM: 발광 신호

INI: 초기화 신호

10: 표시패널

20: 데이터 구동부

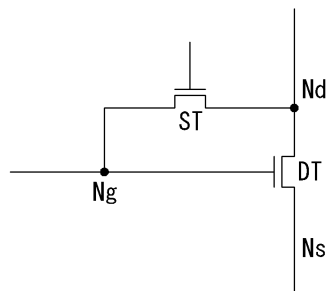
30: 스캔 구동부

40: 타이밍 컨트롤러

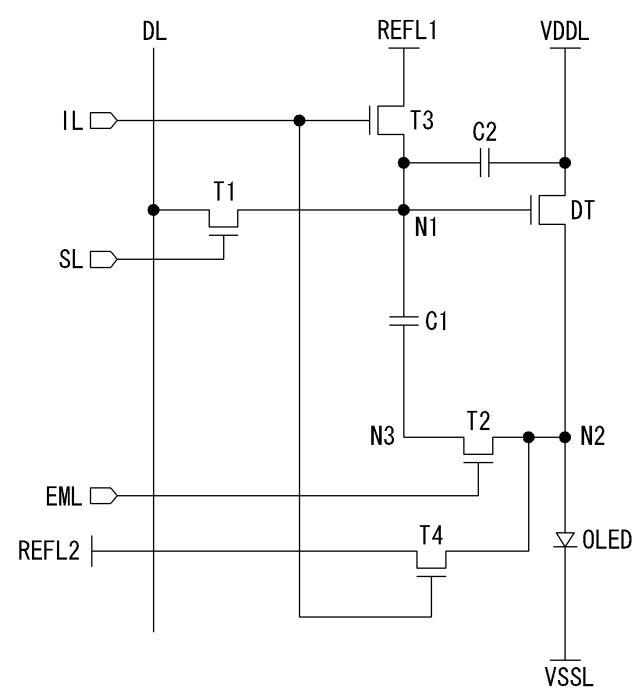
50: 호스트 시스템

도면

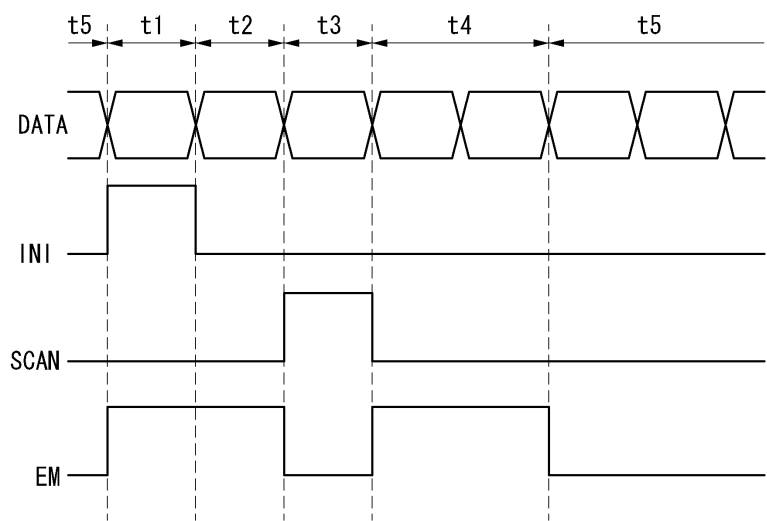
도면1



도면2



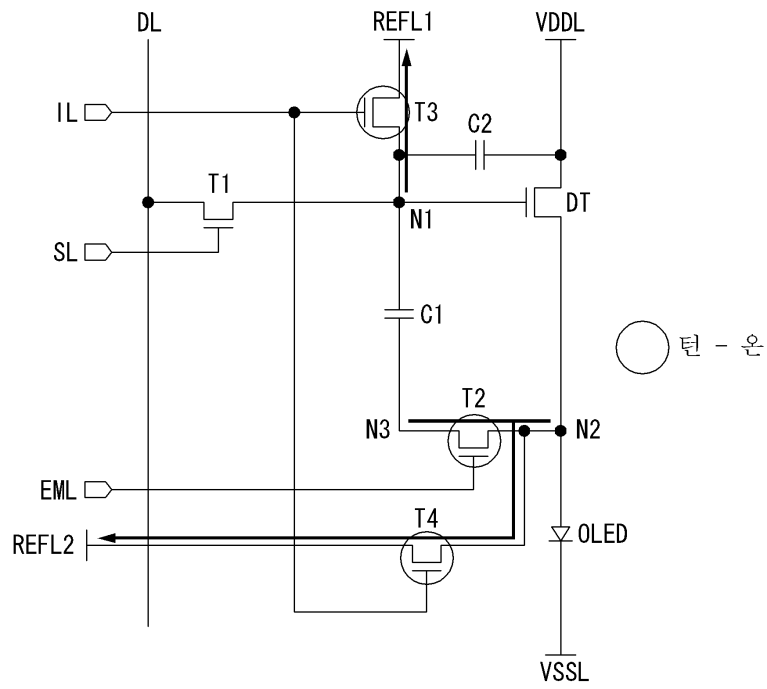
도면3



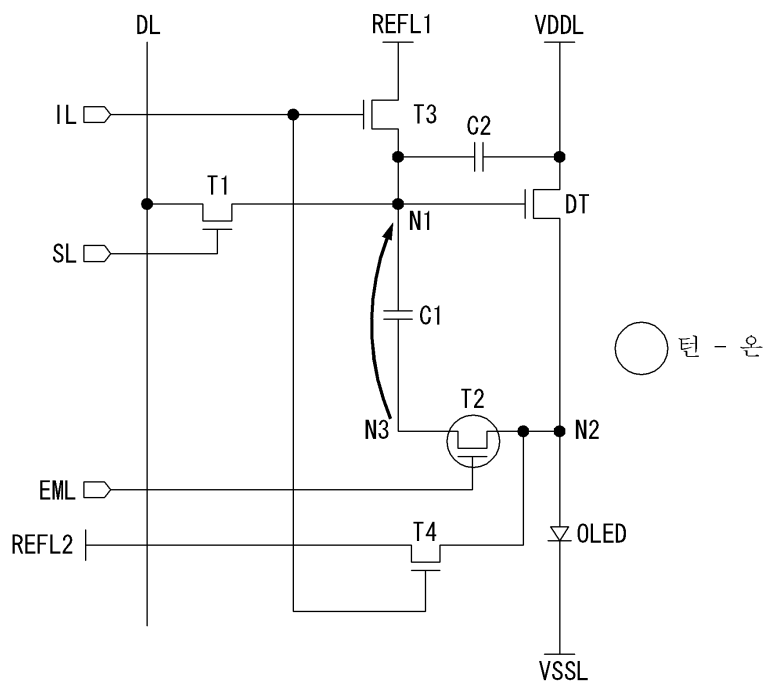
도면4

기간	N1	N2	N3
t1	REF1	REF2	REF2
t2	A	A - Vth	A - Vth
t3	DATA	A - Vth	A - Vth - (A - DATA)
t4	$DATA \times C2 + C1 (Vth + Voled_anode) / (C1 + C2)$	Voled_anode	Voled_anode

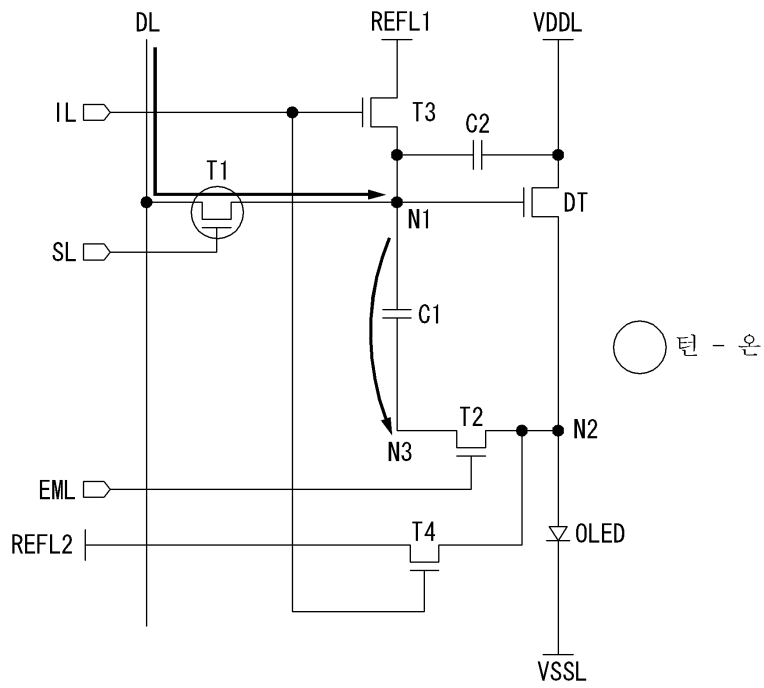
도면5a



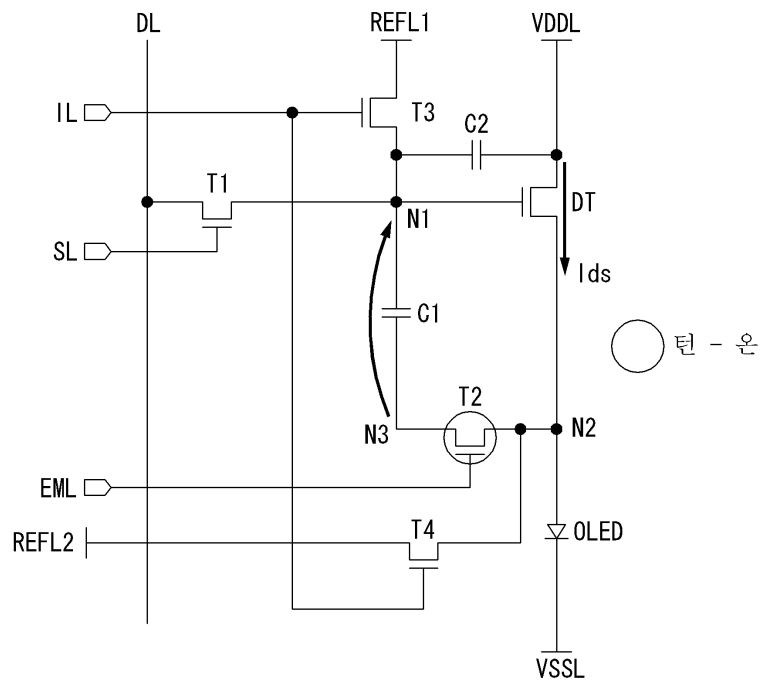
도면5b



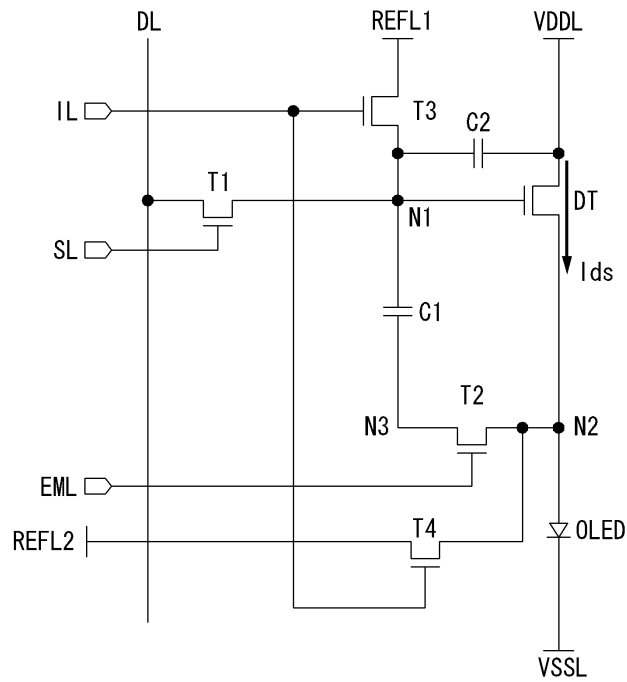
도면5c



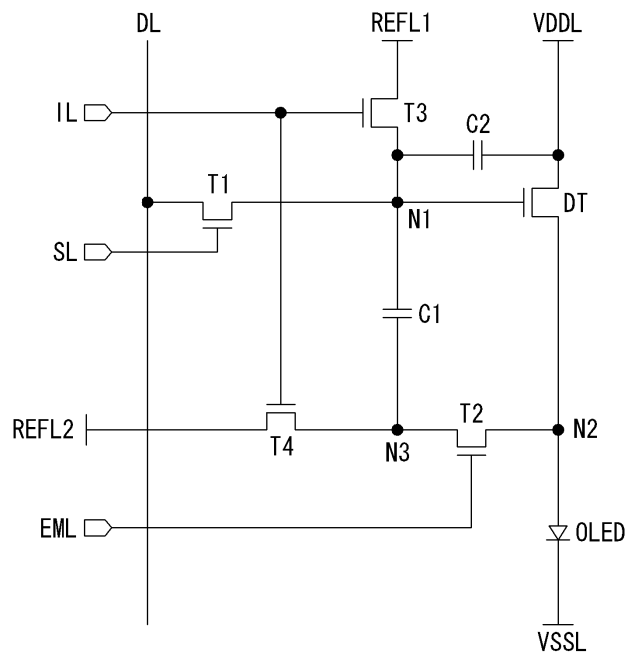
도면5d



도면5e



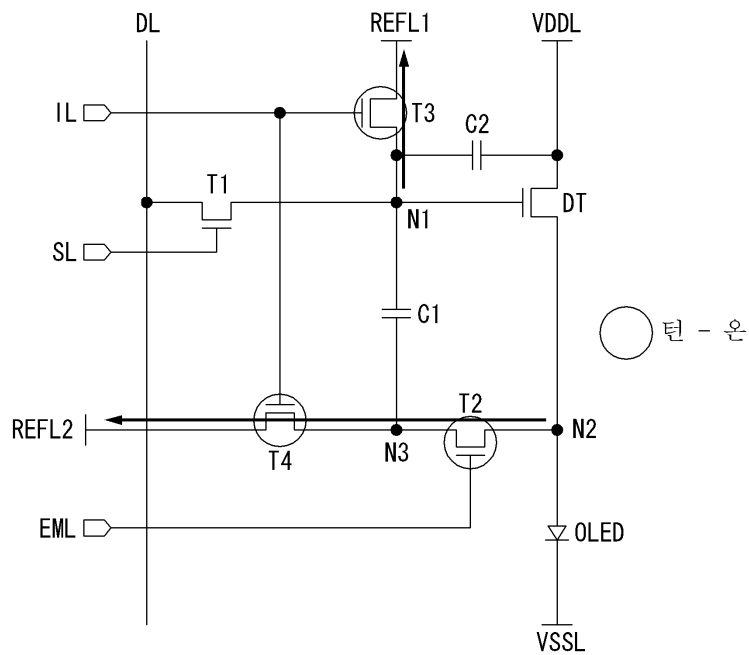
도면6



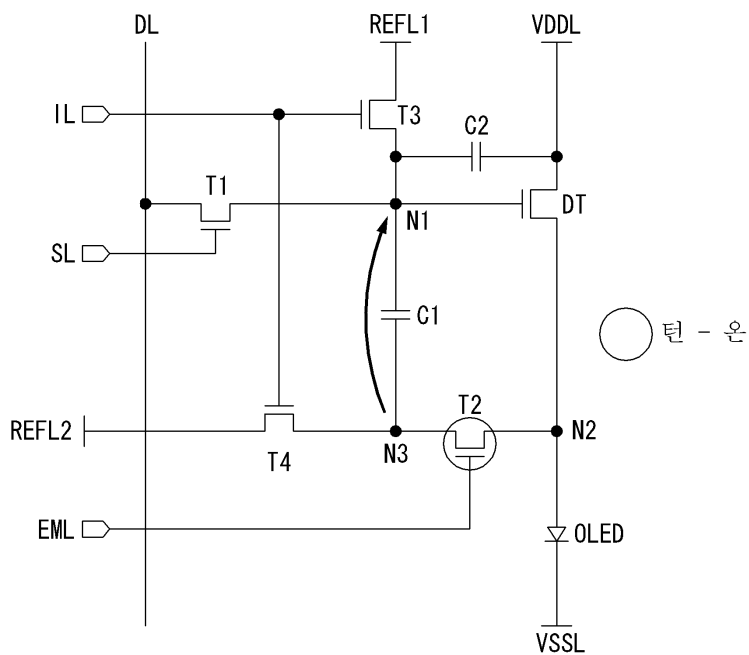
도면7

기간	N1	N2	N3
t1	REF1	REF2	REF2
t2	A	$A - V_{th}$	$A - V_{th}$
t3	DATA	$A - V_{th}$	$A - V_{th} - (A - DATA)$
t4	$DATA \times C2 + C1 (V_{th} + V_{oled_anode}) / (C1 + C2)$	V_{oled_anode}	V_{oled_anode}

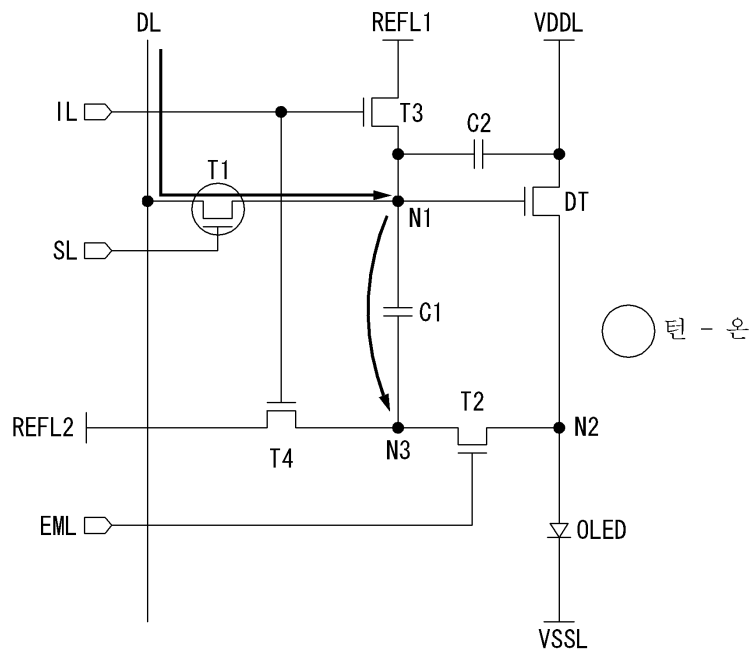
도면8a



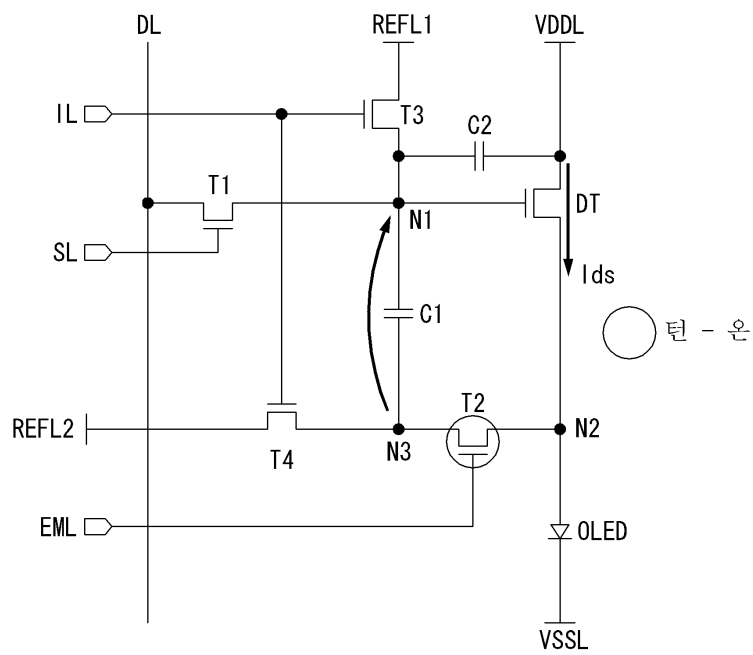
도면8b



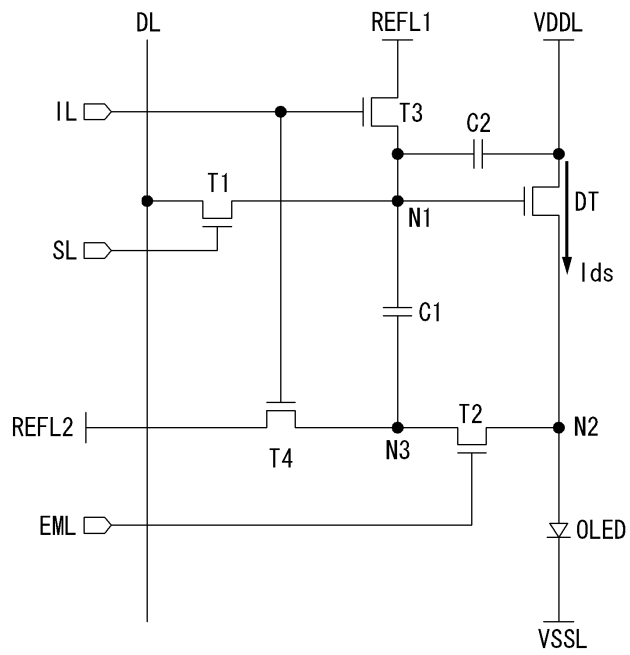
도면8c



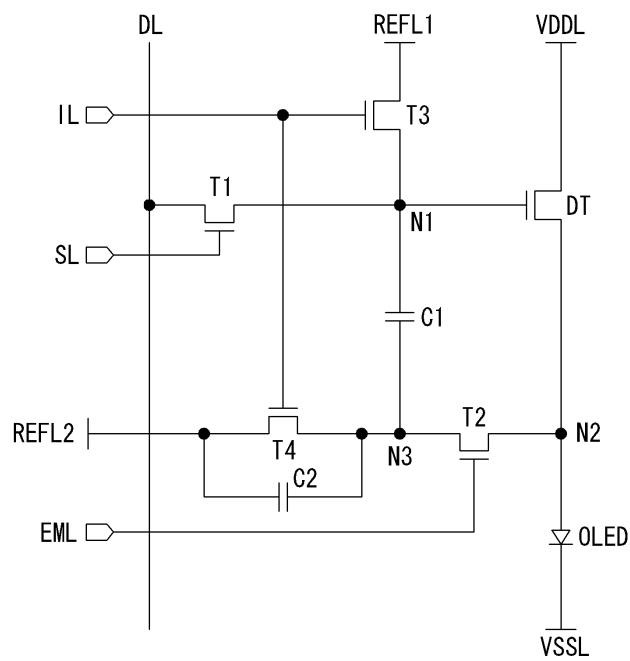
도면8d



도면8e



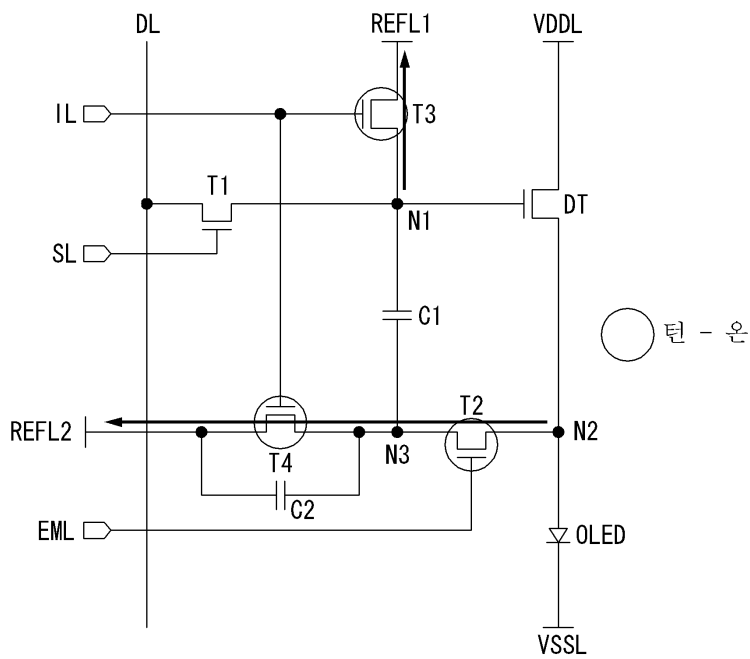
도면9



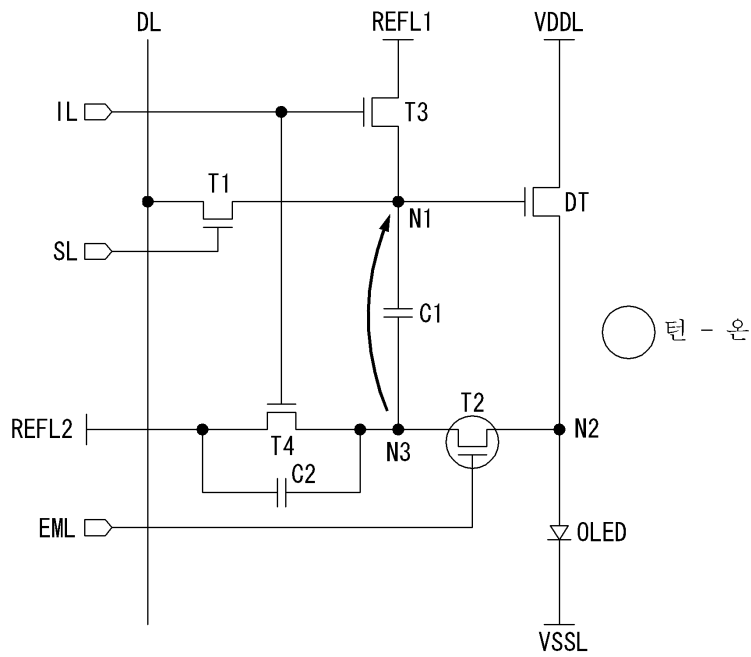
도면10

기간	N1	N2	N3
t1	REF1	REF2	REF2
t2	A	$A - V_{th}$	$A - V_{th}$
t3	DATA	$A - V_{th}$	$A - V_{th} - (A - DATA) \times C'$
t4	$DATA + (V_{oled_anode} - [A' - V_{th} - (A' - DATA) \times C'])$	V_{oled_anode}	V_{oled_anode}

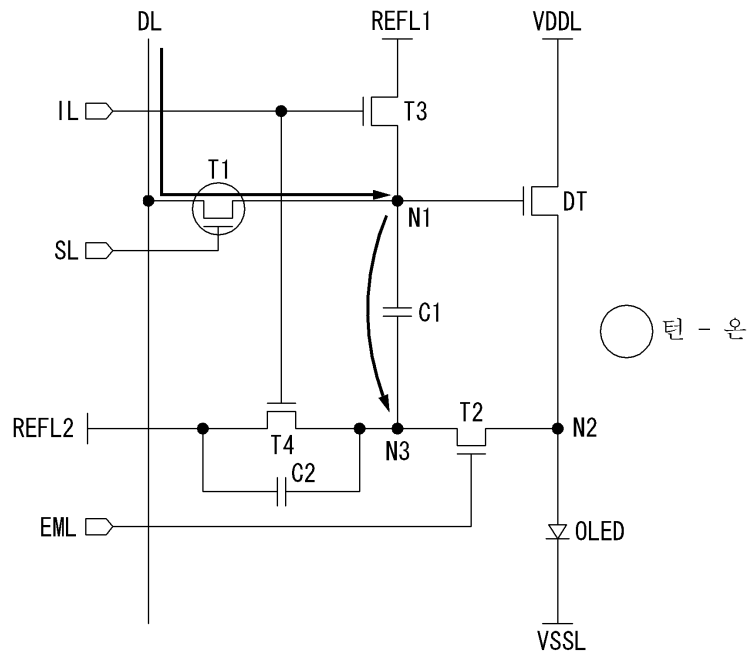
도면11a



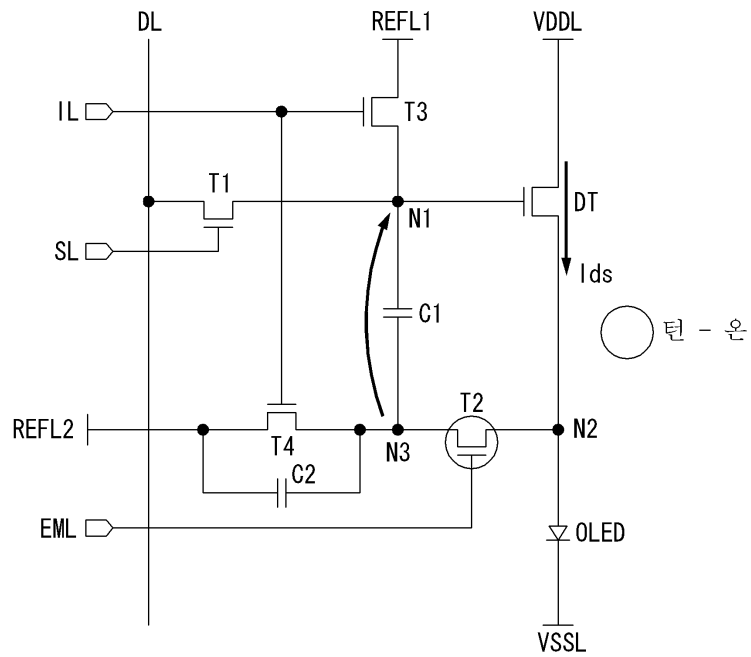
도면11b



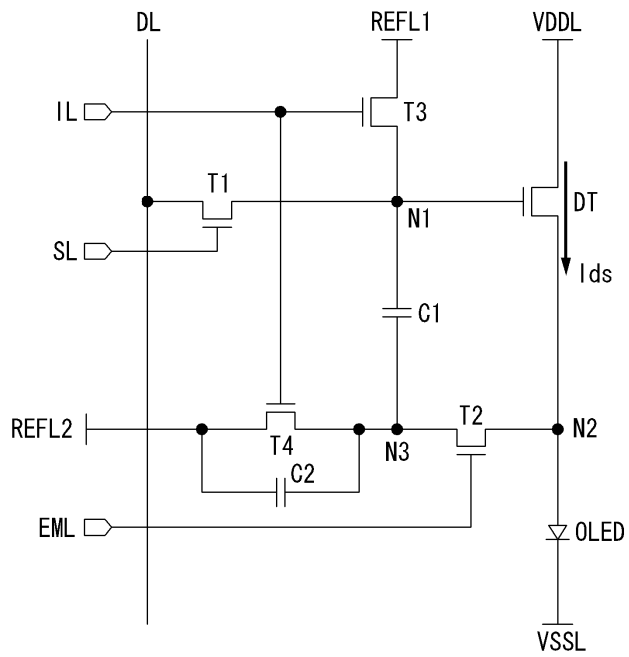
도면11c



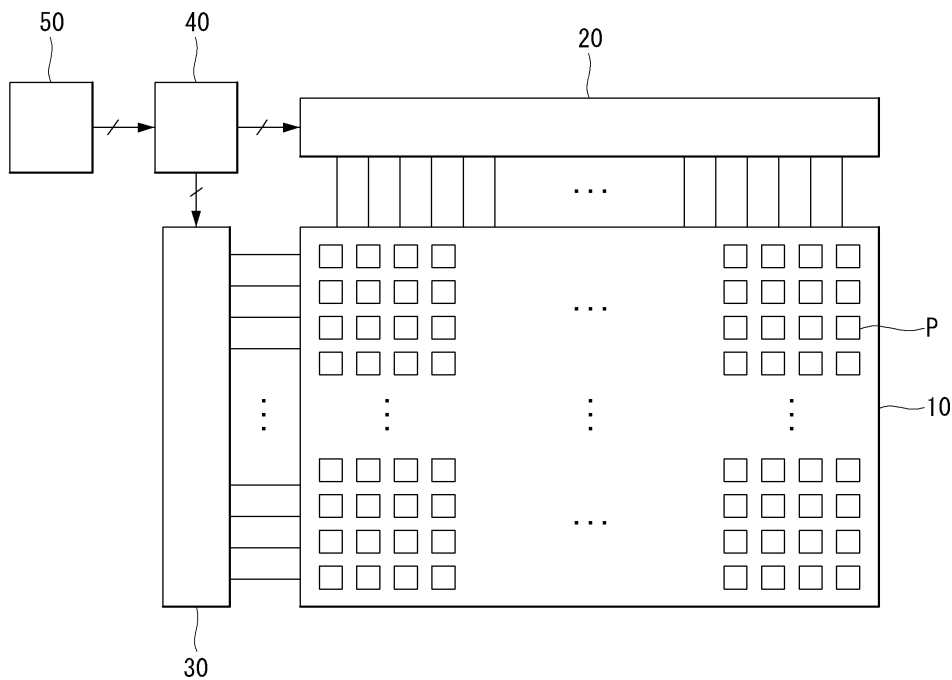
도면11d



도면11e



도면12



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 2의 16번째 줄

【변경전】

캐패시터;

【변경후】

캐패시터를 구비하고,

【직권보정 2】

【보정항목】 청구범위

【보정세부항목】 청구항 19의 4번째 줄

【변경전】

제2 로직 레벨로

【변경후】

제2 로직 레벨 전압으로

【직권보정 3】

【보정항목】 청구범위

【보정세부항목】 청구항 7의 21번째 줄

【변경전】

커패시터는

【변경후】

캐패시터는

【직권보정 4】

【보정항목】 청구범위

【보정세부항목】 청구항 2의 21번째 줄

【변경전】

커패시터는

【변경후】

캐패시터는

专利名称(译)	有机发光二极管显示器		
公开(公告)号	KR101935955B1	公开(公告)日	2019-04-04
申请号	KR1020120083847	申请日	2012-07-31
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	배나영 윤중선 신민재		
发明人	배나영 윤중선 신민재		
IPC分类号	G09G3/30		
CPC分类号	G09G3/3258 G09G3/3233 G09G3/3266 G09G2300/0819 G09G2300/0852 G09G2300/0861 G09G2310/0251 G09G2310/0262 G09G2320/0252 G09G2320/043 G09G2320/045		
审查员(译)	李升 - 最小		
其他公开文献	KR1020140017738A		
外部链接	Espacenet		

摘要(译)

该有机发光二极管显示装置包括：显示面板，其具有以矩阵形式布置的多个像素，每个像素包括：驱动TFT，该驱动TFT包括耦接至第一节点的栅极，耦接至第二节点的源极以及漏电极耦合到高电位电压线；有机发光二极管，其包括连接至第二节点的阳极和连接至低电位电压线的阴极；第一TFT响应于扫描信号而向第一节点提供数据电压；初始化控制电路响应于初始化信号和发射信号将第一节点初始化为第一参考电压，将第二节点或第三节点初始化为第二参考电压；和电容器。

