

- (73) 특허권자
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
- (72) 발명자
김성호
경기도 용인시 기흥구 삼성2로 95 (농서동)
- (74) 대리인
리앤목특허법인

심사관 : 윤난영

(57) 요약

본 발명의 일 측면에 의하면, 기관; 상기 기관 상에 배치되고, 활성층, 게이트 전극, 소스 전극 및 드레인 전극을 포함하는 박막 트랜지스터; 상기 박막 트랜지스터와 측방으로 이격되어 상기 기관 상에 형성되고, 절연막으로 형성된 요철 패턴부; 상기 요철 패턴부 상에 형성된 화소 전극; 상기 화소 전극 상에 형성되고 유기 발광층을 포함하는 중간층; 및 상기 중간층 상에 형성된 대향 전극;을 포함하는 유기 발광 표시 장치를 제공한다.

(56) 선행기술조사문헌

KR1020040010342 A

KR1020080047725 A

KR1020120037738 A

KR1020040101004 A*

KR1020120035419 A*

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

기관;

상기 기관 상에 배치되고, 활성층, 게이트 전극, 소스 전극 및 드레인 전극을 포함하는 박막 트랜지스터;

상기 박막 트랜지스터와 측방으로 이격되어 상기 기관 상에 형성되고, 절연막으로 형성된 요철 패턴부;

상기 요철 패턴부 상에 형성된 화소 전극;

상기 화소 전극 상에 형성되고 유기 발광층을 포함하는 중간층; 및

상기 중간층 상에 형성된 대향 전극;을 포함하고,

상기 요철 패턴부는 상기 박막 트랜지스터를 구성하는 절연막과 동일한 층에 형성된 절연막을 포함하는 유기 발광 표시 장치.

청구항 2

제1 항에 있어서,

상기 기관과 상기 박막 트랜지스터 사이에 버퍼층이 더 구비되고,

상기 요철 패턴부는 상기 버퍼층을 더 포함하는 유기 발광 표시 장치.

청구항 3

제2 항에 있어서,

상기 요철 패턴부는 상기 버퍼층에 형성되는 요철 패턴이 상기 기관의 표면을 노출하도록 형성된 유기 발광 표시 장치.

청구항 4

제2 항에 있어서,

상기 요철 패턴부는 상기 버퍼층에 형성되는 요철 패턴이 상기 기관의 표면을 노출하지 않도록 두께의 일부만 식각하여 형성된 유기 발광 표시 장치.

청구항 5

삭제

청구항 6

제1 항에 있어서,

상기 박막 트랜지스터는, 상기 활성층, 상기 게이트 전극, 상기 소스 전극 및 드레인 전극의 순서로 적층되고,

상기 활성층과 상기 게이트 전극 사이에 게이트 절연막이 형성되고,

상기 게이트 전극과 상기 소스 전극 및 드레인 전극 사이에 층간 절연막이 형성되고,

상기 요철 패턴부는, 상기 게이트 절연막과 동일한 층에 형성된 절연막을 포함하는 유기 발광 표시 장치.

청구항 7

제6 항에 있어서,

상기 층간 절연막은 상기 기관 상에 개구를 형성하고,

상기 요철 패턴부는 상기 개구에 형성되는 유기 발광 표시 장치.

청구항 8

제1 항에 있어서,

상기 화소 전극은 투명 도전물을 포함하는 유기 발광 표시 장치.

청구항 9

제8 항에 있어서,

상기 화소 전극은 인듐틴옥사이드(indium tin oxide: ITO), 인듐징크옥사이드(indium zinc oxide: IZO), 징크 옥사이드(zinc oxide: ZnO), 인듐옥사이드(indium oxide: In₂O₃), 인듐갈륨옥사이드(indium gallium oxide: IGZO) 및 알루미늄징크옥사이드(aluminium zinc oxide: AZO)를 포함하는 그룹에서 선택된 적어도 하나를 포함하는 유기 발광 표시 장치.

청구항 10

제1 항에 있어서,

상기 요철 패턴부는, 적어도 두 층 이상의 절연막이 적층된 유기 발광 표시 장치.

청구항 11

제10 항에 있어서,

상기 두 층 이상의 절연막은 굴절률이 다른 유기 발광 표시 장치.

청구항 12

제10 항에 있어서,

상기 두 층 이상의 절연막은 동일한 식각면을 갖는 유기 발광 표시 장치.

청구항 13

기판;

상기 기판 상에 배치되고, 활성층, 게이트 전극, 소스 전극 및 드레인 전극을 포함하는 박막 트랜지스터;

상기 박막 트랜지스터와 측방으로 이격되어 상기 기판 상에 형성되고, 절연막으로 형성된 요철 패턴부;

상기 요철 패턴부 상에 형성된 화소 전극;

상기 화소 전극 상에 형성되고 유기 발광층을 포함하는 중간층; 및

상기 중간층 상에 형성된 대향 전극;을 포함하고,

상기 게이트 전극은 반투과 금속층을 더 포함하고,

상기 요철 패턴부는 상기 절연막 상에 형성된 상기 반투과 금속층을 더 포함하는 유기 발광 표시 장치.

청구항 14

제1 항에 있어서,

상기 활성층과 동일층에 형성된 커패시터 제1 전극과, 상기 화소 전극과 동일 재료로 형성된 커패시터 제2 전극을 포함하는 유기 발광 표시 장치.

청구항 15

제14 항에 있어서,

상기 박막 트랜지스터의 게이트 절연막은 상기 커패시터의 유전막인 유기 발광 표시 장치.

청구항 16

제1 항에 있어서,
상기 대향 전극은 반사 전극인 유기 발광 표시 장치.

청구항 17

제1 항에 있어서,
상기 박막 트랜지스터를 덮으며 기판 상에 상기 박막 트랜지스터로부터 측방으로 이격되어 개구가 형성된 화소 정의막을 더 포함하고,
상기 화소 전극은 상기 호소 정의막에 형성된 개구에 배치된 유기 발광 표시장치.

청구항 18

기판 상에 반도체층을 형성하고, 상기 반도체층을 패터닝하여 박막 트랜지스터의 활성층을 형성하는 제1 마스크 공정;
제1 절연층을 형성하고, 상기 제1 절연층 상에 제1 도전층을 적층하고, 상기 제1 도전층을 패터닝하여 박막 트랜지스터의 게이트 전극, 및 상기 게이트 전극의 측방으로 식각 저지부를 형성하는 제2 마스크 공정;
제2 절연층을 형성하고, 상기 제2 절연층을 패터닝하여 상기 활성층을 노출시키는 제1 개구를 형성하고, 상기 식각 저지부에 노출된 상기 제1 절연층을 패터닝하여 요철 패턴부를 형성하는 제3 마스크 공정;
제2 도전층을 형성하고, 상기 제2 도전층을 패터닝하여, 소스 전극 및 드레인 전극을 형성하는 제4 마스크 공정;
제3 도전층을 형성하고, 상기 제3 도전층을 패터닝하여 상기 요철 패턴부 상에 화소 전극을 형성하는 제5 마스크 공정; 및
제3 절연층을 형성하고, 상기 화소 전극을 노출시키는 개구를 형성하는 제6 마스크 공정; 을 포함하는 유기 발광 표시 장치의 제조 방법.

청구항 19

제18 항에 있어서,
상기 기판 상에 버퍼층을 더 형성하고,
상기 제3 마스크 공정은 상기 버퍼층을 포함하여 요철 패턴부를 형성하는 유기 발광 표시 장치의 제조 방법.

청구항 20

제19 항에 있어서,
상기 버퍼층에 형성되는 요철 패턴이 상기 기판의 표면을 노출하도록 형성하는 유기 발광 표시 장치의 제조 방법.

청구항 21

제19 항에 있어서,
상기 버퍼층에 형성되는 요철 패턴이 상기 기판의 표면을 노출하지 않도록 상기 버퍼층의 두께의 일부만 식각하는 유기 발광 표시 장치의 제조 방법.

청구항 22

제18 항에 있어서,
상기 제4 마스크 공정에서, 상기 요철 패턴부 상에 잔존하는 상기 식각 저지부를 제거하는 유기 발광 표시 장치의 제조 방법.

청구항 23

제18 항에 있어서,

상기 제2 마스크 공정에서, 상기 제1 절연층과 상기 제1 도전층 사이에 반투과 금속층을 더 적층하고, 상기 식각 저지부는 반투과 금속층을 포함하도록 형성하는 유기 발광 표시 장치의 제조 방법.

청구항 24

제18 항에 있어서,

상기 제1 마스크 공정에서 상기 활성층과 동일층에 커패시터의 제1 전극을 더 형성하는 유기 발광 표시 장치의 제조 방법.

청구항 25

제18 항에 있어서,

상기 제5 마스크 공정에서, 상기 화소 전극과 동일층에 커패시터의 제2 전극을 더 형성하는 유기 발광 표시 장치의 제조 방법.

청구항 26

제18 항에 있어서,

상기 제2 마스크 공정 후, 제1 도핑공정을 진행하는 유기 발광 표시 장치의 제조 방법.

청구항 27

제18 항에 있어서,

상기 제4 마스크 공정 후, 제2 도핑공정을 진행하는 유기 발광 표시 장치의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 유기 발광 표시 장치 및 그 제조 방법에 관한 것으로, 더욱 상세하게는 제조 공정이 단순하고 시야각에 따른 색 편이(color shift)가 개선된 유기 발광 표시 장치 및 그 제조 방법에 관한 것이다.

배경 기술

[0002] 유기 발광 표시 장치는 저전압으로 구동이 가능하고, 경량의 박형이며, 시야각이 넓고 콘트라스트가 우수할 뿐만 아니라 응답속도가 빠르다는 장점으로 인해 차세대 디스플레이 장치로서 주목받고 있다.

[0003] 이러한 유기 발광 표시 장치는 넓은 발광 파장을 가지며, 이에 따라 발광 효율이 떨어지고 색순도가 저하된다. 또한, 유기 발광층에서 방출되는 빛은 특정한 방향성이 없으므로, 임의의 방향으로 방출되는 광자 중 상당수가 유기 발광 소자의 내부 전반사에 의해 실제 관측자에게 도달하지 못하여 유기 발광 소자의 광 추출 효율을 떨어뜨린다. 광 추출 효율을 향상시키기 위해 유기 발광 표시 장치 내에 DBR(distributed bragg reflector) 미러(mirror)를 적용하거나, 유기층의 두께를 조절하는 공진 구조를 적용할 수 있다. 그러나 이러한 공진 구조는 광 효율은 향상시키지만, 시야각에 따른 색 편이(color shift)가 발생하는 문제가 발생한다.

발명의 내용

해결하려는 과제

[0004] 본 발명의 목적은 요철을 구비한 공진 구조를 적용함으로써 시야각에 따른 색 편이(color shift)가 개선된 유기 발광 표시 장치 및 그 제조 방법을 제공하는 데 있다.

과제의 해결 수단

- [0005] 본 발명의 일 측면에 의하면, 기판; 상기 기판 상에 배치되고, 활성층, 게이트 전극, 소스 전극 및 드레인 전극을 포함하는 박막 트랜지스터; 상기 박막 트랜지스터와 측방으로 이격되어 상기 기판 상에 형성되고, 절연막으로 형성된 요철 패턴부; 상기 요철 패턴부 상에 형성된 화소 전극; 상기 화소 전극 상에 형성되고 유기 발광층을 포함하는 중간층; 및 상기 중간층 상에 형성된 대향 전극;을 포함하는 유기 발광 표시 장치를 제공한다.
- [0006] 상기 기판과 상기 박막 트랜지스터 사이에 버퍼층이 더 구비되고, 상기 요철 패턴부는 상기 버퍼층을 더 포함할 수 있다.
- [0007] 상기 요철 패턴부는 상기 버퍼층에 형성되는 요철 패턴이 상기 기판의 표면을 노출하도록 형성될 수 있다.
- [0008] 상기 요철 패턴부는 상기 버퍼층에 형성되는 요철 패턴이 상기 기판의 표면을 노출하지 않도록 두께의 일부만 식각하여 형성될 수 있다.
- [0009] 상기 요철 패턴부는, 상기 박막 트랜지스터를 구성하는 절연막과 동일한 층에 형성된 절연막을 포함할 수 있다.
- [0010] 상기 박막 트랜지스터는, 상기 활성층, 상기 게이트 전극, 상기 소스 전극 및 드레인 전극의 순서로 적층되고, 상기 활성층과 상기 게이트 전극 사이에 게이트 절연막이 형성되고, 상기 게이트 전극과 상기 소스 전극 및 드레인 전극 사이에 층간 절연막이 형성되고, 상기 요철 패턴부는, 상기 게이트 절연막과 동일한 층에 형성된 절연막을 포함할 수 있다.
- [0011] 상기 층간 절연막은 상기 기판 상에 개구를 형성하고, 상기 요철 패턴부는 상기 개구에 형성될 수 있다.
- [0012] 상기 화소 전극은 투명 도전물을 포함할 수 있다.
- [0013] 상기 화소 전극은 인듐틴옥사이드(indium tin oxide: ITO), 인듐징크옥사이드(indium zinc oxide: IZO), 징크옥사이드(zinc oxide: ZnO), 인듐옥사이드(indium oxide: In₂O₃), 인듐갈륨옥사이드(indium gallium oxide: IGO) 및 알루미늄징크옥사이드(aluminium zinc oxide: AZO)을 포함하는 그룹에서 선택된 적어도 하나를 포함할 수 있다.
- [0014] 상기 요철 패턴부는, 적어도 두 층 이상의 절연막이 적층될 수 있다.
- [0015] 상기 두 층 이상의 절연막은 굴절률이 다를 수 있다.
- [0016] 상기 두 층 이상의 절연막은 동일한 식각면을 가질 수 있다.
- [0017] 상기 게이트 전극은 반투과 금속층을 더 포함하고, 상기 요철 패턴부는 상기 절연막 상에 형성된 상기 반투과 금속층을 더 포함할 수 있다.
- [0018] 상기 활성층과 동일층에 형성된 커패시터 제1 전극과, 상기 화소 전극과 동일 재료로 형성된 커패시터 제2 전극을 포함할 수 있다.
- [0019] 상기 박막 트랜지스터의 게이트 절연막은 상기 커패시터의 유전막일 수 있다.
- [0020] 상기 대향 전극은 반사 전극일 수 있다.
- [0021] 상기 박막 트랜지스터를 덮으며 기판 상에 상기 박막 트랜지스터로부터 측방으로 이격되어 개구가 형성된 화소 정의막을 더 포함하고, 상기 화소 전극은 상기 호소 정의막에 형성된 개구에 배치될 수 있다.
- [0022] 본 발명의 다른 측면에 의하면, 기판 상에 반도체층을 형성하고, 상기 반도체층을 패터닝하여 박막 트랜지스터의 활성층을 형성하는 제1 마스크 공정; 제1 절연층을 형성하고, 상기 제1 절연층 상에 제1 도전층을 적층하고, 상기 제1 도전층을 패터닝하여 박막 트랜지스터의 게이트 전극, 및 상기 게이트 전극의 측방으로 식각 저지부를 형성하는 제2 마스크 공정; 제2 절연층을 형성하고, 상기 제2 절연층을 패터닝하여 상기 활성층을 노출시키는 제1 개구를 형성하고, 상기 식각 저지부에 노출된 상기 제1 절연층을 패터닝하여 요철 패턴부를 형성하는 제3 마스크 공정; 제2 도전층을 형성하고, 상기 제2 도전층을 패터닝하여, 소스 전극 및 드레인 전극을 형성하는 제4 마스크 공정; 제3 도전층을 형성하고, 상기 제3 도전층을 패터닝하여 상기 요철 패턴부 상에 화소 전극을 형성하는 제5 마스크 공정; 및 제3 절연층을 형성하고, 상기 화소 전극을 노출시키는 개구를 형성하는 제6 마스크 공정; 을 포함하는 유기 발광 표시 장치의 제조 방법을 제공한다.
- [0023] 기판 상에 버퍼층을 더 형성하고, 상기 제3 마스크 공정은 상기 버퍼층을 포함하여 요철 패턴부를 형성할 수 있

다.

- [0024] 상기 버퍼층에 형성되는 요철 패턴이 상기 기관의 표면을 노출하도록 형성할 수 있다.
- [0025] 상기 버퍼층에 형성되는 요철 패턴이 상기 기관의 표면을 노출하지 않도록 상기 버퍼층의 두께의 일부만 식각할 수 있다.
- [0026] 상기 제4 마스크 공정에서, 상기 요철 패턴부 상에 잔존하는 상기 식각 저지부를 제거할 수 있다.
- [0027] 상기 제2 마스크 공정에서, 상기 제1 절연층과 상기 제1 도전층 사이에 반투과 금속층을 더 적층하고, 상기 식각 저지부는 반투과 금속층을 포함하도록 형성할 수 있다.
- [0028] 상기 제1 마스크 공정에서 상기 활성층과 동일층에 커패시터의 제1 전극을 더 형성할 수 있다.
- [0029] 상기 제5 마스크 공정에서, 상기 화소 전극과 동일층에 커패시터의 제2 전극을 더 형성할 수 있다.
- [0030] 상기 제2 마스크 공정 후, 제1 도핑공정을 진행할 수 있다.
- [0031] 상기 제4 마스크 공정 후, 제2 도핑공정을 진행할 수 있다.

발명의 효과

- [0032] 상술한 바와 같은 실시예들에 관한 유기 발광 표시 장치 및 그 제조 방법은, 요철을 구비한 공진 구조를 적용함으로써 시야각에 따른 색 편이(color shift)를 개선할 수 있다.
- [0033] 또한, 6마스크 공정으로 픽셀 영역에 요철 패턴부를 형성할 수 있다.

도면의 간단한 설명

- [0034] 도 1은 본 발명의 일 실시예에 관한 유기 발광 표시 장치를 개략적으로 도시한 단면도이다.
- 도 2a 내지 도 2f는 도 1의 유기 발광 표시 장치의 제조 방법을 순차적으로 도시한 단면도들이다.
- 도 3 및 도 4는 요철 패턴부의 형상의 일 예를 도시한 평면도이다.
- 도 5는 본 발명의 일 실시예에 관한 요철 패턴부의 예를 도시한 단면도이다.
- 도 6은 본 발명의 다른 실시예에 관한 유기 발광 표시 장치를 개략적으로 도시한 단면도이다.
- 도 7a 내지 도 7f는 도 6의 유기 발광 표시 장치의 제조 방법을 순차적으로 도시한 단면도들이다.

발명을 실시하기 위한 구체적인 내용

- [0035] 이하, 첨부한 도면을 참고로 하여 본 발명의 여러 실시예들에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예들에 한정되지 않는다.
- [0036] 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 동일 또는 유사한 구성요소에 대해서는 동일한 참조 부호를 붙이도록 한다.
- [0037] 또한, 여러 실시예들에 있어서, 동일한 구성을 가지는 구성요소에 대해서는 동일한 부호를 사용하여 대표적으로 제1 실시예에서 설명하고, 그 외의 실시예에서는 제1 실시예와 다른 구성을 중심으로 설명하기로 한다.
- [0038] 또한, 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로, 본 발명이 반드시 도시된 바에 한정되지 않는다.
- [0039] 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 그리고 도면에서, 설명의 편의를 위해, 일부 층 및 영역의 두께를 과장되게 나타내었다. 층, 막, 영역, 판 등의 부분이 다른 부분 "상에" 있다고 할 때, 이는 다른 부분 "바로 상에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다.
- [0040] 또한, 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함" 한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다. 또한, 명세서 전체에서, "~상에" 라 함은 대상 부분의 위 또는 아래에 위치함을 의미하는 것이며, 반드시 중력 방향을 기준으

로 상 측에 위치하는 것을 의미하는 것은 아니다.

- [0041] 도 1은 본 발명의 일 실시예에 관한 유기 발광 표시 장치(1)를 개략적으로 도시한 단면도이다.
- [0042] 도 1을 참조하면, 기판(10) 상에 픽셀 영역(PXL), 트랜지스터 영역(TR), 및 커패시터 영역(CAP)이 구비된다.
- [0043] 기판(10)은 유리 기판뿐만 아니라, PET(Polyethylen terephthalate), PEN(Polyethylen naphthalate), 폴리이미드(Polyimide) 등을 포함하는 플라스틱 기판 등의 투명 기판으로 구비될 수 있다.
- [0044] 기판(10) 상에 버퍼층(11)이 구비될 수 있다. 버퍼층(11)은 기판(10) 상부에 평활한 면을 형성하고 불순원소가 침투하는 것을 차단하기 위한 것으로, 실리콘질화물 및/또는 실리콘산화물 등으로 단층 또는 복수층으로 형성될 수 있다.
- [0045] 본 실시예에서 픽셀 영역(PXL)에 요철 패턴으로 형성된 버퍼층(11a)은 후술할 게이트 절연막(13)의 요철 패턴(13a)과 함께 요철 패턴부(115)를 형성한다.
- [0046] 버퍼층(11) 상에 활성층(212)이 구비된다. 활성층(212)은 비정질 실리콘 또는 결정질 실리콘을 포함하는 반도체로 형성될 수 있다. 활성층(212)은 채널 영역(212c)과, 채널 영역(212c) 외측에 이온불순물이 도핑된 소스 영역(212a) 및 드레인 영역(212b)을 포함할 수 있다.
- [0047] 트랜지스터 영역(TR)에서, 활성층(212) 상에는 게이트 절연막인 제1절연층(13)을 사이에 두고 활성층(212)의 채널영역(212c)에 대응되는 위치에 게이트 전극(214)이 구비된다.
- [0048] 게이트 전극(214)은, 예를 들어, 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 니켈(Li), 칼슘(Ca), 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속으로 단층 또는 다층으로 형성될 수 있다.
- [0049] 게이트 전극(214) 상에는 층간 절연막인 제2 절연층(15)을 사이에 두고 활성층(212)의 소스 영역(212a) 및 드레인 영역(212b)에 각각 접속하는 소스 전극(216a) 및 드레인 전극(216b)이 구비된다. 소스 전극(216a) 및 드레인 전극(216b)은 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 니켈(Li), 칼슘(Ca), 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속 물질을 포함하며, 단층 또는 다층으로 형성될 수 있다.
- [0050] 제2 절연층(15) 상에는 소스 전극(216a) 및 드레인 전극(216b)을 덮도록 제3 절연층(18)이 구비된다. 제3 절연층(18)은 유기 절연막으로 구비될 수 있다.
- [0051] 제3 절연층(18)은 픽셀 영역(PXL)을 오픈 시키고, 픽셀 영역(PXL)에는 요철 패턴부(115)가 형성된다. 픽셀 영역(PXL)으로 연장된 버퍼층(11)과 제1 절연층(13)은 각각 동일한 식각면을 가진 요철 패턴(11a, 13a)으로 형성되어 요철 패턴부(115)를 형성한다.
- [0052] 요철 패턴부(115)를 형성하는 버퍼층(11)과 제1 절연층(13)은 각각 단층 또는 복층의 절연층으로 형성될 수 있다. 또한, 버퍼층(11)과 제1 절연층(13)은 굴절률이 서로 다른 재료로 형성될 수 있다. 복수 개의 절연층은 DBR(distributed bragg reflector) 공진 구조를 형성하여 유기 발광 표시 장치(1)의 광 추출 효율과 색 재현율을 향상시킨다. 또한, 요철 패턴으로 유기 발광 표시 장치(1)의 측면에서의 색 편이(color shift)를 효율적으로 감소시킬 수 있다. 버퍼층(11) 및 제1 절연층(13)은 SiNx, SiO₂, SiON, HfO₂, Si₃N₄, ZrO₂, TiO₂, Ta₂O₅, Nb₂O₅, Al₂O₃, BST 및 PZT를 포함하는 그룹에서 선택되는 적어도 하나를 포함할 수 있다.
- [0053] 요철 패턴부(115)는 다양한 형상을 가질 수 있다.
- [0054] 도 3 및 도 4는 요철 패턴부(115a, 115b)의 형상의 일 예를 도시한 평면도이다. 도 3과 같이 요철 패턴부(115a)는 아일랜드 타입의 사각 형상일 수도 있고, 도 4와 같이, 요철 패턴부(115b)는 스틱 모양으로 형성될 수 있다. 본 발명에 따른 요철 패턴부의 형상은 이 외에도 원형, 삼각형, 오각형, 등 다양한 형상으로 제작 가능함은 물론이다.
- [0055] 다시 도 1을 참조하면, 요철 패턴부(115) 상에 요철 패턴을 따라 화소 전극(117)이 형성된다. 화소 전극(117)은 투명 도전성 물질로 구성될 수 있다. 투명 도전성 물질은 인듐틴옥사이드(ITO; indium tin oxide), 인듐징크옥사이드(IZO; indium zinc oxide), 징크옥사이드(ZnO; zinc oxide), 인듐옥사이드(In₂O₃; indium oxide), 인듐갈륨옥사이드(IGO; indium gallium oxide), 및 알루미늄징크옥사이드(AZO; aluminium zinc oxide)를 포함하는 그룹에서 선택된 적어도 하나 이상을 포함할 수 있다.

- [0056] 화소 전극(117) 상에 유기 발광층(119)을 포함하는 중간층(미도시)이 구비된다. 유기 발광층(119)은 저분자 유기물 또는 고분자 유기물일 수 있다. 유기 발광층(119)이 저분자 유기물일 경우, 중간층(미도시)에는 정공 수송층(hole transport layer: HTL), 정공 주입층(hole injection layer: HIL), 전자 수송층(electron transport layer: ETL) 및 전자 주입층(electron injection layer: EIL) 등이 적층될 수 있다. 이외에도 필요에 따라 다양한 층들이 적층될 수 있다. 이때, 사용 가능한 유기 재료로 구리 프탈로시아닌(CuPc: copper phthalocyanine), N'-디(나프탈렌-1-일)-N(N'-Di(naphthalene-1-yl)-N), N'-디페닐-벤지딘(N'-diphenyl-benzidine: NPB), 트리스-8-하이드록시퀴놀린 알루미늄(tris-8-hydroxyquinoline aluminum)(Alq3) 등을 비롯하여 다양하게 적용 가능하다. 한편, 유기 발광층(119)이 고분자 유기물일 경우, 중간층(미도시)에는 정공 수송층(HTL)이 포함될 수 있다. 정공 수송층은 폴리에틸렌 디히드록시티오펜 (PEDOT: poly-(3,4)-ethylene-dihydroxy thiophene)이나, 폴리아닐린(PANI: polyaniline) 등을 사용할 수 있다. 이때, 사용 가능한 유기 재료로 PPV(Poly-Phenylenevinylene)계 및 폴리플루오렌(Polyfluorene)계 등의 고분자 유기물을 사용할 수 있다. 이와 같은 유기 발광층(119)은 적색, 녹색, 청색의 빛을 방출하는 서브 픽셀로 하나의 단위 픽셀을 이룰 수 있다.
- [0057] 상술한 실시예에서는 유기 발광층(119)이 개구(C15) 내부에 형성되어 각 픽셀 별로 별도의 발광 물질이 형성된 경우를 예로 설명하였으나, 본 발명은 이에 한정되지 않는다. 유기 발광층(119)은 픽셀의 위치에 관계없이 제3 절연층(18) 전체에 공통으로 형성될 수 있다. 이때, 유기 발광층은 예를 들어, 적색, 녹색 및 청색의 빛을 방출하는 발광 물질을 포함하는 층이 수직으로 적층되거나 혼합되어 형성될 수 있다.
- [0058] 유기 발광층(119) 상에는 공통 전극으로 대향 전극(120)이 증착된다. 대향 전극(21)은 공통 전극으로 형성될 수 있다. 본 실시예에 따른 유기 발광 표시 장치의 경우, 화소 전극(117)은 애노드 전극으로 사용되고, 대향 전극(120)은 캐소드 전극으로 사용된다. 물론 전극의 극성은 반대로 적용될 수 있음은 물론이다.
- [0059] 대향 전극(120)은 반사 물질을 포함하는 반사 전극으로 구성될 수 있다. 대향 전극(120)은 Ag, Al, Mg, Li, Ca, LiF/Ca 및 LiF/Al에서 선택된 하나 이상의 물질을 포함할 수 있다.
- [0060] 대향 전극(123)이 반사 전극으로 구비됨으로써, 유기 발광층(119)에서 방출된 광은 대향 전극(120)에 의해 반사되어 투명 도전물로 구성된 화소 전극(117)을 투과하여 기관(10) 측으로 방출된다. 이때, 버퍼층(11) 및 제1 절연층(13)에 의해 형성된 DBR(distributed bragg reflector) 공진 구조에 의해, 유기 발광 표시 장치(1)의 광 추출 효율을 높이고, 색 재현율을 높일 수 있고, 상술한 바와 같이 버퍼층(11) 및 제1(13)으로 형성한 요철 구조에 의해 색 편이(color shift)를 감소시킬 수 있다.
- [0061] 커패시터 영역(CAP)에는, 기관(10) 상에 활성층(212)과 동일층에 커패시터 제1전극(312)이 형성되어 있다. 제1 절연층(13)이 연장되어 커패시터의 유전막을 형성한다. 제1 절연층(13) 상에는 전술한 화소 전극(117)과 동일 재료로 형성된 커패시터의 제2전극(317)이 형성된다.
- [0062] 본 실시예는, 트랜지스터 영역(TR)에서 층간 절연층 역할을 수행하는 제2 절연층(15)이 커패시터의 유전막으로써의 역할을 수행하지 않으므로, 제2 절연층(15) 및 제1 절연층(13)의 재료와 두께는 각각 트랜지스터와 커패시터 각각의 특성에 맞춰 조절할 수 있다. 따라서, 제2 절연층(15)의 두께는 커패시터의 전기 용량을 고려할 필요 없이, 충분히 두껍게 형성될 수 있고, 0.5 μm 이상일 수 있다.
- [0063] 커패시터의 제2전극(317) 상에는 제3 절연층(18)이 배치된다. 대향 전극(120)과 상부 전극(317) 사이에 유전율이 작은 유기 절연물을 포함하는 제3 절연층(18)이 개재됨으로써, 대향 전극(120)과 커패시터의 제2전극(317) 사이에 형성될 수 있는 기생 용량을 줄여, 기생 용량에 의한 신호 방해를 방지할 수 있다.
- [0064] 도 2a 내지 도 2f는 도 1의 유기 발광 표시 장치의 제조 방법을 순차적으로 도시한 단면도들이다.
- [0065] 도 2a를 참조하면, 도 2a는 제1 마스크 공정의 결과물을 도시한 것으로, 기관(10) 상에 버퍼층(11)을 형성하고, 버퍼층(11)상에 활성층(212)과 커패시터의 제1전극(312)을 형성한다.
- [0066] 도 2a에는 상세히 도시되어 있지 않지만, 버퍼층(11) 상에 반도체층(미도시)을 형성하고, 포토레지스터(미도시)를 도포한 후, 제1 마스크(미도시)를 이용한 포토리소그래피 공정에 의해 반도체층(미도시)을 패터닝하여 활성층(212)과 커패시터의 제1전극(312)을 형성한다.
- [0067] 반도체층(미도시)은 비정질 실리콘(amorphous silicon) 또는 결정질 실리콘(poly silicon)으로 구비될 수 있다. 반도체층은 버퍼층(11) 상에 PECVD(plasma enhanced chemical vapor deposition)법, APCVD(atmospheric

pressure CVD)법, LPCVD(low pressure CVD)법 등 다양한 증착 방법에 의해 증착 될 수 있다.

- [0068] 포토 리소그래피에 의한 제1 마스크 공정은 제1 마스크(미도시)에 노광 장치(미도시)로 노광 후, 현상(developing), 식각(etching) 및 스트립핑(striping) 또는 에싱(ashing)등과 같은 일련의 공정을 거쳐 진행된다. 이하, 후속 마스크 공정에서 동일 내용에 대한 설명은 생략하기로 한다.
- [0069] 도 2b를 참조하면, 도 2a의 제1 마스크 공정의 결과물 상의 전면에 제1 절연층(13)을 형성하고, 제1 절연층(13) 상에 게이트 전극(214)과, 요철 패턴을 위한 식각 저지부(114)와, 커패시터의 식각 저지부(314)를 형성한다.
- [0070] 제1 절연층(13) 상에 형성된 게이트 전극(214)을 셀프-얼라인(self-align) 마스크로 사용하여 활성층(212)에 이온 불순물을 1차 도핑(D1)한다. 이온 불순물이 도핑된 소스 영역(212a) 및 드레인 영역(212b)과, 이온 불순물이 도핑 되지 않은 채널 영역(212c)을 형성한다.
- [0071] 도 2c를 참조하면, 도 2b의 제2 마스크 공정의 결과물 상에 제2 절연층(15)을 형성하고, 제2 절연층(15)을 제3 마스크(미도시)에 의해 패터닝하여, 픽셀 영역을 노출시키는 개구(C11), 소스 영역(212a) 및 드레인 영역(212b)을 노출시키는 제1 개구(C12), 및 커패시터 영역을 노출시키는 개구(C13)를 형성한다.
- [0072] 이때, 요철 패턴을 위한 식각 저지부(114)의 하부에 있는 버퍼층(11)과 제1 절연층(13)은 식각되지 않고, 식각 저지부(114) 사이에 있는 버퍼층(11)과 제1 절연층(13)이 식각되어 요철 패턴부(115)를 형성한다. 또한, 커패시터의 식각 저지부(314)는 그 하부의 유전막인 제1 절연층(13)이 식각되는 것을 저지한다.
- [0073] 한편, 요철 패턴부(115) 형성 시, 버퍼층(11)은 기관(10)이 노출되도록 두께 전체를 식각 할 수도 있고, 도 5와 같이, 버퍼층(11)의 두께의 일부만 식각 되도록 하여 요철 패턴부(115a)를 형성할 수도 있다.
- [0074] 도 2d를 참조하면, 도 2c의 제3 마스크 공정의 결과물 상에 소스 전극(216a)과 드레인 전극(216b)을 형성한다.
- [0075] 소스 전극(216a)과 드레인 전극(216b)의 패터닝 시, 요철 패턴을 위한 식각 저지부(114)와 커패시터의 식각 저지부(314)를 제거한다.
- [0076] 그 결과물 상에 이온 불순물을 커패시터의 제1전극(312)을 타겟으로 하여 2차 도핑(D2)한다.
- [0077] 도 2e를 참조하면, 도 2d의 제4 마스크 공정의 결과물 상에 화소 전극(117)과 커패시터의 제2전극(317)을 형성한다.
- [0078] 화소 전극(117)과 커패시터의 제2전극(317)은 인듐틴옥사이드(ITO; indium tin oxide), 인듐징크옥사이드(IZO; indium zinc oxide), 징크옥사이드(ZnO; zinc oxide), 인듐옥사이드(In₂O₃; indium oxide), 인듐갈륨옥사이드(IGO; indium gallium oxide), 및 알루미늄징크옥사이드(AZO; aluminium zinc oxide)를 포함하는 그룹에서 선택된 적어도 하나 이상의 투명 도전물을 포함하는 재료로 형성할 수 있다.
- [0079] 도 2f를 참조하면, 도 2e의 제5 마스크 공정의 결과물 상에 제3 절연층(18)을 형성한다. 제3 절연층(18)을 패터닝하여 화소 전극(117)을 노출시키는 개구(C15)를 형성한다.
- [0080] 이하, 도 6을 참조하여 본 발명의 다른 실시예를 설명한다.
- [0081] 도 6은 본 발명의 다른 실시예에 관한 유기 발광 표시 장치를 개략적으로 도시한 단면도이다.
- [0082] 도 6을 참조하면, 기관(10) 상에 픽셀 영역(PXL), 트랜지스터 영역(TR), 및 커패시터 영역(CAP)이 구비된다.
- [0083] 트랜지스터 영역(TR)에서, 박막 트랜지스터는 활성층(512), 2층의 게이트 전극(513, 514), 소스 전극(516a)과 드레인 전극(516b)를 구비한다. 활성층(512)은 이온 불순물이 도핑되지 않은 채널 영역(512c)과, 채널 영역(512c)의 양측에 이온 불순물이 도핑된 소스 영역(512a)과 드레인 영역(512b)를 포함한다.
- [0084] 커패시터 영역(CAP)에서, 커패시터 제1전극(612)은 활성층(512)과 동일층에 형성되고, 커패시터 제2전극(617)은 화소 전극(417)과 동일층에 형성된다. 박막 트랜지스터의 게이트 절연막을 형성하는 제1 절연층(13)이 커패시터의 유전막으로 기능한다.
- [0085] 픽셀 영역(PXL)에는, 버퍼층(11), 제1 절연층(13) 및 게이트 전극의 제1층(513)과 동일한 층들로 요철 패턴부(415)가 형성된다. 게이트 전극의 제1층은 인듐틴옥사이드(ITO; indium tin oxide), 인듐징크옥사이드(IZO; indium zinc oxide), 징크옥사이드(ZnO; zinc oxide), 인듐옥사이드(In₂O₃; indium oxide), 인듐갈륨옥사이드

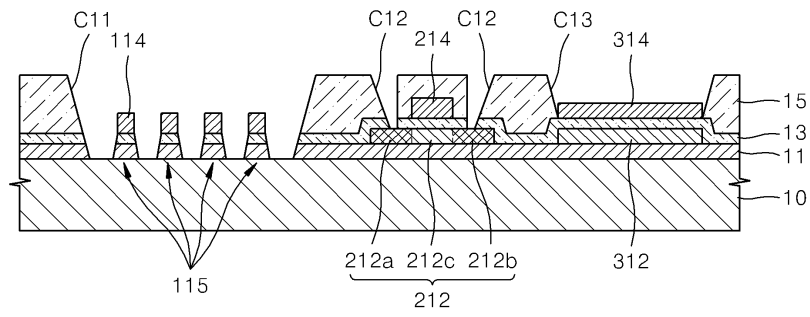
(IGO; indium gallium oxide), 알루미늄징크옥사이드(AZO; aluminium zinc oxide) 등으로부터 선택된 투명 도전물로 형성할 수 있다.

- [0086] 본 실시예에서, 화소 전극(417)은 은(Ag), 알루미늄(Al) 및 이들의 합금 중에서 선택된 적어도 하나를 포함하는 반투과 금속층으로 형성될 수 있다. 이때, 대향 전극(420)을 반사 전극으로 형성함으로써, 유기 발광층(419)에서 방출된 광이 반투과 전극인 화소 전극(420)과 반사 전극인 대향 전극(420) 사이에서 공진된다. 따라서, 유기 발광 표시 장치(2)의 광효율을 더욱 높일 수 있다.
- [0087] 도 7a 내지 도 7f는 도 6의 유기 발광 표시 장치의 제조 방법을 순차적으로 도시한 단면도들이다.
- [0088] 도 7a를 참조하면, 기판(10) 상에 버퍼층(11)을 형성하고, 버퍼층(11)상에 활성층(512)과 커패시터의 제1전극(612)을 형성한다.
- [0089] 도 7b를 참조하면, 도 7a의 제1 마스크 공정의 결과물 상의 전면에 제1 절연층(13)을 형성하고, 제1 절연층(13)상에 투명 도전물을 포함하는 제1층(미도시)과, 저저항 금속을 포함하는 제2층(미도시)을 차례로 적층하고, 제1층(미도시)과 제2층(미도시)을 패터닝하여, 게이트 전극(513, 514)과, 요철 패턴을 위한 식각 저지부(414, 413)와, 커패시터의 식각 저지부(613, 614)를 형성한다.
- [0090] 제1 절연층(13) 상에 형성된 게이트 전극(513, 514)을 셀프-얼라인(self-align) 마스크로 사용하여 활성층(512)에 이온 불순물을 1차 도핑(D1)한다. 이온 불순물이 도핑된 소스 영역(512a) 및 드레인 영역(512b)과, 이온 불순물이 도핑 되지 않은 채널 영역(512c)을 형성한다.
- [0091] 도 7c를 참조하면, 도 7b의 제2 마스크 공정의 결과물 상에 제2 절연층(15)을 형성하고, 제2 절연층(15)을 제3 마스크(미도시)에 의해 패터닝하여, 픽셀 영역을 노출시키는 개구(C11), 소스 영역(512a) 및 드레인 영역(512b)을 노출시키는 개구(C12), 및 커패시터 영역을 노출시키는 개구(C13)를 형성한다.
- [0092] 이때, 요철 패턴을 위한 식각 저지부(413, 414)의 하부에 있는 버퍼층(11)과 제1 절연층(13)은 식각되지 않고, 식각 저지부(413, 414) 사이에 있는 버퍼층(11)과 제1 절연층(13)이 식각되어 요철 패턴부(415)를 형성한다. 또한, 커패시터의 식각 저지부(314)는 그 하부의 유전막인 제1 절연층(13)이 식각되는 것을 저지한다.
- [0093] 도 7d를 참조하면, 도 7c의 제3 마스크 공정의 결과물 상에 소스 전극(516a)과 드레인 전극(516b)을 형성한다.
- [0094] 소스 전극(516a)과 드레인 전극(516b)의 패터닝 시, 요철 패턴을 위한 식각 저지부(414)와 커패시터의 식각 저지부(614)를 제거하고, 투명 도전물로 형성된 층들(413, 613)은 각각 남긴다.
- [0095] 그 결과물 상에 이온 불순물을 커패시터의 제1전극(612)을 타겟으로 하여 2차 도핑(D2)한다.
- [0096] 도 7e를 참조하면, 도 7d의 제4 마스크 공정의 결과물 상에 화소 전극(417)과 커패시터의 제2전극(617)을 형성한다.
- [0097] 화소 전극(117)과 커패시터의 제2전극(317)은 은(Ag), 알루미늄(Al) 및 이들의 합금 중에서 선택된 적어도 하나를 포함하는 반투과 금속층으로 형성할 수 있다.
- [0098] 도 7f를 참조하면, 도 7e의 제5 마스크 공정의 결과물 상에 제3 절연층(18)을 형성한다. 제3 절연층(18)을 패터닝하여 화소 전극(417)을 노출시키는 개구(C15)를 형성한다.
- [0099] 본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 다른 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

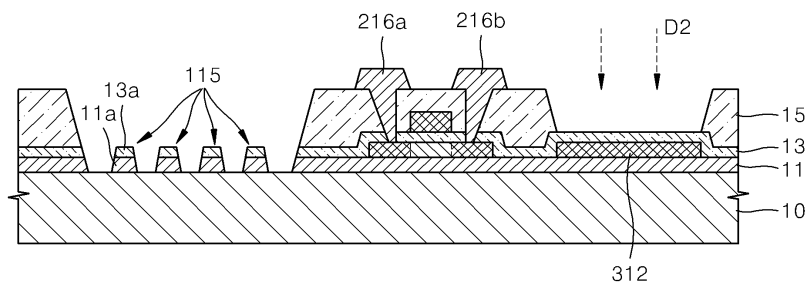
부호의 설명

- [0100] 1: 유기 발광 표시 장치 10: 기판
- 11: 버퍼층 13: 제1 절연층
- 15: 제2 절연층 18: 제3 절연층
- 115: 요철 패턴부 117: 화소 전극
- 119: 유기 발광층 120: 대향 전극

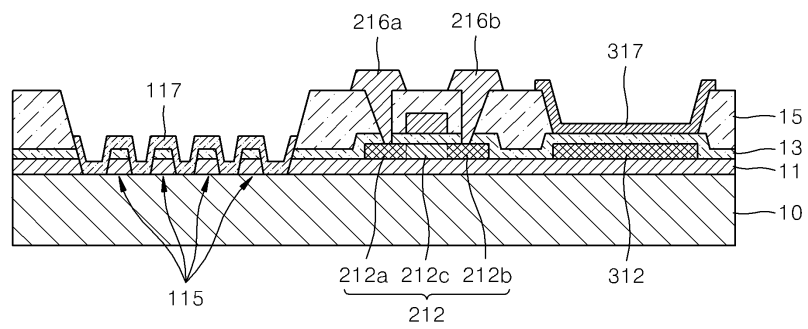
도면2c



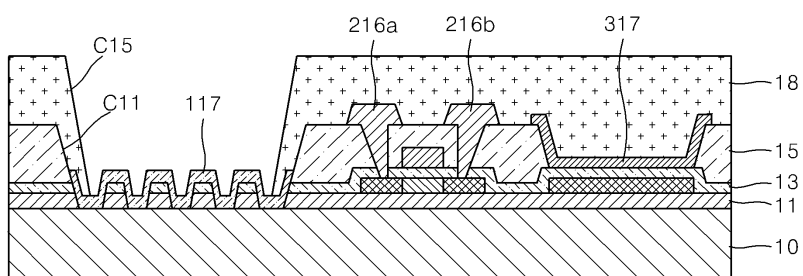
도면2d



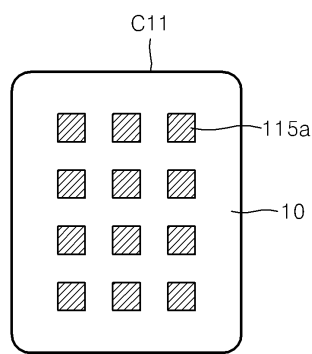
도면2e



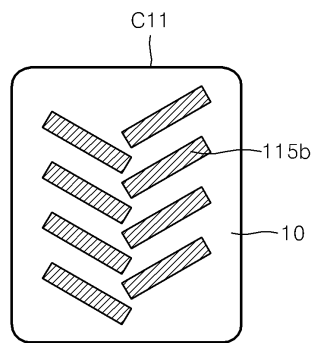
도면2f



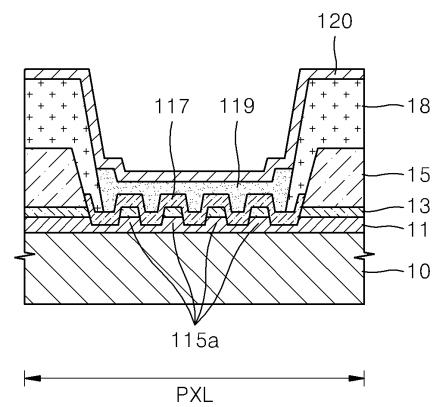
도면3



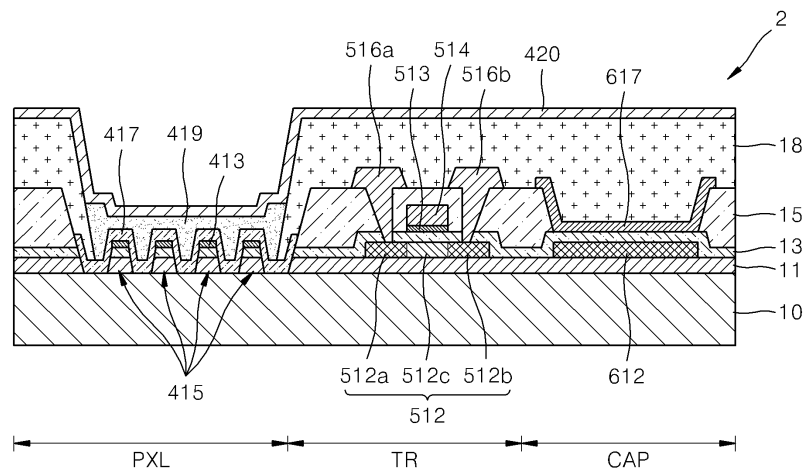
도면4



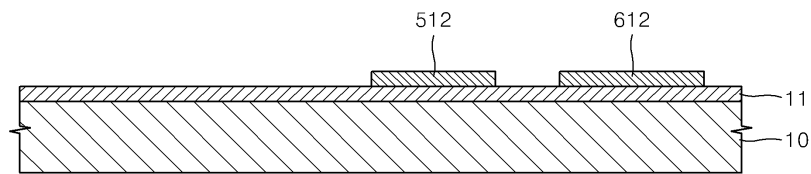
도면5



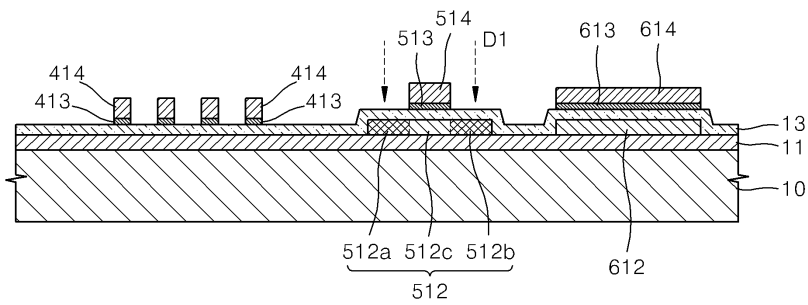
도면6



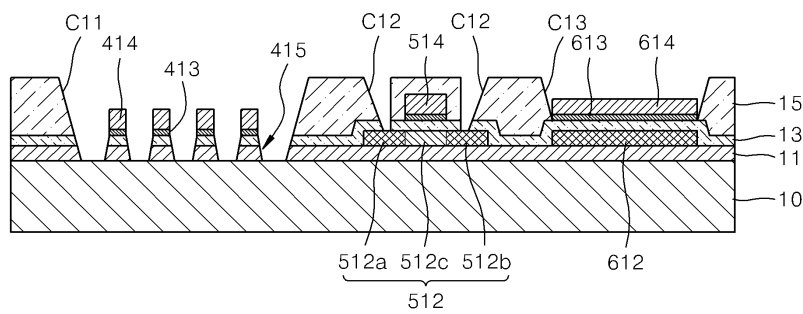
도면7a



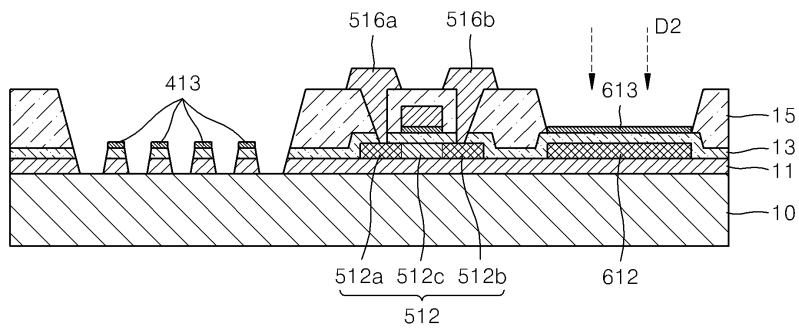
도면7b



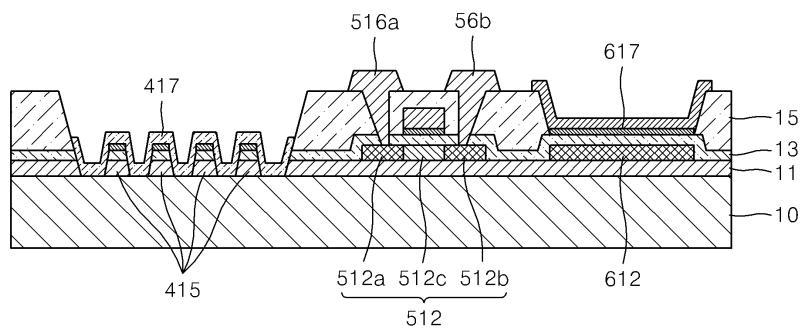
도면7c



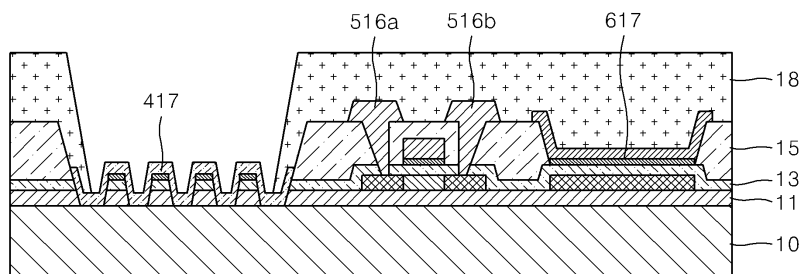
도면7d



도면7e



도면7f



专利名称(译)	有机发光显示装置及其制造方法		
公开(公告)号	KR102036326B1	公开(公告)日	2019-10-25
申请号	KR1020120132595	申请日	2012-11-21
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	김성호		
发明人	김성호		
IPC分类号	H01L51/50 H05B33/10		
CPC分类号	H01L27/3244 H01L51/5209 H01L51/5275 H01L2227/323 H01L51/5265		
审查员(译)	允我永		
其他公开文献	KR1020140065276A		
外部链接	Espacenet		

摘要(译)

有机发光显示装置包括：基板；在基板上的薄膜晶体管（TFT）；TFT，其包括有源层；栅电极；源电极；漏电极；在基板上的凹凸图案单元；以及与TFT间隔开的不平坦图案包括绝缘膜，不平坦图案单元上的像素电极，在像素电极上并且包括有机发光层的中间层以及在中间层上的对电极。

