



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년09월20일
(11) 등록번호 10-2023183
(24) 등록일자 2019년09월11일

(51) 국제특허분류(Int. Cl.)

G09G 3/30 (2006.01)

(21) 출원번호 10-2012-0131874

(22) 출원일자 2012년11월20일

심사청구일자 2017년11월17일

(65) 공개번호 10-2014-0064483

(43) 공개일자 2014년05월28일

(56) 선행기술조사문헌

KR1020120012597 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

삼성디스플레이 주식회사

경기도 용인시 기흥구 삼성로 1 (농서동)

(72) 발명자

한상면

경기 화성시 동탄공원로1길 6-59, 361동 603호 (반송동, 시범다운마을풍성신미주아파트)

(74) 대리인

팬코리아특허법인

전체 청구항 수 : 총 22 항

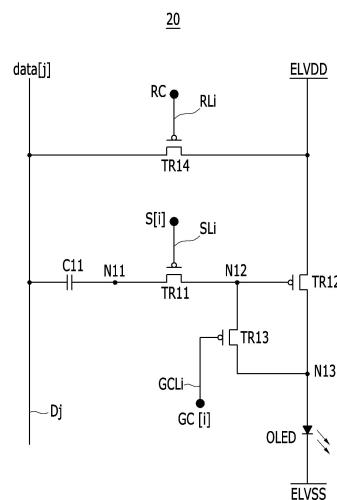
심사관 : 하정균

(54) 발명의 명칭 화소, 이를 포함하는 표시장치 및 그 구동 방법

(57) 요약

표시장치는 복수의 화소를 포함하는 표시부를 포함하고, 상기 복수의 화소 중 적어도 어느 하나의 제1 화소는, 데이터 라인에 연결되어 있는 일 전극 및 제1 노드에 연결되어 있는 타 전극을 포함하는 제1 보상 커패시터, 주사 신호가 인가되는 게이트 전극, 상기 제1 노드에 연결되어 있는 일 전극 및 제2 노드에 연결되어 있는 타 전극을 포함하는 제1 스위칭 트랜지스터, 상기 제2 노드에 연결되어 있는 게이트 전극, 제1 전원전압에 연결되어 있는 일 전극 및 제1 유기발광 다이오드에 연결되어 있는 타 전극을 포함하는 제1 구동 트랜지스터, 및 링크 제어 신호가 인가되는 게이트 전극, 상기 데이터 라인에 연결되어 있는 일 전극 및 상기 제1 전원전압에 연결되어 있는 타 전극을 포함하는 제1 링크 트랜지스터를 포함한다.

대표도 - 도3



명세서

청구범위

청구항 1

복수의 화소를 포함하는 표시부를 포함하고,

상기 복수의 화소 중 적어도 어느 하나의 제1 화소는,

데이터 라인에 연결되어 있는 일 전극 및 제1 노드에 연결되어 있는 타 전극을 포함하는 제1 보상 커패시터;

주사 신호가 인가되는 게이트 전극, 상기 제1 노드에 연결되어 있는 일 전극 및 제2 노드에 연결되어 있는 타 전극을 포함하는 제1 스위칭 트랜지스터;

상기 제2 노드에 연결되어 있는 게이트 전극, 제1 전원전압에 연결되어 있는 일 전극 및 제1 유기발광 다이오드에 연결되어 있는 타 전극을 포함하는 제1 구동 트랜지스터;

링크제어 신호가 인가되는 게이트 전극, 상기 데이터 라인에 연결되어 있는 일 전극 및 상기 제1 전원전압에 연결되어 있는 타 전극을 포함하는 제1 링크 트랜지스터; 및

보상제어 신호가 인가되는 게이트 전극, 상기 제2 노드에 연결되어 있는 일 전극 및 상기 구동 트랜지스터의 타 전극에 연결되어 있는 타 전극을 포함하는 제1 보상 트랜지스터를 포함하는 표시장치.

청구항 2

삭제

청구항 3

삭제

청구항 4

제1 항에 있어서,

상기 복수의 화소 중 적어도 하나의 제2 화소는,

상기 데이터 라인에 연결되어 있는 일 전극 및 제4 노드에 연결되어 있는 타 전극을 포함하는 제2 보상 커패시터;

상기 주사 신호가 인가되는 게이트 전극, 상기 제4 노드에 연결되어 있는 일 전극 및 제5 노드에 연결되어 있는 타 전극을 포함하는 제2 스위칭 트랜지스터; 및

상기 제5 노드에 연결되어 있는 게이트 전극, 상기 제1 전원전압에 연결되어 있는 일 전극 및 제2 유기발광 다이오드에 연결되어 있는 타 전극을 포함하는 제2 구동 트랜지스터를 포함하는 표시장치.

청구항 5

제4 항에 있어서,

상기 제2 화소는,

보상제어 신호가 인가되는 게이트 전극, 상기 제5 노드에 연결되어 있는 일 전극 및 상기 제2 구동 트랜지스터의 타 전극에 연결되어 있는 타 전극을 포함하는 제2 보상 트랜지스터를 더 포함하는 표시장치.

청구항 6

제4 항에 있어서,

상기 제2 화소는,

보상제어 신호가 인가되는 게이트 전극, 상기 제4 노드에 연결되어 있는 일 전극 및 상기 제2 구동 트랜지스터의 타 전극에 연결되어 있는 타 전극을 포함하는 제2 보상 트랜지스터를 더 포함하는 표시장치.

청구항 7

제4 항에 있어서,

상기 표시부에 상기 제1 화소 및 상기 제2 화소가 1 행씩 교대로 배치되는 표시장치.

청구항 8

제4 항에 있어서,

상기 표시부에 상기 제1 화소의 1행과 상기 제2 화소의 복수의 행이 교대로 배치되는 표시장치.

청구항 9

제4 항에 있어서,

상기 표시부에 행 방향으로 상기 제1 화소와 상기 제2 화소가 교대로 배치되는 표시장치.

청구항 10

제4 항에 있어서,

상기 표시부에 열 방향으로 상기 제1 화소와 상기 제2 화소가 교대로 배치되는 표시장치.

청구항 11

데이터 라인과 제1 노드 사이에 연결되어 있는 보상 커패시터, 주사 신호에 따라 상기 제1 노드와 제2 노드를 연결하는 스위칭 트랜지스터, 상기 제2 노드의 전압에 따라 제1 전원전압에서 유기발광 다이오드가 연결되어 있는 제3 노드로 흐르는 구동 전류를 제어하는 구동 트랜지스터, 링크제어 신호에 따라 상기 제1 전원전압을 상기 데이터 라인에 전달하는 링크 트랜지스터, 및 보상제어 신호에 따라 상기 제2 노드와 상기 제3 노드를 연결하는 보상 트랜지스터를 포함하는 복수의 화소를 포함하는 표시장치의 구동 방법에 있어서,

상기 제2 노드의 전압이 로우 레벨 전압으로 리셋되고, 상기 제3 노드의 전압이 제2 전압과 상기 구동 트랜지스터의 문턱전압의 합에 대응하는 전압으로 리셋되는 리셋 단계;

상기 보상 커패시터에 데이터 전압 및 상기 구동 트랜지스터의 문턱전압이 반영된 전압이 저장되는 주사 단계; 및

상기 복수의 화소가 동시에 발광하는 발광 단계를 포함하는 표시장치의 구동 방법.

청구항 12

제11 항에 있어서,

상기 리셋 단계는,

상기 링크제어 신호 및 상기 주사 신호가 게이트 온 전압으로 인가되고, 상기 제1 전원전압이 제1 전압으로 인가되는 단계; 및

상기 보상 커패시터에 의한 커플링으로 상기 제2 노드의 전압이 로우 레벨 전압으로 떨어지는 단계를 포함하는 표시장치의 구동 방법.

청구항 13

제12 항에 있어서,

상기 리셋 단계는,

상기 유기발광 다이오드의 캐소드 전극에 연결되어 있는 제2 전원전압이 로우 레벨 전압으로 인가되는 단계;

상기 보상제어 신호가 게이트 온 전압으로 인가되는 단계; 및

상기 제3 노드의 전압이 로우 레벨 전압으로 리셋되는 단계를 더 포함하는 표시장치의 구동 방법.

청구항 14

제13 항에 있어서,

상기 리셋 단계는,

상기 보상제어 신호가 게이트 오프 전압으로 인가되는 단계;

상기 제2 전원전압이 제3 전압으로 인가되는 단계;

상기 제1 전원전압이 제1 전압으로 인가되는 단계; 및

상기 제3 노드로부터 상기 제1 전원전압으로 전류가 흘러 상기 제3 노드의 전압이 상기 제2 전압과 상기 구동 트랜지스터의 문턱전압의 합에 대응하는 전압으로 리셋되는 단계를 더 포함하는 표시장치의 구동 방법.

청구항 15

제11 항에 있어서,

상기 주사 단계는,

상기 복수의 화소에 연결된 복수의 주사 라인에 게이트 온 전압의 주사 신호가 순차적으로 인가되는 단계;

상기 복수의 화소에 연결된 복수의 보상제어 라인에 게이트 온 전압의 보상제어 신호가 순차적으로 인가되는 단계; 및

상기 게이트 온 전압의 주사 신호에 대응하여 상기 데이터 라인에 데이터 신호가 인가되는 단계를 포함하는 표시장치의 구동 방법.

청구항 16

제15 항에 있어서,

상기 발광 단계는,

상기 복수의 주사 라인에 게이트 온 전압의 주사 신호가 동시에 인가되는 단계;

상기 링크제어 신호가 게이트 온 전압으로 인가되는 단계;

상기 제1 전원전압이 제3 전압으로 인가되고, 상기 유기발광 다이오드의 캐소드 전극에 연결되어 있는 제2 전원전압이 제1 전압으로 인가되는 단계; 및

상기 구동 트랜지스터를 통해 상기 유기발광 다이오드로 전류가 흐르는 단계를 포함하는 표시장치의 구동 방법.

청구항 17

데이터 라인에 연결되어 있는 일 전극 및 제1 노드에 연결되어 있는 타 전극을 포함하는 제1 보상 커패시터;

주사 신호가 인가되는 게이트 전극, 상기 제1 노드에 연결되어 있는 일 전극 및 제2 노드에 연결되어 있는 타 전극을 포함하는 제1 스위칭 트랜지스터;

상기 제2 노드에 연결되어 있는 게이트 전극, 제1 전원전압에 연결되어 있는 일 전극 및 제1 유기발광 다이오드가 연결되어 있는 제3 노드에 연결되어 있는 타 전극을 포함하는 제1 구동 트랜지스터;

링크제어 신호가 인가되는 게이트 전극, 상기 데이터 라인에 연결되어 있는 일 전극 및 상기 제1 전원전압에 연결되어 있는 타 전극을 포함하는 제1 링크 트랜지스터; 및

보상제어 신호가 인가되는 게이트 전극, 상기 제2 노드에 연결되어 있는 일 전극 및 상기 제3 노드에 연결되어 있는 타 전극을 포함하는 제1 보상 트랜지스터를 포함하는 화소.

청구항 18

제17 항에 있어서,

상기 데이터 라인에 연결되어 있는 일 전극 및 제4 노드에 연결되어 있는 타 전극을 포함하는 제2 보상 커패시터;

상기 주사 신호가 인가되는 게이트 전극, 상기 제4 노드에 연결되어 있는 일 전극 및 제5 노드에 연결되어 있는 타 전극을 포함하는 제2 스위칭 트랜지스터; 및

상기 제5 노드에 연결되어 있는 게이트 전극, 상기 제1 전원전압에 연결되어 있는 일 전극 및 제2 유기발광 다이오드가 연결되어 있는 제6 노드에 연결되어 있는 타 전극을 포함하는 제2 구동 트랜지스터를 더 포함하는 화소.

청구항 19

삭제

청구항 20

제18 항에 있어서,

상기 보상제어 신호가 인가되는 게이트 전극, 상기 제5 노드에 연결되어 있는 일 전극 및 상기 제6 노드에 연결되어 있는 타 전극을 포함하는 제2 보상 트랜지스터를 더 포함하는 화소.

청구항 21

제18 항에 있어서,

상기 보상제어 신호가 인가되는 게이트 전극, 상기 제4 노드에 연결되어 있는 일 전극 및 상기 제6 노드에 연결되어 있는 타 전극을 포함하는 제2 보상 트랜지스터를 더 포함하는 화소.

청구항 22

제18 항에 있어서,

보상제어 신호가 인가되는 게이트 전극, 상기 제1 노드에 연결되어 있는 일 전극 및 상기 제3 노드에 연결되어 있는 타 전극을 포함하는 제1 보상 트랜지스터를 더 포함하는 화소.

청구항 23

제22 항에 있어서,

상기 보상제어 신호가 인가되는 게이트 전극, 상기 제5 노드에 연결되어 있는 일 전극 및 상기 제6 노드에 연결되어 있는 타 전극을 포함하는 제2 보상 트랜지스터를 더 포함하는 화소.

청구항 24

제22 항에 있어서,

상기 보상제어 신호가 인가되는 게이트 전극, 상기 제4 노드에 연결되어 있는 일 전극 및 상기 제6 노드에 연결되어 있는 타 전극을 포함하는 제2 보상 트랜지스터를 더 포함하는 화소.

청구항 25

제18 항에 있어서,

상기 제1 스위칭 트랜지스터, 상기 제1 구동 트랜지스터, 상기 제1 링크 트랜지스터, 상기 제2 스위칭 트랜지스터 및 상기 제2 구동 트랜지스터 중 적어도 어느 하나는 산화물 박막 트랜지스터인 화소.

발명의 설명

기술 분야

본 발명은 화소, 이를 포함하는 표시장치 및 그 구동 방법에 관한 것으로, 보다 상세하게는 외부 전압에 의한 커플링이나 누설 전류 등에 강건한 화소, 이를 포함하는 표시장치 및 그 구동 방법에 관한 것이다.

[0001]

배경 기술

- [0002] 유기발광 표시장치는 전류 또는 전압에 의해 휘도가 제어되는 유기발광 다이오드(Organic Light Emitting Diode, OLED)를 이용한다. 유기발광 다이오드는 전계를 형성하는 양극층 및 음극층, 전계에 의해 발광하는 유기 발광재료를 포함한다.
- [0003] 통상적으로, 유기발광 표시장치(OLED)는 유기발광 다이오드를 구동하는 방식에 따라 패시브 매트릭스형 OLED(PMOLED)와 액티브 매트릭스형 OLED(AMOLED)로 분류된다.
- [0004] 이 중 해상도, 콘트라스트, 동작속도의 관점에서 단위 화소마다 선택하여 점등하는 AMOLED가 주류가 되고 있다.
- [0005] 액티브 매트릭스형 OLED의 한 화소는 유기발광 다이오드, 유기발광 다이오드에 공급되는 전류량을 제어하는 구동 트랜지스터, 및 구동 트랜지스터로 유기발광 다이오드의 발광량을 제어하는 데이터 전압을 전달하는 스위칭 트랜지스터를 포함한다. 스위칭 트랜지스터는 게이트 온 전압의 주사 신호에 의해 턴 온된다.
- [0006] 유기발광 표시장치는 한 프레임 동안 모든 화소에 데이터가 기입된 후 모든 화소가 동시에 발광하는 동시발광 방식으로 동작할 수 있다. 동시발광 방식은 데이터 기입시에 배선에 의한 전원전압의 전압 강하에 영향을 받지 않는 이점을 가진다.
- [0007] 그러나 동시발광 방식은 복수의 화소가 순차적으로 발광하는 순차발광 방식에 비해 발광 기간이 짧다. 따라서 동시발광 방식에서 순차발광 방식과 동일한 휘도를 유지하기 위해서는 발광 기간에 더 많은 전류를 복수의 화소에 흘려주어야 한다. 이를 위해서는 데이터 구동 IC(integrated circuit)의 출력이 확장되어야 할 뿐만 아니라 화소의 구동 전류를 제공하는 화소의 양단 전원전압 간의 전압 차이도 증가되어야 한다. 화소의 양단 전원전압 간의 전압 차이가 증가하게 되면 배선에 의한 전원전압의 전압 강하도 커지게 되므로, 화소의 양단 전원전압 간의 전압 차이에 여유를 두고 전원전압이 설정된다.
- [0008] 결과적으로, 화소의 양단 전원전압 간의 전압 차이가 크게 설정되어야 하고, 이에 따라 소비전력이 증가하게 된다. 또한, 배선의 전압 강하를 고려하여 화소의 양단 전원전압 간의 전압 차이에 여유를 두고 전원전압이 설정되더라도 전원전압의 전압 강하에 의해 화면의 균일도가 떨어질 수 있다.

발명의 내용

해결하려는 과제

- [0009] 본 발명이 해결하고자 하는 기술적 과제는 전원전압의 배선을 강화할 수 있는 화소, 이를 포함하는 표시장치 및 그 구동 방법을 제공함에 있다.

과제의 해결 수단

- [0010] 본 발명의 일 실시예에 따른 표시장치는 복수의 화소를 포함하는 표시부를 포함하고, 상기 복수의 화소 중 적어도 어느 하나의 제1 화소는, 데이터 라인에 연결되어 있는 일 전극 및 제1 노드에 연결되어 있는 타 전극을 포함하는 제1 보상 커패시터, 주사 신호가 인가되는 게이트 전극, 상기 제1 노드에 연결되어 있는 일 전극 및 제2 노드에 연결되어 있는 타 전극을 포함하는 제1 스위칭 트랜지스터, 상기 제2 노드에 연결되어 있는 게이트 전극, 제1 전원전압에 연결되어 있는 일 전극 및 제1 유기발광 다이오드에 연결되어 있는 타 전극을 포함하는 제1 구동 트랜지스터, 및 링크제어 신호가 인가되는 게이트 전극, 상기 데이터 라인에 연결되어 있는 일 전극 및 상기 제1 전원전압에 연결되어 있는 타 전극을 포함하는 제1 링크 트랜지스터를 포함한다.
- [0011] 상기 제1 화소는, 보상제어 신호가 인가되는 게이트 전극, 상기 제2 노드에 연결되어 있는 일 전극 및 상기 구동 트랜지스터의 타 전극에 연결되어 있는 타 전극을 포함하는 제1 보상 트랜지스터를 더 포함할 수 있다.
- [0012] 상기 제1 화소는, 보상제어 신호가 인가되는 게이트 전극, 상기 제1 노드에 연결되어 있는 일 전극 및 상기 구동 트랜지스터의 타 전극에 연결되어 있는 타 전극을 포함하는 제1 보상 트랜지스터를 더 포함할 수 있다.
- [0013] 상기 복수의 화소 중 적어도 하나의 제2 화소는, 상기 데이터 라인에 연결되어 있는 일 전극 및 제4 노드에 연결되어 있는 타 전극을 포함하는 제2 보상 커패시터, 상기 주사 신호가 인가되는 게이트 전극, 상기 제4 노드에 연결되어 있는 일 전극 및 제5 노드에 연결되어 있는 타 전극을 포함하는 제2 스위칭 트랜지스터, 및 상기 제5 노드에 연결되어 있는 게이트 전극, 상기 제1 전원전압에 연결되어 있는 일 전극 및 제2 유기발광 다이오드에 연결되어 있는 타 전극을 포함하는 제2 구동 트랜지스터를 포함할 수 있다.

- [0014] 상기 제2 화소는, 보상제어 신호가 인가되는 게이트 전극, 상기 제5 노드에 연결되어 있는 일 전극 및 상기 제2 구동 트랜지스터의 타 전극에 연결되어 있는 타 전극을 포함하는 제2 보상 트랜지스터를 더 포함할 수 있다.
- [0015] 상기 제2 화소는, 보상제어 신호가 인가되는 게이트 전극, 상기 제4 노드에 연결되어 있는 일 전극 및 상기 제2 구동 트랜지스터의 타 전극에 연결되어 있는 타 전극을 포함하는 제2 보상 트랜지스터를 더 포함할 수 있다.
- [0016] 상기 표시부에 상기 제1 화소 및 상기 제2 화소가 1 행씩 교대로 배치될 수 있다.
- [0017] 상기 표시부에 상기 제1 화소의 1행과 상기 제2 화소의 복수의 행이 교대로 배치될 수 있다.
- [0018] 상기 표시부에 행 방향으로 상기 제1 화소와 상기 제2 화소가 교대로 배치될 수 있다.
- [0019] 상기 표시부에 열 방향으로 상기 제1 화소와 상기 제2 화소가 교대로 배치될 수 있다.
- [0020] 본 발명의 다른 실시예에 따른 데이터 라인과 제1 노드 사이에 연결되어 있는 보상 커패시터, 주사 신호에 따라 상기 제1 노드와 제2 노드를 연결하는 스위칭 트랜지스터, 상기 제2 노드의 전압에 따라 제1 전원전압에서 유기 발광 다이오드가 연결되어 있는 제3 노드로 흐르는 구동 전류를 제어하는 구동 트랜지스터, 링크제어 신호에 따라 상기 제1 전원전압을 상기 데이터 라인에 전달하는 링크 트랜지스터, 및 보상제어 신호에 따라 상기 제2 노드와 상기 제3 노드를 연결하는 보상 트랜지스터를 포함하는 복수의 화소를 포함하는 표시장치의 구동 방법은 상기 제2 노드의 전압이 로우 레벨 전압으로 리셋되고, 상기 제3 노드의 전압이 제2 전압과 상기 구동 트랜지스터의 문턱전압의 합에 대응하는 전압으로 리셋되는 리셋 단계, 상기 보상 커패시터에 데이터 전압 및 상기 구동 트랜지스터의 문턱전압이 반영된 전압이 저장되는 주사 단계, 및 상기 복수의 화소가 동시에 발광하는 발광 단계를 포함한다.
- [0021] 상기 리셋 단계는, 상기 링크제어 신호 및 상기 주사 신호가 게이트 온 전압으로 인가되고, 상기 제1 전원전압이 제1 전압으로 인가되는 단계, 및 상기 보상 커패시터에 의한 커플링으로 상기 제2 노드의 전압이 로우 레벨 전압으로 떨어지는 단계를 포함한다.
- [0022] 상기 리셋 단계는, 상기 유기발광 다이오드의 캐소드 전극에 연결되어 있는 제2 전원전압이 로우 레벨 전압으로 인가되는 단계, 상기 보상제어 신호가 게이트 온 전압으로 인가되는 단계, 및 상기 제3 노드의 전압이 로우 레벨 전압으로 리셋되는 단계를 더 포함할 수 있다.
- [0023] 상기 리셋 단계는, 상기 보상제어 신호가 게이트 오프 전압으로 인가되는 단계, 상기 제2 전원전압이 제3 전압으로 인가되는 단계, 상기 제1 전원전압이 제1 전압으로 인가되는 단계, 및 상기 제3 노드로부터 상기 제1 전원전압으로 전류가 흘러 상기 제3 노드의 전압이 상기 제2 전압과 상기 구동 트랜지스터의 문턱전압의 합에 대응하는 전압으로 리셋되는 단계를 더 포함할 수 있다.
- [0024] 상기 주사 단계는, 상기 복수의 화소에 연결된 복수의 주사 라인에 게이트 온 전압의 주사 신호가 순차적으로 인가되는 단계, 상기 복수의 화소에 연결된 복수의 보상제어 라인에 게이트 온 전압의 보상제어 신호가 순차적으로 인가되는 단계, 및 상기 게이트 온 전압의 주사 신호에 대응하여 상기 데이터 라인에 데이터 신호가 인가되는 단계를 포함할 수 있다.
- [0025] 상기 발광 단계는, 상기 복수의 주사 라인에 게이트 온 전압의 주사 신호가 동시에 인가되는 단계, 상기 링크제어 신호가 게이트 온 전압으로 인가되는 단계, 상기 제1 전원전압이 상기 제3 전압으로 인가되고, 상기 제2 전원전압이 상기 제1 전압으로 인가되는 단계, 및 상기 구동 트랜지스터를 통해 상기 유기발광 다이오드로 전류가 흐르는 단계를 포함할 수 있다.
- [0026] 본 발명의 또 다른 실시예에 따른 화소는 데이터 라인에 연결되어 있는 일 전극 및 제1 노드에 연결되어 있는 타 전극을 포함하는 제1 보상 커패시터, 주사 신호가 인가되는 게이트 전극, 상기 제1 노드에 연결되어 있는 일 전극 및 제2 노드에 연결되어 있는 타 전극을 포함하는 제1 스위칭 트랜지스터, 상기 제2 노드에 연결되어 있는 게이트 전극, 제1 전원전압에 연결되어 있는 일 전극 및 제1 유기발광 다이오드가 연결되어 있는 제3 노드에 연결되어 있는 타 전극을 포함하는 제1 구동 트랜지스터, 및 링크제어 신호가 인가되는 게이트 전극, 상기 데이터 라인에 연결되어 있는 일 전극 및 상기 제1 전원전압에 연결되어 있는 타 전극을 포함하는 제1 링크 트랜지스터를 포함한다.
- [0027] 상기 데이터 라인에 연결되어 있는 일 전극 및 제4 노드에 연결되어 있는 타 전극을 포함하는 제2 보상 커패시터, 상기 주사 신호가 인가되는 게이트 전극, 상기 제4 노드에 연결되어 있는 일 전극 및 제5 노드에 연결되어 있는 타 전극을 포함하는 제2 스위칭 트랜지스터, 및 상기 제5 노드에 연결되어 있는 게이트 전극, 상기 제1 전

원전압에 연결되어 있는 일 전극 및 제2 유기발광 다이오드가 연결되어 있는 제6 노드에 연결되어 있는 타 전극을 포함하는 제2 구동 트랜지스터를 더 포함할 수 있다.

[0028] 보상제어 신호가 인가되는 게이트 전극, 상기 제2 노드에 연결되어 있는 일 전극 및 상기 제3 노드에 연결되어 있는 타 전극을 포함하는 제1 보상 트랜지스터를 더 포함할 수 있다.

[0029] 상기 보상제어 신호가 인가되는 게이트 전극, 상기 제5 노드에 연결되어 있는 일 전극 및 상기 제6 노드에 연결되어 있는 타 전극을 포함하는 제2 보상 트랜지스터를 더 포함할 수 있다.

[0030] 상기 보상제어 신호가 인가되는 게이트 전극, 상기 제4 노드에 연결되어 있는 일 전극 및 상기 제6 노드에 연결되어 있는 타 전극을 포함하는 제2 보상 트랜지스터를 더 포함할 수 있다.

[0031] 보상제어 신호가 인가되는 게이트 전극, 상기 제1 노드에 연결되어 있는 일 전극 및 상기 제3 노드에 연결되어 있는 타 전극을 포함하는 제1 보상 트랜지스터를 더 포함할 수 있다.

[0032] 상기 보상제어 신호가 인가되는 게이트 전극, 상기 제5 노드에 연결되어 있는 일 전극 및 상기 제6 노드에 연결되어 있는 타 전극을 포함하는 제2 보상 트랜지스터를 더 포함할 수 있다.

[0033] 상기 보상제어 신호가 인가되는 게이트 전극, 상기 제4 노드에 연결되어 있는 일 전극 및 상기 제6 노드에 연결되어 있는 타 전극을 포함하는 제2 보상 트랜지스터를 더 포함할 수 있다.

[0034] 상기 제1 스위칭 트랜지스터, 상기 제1 구동 트랜지스터, 상기 제1 링크 트랜지스터, 상기 제2 스위칭 트랜지스터, 상기 제2 구동 트랜지스터 및 상기 제2 링크 트랜지스터 중 적어도 어느 하나는 산화물 박막 트랜지스터일 수 있다.

발명의 효과

[0035] 배선에 의한 전원전압의 전압 강하를 줄일 수 있고, 이에 따라 화면의 광특성 균일도를 확보할 수 있다. 그리고 화소의 양단 전원전압의 전압차를 줄일 수 있으며, 이에 따라 표시장치의 소비전력을 줄일 수 있다.

도면의 간단한 설명

[0036] 도 1은 본 발명의 일 실시예에 따른 표시장치를 나타내는 블록도이다.

도 2는 본 발명의 일 실시예에 따른 표시부를 나타내는 블록도이다.

도 3은 본 발명의 일 실시예에 따른 화소를 나타내는 회로도이다.

도 4는 본 발명의 일 실시예에 따른 표시장치의 구동 방법을 나타내는 타이밍도이다.

도 5는 본 발명의 다른 실시예에 따른 표시장치의 구동 방법을 나타내는 타이밍도이다.

도 6은 본 발명의 다른 실시예에 따른 화소를 나타내는 회로도이다.

도 7은 본 발명의 일 실시예에 따른 표시부의 화소 배치를 나타내는 블록도이다.

도 8은 본 발명의 다른 실시예에 따른 표시부의 화소 배치를 나타내는 블록도이다.

도 9는 본 발명의 또 다른 실시예에 따른 표시부의 화소 배치를 나타내는 블록도이다.

도 10은 본 발명의 또 다른 실시예에 따른 표시부의 화소 배치를 나타내는 블록도이다.

도 11은 본 발명의 또 다른 실시예에 따른 표시부의 화소 배치를 나타내는 블록도이다.

도 12는 본 발명의 또 다른 실시예에 따른 표시부의 화소 배치를 나타내는 블록도이다.

도 13은 본 발명의 또 다른 실시예에 따른 화소를 나타내는 회로도이다.

도 14는 본 발명의 또 다른 실시예에 따른 화소를 나타내는 회로도이다.

발명을 실시하기 위한 구체적인 내용

[0037] 이하, 첨부한 도면을 참고로 하여 본 발명의 실시예들에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며

여기에서 설명하는 실시예들에 한정되지 않는다.

- [0038] 또한, 여러 실시예들에 있어서, 동일한 구성을 가지는 구성요소에 대해서는 동일한 부호를 사용하여 대표적으로 제1 실시예에서 설명하고, 그 외의 실시예에서는 제1 실시예와 다른 구성에 대해서만 설명하기로 한다.
- [0039] 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 동일 또는 유사한 구성요소에 대해서는 동일한 참조 부호를 붙이도록 한다.
- [0040] 명세서 전체에서, 어떤 부분이 다른 부분과 "연결"되어 있다고 할 때, 이는 "직접적으로 연결"되어 있는 경우뿐 아니라, 그 중간에 다른 소자를 사이에 두고 "전기적으로 연결"되어 있는 경우도 포함한다. 또한 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.
- [0041] 도 1은 본 발명의 일 실시예에 따른 표시장치를 나타내는 블록도이다.
- [0042] 도 1을 참조하면, 표시장치(10)는 신호 제어부(100), 주사 구동부(200), 데이터 구동부(300), 전원 공급부(400), 보상제어 신호부(500), 링크제어 신호부(600) 및 표시부(700)를 포함한다.
- [0043] 신호 제어부(100)는 외부 장치로부터 입력되는 영상 신호(ImS) 및 동기 신호를 수신한다. 입력 영상 신호(ImS)는 복수의 화소의 휘도(luminance) 정보를 담고 있다. 휘도는 정해진 수효, 예를 들어, $1024(=2^{10})$, $256(=2^8)$ 또는 $64(=2^6)$ 개의 계조(gray)를 가지고 있다. 동기 신호는 수평 동기 신호(Hsync), 수직 동기 신호(Vsync) 및 메인 클럭 신호(MCLK)를 포함한다.
- [0044] 신호 제어부(100)는 영상 신호(ImS), 수평 동기 신호(Hsync), 수직 동기 신호(Vsync) 및 메인 클럭 신호(MCLK)에 따라 제1 내지 제5 구동 제어신호(CONT1, CONT2, CONT3, CONT4, CONT5) 및 영상 데이터 신호(ImD)를 생성한다.
- [0045] 신호 제어부(100)는 수직 동기 신호(Vsync)에 따라 프레임 단위로 영상 신호(ImS)를 구분하고, 수평 동기 신호(Hsync)에 따라 주사 라인 단위로 영상 신호(ImS)를 구분하여 영상 데이터 신호(ImD)를 생성한다. 신호 제어부(100)는 영상 데이터 신호(ImD)를 제1 구동 제어신호(CONT1)와 함께 데이터 구동부(300)로 전송한다.
- [0046] 표시부(700)는 복수의 화소를 포함하는 표시 영역이다. 표시부(700)에는 대략 행 방향으로 연장되어 서로가 거의 평행한 복수의 주사 라인, 대략 열 방향으로 연장되어 서로가 거의 평행한 복수의 데이터 라인, 복수의 전원 라인, 복수의 보상제어 라인 및 복수의 링크제어 라인이 복수의 화소에 연결되도록 형성된다. 복수의 화소는 대략 행렬의 형태로 배열된다.
- [0047] 주사 구동부(200)는 복수의 주사 라인에 연결되고, 제2 구동 제어신호(CONT2)에 따라 복수의 주사 신호(S[1]~S[n])를 생성한다. 주사 구동부(200)는 복수의 주사 라인에 게이트 온 전압의 주사 신호(S[1]~S[n])를 순차적으로 인가할 수 있다.
- [0048] 데이터 구동부(300)는 복수의 데이터 라인에 연결되고, 제1 구동 제어신호(CONT1)에 따라 입력된 영상 데이터 신호(ImD)를 샘플링 및 홀딩하고, 복수의 데이터 라인 각각에 복수의 데이터 신호(data[1]~data[m])를 전달한다. 데이터 구동부(300)는 게이트 온 전압의 주사 신호(S[1]~S[n])에 대응하여 복수의 데이터 라인에 소정의 전압 범위를 갖는 데이터 신호를 인가한다.
- [0049] 전원 공급부(400)는 제3 구동 제어신호(CONT3)에 따라 제1 전원전압(ELVDD) 및 제2 전원전압(ELVSS)의 레벨을 결정하여 복수의 화소에 연결된 전원 라인에 공급한다. 제1 전원전압(ELVDD) 및 제2 전원전압(ELVSS)은 화소의 구동 전류를 제공한다.
- [0050] 보상제어 신호부(500)는 제4 구동 제어신호(CONT4)에 따라 보상제어 신호(GC)의 레벨을 결정하여 복수의 화소에 연결된 보상제어 라인에 인가한다.
- [0051] 링크제어 신호부(600)는 제5 구동 제어신호(CONT5)에 따라 링크제어 신호(RC)의 레벨을 결정하여 복수의 화소에 연결된 링크제어 라인에 인가한다.
- [0052] 도 2는 본 발명의 일 실시예에 따른 표시부를 나타내는 블록도이다.
- [0053] 도 2를 참조하면, 복수의 주사 라인(SL1~SLn)이 대략 행 방향으로 연장되고, 복수의 데이터 라인(D1~Dm)이 대략 열 방향으로 연장된다.

- [0054] 복수의 전원 라인은 제1 전원전압(ELVDD)의 전원 라인(PD1~PDm) 및 제2 전원전압(ELVSS)의 전원 라인(PS1~PSm)을 포함한다. 복수의 전원 라인(PD1~PDm, PS1~PSm)은 열 방향으로 연장될 수 있다. 여기서는 복수의 전원 라인(PD1~PDm, PS1~PSm)이 열 방향으로 연장되어 있는 것으로 나타내었으나, 복수의 전원 라인은 행 방향으로 연장되어 있을 수 있다.
- [0055] 복수의 보상제어 라인(GCL1~GCL2)은 대략 행 방향으로 연장된다.
- [0056] 복수의 링크제어 라인(RL1~RLn)은 대략 열 방향으로 연장될 수 있다. 여기서는 복수의 링크제어 라인(RL1~RLn)이 열 방향으로 연장되어 있는 것으로 나타내었으나, 복수의 링크제어 라인은 행 방향으로 연장되어 있을 수 있다.
- [0057] 복수의 화소(PX)는 복수의 주사 라인(SL1~SLn), 복수의 데이터 라인(D1~Dm), 복수의 전원 라인(PD1~PDm, PS1~PSm), 복수의 보상제어 라인(GCL1~GCL2) 및 복수의 링크제어 라인(RL1~RLn)의 교차점에 형성되어 대략 행렬의 형태로 배열될 수 있다.
- [0058] 도 3은 본 발명의 일 실시예에 따른 화소의 일예를 나타내는 회로도이다. 도 1의 표시장치(10)에 포함되는 복수의 화소 중 어느 하나의 화소를 나타낸다.
- [0059] 도 3을 참조하면, 화소(20)는 스위칭 트랜지스터(TR11), 구동 트랜지스터(TR12), 보상 트랜지스터(TR13), 링크 트랜지스터(TR14), 보상 커패시터(C11) 및 유기발광 다이오드(OLED)를 포함한다.
- [0060] 스위칭 트랜지스터(TR11)는 주사 라인(SLi)에 연결되어 있는 게이트 전극, 제1 노드(N11)에 연결되어 있는 일 전극 및 제2 노드(N12)에 연결되어 있는 타 전극을 포함한다. 스위칭 트랜지스터(TR11)는 주사 라인(SLi)에 인가되는 게이트 온 전압의 주사 신호(S[i])에 의해 턴 온되어 제1 노드(N11)와 제2 노드(N12)를 연결시킨다.
- [0061] 구동 트랜지스터(TR12)는 제2 노드(N12)에 연결되어 있는 게이트 전극, 제1 전원전압(ELVDD)에 연결되어 있는 일 전극 및 제3 노드(N13)에 연결되어 있는 타 전극을 포함한다. 제3 노드(N13)에는 유기발광 다이오드(OLED)의 애노드 전극이 연결된다. 구동 트랜지스터(TR12)는 제2 노드(N12)의 전압에 의해 온-오프되어 제1 전원전압(ELVDD)으로부터 유기발광 다이오드(OLED)에 공급되는 구동 전류를 제어한다.
- [0062] 보상 트랜지스터(TR13)는 보상제어 라인(GCLi)에 연결되어 있는 게이트 전극, 제2 노드(N12)에 연결되어 있는 일 전극 및 제3 노드(N13)에 연결되어 있는 타 전극을 포함한다. 보상 트랜지스터(TR13)는 게이트 온 전압의 보상제어 신호(GC)에 의해 턴 온되어 제2 노드(N12)와 제3 노드(N13)를 연결시킨다.
- [0063] 링크 트랜지스터(TR14)는 링크제어 라인(RLi)에 연결되어 있는 게이트 전극, 데이터 라인(Dj)에 연결되어 있는 일 전극 및 제1 전원전압(ELVDD)에 연결되어 있는 타 전극을 포함한다. 링크 트랜지스터(TR14)는 링크제어 라인(RLi)에 인가되는 게이트 온 전압의 링크제어 신호(RC)에 의해 턴 온되어 제1 전원전압(ELVDD)을 데이터 라인(Dj)에 전달한다.
- [0064] 보상 커패시터(C11)는 데이터 라인(Dj)에 연결되어 있는 일 전극 및 제1 노드(N11)에 연결되어 있는 타 전극을 포함한다.
- [0065] 유기발광 다이오드(OLED)는 제3 노드(N13)에 연결되어 있는 애노드 전극 및 제2 전원전압(ELVSS)에 연결되어 있는 캐소드 전극을 포함한다. 유기발광 다이오드(OLED)는 기본색(primary color) 중 하나의 빛을 낼 수 있다. 기본색의 예로는 적색, 녹색, 청색의 삼원색을 들 수 있으며, 이들 삼원색의 공간적 합 또는 시간적 합으로 원하는 색상이 표시될 수 있다.
- [0066] 스위칭 트랜지스터(TR11), 구동 트랜지스터(TR12), 보상 트랜지스터(TR13) 및 링크 트랜지스터(TR14)는 p-채널 전계 효과 트랜지스터일 수 있다. 이때, 스위칭 트랜지스터(TR11), 구동 트랜지스터(TR12), 보상 트랜지스터(TR13) 및 링크 트랜지스터(TR14)를 턴 온시키는 게이트 온 전압은 로우 레벨 전압이고 턴-오프시키는 게이트 오프 전압은 하이 레벨 전압이다.
- [0067] 여기서는 p-채널 전계 효과 트랜지스터를 나타내었으나, 스위칭 트랜지스터(TR11), 구동 트랜지스터(TR12), 보상 트랜지스터(TR13) 및 링크 트랜지스터(TR14) 중 적어도 어느 하나는 n-채널 전계 효과 트랜지스터일 수 있다. 이때 n-채널 전계 효과 트랜지스터를 턴 온시키는 게이트 온 전압은 하이 레벨 전압이고 턴-오프시키는 게이트 오프 전압은 로우 레벨 전압이다.
- [0068] 스위칭 트랜지스터(TR11), 구동 트랜지스터(TR12), 보상 트랜지스터(TR13) 및 링크 트랜지스터(TR14)는 비정질 실리콘 박막 트랜지스터(amorphous-Si TFT), 저온 폴리 실리콘(Low Temperature Poly-Silicon, LTPS) 박막 트

랜지스터, 및 산화물 박막 트랜지스터(Oxide TFT) 중 어느 하나로 마련될 수 있다.

- [0069] 산화물 박막 트랜지스터(Oxide TFT)는 티타늄(Ti), 하프늄(Hf), 지르코늄(Zr), 알루미늄(Al), 탄탈륨(Ta), 게르마늄(Ge), 아연(Zn), 갈륨(Ga), 주석(Sn) 또는 인듐(In)을 기본으로 하는 산화물, 이들의 복합 산화물인 산화아연(ZnO), 인듐-갈륨-아연 산화물(InGaZnO₄), 인듐-아연 산화물(Zn-In-O), 아연-주석 산화물(Zn-Sn-O) 인듐-갈륨 산화물 (In-Ga-O), 인듐-주석 산화물(In-Sn-O), 인듐-지르코늄 산화물(In-Zr-O), 인듐-지르코늄-아연 산화물 (In-Zr-Zn-O), 인듐-지르코늄-주석 산화물(In-Zr-Sn-O), 인듐-지르코늄-갈륨 산화물(In-Zr-Ga-O), 인듐-알루미늄 산화물(In-Al-O), 인듐-아연-알루미늄 산화물(In-Zn-Al-O), 인듐-주석-알루미늄 산화물(In-Sn-Al-O), 인듐-알루미늄-갈륨 산화물(In-Al-Ga-O), 인듐-탄탈륨 산화물(In-Ta-O), 인듐-탄탈륨-아연 산화물(In-Ta-Zn-O), 인듐-탄탈륨-주석 산화물(In-Ta-Sn-O), 인듐-탄탈륨-갈륨 산화물(In-Ta-Ga-O), 인듐-게르마늄 산화물(In-Ge-O), 인듐-게르마늄-아연 산화물(In-Ge-Zn-O), 인듐-게르마늄-주석 산화물(In-Ge-Sn-O), 인듐-게르마늄-갈륨 산화물 (In-Ge-Ga-O), 티타늄-인듐-아연 산화물(Ti-In-Zn-O), 하프늄-인듐-아연 산화물(Hf-In-Zn-O) 중 어느 하나를 활성화 층으로 가질 수 있다.
- [0070] 도 4는 본 발명의 일 실시예에 따른 표시장치의 구동 방법을 나타내는 타이밍도이다.
- [0071] 도 3 및 4를 참조하면, 표시부(700)에 하나의 영상이 표시되는 한 프레임 기간은 화소의 유기발광 다이오드의 구동 전압을 리셋하는 리셋 기간(a), 화소의 구동 트랜지스터의 문턱 전압이 보상되고 복수의 화소 각각에 데이터가 기입되는 주사 기간(b) 및 복수의 화소가 기입된 데이터에 대응하여 발광하는 발광 기간(c)을 포함한다.
- [0072] 이하, 제1 전압(V1)은 로우 레벨 전압을 의미하고, 제3 전압(V3)은 하이 레벨 전압을 의미하고, 제2 전압(V2)은 제1 전압(V1)보다 높고 제3 전압(V3)보다 낮은 중간 레벨 전압을 의미한다. 예를 들어, 제1 전압(V1)은 0V이고, 제2 전압(V2)은 8V이고, 제3 전압(V3)은 12V일 수 있다.
- [0073] 리셋 기간(a)에 포함되는 제1 기간(a1) 동안, 복수의 주사 신호(S[1]~S[n]) 및 링크제어 신호(RC)는 로우 레벨 전압으로 인가되고, 복수의 보상제어 신호(GC[1]~GC[n])는 하이 레벨 전압으로 인가된다. 이때, 제1 전원전압(ELVDD)은 제1 전압(V1)으로 인가되고, 제2 전원전압(ELVSS)은 제3 전압(V3)으로 인가된다. 스위칭 트랜지스터(TR11) 및 링크 트랜지스터(TR14)가 턴 온된다. 스위칭 트랜지스터(TR11)가 턴 온됨에 따라 제1 노드(N11)와 제2 노드(N12)가 연결된다. 링크 트랜지스터(TR14)가 턴 온됨에 따라 데이터 라인(Dj)에 제1 전압의 제1 전원전압(ELVDD)이 전달된다. 데이터 라인(Dj)에는 이전 프레임의 발광 기간(c)에서 링크 트랜지스터(TR14)가 턴 온되어 제3 전압(V3)의 제1 전원전압(ELVDD)이 인가된다. 즉, 데이터 라인(Dj)의 전압은 제3 전압(V3)인 상태이다. 제1 기간(a1)에 데이터 라인(Dj)에 제1 전압(V1)의 제1 전원전압(ELVDD)이 전달되면 데이터 라인(Dj)의 전압은 제3 전압(V3)에서 제1 전압(V1)으로 변동되고, 보상 커패시터(C11)에 의한 커플링으로 제1 노드(N11) 및 제2 노드(N12)의 전압이 로우 레벨 전압으로 떨어진다.
- [0074] 리셋 기간(a)에 포함된 제2 기간(a2) 동안, 복수의 주사 신호(S[1]~S[n]) 및 복수의 보상제어 신호(GC[1]~GC[n])는 로우 레벨 전압으로 인가되고, 링크제어 신호(RC)는 하이 레벨 전압으로 인가된다. 이때, 제1 전원전압(ELVDD) 및 제2 전원전압(ELVSS)은 제1 전압(V1)으로 인가된다. 스위칭 트랜지스터(TR11) 및 보상 트랜지스터(TR13)가 턴 온된다. 스위칭 트랜지스터(TR11)가 턴 온됨에 따라 제1 노드(N11)와 제2 노드(N12)가 연결된다. 보상 트랜지스터(TR13)가 턴 온됨에 따라 제2 노드(N12)와 제3 노드(N13)가 연결된다. 제1 내지 제3 노드(N1, N2, N3)의 전압은 로우 레벨 전압으로 리셋된다.
- [0075] 링크제어 신호(RC)가 로우 레벨 전압으로 인가되는 제1 기간(a1)에는 데이터 신호(data[j])가 인가되지 않는다. 데이터 신호(data[j])는 제1 기간(a1) 이후에 제3 전압(V3)으로 인가된다. 제1 기간(a1) 이후에 데이터 신호(data[j])가 제3 전압(V3)으로 인가되어 보상 커패시터(C11)에 의한 커플링으로 제1 노드(N11) 및 제2 노드(N12)의 전압이 높아지더라도, 제2 전원전압(ELVSS)이 제1 전압(V1)으로 떨어짐에 따라 유기발광 다이오드(OLED)의 기생 커패시터에 의한 커플링으로 제3 노드(N13)의 전압이 로우 레벨 전압으로 떨어지게 되고, 제2 기간(a2)에 제1 내지 제3 노드(N1, N2, N3)가 서로 연결됨에 따라 제1 노드(N11) 및 제2 노드(N12)의 전압이 다시 로우 레벨 전압으로 낮아지게 된다.
- [0076] 리셋 기간(a)에 포함된 제3 기간(a3) 동안, 복수의 주사 신호(S[1]~S[n])는 로우 레벨 전압으로 인가되고, 복수의 보상제어 신호(GC[1]~GC[n]) 및 링크제어 신호(RC)는 하이 레벨 전압으로 인가된다. 이때, 제2 전원전압(ELVDD)은 제1 전압(V1)에서 제3 전압(V3)으로 변동된다. 제2 전원전압(ELVDD)이 제3 전압(V3)으로 변동되면, 유기발광 다이오드(OLED)의 기생 커패시터에 의해 제3 노드(N13)의 전압이 상승하게 된다. 이때, 보상 트랜지스터(TR13)는 턴 오프 상태이고, 제2 노드(N12)의 전압은 로우 레벨 전압을 유지하므로, 구동 트랜지스터(TR12)는

게이트-소스 전압차에 의해 턴 온된다. 턴 온된 구동 트랜지스터(TR12)를 통해 제3 노드(N13)로부터 제1 전원전압(ELVDD)으로 전류가 흐르게 되고, 제3 노드(N13)의 전압이 낮아지게 된다. 이때, 제1 전원전압(ELVDD)은 제2 전압(V2)으로 인가된다. 제1 전원전압(ELVDD)이 제2 전압(V2)으로 인가됨에 따라 제3 노드(N13)의 전압은 제2 전압(V2)보다 구동 트랜지스터(TR12)의 문턱전압(Vth)만큼 높은 전압(V2+Vth)까지 낮아지게 된다.

[0077] 이와 같이, 리셋 기간(a)을 통해 구동 트랜지스터(TR12)의 게이트 전압은 낮은 전압으로 리셋되고, 유기발광 다이오드(OLED)의 애노드 전압은 V2+Vth 전압으로 리셋된다.

[0078] 주사 기간(b) 동안, 복수의 주사 신호(S[1]~S[n])가 순차적으로 로우 레벨 전압으로 인가되어 스위칭 트랜지스터(TR11)를 턴 온시킨다. 그리고 복수의 보상제어 신호(GC[1]~GC[n])가 순차적으로 로우 레벨 전압으로 인가되어 보상 트랜지스터(TR13)를 턴 온시킨다. 이때, 제1 전원 전압(ELVDD)은 제2 전압(V2)으로 인가되고, 제2 전원 전압(ELVSS)은 제3 전압(V3)으로 인가된다. 스위칭 트랜지스터(TR11) 및 보상 트랜지스터(TR13)가 턴 온되어 있는 동안 데이터 라인(Dj)에 데이터 신호(data[j])가 인가된다. 스위칭 트랜지스터(TR11)가 턴 온됨에 따라 제1 노드(N11)와 제2 노드(N12)가 연결된다. 보상 트랜지스터(TR13)가 턴 온됨에 따라 제1 노드(N11)에 V2+Vth 전압이 전달된다. 보상 커패시터(C11)의 일 전극에는 데이터 신호(data[j])가 인가되고 타 전극에는 V2+Vth 전압이 인가되므로, 보상 커패시터(C11)에는 V2+Vth-data 전압이 저장된다. data는 데이터 신호(data[j])의 데이터 전압이다. 보상 커패시터(C11)에 V2+Vth-data 전압이 저장된 후 스위칭 트랜지스터(TR11)가 턴 오프되면 제1 노드(N11)는 플로팅 상태가 되고, 이후 데이터 라인(Dj)의 전압이 변동되더라도 제1 커패시터(C11)에 저장된 V2+Vth-data 전압은 유지된다.

[0079] 이와 같이, 주사 기간(c) 동안 데이터 전압(data) 및 구동 트랜지스터(TR12)의 문턱전압(Vth)이 반영된 전압(V2+Vth-data)이 보상 커패시터(C11)에 저장된다.

[0080] 발광 기간(c) 동안, 복수의 주사 신호(S[1]~S[n])가 동시에 로우 레벨 전압으로 인가되고, 링크제어 신호(RC)가 로우 레벨 전압으로 인가된다. 이때, 복수의 보상제어 신호(GC[1]~GC[n])는 하이 레벨 전압으로 인가된다. 그리고 데이터 신호(data[j])는 인가되지 않는다. 링크제어 신호(RC)가 로우 레벨 전압으로 인가되어 링크 트랜지스터(TR14)가 턴 온될 때, 제1 전원전압(ELVDD)은 제2 전압(V2)인 상태이다. 턴 온된 링크 트랜지스터(TR14)를 통해 제2 전압(V2)이 데이터 라인(Dj)에 전달된다. 데이터 라인(Dj)의 전압이 제2 전압(V2)이 되면, 보상 커패시터(C11)의 커플링에 의해 제1 노드(N11)의 전압은 (V2+Vth-data)+V2 전압이 된다. 스위칭 트랜지스터(TR11)가 턴 온된 상태이므로, 제2 노드(N12)의 전압도 (V2+Vth-data)+V2 전압이 된다. 이때, 구동 트랜지스터(TR12)의 Vgs 전압은 $V_{gs} = (V2+Vth-data)+V2-V2 = V2+Vth-data$ 가 된다. Vgs 전압은 구동 트랜지스터(TR12)의 게이트-소스 전압차이다. 이후, 제1 전원전압(ELVDD)은 제3 전압(V3)으로 상승하고, 제2 전원전압(ELVSS)은 제1 전압으로 하강함에 따라 구동 트랜지스터(TR12)를 통해 유기발광 다이오드(OLED)로 전류가 흐른다. 제1 전원전압(ELVDD)은 제3 전압(V3)으로 상승하더라도 구동 트랜지스터(TR12)의 게이트와 소스가 스위칭 트랜지스터(TR11), 보상 커패시터(C11) 및 링크 트랜지스터(TR14)에 의해 연결되어 있으므로, 구동 트랜지스터(TR12)의 Vgs 전압은 그대로 유지된다. 구동 트랜지스터(TR12)를 통해 유기발광 다이오드(OLED)에 흐르는 전류는 $I = k(V_{gs}-V_{th})^2 = k(V2+Vth-data-Vth)^2 = k(V2-data)^2$ 가 된다. 여기서, k는 구동 트랜지스터(TR12)의 특성에 따라 결정되는 파라미터이다. 즉, 유기발광 다이오드(OLED)는 구동 트랜지스터(TR12)의 문턱전압(Vth)와 상관없이 데이터 전압(data)에 대응하는 밝기로 발광한다.

[0081] 상술한 바와 같이, 복수의 화소가 발광하는 발광 기간(c) 동안 링크 트랜지스터(TR14)가 턴 온되어 있으므로 데이터 라인(Dj)이 제1 전원전압(ELVDD)에 전기적으로 연결된다. 이에 따라, 제1 전원전압(ELVDD)으로부터 흐르는 전류가 표시부(700)의 상당한 면적을 차지하는 데이터 라인(Dj)을 통하여 흐르게 되므로, 배선에 의한 전원전압의 전압 강하가 상당량 줄어들게 된다. 따라서, 전원전압의 전압 강하에 의해 표시부(700)에 제1 전원전압(ELVDD)의 분포가 불균일하여 화면의 광특성 균일도가 저하되는 것이 개선될 수 있다.

[0082] 또한, 구동 트랜지스터(TR12)의 게이트 전압이 각 화소의 제1 전원전압(ELVDD)에 연동되므로, 제1 전원전압(ELVDD)의 전압 강하에 의해 구동 트랜지스터(TR12)의 게이트-소스 전압(Vgs)이 변하는 것을 방지할 수 있다.

[0083] 뿐만 아니라, 제안하는 화소는 화소에서 큰 면적을 차지하여 개구율에 영향을 미치는 커패시터를 하나만을 이용하므로, 표시장치(10)의 개구율을 확보할 수 있다.

[0084] 도 5는 본 발명의 다른 실시예에 따른 표시장치의 구동 방법을 나타내는 타이밍도이다.

[0085] 도 3 및 5를 참조하면, 리셋 기간(a)에 포함되는 제1 기간(a1') 동안, 복수의 주사 신호(S[1]~S[n])가 로우 레

벨 전압으로 인가되고, 링크제어 신호(RC) 및 복수의 보상제어 신호(GC[1]~GC[n])는 하이 레벨 전압으로 인가된다. 이때, 제1 전원전압(ELVDD) 및 제2 전원전압(ELVSS)은 제3 전압(V3)으로 인가되고, 데이터 신호(data[j])가 제1 전압(V1)으로 인가된다. 스위칭 트랜지스터(TR11)가 턴 온됨에 따라 제1 노드(N11)와 제2 노드(N12)가 연결된다. 데이터 라인(Dj)의 전압은 이전 프레임의 발광 기간(c)에서 제3 전압(V3)의 제1 전원전압(ELVDD)이 인가되어 제3 전압(V3)인 상태이다. 데이터 전압(data[j])이 제1 전압(V1)으로 인가되면, 데이터 라인(Dj)의 전압은 제3 전압(V3)에서 제1 전압(V1)으로 변동되고, 보상 커패시터(C11)에 의한 커플링으로 제1 노드(N11) 및 제2 노드(N12)의 전압이 로우 레벨 전압으로 떨어진다.

[0086] 제1 기간(a1') 이후에 링크제어 신호(RC)는 하이 레벨 전압으로 인가되고, 데이터 신호(data[j])가 제3 전압(V3)으로 인가된다. 제1 기간(a1') 이후에 데이터 신호(data[j])가 제3 전압(V3)으로 인가되면 보상 커패시터(C11)에 의한 커플링으로 제1 노드(N11) 및 제2 노드(N12)의 전압이 높아진다. 이때, 제2 전원전압(ELVSS)이 제1 전압(V1)으로 떨어짐에 따라 유기발광 다이오드(OLED)의 기생 커패시터에 의한 커플링으로 제3 노드(N13)의 전압이 로우 레벨 전압으로 떨어지게 된다.

[0087] 리셋 기간(a)에 포함된 제2 기간(a2') 동안, 복수의 주사 신호(S[1]~S[n]) 및 복수의 보상제어 신호(GC[1]~GC[n])는 로우 레벨 전압으로 인가되고, 링크제어 신호(RC)는 하이 레벨 전압으로 인가된다. 이때, 제1 전원전압(ELVDD) 및 제2 전원전압(ELVSS)은 제1 전압(V1)으로 인가된다. 스위칭 트랜지스터(TR11) 및 보상 트랜지스터(TR13)가 턴 온됨에 따라 제1 노드(N11), 제2 노드(N12) 및 제3 노드(N13)가 연결된다. 제1 기간(a1') 이후에 제1 노드(N11) 및 제2 노드(N12)가 높아지더라도, 제3 노드(N13)가 로우 레벨 전압으로 떨어진 상태이므로, 제2 기간(a2)에 제1 내지 제3 노드(N1, N2, N3)가 서로 연결됨에 따라 제1 노드(N11) 및 제2 노드(N12)의 전압이 다시 로우 레벨 전압으로 낮아지게 된다.

[0088] 리셋 기간(a)에 포함된 제3 기간(a3'), 주사 기간(b) 및 발광 기간(c)의 동작은 도 4에서 설명한 바와 동일하므로, 상세한 설명은 생략한다.

[0089] 도 6은 본 발명의 다른 실시예에 따른 화소를 나타내는 회로도이다.

[0090] 도 6을 참조하면, 도 6의 화소(30)는 개구율 확보를 위해 도 3의 화소(20)와 함께 배치되는 화소이다.

[0091] 화소(30)는 스위칭 트랜지스터(TR21), 구동 트랜지스터(TR22), 보상 트랜지스터(TR23), 보상 커패시터(C21) 및 유기발광 다이오드(OLED)를 포함한다.

[0092] 도 3의 화소(20)와 비교하여, 도 6의 화소(30)는 링크 트랜지스터(TR14)를 포함하지 않는다. 즉, 도 3의 화소(20)는 4개의 트랜지스터(TR11, TR12, TR13, TR14)와 1개의 커패시터(C11)를 포함하는 반면, 도 6의 화소(30)는 3개의 트랜지스터(TR21, TR22, TR23)와 1개의 커패시터(C21)를 포함한다. 도 6의 화소(30)가 도 3의 화소(20)보다 트랜지스터를 1개 적게 포함하므로 개구율 확보 면에서 더 유리하다.

[0093] 도 3의 화소(20)는 제1 전원전압(ELVDD)의 전원 라인(PD1~PDm)과 데이터 라인(D1~Dm)을 전기적으로 연결시켜 제1 전원전압(ELVDD)의 전압 강하를 줄이는 기능을 하게 된다. 전압 강하에 의한 제1 전원전압(ELVDD)의 전압 차이는 화소마다 급격하게 발생하지 않고 전체 표시부(700)에 걸쳐서 연속적으로 발생하므로, 링크 트랜지스터(TR14)가 모든 화소에 포함되지 않고 일부의 화소에 포함되더라도 제1 전원전압(ELVDD)의 전압 강하를 줄이는 기능을 충분히 수행할 수 있다.

[0094] 따라서, 표시부(700)에 도 3의 화소(20)와 도 6의 화소(30)를 섞어서 배치함으로써, 제1 전원전압(ELVDD)의 전압 강하를 줄이는 기능과 함께 전체적인 트랜지스터의 수를 줄여서 개구율을 확보할 수 있다.

[0095] 이하, 도 7 내지 12에서 도 3의 화소(20)와 도 6의 화소(30)를 표시부(700)에 배치하는 실시예들에 대하여 설명한다. 설명의 편의를 위해, 도 3의 화소(20)를 제1 화소(PA)라 하고, 도 6의 화소(30)를 제2 화소(PB)라 한다.

[0096] 도 7은 본 발명의 일 실시예에 따른 표시부의 화소 배치를 나타내는 블록도이다. 도 8은 본 발명의 다른 실시예에 따른 표시부의 화소 배치를 나타내는 블록도이다. 도 9는 본 발명의 또 다른 실시예에 따른 표시부의 화소 배치를 나타내는 블록도이다. 도 10은 본 발명의 또 다른 실시예에 따른 표시부의 화소 배치를 나타내는 블록도이다. 도 11은 본 발명의 또 다른 실시예에 따른 표시부의 화소 배치를 나타내는 블록도이다. 도 12는 본 발명의 또 다른 실시예에 따른 표시부의 화소 배치를 나타내는 블록도이다.

[0097] 도 7을 참조하면, 표시부(700-1)에 포함되는 모든 화소가 제1 화소(PA)로 구성되는 경우이다. 화소 당 4개의 트랜지스터와 1개의 커패시터가 포함된다.

- [0098] 도 8을 참조하면, 표시부(700-2)에 제1 화소(PA) 및 제2 화소(PB)가 1 행씩 교대로 배치되는 경우이다. 물론, 표시부(700-2)에 제1 화소(PA) 및 제2 화소(PB)가 1 열씩 교대로 배치될 수도 있다. 표시부(700-2) 전체를 고려할 때, 화소 당 평균 3.5개의 트랜지스터와 1개의 커패시터가 포함되었다고 할 수 있다.
- [0099] 도 9를 참조하면, 표시부(700-3)에 제1 화소(PA) 1행과 제2 화소(PB) 2행이 교대로 배치되는 경우이다. 물론, 표시부(700-3)에 제1 화소(PA) 1열과 제2 화소(PB) 2열이 교대로 배치될 수도 있다. 표시부(700-3) 전체를 고려할 때, 화소 당 평균 3.33개의 트랜지스터와 1개의 커패시터가 포함되었다고 할 수 있다.
- [0100] 도 10을 참조하면, 표시부(700-4)에 제1 화소(PA) 1행과 제2 화소(PB) 3행이 교대로 배치되는 경우이다. 물론, 표시부(700-4)에 제1 화소(PA) 1열과 제2 화소(PB) 3열이 교대로 배치될 수도 있다. 표시부(700-4) 전체를 고려할 때, 화소 당 평균 3.25개의 트랜지스터와 1개의 커패시터가 포함되었다고 할 수 있다.
- [0101] 도 11을 참조하면, 표시부(700-5)에 행 방향 또는 열 방향으로 제1 화소(PA)와 제2 화소(PB)가 교대로 배치되는 경우이다. 표시부(700-5) 전체를 고려할 때, 화소 당 평균 3.5개의 트랜지스터와 1개의 커패시터가 포함되었다고 할 수 있다.
- [0102] 도 12를 참조하면, 표시부(700-6)에 행 방향으로 1개의 제1 화소(PA)와 2개의 제2 화소(PB)가 교대로 배치되는 경우이다. 물론, 표시부(700-6)에 열 방향으로 1개의 제1 화소(PA)와 2개의 제2 화소(PB)가 교대로 배치될 수도 있다. 표시부(700-6) 전체를 고려할 때, 화소 당 평균 3.33개의 트랜지스터와 1개의 커패시터가 포함되었다고 할 수 있다.
- [0103] 표시부 전체를 고려하여 화소 당 평균 트랜지스터의 수가 적을수록 개구율을 더욱 확보할 수 있다. 그리고 표시부에서 제1 화소(PA)의 수가 많을수록 제1 전원전압(ELVDD)의 전압 강하를 줄이는 기능이 더욱 효과적이다.
- [0104] 제1 전원전압(ELVDD)의 전압 강하를 줄이는 기능과 개구율을 고려하여, 제1 화소(PA)와 제2 화소(PB)의 비율 및 배열 방식은 다양하게 결정될 수 있다. 또한, 제1 화소(PA)와 제2 화소(PB)의 비율 및 배열 방식은 표시부의 면적이나 생산 공정 등에 따라 다양하게 결정될 수 있을 것이다.
- [0105] 도 13은 본 발명의 또 다른 실시예에 따른 화소를 나타내는 회로도이다.
- [0106] 도 13을 참조하면, 화소(40)는 스위칭 트랜지스터(TR31), 구동 트랜지스터(TR32), 보상 트랜지스터(TR33), 링크 트랜지스터(TR34), 보상 커패시터(C31) 및 유기발광 다이오드(OLED)를 포함한다.
- [0107] 스위칭 트랜지스터(TR31)는 주사 라인(SLi)에 연결되어 있는 게이트 전극, 제1 노드(N31)에 연결되어 있는 일 전극 및 제2 노드(N32)에 연결되어 있는 타 전극을 포함한다.
- [0108] 구동 트랜지스터(TR32)는 제2 노드(N32)에 연결되어 있는 게이트 전극, 제1 전원전압(ELVDD)에 연결되어 있는 일 전극 및 제3 노드(N33)에 연결되어 있는 타 전극을 포함한다.
- [0109] 보상 트랜지스터(TR33)는 보상제어 라인(GCLi)에 연결되어 있는 게이트 전극, 제1 노드(N31)에 연결되어 있는 일 전극 및 제3 노드(N33)에 연결되어 있는 타 전극을 포함한다. 보상 트랜지스터(TR33)는 게이트 온 전압의 보상제어 신호(GC)에 의해 턴 온되어 제1 노드(N31)와 제3 노드(N33)를 연결시킨다.
- [0110] 링크 트랜지스터(TR34)는 링크제어 라인(RLi)에 연결되어 있는 게이트 전극, 데이터 라인(Dj)에 연결되어 있는 일 전극 및 제1 전원전압(ELVDD)에 연결되어 있는 타 전극을 포함한다.
- [0111] 보상 커패시터(C31)는 데이터 라인(Dj)에 연결되어 있는 일 전극 및 제1 노드(N31)에 연결되어 있는 타 전극을 포함한다.
- [0112] 유기발광 다이오드(OLED)는 제3 노드(N33)에 연결되어 있는 애노드 전극 및 제2 전원전압(ELVSS)에 연결되어 있는 캐소드 전극을 포함한다. 유기발광 다이오드(OLED)는 기본색(primary color) 중 하나의 빛을 낼 수 있다. 기본색의 예로는 적색, 녹색, 청색의 삼원색을 들 수 있으며, 이들 삼원색의 공간적 합 또는 시간적 합으로 원하는 색상이 표시될 수 있다.
- [0113] 도 3의 화소(20)와 비교하여, 도 13의 화소(40)는 보상 트랜지스터(TR33)가 제1 노드(N31)와 제3 노드(N33)를 연결시키는 것이 차이점이다. 보상 트랜지스터(TR33)가 제1 노드(N31)와 제3 노드(N33)를 연결시키도록 구성되더라도, 도 13의 화소(40)를 포함하는 표시장치는 도 4 또는 도 5의 구동 타이밍도에 따라 동일하게 동작한다.
- [0114] 도 14는 본 발명의 또 다른 실시예에 따른 화소를 나타내는 회로도이다.

- [0115] 도 14를 참조하면, 화소(50)는 스위칭 트랜지스터(TR41), 구동 트랜지스터(TR42), 보상 트랜지스터(TR43), 보상 커패시터(C41) 및 유기발광 다이오드(OLED)를 포함한다.
- [0116] 도 13의 화소(40)와 비교하여, 도 14의 화소(50)는 링크 트랜지스터(TR34)를 포함하지 않는다. 즉, 도 13의 화소(40)는 4개의 트랜지스터(TR31, TR32, TR33, TR34)와 1개의 커패시터(C31)를 포함하는 반면, 도 14의 화소(50)는 3개의 트랜지스터(TR41, TR42, TR43)와 1개의 커패시터(C41)를 포함한다.
- [0117] 도 6의 화소(30)와 비교하여, 도 14의 화소(50)는 보상 트랜지스터(TR43)가 제1 노드(N41)와 제3 노드(N43)를 연결시키는 것이 차이점이다.
- [0118] 도 7 내지 12에서 상술한 바와 같이, 도 13의 화소(40)는 제1 화소(PA)로써 표시부에 배치되고, 도 14의 화소(50)는 제2 화소(PB)로써 표시부에 배치될 수 있다. 또한, 도 3의 화소(20)가 제1 화소(PA)로써 표시부에 배치되고, 도 14의 화소(50)가 제2 화소(PB)로써 표시부에 배치될 수도 있다. 그리고 도 13의 화소(40)가 제1 화소(PA)로써 표시부에 배치되고, 도 6의 화소(30)가 제2 화소(PB)로써 표시부에 배치될 수도 있다. 물론, 도 3의 화소(20), 도 6의 화소(30), 도 13의 화소(40) 및 도 14의 화소(50)가 섞여서 표시부에 배치될 수도 있을 것이다.
- [0119] 지금까지 참조한 도면과 기재된 발명의 상세한 설명은 단지 본 발명의 예시적인 것으로서, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미 한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시 예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

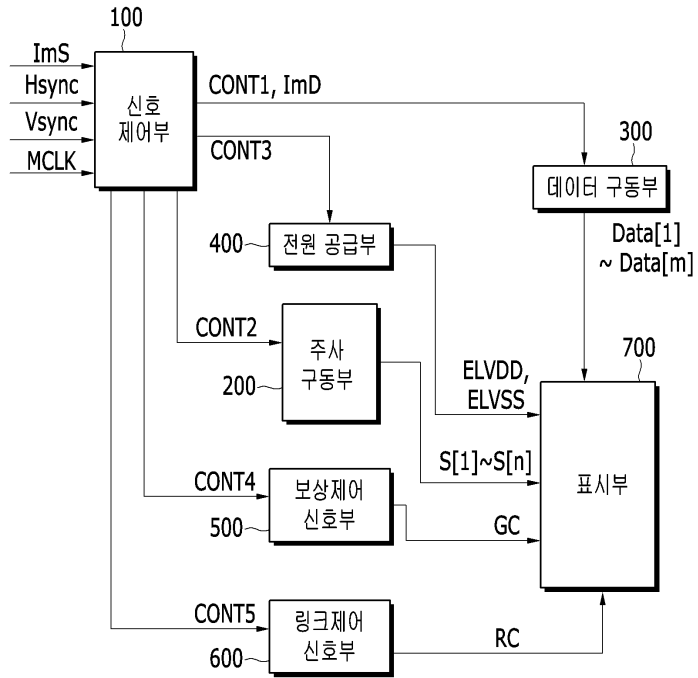
부호의 설명

- [0120] 100 : 신호 제어부
200 : 주사 구동부
300 : 데이터 구동부
400 : 전원 공급부
500 : 보상제어 신호부
600 : 링크제어 신호부
700 : 표시부

도면

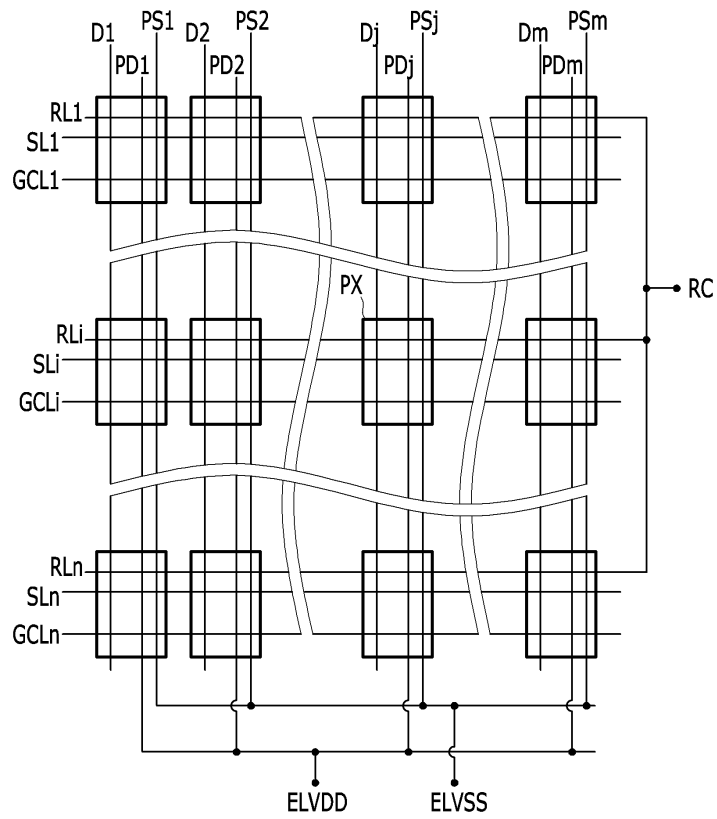
도면1

10

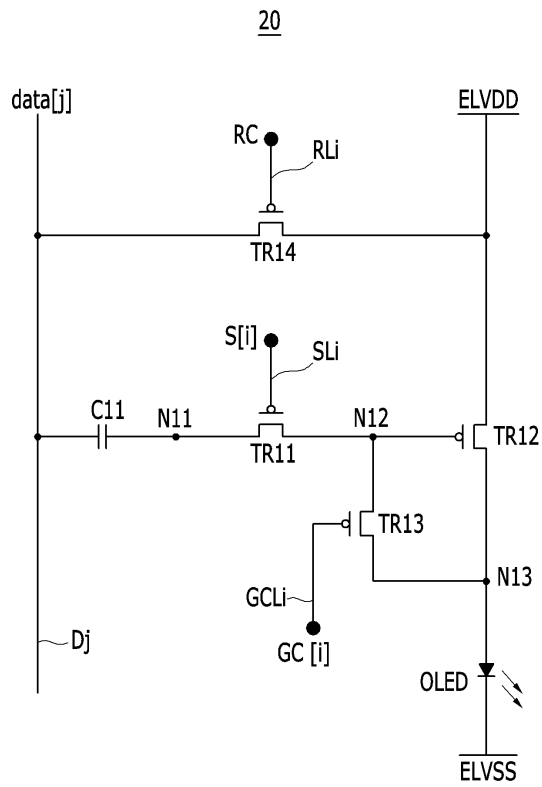


도면2

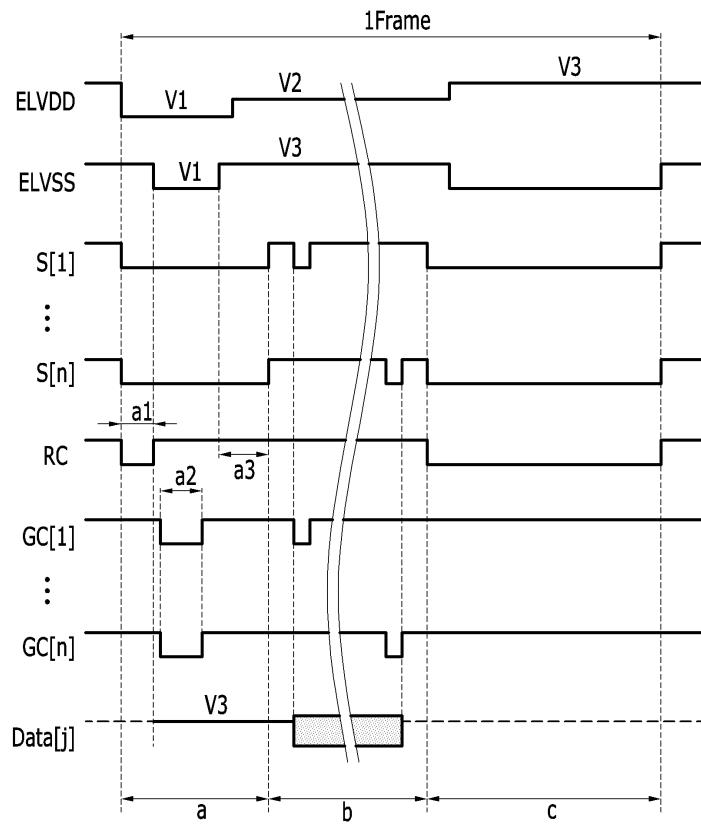
700



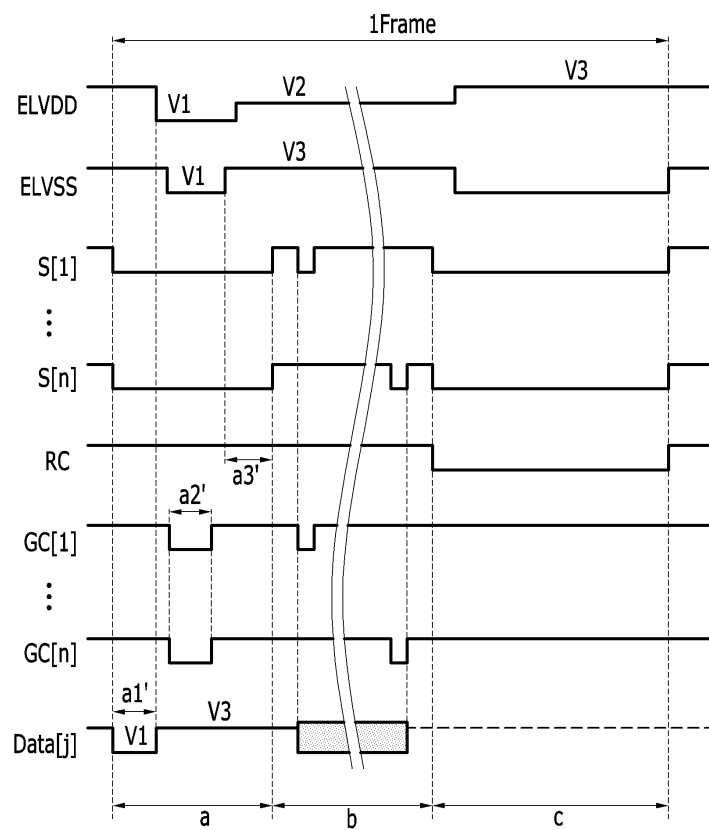
도면3



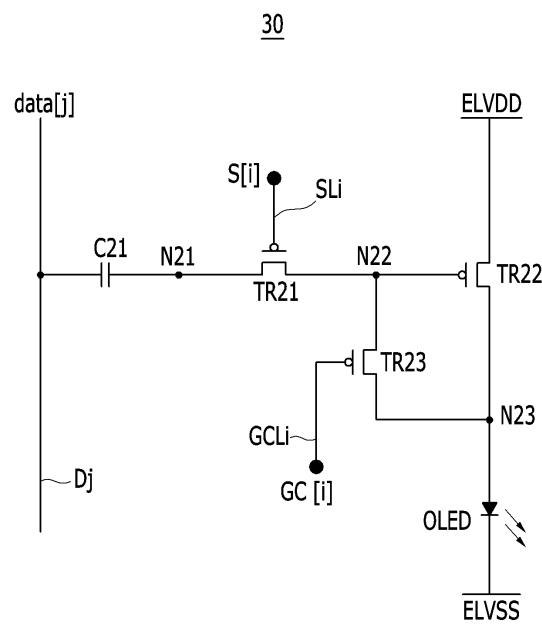
도면4



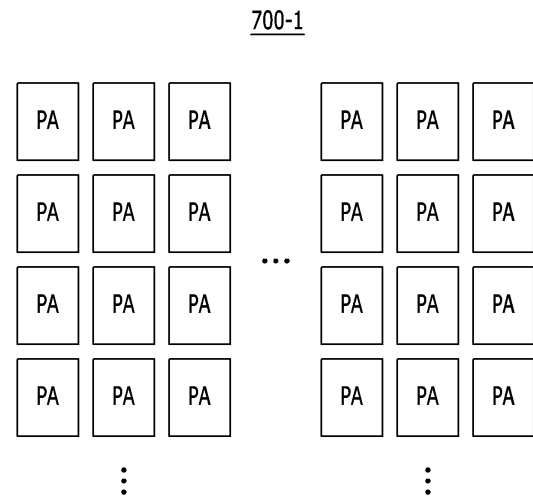
도면5



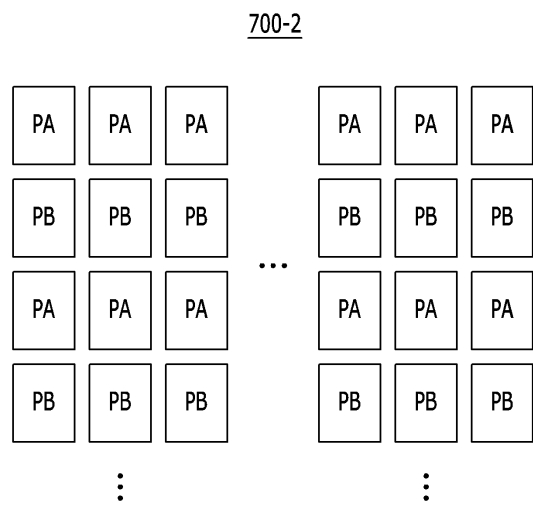
도면6



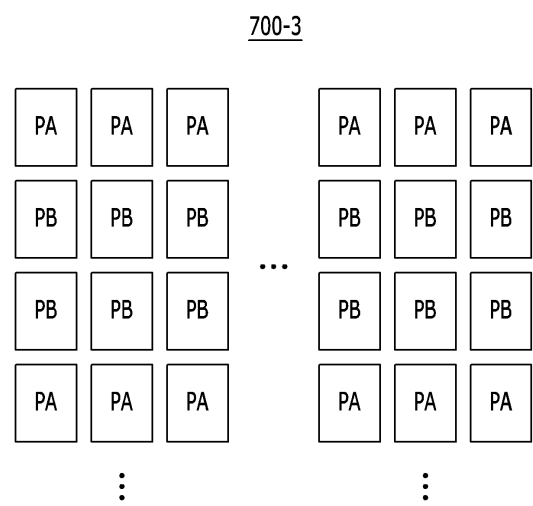
도면7



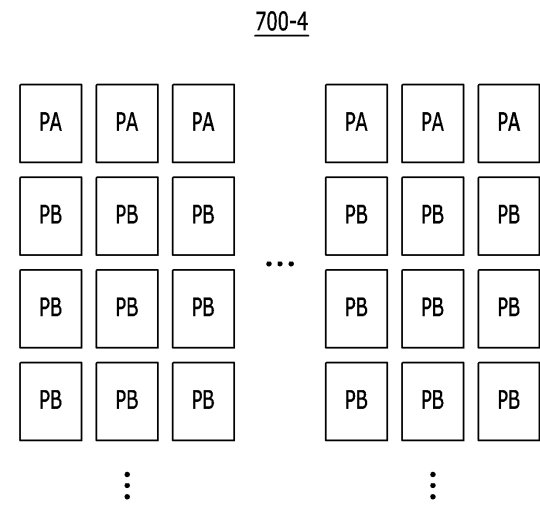
도면8



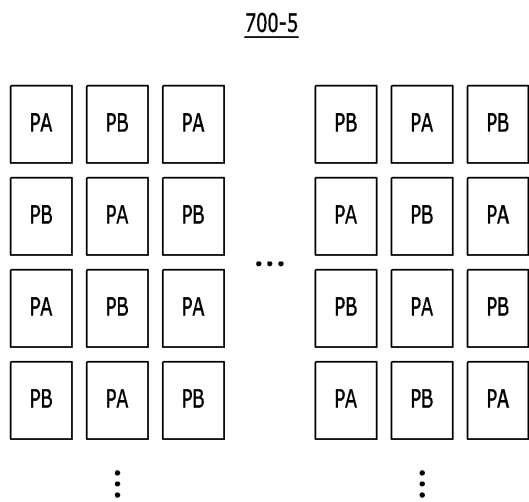
도면9



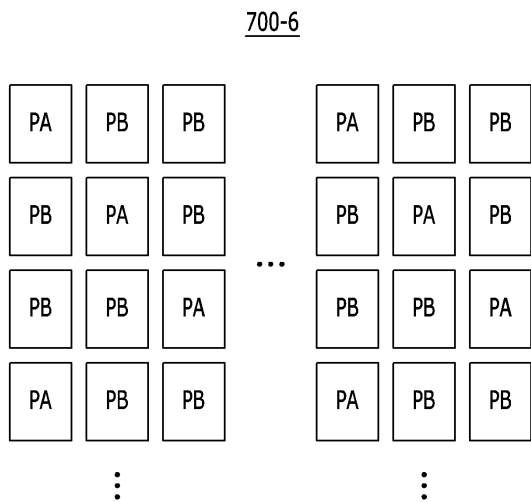
도면10



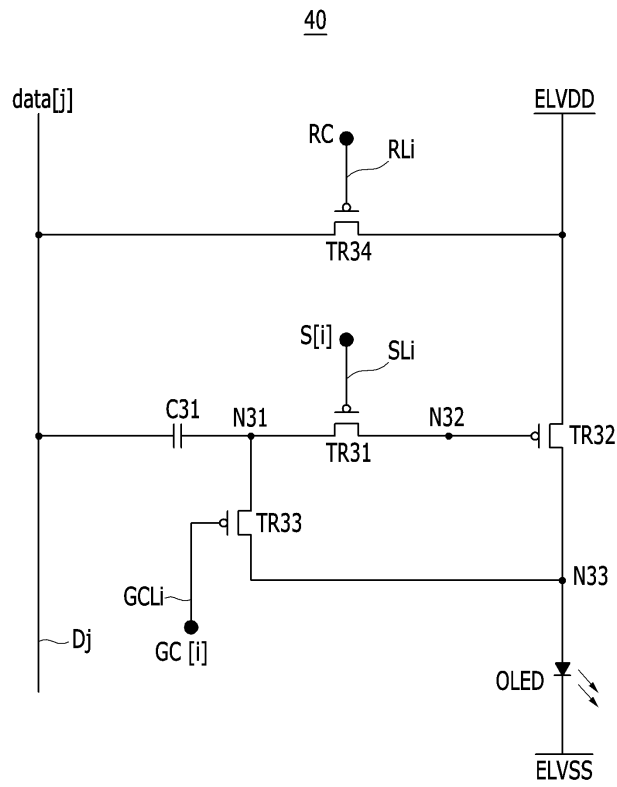
도면11



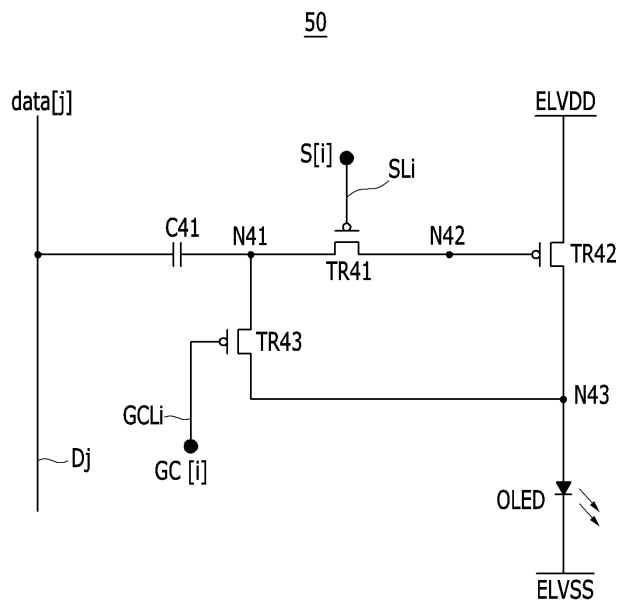
도면12



도면13



도면14



专利名称(译)	像素，包括该像素的显示装置及其驱动方法		
公开(公告)号	KR102023183B1	公开(公告)日	2019-09-20
申请号	KR1020120131874	申请日	2012-11-20
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	한상면		
发明人	한상면		
IPC分类号	G09G3/30		
审查员(译)	贞茵		
其他公开文献	KR1020140064483A		
外部链接	Espacenet		

摘要(译)

公开了一种包括具有多个像素的显示单元的显示装置。在一个方面，像素中的至少一个第一像素包括：第一补偿电容器，其包括一个连接到数据线的电极和另一个连接到第一节点的电极；以及第一开关晶体管，其包括被配置为具有扫描信号的栅电极，一个电极连接至第一节点，以及另一电极连接至第二节点；第一驱动晶体管，其包括连接至第二节点的栅电极，连接至第一电源电压的一个电极，以及连接至第一有机发光二极管（OLED）的另一个电极；第一连接晶体管，其包括配置为具有连接控制信号的栅极，一个连接至数据线的电极，以及另一个连接至第一电源电压的电极。具有四个晶体管的类型的像素可以根据期望的宽高比与具有三个晶体管的类型的像素（无链接晶体管）交替。

