



공개특허 10-2020-0075488



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0075488  
(43) 공개일자 2020년06월26일

(51) 국제특허분류(Int. Cl.)  
*G09G 3/3233* (2016.01) *H01L 27/32* (2006.01)  
(52) CPC특허분류  
*G09G 3/3233* (2013.01)  
*H01L 27/3265* (2013.01)  
(21) 출원번호 10-2018-0164231  
(22) 출원일자 2018년12월18일  
심사청구일자 없음

(71) 출원인  
엘지디스플레이 주식회사  
서울특별시 영등포구 여의대로 128(여의도동)  
(72) 발명자  
심재호  
경기도 파주시 월롱면 엘지로 245  
(74) 대리인  
특허법인다나

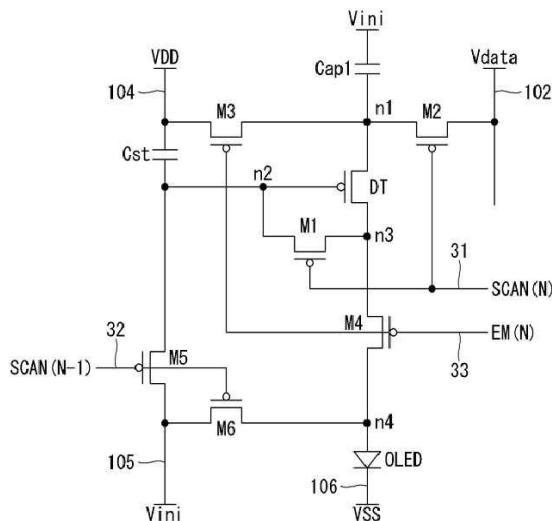
전체 청구항 수 : 총 14 항

(54) 발명의 명칭 **픽셀 회로와 이를 이용한 전계 발광 표시장치**

### (57) 요 약

본 발명은 픽셀 회로와 이를 이용한 전계 발광 표시장치에 관한 것으로, 이 픽셀 회로는 제1 전원 라인과 제2 전원 라인 중 적어도 어느 하나와, 상기 제1 노드 사이에 연결된 커패시터를 포함한다.

**대 표 도** - 도8



(52) CPC특허분류

*G09G 2300/0439 (2013.01)*

*G09G 2320/0214 (2013.01)*

*G09G 2320/041 (2013.01)*

*G09G 2320/043 (2013.01)*

---

## 명세서

### 청구범위

#### 청구항 1

픽셀 구동 전압이 인가되는 제1 전원 라인;

초기화 전압이 인가되는 제2 전원 라인;

제1 노드에 연결된 제1 전극, 제2 노드에 연결된 게이트, 및 제3 노드에 연결된 제2 전극을 포함하여 발광 소자에 전류를 공급하는 구동 소자;

제N(N은 2 이상의 양의 정수) 스캔 신호에 응답하여 상기 제2 노드와 상기 제3 노드 사이의 전류 패스를 스위칭하는 제1 스위치 소자;

상기 제N 스캔 신호에 응답하여 데이터 전압이 인가되는 데이터 라인과 상기 제1 노드 사이의 전류 패스를 스위칭하는 제2 스위치 소자;

발광 제어 신호에 응답하여 픽셀 구동 전압이 인가되는 제1 전원 라인과 상기 제1 노드 사이의 전류 패스를 스위칭하는 제3 스위치 소자; 및

상기 제1 전원 라인과 상기 제2 전원 라인 중 적어도 어느 하나와, 상기 제1 노드 사이에 연결된 커패시터를 포함하는 픽셀 회로.

#### 청구항 2

제 1 항에 있어서,

상기 발광 제어 신호에 응답하여 상기 발광 소자의 애노드에 연결된 제4 노드와, 상기 제3 노드 사이의 전류 패스를 스위칭하는 제4 스위치 소자;

제N-1 스캔 신호에 응답하여 상기 제2 전원 라인과 상기 제1 노드 사이의 전류 패스를 스위칭하는 제5 스위치 소자;

상기 제N-1 스캔 신호에 응답하여 상기 제2 전원 라인과 상기 제4 노드 사이의 전류 패스를 스위칭하는 제6 스위치 소자; 및

상기 제1 전원 라인과 상기 제2 노드 사이에 형성된 제2 커패시터를 더 포함하는 픽셀 회로.

#### 청구항 3

제 2 항에 있어서,

상기 픽셀 회로의 구동 기간은,

상기 제N-1 스캔 신호의 게이트 온 전압에 따라 상기 제5 및 제6 스위치 소자들이 턴-온되는 초기화 기간, 상기 제N 스캔 신호의 게이트 온 전압에 따라 상기 제1 및 제2 스위치 소자들이 턴-온되는 샘플링 기간, 상기 제1 내지 제4 스위치 소자들이 오프 상태를 유지하는 테이터 기입 기간, 및 상기 발광 제어 신호의 전압이 소정의 드티비로 스윙하여 상기 제3 및 제4 스위치 소자들이 온/오프를 반복하는 발광 기간을 포함하는 픽셀 회로.

#### 청구항 4

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 커패시터의 용량(Cap)이  $5 \text{ fF} \leq \text{Cap} \leq 10\text{fF}$  인 픽셀 회로.

#### 청구항 5

픽셀 구동 전압이 인가되는 제1 전원 라인;

초기화 전압이 인가되는 제2 전원 라인;

제1 노드에 연결된 제1 전극, 제2 노드에 연결된 게이트, 및 제3 노드에 연결된 제2 전극을 포함하여 발광 소자에 전류를 공급하는 구동 소자; 및

다수의 스위치 소자들을 이용하여 상기 구동 소자의 문턱 전압을 샘플링하여 상기 구동 소자의 문턱 전압만큼 상기 구동 소자의 게이트 전압을 보상하는 내부 보상 회로를 포함하고,

상기 제1 전원 라인과 상기 제2 전원 라인 중 적어도 어느 하나와, 상기 제1 노드 사이에 연결된 커패시터를 포함하는 픽셀 회로.

#### 청구항 6

제 5 항에 있어서,

상기 내부 보상 회로는,

제N(N은 2 이상의 양의 정수) 스캔 신호에 응답하여 상기 제2 노드와 상기 제3 노드 사이의 전류 패스를 스위칭하는 제1 스위치 소자;

상기 제N 스캔 신호에 응답하여 데이터 전압이 인가되는 데이터 라인과 상기 제1 노드 사이의 전류 패스를 스위칭하는 제2 스위치 소자;

발광 제어 신호에 응답하여 픽셀 구동 전압이 인가되는 제1 전원 라인과 상기 제1 노드 사이의 전류 패스를 스위칭하는 제3 스위치 소자;

상기 발광 제어 신호에 응답하여 상기 발광 소자의 애노드에 연결된 제4 노드와, 상기 제3 노드 사이의 전류 패스를 스위칭하는 제4 스위치 소자;

제N-1 스캔 신호에 응답하여 상기 제2 전원 라인과 상기 제1 노드 사이의 전류 패스를 스위칭하는 제5 스위치 소자;

상기 제N-1 스캔 신호에 응답하여 상기 제2 전원 라인과 상기 제4 노드 사이의 전류 패스를 스위칭하는 제6 스위치 소자; 및

상기 제1 전원 라인과 상기 제2 노드 사이에 형성된 제2 커패시터를 더 포함하는 픽셀 회로.

#### 청구항 7

제 6 항에 있어서,

상기 내부 보상 회로의 동작은,

상기 제N-1 스캔 신호의 게이트 온 전압에 따라 상기 제5 및 제6 스위치 소자들이 턴-온되는 초기화 기간,

상기 제N 스캔 신호의 게이트 온 전압에 따라 상기 제1 및 제2 스위치 소자들이 턴-온되는 샘플링 기간,

상기 제1 내지 제6 스위치 소자들이 오프 상태를 유지하는 데이터 기입 기간, 및

상기 발광 제어 신호의 전압이 소정의 드레시비로 상기 게이트 온 전압과 게이트 오프 전압 사이에서 스윙하여 상기 제3 및 제4 스위치 소자들이 온/오프를 반복하는 발광 기간으로 나뉘어지는 픽셀 회로.

#### 청구항 8

제 5 항 내지 제 7 항 중 어느 한 항에 있어서,

상기 커패시터의 용량(Cap)이  $5 \text{ fF} \leq \text{Cap} \leq 10 \text{ fF}$  인 픽셀 회로.

#### 청구항 9

데이터 전압이 공급되는 데이터 라인, 픽셀 구동 전압이 인가되는 제1 전원 라인, 초기화 전압이 인가되는 제2 전원 라인, 제N(N은 2 이상의 양의 정수) 스캔 신호가 인가되는 제1 게이트 라인, 제N-1 스캔 신호가 인가되는 제2 게이트 라인, 발광 제어 신호가 인가되는 제3 게이트 라인에 연결된 픽셀 회로를 포함하고,

상기 핵셀 회로는,

제1 노드에 연결된 제1 전극, 제2 노드에 연결된 게이트, 및 제3 노드에 연결된 제2 전극을 포함하여 발광 소자에 전류를 공급하는 구동 소자;

제N(N은 2 이상의 양의 정수) 스캔 신호에 응답하여 상기 제2 노드와 상기 제3 노드 사이의 전류 패스를 스위칭하는 제1 스위치 소자;

상기 제N 스캔 신호에 응답하여 데이터 전압이 인가되는 데이터 라인과 상기 제1 노드 사이의 전류 패스를 스위칭하는 제2 스위치 소자;

발광 제어 신호에 응답하여 핵셀 구동 전압이 인가되는 제1 전원 라인과 상기 제1 노드 사이의 전류 패스를 스위칭하는 제3 스위치 소자; 및

상기 제1 전원 라인과 상기 제2 전원 라인 중 적어도 어느 하나와, 상기 제1 노드 사이에 연결된 커패시터를 포함하는 전계 발광 표시장치.

#### 청구항 10

제 9 항에 있어서,

상기 발광 제어 신호에 응답하여 상기 발광 소자의 애노드에 연결된 제4 노드와 상기 제3 노드 사이의 전류 패스를 스위칭하는 제4 스위치 소자;

제N-1 스캔 신호에 응답하여 초기화 전압이 인가되는 제2 전원 라인과 상기 제1 노드 사이의 전류 패스를 스위칭하는 제5 스위치 소자;

상기 제N-1 스캔 신호에 응답하여 상기 제2 전원 라인과 상기 제4 노드 사이의 전류 패스를 스위칭하는 제6 스위치 소자; 및

상기 제1 전원 라인과 상기 제2 노드 사이에 형성된 제2 커패시터를 더 포함하는 전계 발광 표시장치.

#### 청구항 11

제 10 항에 있어서,

상기 핵셀 회로의 구동 기간은,

상기 제N-1 스캔 신호의 게이트 온 전압에 따라 상기 제5 및 제6 스위치 소자들이 턴-온되는 초기화 기간, 상기 제N 스캔 신호의 게이트 온 전압에 따라 상기 제1 및 제2 스위치 소자들이 턴-온되는 샘플링 기간, 상기 제1 내지 제6 스위치 소자들이 오프 상태를 유지하는 데이터 기입 기간, 및 상기 발광 제어 신호의 전압이 소정의 듀티비로 스윙하여 상기 제3 및 제4 스위치 소자들이 온/오프를 반복하는 발광 기간을 포함하는 전계 발광 표시장치.

#### 청구항 12

제 9 항 내지 제 11 항 중 어느 한 항에 있어서,

상기 커패시터의 용량(Cap)이  $5 \text{ fF} \leq \text{Cap} \leq 10 \text{ fF}$  인 전계 발광 표시장치.

#### 청구항 13

핵셀 구동 전압이 인가되는 제1 전원 라인과, 초기화 전압이 인가되는 제2 전원 라인과, 제1 노드에 연결된 제1 전극, 제2 노드에 연결된 게이트, 및 제3 노드에 연결된 제2 전극을 포함하여 발광 소자에 전류를 공급하는 구동 소자를 포함하는 전계 발광 표시장치의 구동 방법에 있어서,

다수의 스위치 소자들을 이용하여 상기 구동 소자의 문턱 전압을 샘플링하여 상기 구동 소자의 문턱 전압만큼 상기 구동 소자의 게이트 전압을 보상하는 단계;

발광 기간 동안, 상기 핵셀 구동 전압과 상기 발광 소자 사이의 전류 패스를 소정의 듀티비로 온/오프하는 단계; 및

상기 제1 전원 라인과 상기 제2 전원 라인 중 적어도 어느 하나와, 상기 제1 노드 사이에 커패시터를 연결하여

상기 발광 기간 동안 상기 제1 노드의 플로팅을 방지하는 단계를 포함하는 전계 발광 표시장치의 구동 방법.

## 청구항 14

제 13 항에 있어서,

상기 커패시터의 용량(Cap)이  $5 \text{ fF} \leq \text{Cap} \leq 10\text{fF}$  인 전계 발광 표시장치의 구동 방법.

### 발명의 설명

#### 기술 분야

[0001] 본 발명은 발광 소자와 다수의 트랜지스터들을 포함한 픽셀 회로와 이를 이용한 전계 발광 표시장치에 관한 것이다.

#### 배경 기술

[0002] 전계 발광 표시장치는 발광층의 재료에 따라 무기발광 표시장치와 유기 발광 표시장치로 대별된다. 액티브 매트릭스 타입(active matrix type)의 유기 발광 표시장치는 스스로 발광하는 유기 발광 다이오드(Organic Light Emitting Diode: 이하, "OLED"라 함)를 포함하며, 응답속도가 빠르고 발광효율, 휘도 및 시야각이 큰 장점이 있다. 유기 발광 표시장치는 블랙 계조를 완전한 블랙으로 표현할 수 있기 때문에 명암비(contrast ratio)와 색재현율에서 월등한 수준으로 영상을 재현할 수 있다.

[0003] 유기 발광 표시장치의 발광 소자로 이용되는 OLED는 애노드와 캐소드 사이에 형성된 유기 화합물층을 포함한다. 유기 화합물층은 정공주입층(Hole Injection layer, HIL), 정공수송층(Hole transport layer, HTL), 발광층(Emission layer, EML), 전자수송층(Electron transport layer, ETL) 및 전자주입층(Electron Injection layer, EIL)으로 이루어진다. 애노드와 캐소드에 전압이 인가되면 정공수송층(HTL)을 통과한 정공과 전자수송층(ETL)을 통과한 전자가 발광층(EML)으로 이동되어 여기자를 형성하고, 그 결과 발광층(EML)으로부터 가시광이 방출된다.

[0004] 유기 발광 표시장치의 픽셀들 각각은 게이트-소스간 전압에 따라 OLED에 전류를 공급하여 OLED를 구동하는 구동 소자를 포함한다. 구동 소자는 트랜지스터(Transistor)로 구현될 수 있다. 문턱 전압, 이동도 등과 같은 구동 소자의 전기적 특성은 모든 픽셀들에서 동일하여야 하지만, 공정 조건, 구동 환경 등에 의해 구동 소자의 전기적 특성이 균일하지 않다. 구동 소자는 구동 시간이 길어질수록 많은 스트레스(stress)를 받게 된다. 또한, 입력 영상의 데이터에 따라 구동 소자의 스트레스가 달라진다. 구동 소자의 전기적 특성은 스트레스에 영향을 받는다. 따라서, 구동 소자들은 구동 시간이 경과되면 누적 스트레스에 의해 열화되어 그 전기적 특성이 달라진다.

[0005] 유기 발광 표시장치의 화질과 수명을 개선하기 위하여 픽셀들의 구동 특성 차이를 보상하기 위한 보상 회로가 유기 발광 표시장치에 적용되고 있다. 보상 회로는 내부 보상 회로와 외부 보상 회로로 나뉘어질 수 있다. 내부 보상 회로는 픽셀들 각각에 배치된 내부 보상 회로를 이용하여 구동 소자의 문턱 전압을 샘플링하여 구동 소자의 문턱 전압만큼 구동 소자의 게이트 전압을 보상한다. 외부 보상 회로는 픽셀들 각각에 연결된 센싱 회로를 이용하여 구동 소자들의 전기적 특성을 실시간 센싱(sensing)하고, 그 센싱 결과를 바탕으로 픽셀의 전기적 특성 변화만큼 입력 영상의 픽셀 데이터를 변조함으로써 픽셀들 각각의 전기적 특성 변화를 보상한다.

### 발명의 내용

#### 해결하려는 과제

[0006] 유기 발광 표시장치의 픽셀 회로는 다수의 트랜지스터들을 포함한다. 이 트랜지스터는 사용 환경의 온도, 습도 등에 영향을 받는다. 예를 들어, 트랜지스터는 온도 변화에 따라 문턱 전압의 시프트 특성이 달라질 수 있다. 트랜지스터에 연결된 노드(node)가 플로팅(floating)될 때 누설 전류가 발생될 수 있고, 이러한 누설 전류에 의해 화질이 저하될 수 있다.

[0007] 따라서, 본 발명은 플로팅 노드로 인한 화질 저하를 방지할 수 있는 픽셀 회로와 이를 이용한 전계 발광 표시장치를 제공한다.

## 과제의 해결 수단

- [0008] 본 발명의 픽셀 회로는 픽셀 구동 전압이 인가되는 제1 전원 라인; 초기화 전압이 인가되는 제2 전원 라인; 제1 노드에 연결된 제1 전극, 제2 노드에 연결된 게이트, 및 제3 노드에 연결된 제2 전극을 포함하여 발광 소자에 전류를 공급하는 구동 소자; 제N(N은 2 이상의 양의 정수) 스캔 신호에 응답하여 상기 제2 노드와 상기 제3 노드 사이의 전류 패스를 스위칭하는 제1 스위치 소자; 상기 제N 스캔 신호에 응답하여 데이터 전압이 인가되는 데이터 라인과 상기 제1 노드 사이의 전류 패스를 스위칭하는 제2 스위치 소자; 발광 제어 신호에 응답하여 픽셀 구동 전압이 인가되는 제1 전원 라인과 상기 제1 노드 사이의 전류 패스를 스위칭하는 제3 스위치 소자; 및 상기 제1 전원 라인과 상기 제2 전원 라인 중 적어도 어느 하나와, 상기 제1 노드 사이에 연결된 커패시터를 포함한다.
- [0009] 상기 픽셀 회로는 상기 발광 제어 신호에 응답하여 상기 발광 소자의 애노드에 연결된 제4 노드와 상기 제3 노드 사이의 전류 패스를 스위칭하는 제4 스위치 소자; 제N-1 스캔 신호에 응답하여 초기화 전압이 인가되는 제2 전원 라인과 상기 제1 노드 사이의 전류 패스를 스위칭하는 제5 스위치 소자; 상기 제N-1 스캔 신호에 응답하여 상기 제2 전원 라인과 상기 제4 노드 사이의 전류 패스를 스위칭하는 제6 스위치 소자; 및 상기 제1 전원 라인과 상기 제2 노드 사이에 형성된 제2 커패시터를 더 포함한다.
- [0010] 상기 픽셀 회로의 구동 기간은 상기 제N-1 스캔 신호의 게이트 온 전압에 따라 상기 제5 및 제6 스위치 소자들이 터-온되는 초기화 기간, 상기 제N 스캔 신호의 게이트 온 전압에 따라 상기 제1 및 제2 스위치 소자들이 터-온되는 샘플링 기간, 상기 제1 내지 제4 스위치 소자들이 오프 상태를 유지하는 데이터 기입 기간, 및 상기 발광 제어 신호의 전압이 소정의 듀티비로 스윙하여 상기 제3 및 제4 스위치 소자들이 온/오프를 반복하는 발광 기간을 포함한다.
- [0011] 상기 커패시터의 용량(Cap)이  $5 \text{ fF} \leq \text{Cap} \leq 10\text{fF}$  이다.
- [0012] 본 발명의 픽셀 회로는 픽셀 구동 전압이 인가되는 제1 전원 라인; 초기화 전압이 인가되는 제2 전원 라인; 제1 노드에 연결된 제1 전극, 제2 노드에 연결된 게이트, 및 제3 노드에 연결된 제2 전극을 포함하여 발광 소자에 전류를 공급하는 구동 소자; 및 다수의 스위치 소자들을 이용하여 상기 구동 소자의 문턱 전압을 샘플링하여 상기 구동 소자의 문턱 전압만큼 상기 구동 소자의 게이트 전압을 보상하는 내부 보상 회로를 포함한다.
- [0013] 상기 제1 전원 라인과 상기 제2 전원 라인 중 적어도 어느 하나와, 상기 제1 노드 사이에 연결된 커패시터를 포함한다.
- [0014] 본 발명의 전계 발광 표시장치는 상기 픽셀 회로를 포함한다.
- [0015] 상기 전계 발광 표시장치의 구동 방법은 다수의 스위치 소자들을 이용하여 상기 구동 소자의 문턱 전압을 샘플링하여 상기 구동 소자의 문턱 전압만큼 상기 구동 소자의 게이트 전압을 보상하는 단계; 발광 기간 동안, 상기 픽셀 구동 전압과 상기 발광 소자 사이의 전류 패스를 소정의 듀티비로 온/오프하는 단계; 및 상기 제1 전원 라인과 상기 제2 전원 라인 중 적어도 어느 하나와, 상기 제1 노드 사이에 커패시터를 연결하여 상기 발광 기간 동안 상기 제1 노드의 플로팅을 방지하는 단계를 포함한다.
- 발명의 효과**
- [0016] 본 발명은 구동 소자에 연결된 제1 노드와 전원 라인 사이에 커패시터를 연결하여 제1 노드의 전압 변동을 억제한다. 그 결과, 본 발명은 듀티 구동되는 발광 기간에서 제1 노드의 전압 변동으로 인한 화질 저하를 방지할 수 있다.
- 도면의 간단한 설명**
- [0017] 도 1은 본 발명의 일 실시예에 따른 전계 발광 표시장치를 보여 주는 블록도이다.  
 도 2는 웬타일 픽셀 배치의 일 예를 보여 주는 도면이다.  
 도 3은 리얼 픽셀 배치의 일 예를 보여 주는 도면이다.  
 도 4는 픽셀 회로의 일 예를 보여 주는 도면이다.  
 도 5a 및 도 5b는 도 4에 도시된 픽셀 회로의 발광 기간이 듀티 구동(duty driving)될 때 제1 노드가 플로팅되는 예를 보여 주는 도면이다.

도 6은 트랜지스터의 동작 특성 시프트를 보여 주는 도면이다.

도 7은 발광 기간이 듀티 구동(duty driving)될 때 크로스토크 테스트 패턴에서 수직 크로스토크가 보이는 실험 결과 화면이다.

도 8 및 도 9는 픽셀 회로의 제1 노드에 연결된 커패시터를 보여 주는 회로도들이다.

도 10a 내지 도 14b는 도 8에 도시된 픽셀 회로의 구동 방법을 단계적으로 보여 주는 도면들이다.

### 발명을 실시하기 위한 구체적인 내용

[0018]

본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시 예들을 참조하면 명확해질 것이다. 그러나, 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

[0019]

본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것으로 본 발명이 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 명세서 상에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~ 만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.

[0020]

구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.

[0021]

위치 관계에 대한 설명일 경우, 예를 들어, '~ 상에', '~ 상부에', '~ 하부에', '~ 옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.

[0022]

실시예 설명에서, 제1, 제2 등이 다양한 구성 요소들을 서술하기 위해서 사용되지만, 이를 구성 요소들은 이를 용어에 의해 제한되지 않는다. 이를 용어들은 단지 하나의 구성 요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성 요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있다.

[0023]

명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

[0024]

본 발명의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하며, 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시 가능할 수도 있다.

[0025]

본 발명의 전계 발광 표시장치에서 픽셀 회로는 n 채널 트랜지스터와 p 채널 트랜지스터 중 하나 이상을 포함할 수 있다. 트랜지스터들은 산화물 반도체를 포함한 Oxide TFT(Thin Film Transistor), 저온 폴리 실리콘(Low Temperature Poly Silicon, LTPS)을 포함한 LTPS TFT 등으로 구현될 수 있다. 또한, 트랜지스터들 각각은 p 채널 TFT 또는 n 채널 TFT로 구현될 수 있다. 실시예에서 픽셀 회로의 트랜지스터들이 p 채널 TFT로 구현된 예를 중심으로 설명되지만 본 발명은 이에 한정되지 않는다.

[0026]

트랜지스터는 게이트(gate), 소스(source) 및 드레인(drain)을 포함한 3 전극 소자이다. 소스는 캐리어(carrier)를 트랜지스터에 공급하는 전극이다. 트랜지스터 내에서 캐리어는 소스로부터 흐르기 시작한다. 드레인은 트랜지스터에서 캐리어가 외부로 나가는 전극이다. 트랜지스터에서 캐리어의 흐름은 소스로부터 드레인으로 흐른다. n 채널 트랜지스터의 경우, 캐리어가 전자(electron)이기 때문에 소스로부터 드레인으로 전자가 흐를 수 있도록 소스 전압이 드레인 전압보다 낮은 전압을 가진다. n 채널 트랜지스터에서 전류의 방향은 드레인으로부터 소스 쪽으로 흐른다. p 채널 트랜지스터(PMOS)의 경우, 캐리어가 정공(hole)이기 때문에 소스로부터 드레인으로 정공이 흐를 수 있도록 소스 전압이 드레인 전압보다 높다. p 채널 트랜지스터에서 정공이 소스로부터 드레인 쪽으로 흐르기 때문에 전류가 소스로부터 드레인 쪽으로 흐른다. 트랜지스터의 소스와 드레인은 고정된 것이 아니라는 것에 주의하여야 한다. 예컨대, 소스와 드레인은 인가 전압에 따라 변경될 수 있다. 따라서, 트랜지스터의 소스와 드레인으로 인하여 발명이 제한되지 않는다. 이하의 설명에서 트랜지스터의 소스와 드레인을 제1 및 제2 전극으로 칭하기로 한다.

- [0027] 게이트 신호는 게이트 온 전압(Gate On Voltage)과 게이트 오프 전압(Gate Off Voltage) 사이에서 스윙(swing)한다. 게이트 온 전압은 트랜지스터의 문턱 전압 보다 높은 전압으로 설정되며, 게이트 오프 전압은 트랜지스터의 문턱 전압 보다 낮은 전압으로 설정된다. 트랜지스터는 게이트 온 전압에 응답하여 턴-온(turn-on)되는 반면, 게이트 오프 전압에 응답하여 턴-오프(turn-off)된다. n 채널 트랜지스터의 경우에, 게이트 온 전압은 게이트 하이 전압(Gate High Voltage, VGH)이고, 게이트 오프 전압은 게이트 로우 전압(Gate Low Voltage, VGL)일 수 있다. p 채널 트랜지스터의 경우에, 게이트 온 전압은 게이트 로우 전압(VGL)이고, 게이트 오프 전압은 게이트 하이 전압(VGH)일 수 있다.
- [0028] 이하, 첨부된 도면을 참조하여 본 발명의 다양한 실시예들을 상세히 설명한다. 이하의 실시예들에서, 전계 발광 표시장치는 유기 발광 물질을 포함한 유기 발광 표시장치를 중심으로 설명하지만 이에 한정되지 않는다는 것에 주의하여야 한다.
- [0029] 도 1 내지 도 4를 참조하면, 본 발명의 전계 발광 표시장치는 표시패널(100)과, 표시패널(100)의 픽셀들에 입력 영상의 픽셀 데이터를 기입하기 위한 드라이브 IC(Integrated Circuit)(300)을 포함한다. 표시패널(100)은 게이트 구동부(120)를 포함할 수 있다. 드라이브 IC(300)는 호스트 시스템(200)과 제1 메모리(30)에 연결된다.
- [0030] 표시패널(100)에서 입력 영상이 제현되는 화면(AA)은 데이터 라인들(DL1~DL6), 데이터 라인들(DL1~DL6)과 교차 되는 게이트 라인들(GL1, GL2), 및 픽셀들(P)이 매트릭스 형태로 배치된 픽셀 어레이를 포함한다. 데이터 라인들(DL1~DL6)은 드라이브 IC(300)로부터 출력된 데이터 신호(DATA1~DATA6)를 픽셀들(P)에 공급한다. 게이트 라인들(GL1~GL3)은 게이트 구동부(120)로부터의 게이트 신호(GATE1, GATE2)를 픽셀들(P)에 공급한다. 게이트 신호(GATE1, GATE2)는 도 4에 도시된 바와 같이 스캔 신호[SCAN(N-1), SCAN(N)], 발광제어신호(이하 "EM 신호"라 함)[EM(N)] 등을 포함한다.
- [0031] 픽셀들 각각은 컬러 구현을 위하여 컬러가 다른 서브 픽셀들을 포함한다. 서브 픽셀들은 적색(Red, 이하 "R 서브 픽셀"이라 함), 녹색(Green, 이하 "G 서브 픽셀"이라 함), 및 청색(Blue, 이하 "B 서브 픽셀"이라 함)을 포함한다. 도시하지 않았으나 백색 서브 픽셀(White, 이하 "W 서브 픽셀"이라 함)이 더 포함될 수 있다. 서브 픽셀들 각각은 내부 보상 회로를 포함한 픽셀 회로로 구현될 수 있다.
- [0032] 픽셀들(P)은 리얼(real) 컬러 픽셀과, 펜타일(pentile) 픽셀로 배치될 수 있다. 펜타일 픽셀은 미리 설정된 펜타일 픽셀 렌더링 알고리즘(pixel rendering algorithm)을 이용하여 도 2에 도시된 바와 같이 컬러가 다른 두 개의 서브 픽셀을 하나의 픽셀로 구동한다. 펜타일 픽셀 렌더링 알고리즘은 픽셀들 각각에서 부족한 컬러 표현을 인접한 픽셀에서 발광된 빛의 컬러로 보상한다. 리얼 픽셀 배치는 하나의 픽셀(P)이 도 3에 도시된 바와 같이 R, G 및 B 서브 픽셀로 구성된다.
- [0033] 표시패널(100)은 도 4에 도시된 바와 같이 픽셀 구동 전압(ELVDD)을 픽셀들(P)에 공급하기 위한 VDD 라인(104), 초기화 전압(Vini)을 픽셀들(P)에 공급하기 위한 Vini 라인(105), 저전위 전원 전압(ELVSS)를 픽셀들에 공급하기 위한 VSS 전극(106) 등을 더 포함할 수 있다.
- [0034] 드라이브 IC(300)는 데이터 구동부(110), 감마 보상 전압 발생부(112), 타이밍 생성부(130), 전원부(136), 제2 메모리(132), 레벨 시프터(Level shifter, 134) 등을 포함한다. 드라이브 IC(300)는 호스트 시스템(200), 제1 메모리(210), 및 표시패널(100)에 연결된다.
- [0035] 데이터 구동부(110)는 디지털-아날로그 변환기(Digital to Analog converter, 이하 "DAC"라 함)를 통해 타이밍 생성부(130)로부터 수신된 입력 영상의 픽셀 데이터(디지털 신호)를 감마 보상 전압으로 변환하여 데이터 신호(DATA1~DATA6)의 전압을 출력한다. DAC는 픽셀 데이터를 감마 보상 전압으로 변환하여 데이터 신호(DATA1~DATA6)의 전압을 출력한다. 도 4에서, Vdata는 데이터 신호(DATA1~DATA6)의 전압 즉, 데이터 전압이다. 데이터 전압(Vdata)은  $V_{data} = 3\sim 6V$ 로 설정될 수 있으나 이에 한정되지 않는다. 데이터 구동부(110)는 데이터 신호(DATA1~DATA6)를 데이터 라인들(DL1~DL6)을 통해 픽셀들(P)에 공급한다.
- [0036] 감마 보상 전압 발생부(112)는 전원부(136)로부터의 감마 기준 전압을 분압 회로를 통해 분배하여 계조별 감마 보상 전압을 출력하여 데이터 구동부(110)에 공급한다.
- [0037] 표시패널(100)의 기판에는 픽셀 어레이와 함께 게이트 구동부(120)가 형성될 실장될 수 있다. 게이트 구동부(120)는 표시패널(100) 상에 직접 형성되는 GIP(Gate in panel) 회로로 구현될 수 있다. 게이트 구동부(120)는 타이밍 생성부(130)의 제어 하에 게이트 신호(GATE1, GATE2)를 게이트 라인들(GL1, GL2)로 출력한다. 게이트 라인들(GL1, GL2) 각각은 도 4에 도시된 바와 같이 제N(N은 2 이상의 양의 정수) 스캔 신호[SCAN(N)]가 인가

되는 제1 게이트 라인(31), 제N-1 스캔 신호[SCAN(N-1)]가 인가되는 제2 게이트 라인(32), 및 EM 신호[EM(N)]가 인가되는 제3 게이트 라인(33)을 포함할 수 있다. 게이트 구동부(120)는 시프트 레지스터(Shift register)를 이용하여 게이트 신호(GATE1, GATE2)를 시프트시킴으로써 게이트 신호(GATE1, GATE2)를 게이트 라인들(104)에 순차적으로 공급할 수 있다. 스캔 신호[SCAN(N-1), SCAN(N)]는 데이터 신호(DATA1~DATA6)에 동기된다. 게이트 신호(GATE1, GATE2)는 게이트 온 전압(VGL)과 게이트 오프 전압(VGH) 사이에서 스윙한다. 게이트 온 전압(VGL)과 게이트 오프 전압(VGH)은  $VGH = 8V$ ,  $VGL = -7V$ 로 설정될 수 있으나 이에 한정되지 않는다.

[0038] 타이밍 생성부(130)는 호스트 시스템(200)으로부터 수신되는 입력 영상의 픽셀 데이터를 데이터 구동부(110)에 공급한다. 타이밍 생성부(130)는 호스트 시스템(200)으로부터 수신된 타이밍 신호를 이용하여 타이밍 제어신호들을 생성하여 게이트 구동부(120)와 데이터 구동부(110)의 동작 타이밍을 제어한다.

[0039] 레벨 시프터(134)는 타이밍 생성부(130)로부터 수신된 게이트 타이밍 제어신호의 로우 레벨 전압(low level voltage)을 게이트 온 전압(VGL)으로 변환하고, 게이트 타이밍 제어신호의 하이 레벨 전압(high level voltage)을 게이트 오프 전압(VGH)으로 변환하여 게이트 구동부(120)에 공급한다.

[0040] 전원부(136)는 직류-직류 변환기(DC-DC Converter)를 이용하여 표시패널(100)의 픽셀 어레이와 드라이브 IC(300)의 구동에 필요한 전원을 발생한다. 직류-직류 변환기는 차지 펌프(Charge pump), 레귤레이터(Regulator), 벅 변환기(Buck Converter), 부스트 변환기(Boost Converter) 등을 포함할 수 있다. 전원부(136)는 호스트 시스템(200)으로부터의 직류 입력 전압(Vin)을 조정하여 감마 기준 전압, 게이트 온 전압(VGL), 게이트 오프 전압(VGH), 픽셀 구동 전압(ELVDD), 저전위 전원 전압(ELVSS), 초기화 전압(Vini) 등의 직류 전원을 발생할 수 있다. 감마 기준 전압은 감마 보상 전압 발생부(112)에 공급된다. 게이트 온 전압(VGL)과 게이트 오프 전압(VGH)은 레벨 시프터(134)와 게이트 구동부(120)에 공급된다. 픽셀 구동 전압(ELVDD), 저전위 전원 전압(ELVSS), 초기화 전압(Vini) 등의 픽셀 전원은 픽셀들(P)에 공통으로 공급된다. 픽셀 전원은  $ELVDD = 4.6V$ ,  $ELVSS = -2 \sim -3V$ ,  $Vini = -3 \sim -4V$ 로 설정될 수 있으나 이에 한정되지 않는다.

[0041] 제2 메모리(132)는 전원이 입력될 때 제1 메모리(210)로부터 수신된 보상값, 레지스터 설정 데이터 등을 저장한다. 보상값은 화질 향상을 한 다양한 알고리즘에 적용될 수 있다. 레지스터 설정 데이터는 데이터 구동부(111), 타이밍 생성부(130), 감마 보상 전압 발생부(112) 등의 동작을 정의한다. 제1 메모리(210)는 플래시 메모리(Flash memory)를 포함할 수 있다. 제2 메모리는 SRAM(Static RAM)을 포함할 수 있다.

[0042] 호스트 시스템(200)은 모바일 기기, 웨어러블 기기, 가상현실/증강현실 기기 등에서 AP(Application Processor)를 포함할 수 있다. 호스트 시스템(200)은 텔레비전 시스템, 셋톱박스, 네비게이션 시스템, 개인용 컴퓨터(PC), 홈 시어터 시스템 등의 메인 보드일 수 있다.

[0043] 도 4는 픽셀 회로의 일 예를 보여 주는 도면이다.

[0044] 도 4를 참조하면, 픽셀 회로는 발광 소자(OLED), 발광 소자(OLED)에 전류를 공급하는 구동 소자(DT), 및 다수의 스위치 소자들(M1~M6)을 이용하여 구동 소자(DT)의 문턱 전압(Vth)을 샘플링하여 구동 소자(DT)의 문턱 전압(Vth)만큼 구동 소자(DT)의 게이트 전압을 보상하는 내부 보상 회로를 포함한다. 구동 소자(DT)와 스위치 소자들(M1~M6) 각각은 p 채널 트랜지스터로 구현될 수 있다.

[0045] 내부 보상 회로의 동작은 제N-1 스캔 신호[SCAN(N-1)]의 게이트 온 전압(VGL)에 따라 제5 및 제6 스위치 소자들(M5, M6)이 턴-온되어 픽셀 회로를 초기화하는 초기화 기간, 제N 스캔 신호[SCAN(N)]의 게이트 온 전압(VGL)에 따라 제1 및 제2 스위치 소자들(M1, M2)이 턴-온되어 구동 소자(DT)의 문턱 전압이 샘플링되어 커페시터(Cst)에 저장되는 샘플링 기간, 제1 내지 제6 스위치 소자들(M1~M6)이 오프 상태를 유지하는 데이터 기입 기간, 및 EM 신호[EM(N)]의 전압이 소정의 드티비로 스윙하여 제3 및 제4 스위치 소자들(M1, M2)이 온/오프를 반복하여 상기 발광 소자(OLED)의 전류 패스가 온/오프를 반복하는 발광 기간으로 나뉘어진다.

[0046] 발광 소자(OLED)는 OLED로 구현될 수 있다. 발광 소자(OLED)는 애노드와 캐소드 사이에 형성된 유기 화합물층을 포함한다. 유기 화합물층은 정공주입층(HIL), 정공수송층(HTL), 발광층(EML), 전자수송층(ETL) 및 전자주입층(EIL) 등을 포함할 수 있으나 이에 한정되지 않는다. 발광 소자(OLED)의 애노드는 제4 및 제6 스위치 소자들(M4, M6) 사이의 제4 노드(n4)에 연결된다. 제4 노드(n4)는 발광 소자(OLED)의 애노드, 제4 스위치 소자(M4)의 제2 전극, 및 제6 스위치 소자(M6)의 제2 전극에 연결된다. 발광 소자(OLED)의 캐소드는 저전위 전원 전압(VSS)이 인가되는 VSS 전극(106)에 연결된다. 발광 소자(OLED)는 도 6에 도시된 바와 같이 구동 소자(DT)의 게이트-소스간 전압(Vgs)에 따라 흐르는 전류(Ids)로 발광된다. 발광 소자(OLED)의 전류 패스는 제3 및 제4 스위치 소자(M3, M4)에 의해 스위칭된다.

- [0047] 스토리지 커패시터(Cst)는 VDD 라인(104)과 제1 노드(n1) 사이에 연결된다. 구동 소자(DT)의 문턱 전압(Vth) 만큼 보상된 데이터 전압(Vdata)이 스토리지 커패시터(Cst)에 충전된다. 서브 픽셀들 각각에서 데이터 전압(Vdata)이 구동 소자(DT)의 문턱 전압(Vth)만큼 보상되기 때문에 서브 픽셀들에서 구동 소자(DT)의 특성 편차가 보상된다.
- [0048] 제1 스위치 소자(M1)는 제N 스캔 신호[SCAN(N)]의 게이트 온 전압(VGL)에 응답하여 턴-온되어 제2 노드(n2)와 제3 노드(n3)를 연결한다. 제2 노드(n2)는 구동 소자(DT)의 게이트, 스토리지 커패시터(Cst)의 제1 전극, 및 제1 스위치 소자(M1)의 제1 전극에 연결된다. 제3 노드(n3)는 구동 소자(DT)의 제2 전극, 제1 스위치 소자(M1)의 제2 전극, 및 제4 스위치 소자(M4)의 제1 전극에 연결된다. 제1 스위치 소자(M1)의 게이트는 제1 게이트 라인(31)에 연결되어 제N 스캔 신호[SCAN(N)]를 공급 받는다. 제1 스위치 소자(M1)의 제1 전극은 제2 노드(n2)에 연결되고, 제1 스위치 소자(M1)의 제2 전극은 제3 노드(n3)에 연결된다.
- [0049] 제2 스위치 소자(M2)는 제N 스캔 신호[SCAN(N)]의 게이트 온 전압(VGL)에 응답하여 턴-온되어 데이터 전압(Vdata)을 제1 노드(n1)에 공급한다. 제2 스위치 소자(M2)의 게이트는 제1 게이트 라인(31)에 연결되어 제N 스캔 신호[SCAN(N)]를 공급 받는다. 제2 스위치 소자(M2)의 제1 전극은 제1 노드(n1)에 연결된다. 제2 스위치 소자(M2)의 제2 전극은 데이터 전압(Vdata)이 인가되는 데이터 라인(102)에 연결된다. 제1 노드(n1)는 제2 스위치 소자(M2)의 제1 전극, 제3 스위치 소자(M2)의 제2 전극, 및 구동 소자(DT)의 제1 전극에 연결된다.
- [0050] 제3 스위치 소자(M3)는 EM 신호[EM(N)]의 게이트 온 전압(VGL)에 응답하여 턴-온되어 VDD 라인(104)을 제1 노드(n1)에 연결한다. 제3 스위치 소자(M3)의 게이트는 제3 게이트 라인(33)에 연결되어 EM 신호[EM(N)]를 공급 받는다. 제3 스위치 소자(M3)의 제1 전극은 VDD 라인(104)에 연결된다. 제3 스위치 소자(M3)의 제2 전극은 제1 노드(n1)에 연결된다.
- [0051] 제4 스위치 소자(M4)는 EM 신호[EM(N)]의 게이트 온 전압(VGL)에 응답하여 턴-온되어 제3 노드(n3)를 발광 소자(OLED)의 애노드에 연결한다. 제4 스위치 소자(M4)의 게이트는 제3 게이트 라인(33)에 연결되어 EM 신호[EM(N)]를 공급 받는다. 제4 스위치 소자(M4)의 제1 전극은 제3 노드(n3)에 연결되고, 제2 전극은 제4 노드(n4)에 연결된다.
- [0052] EM 신호[EM(N)]는 제3 및 제4 스위치 소자들(M3, M4)의 온/오프를 제어하여 발광 소자(OLED)의 전류 패스(current path)를 스위칭함으로써 발광 소자(OLED)의 점소등 시간을 제어한다.
- [0053] 제5 스위치 소자(M5)는 제N-1 스캔 신호[SCAN(N-1)]의 게이트 온 전압(VGL)에 응답하여 턴-온되어 제2 노드(n2)를 Vini 라인(105)에 연결한다. 제5 스위치 소자(M5)의 게이트는 제2 게이트 라인(32)에 연결되어 제N-1 스캔 신호[SCAN(N-1)]를 공급 받는다. 제5 스위치 소자(M5)의 제1 전극은 제2 노드(n2)에 연결되고, 제2 전극은 Vini 라인(105)에 연결된다.
- [0054] 제6 스위치 소자(M6)는 제N-1 스캔 신호[SCAN(N-1)]의 게이트 온 전압(VGL)에 응답하여 턴-온되어 Vini 라인(105)을 제4 노드(n4)에 연결한다. 제6 스위치 소자(M6)의 게이트는 제2 게이트 라인(32)에 연결되어 제N-1 스캔 신호[SCAN(N-1)]를 공급 받는다. 제6 스위치 소자(M6)의 제1 전극은 Vini 라인(105)에 연결되고, 제2 전극은 제4 노드(n4)에 연결된다.
- [0055] 구동 소자(DT)는 게이트-소스간 전압(Vgs)에 따라 발광 소자(OLED)에 흐르는 전류(IDs)를 조절하여 발광 소자(OLED)를 구동한다. 구동 소자(DT)는 제2 노드(n2)에 연결된 게이트, 제1 노드(n1)에 연결된 제1 전극, 및 제3 노드(n3)에 연결된 제2 전극을 포함한다.
- [0056] 드라이브 IC(300)로부터 출력되는 데이터 전압(Vdata)으로 저휘도 모드의 계조를 표현할 수 없다. 예를 들어, 8 bit 픽셀 데이터의 최고 계조값 G255는 저휘도 모드에서 4 [nit]로 설정될 수 있는데, 드라이브 IC(300)로부터 출력되는 데이터 전압(Vdata)으로 이 휘도를 표현할 수 없다. 유기 발광 표시장치는 저휘도 모드에서 계조를 정밀하게 표현하기 위하여 도 5a 및 도 5b에 도시된 바와 같이 EM 신호[EM(N)]를 PWM(Pulse Width Modulation) 방식으로 변조하여 픽셀의 발광 기간(Tem) 동안 발광 소자(OLED)를 듀티 구동(Duty driving)한다. EM 신호[EM(N)]의 듀티비(duty ration)는 픽셀의 휘도가 낮을수록 감소된다. EM 신호[EM(N)]의 듀티비는 저휘도 모드에서 발광 기간(Tem) 동안 10% 이하로 설정되고 픽셀 데이터의 계조에 따라 가변된다.
- [0057] 도 6에 도시된 바와 같이 고온 환경에서 트랜지스터의 문턱 전압이 정극성(positive) 방향으로 시프트된다. 제2 스위치 소자(M2)가 문턱 전압이 정극성 방향으로 시프트되는 경우, 듀티 구동되는 발광 기간(Tem)에서 EM 신호[EM(N)]가 게이트 오프 전압(VGH)일 때 제2 스위치 소자(M2)의 누설 전류로 인하여 제1 노드(n1)의 전압이 변

동한다. 따라서, 발광 기간(Tem)에서 제1 노드(n1)가 플로팅 노드(floating node)가 된다.

[0058] 발광 기간(Tem)에서 제1 노드(n1)의 전압 변동( $\Delta V$ )될 때, 스위치 소자들(M1, M2)을 통해 발생되는 누설 전류에 의해 구동 소자(DT)의 게이트 전압이 상승한다. 구동 소자(DT)의 게이트 전압이 상승하여 구동 소자(DT)의 게이트-소스간 전압의 절대치( $|Vgs|$ )가 작아지면 발광 소자(OLED)의 밝기가 낮아진다. 그 결과, 도 7에 도시된 크로스토크(crosstalk) 테스트 패턴을 화면 상에 표시하는 실험에서 배경 이미지에서 수직 방향으로 어둡게 보이는 수직 크로스토크가 보일 수 있다. 크로스토크 테스트 패턴의 중앙부 사각 박스에서 픽셀 데이터 계조는 최저 계조(블랙 계조)인 G0(zero)이고, 배경 이미지의 픽셀 데이터 계조는 G63으로 설정된다.

[0059] 본 발명은 듀티 구동되는 발광 기간(Tem)에서 제1 노드(n1)의 전압 변동을 억제하기 위하여 도 8 및 도 9에 도시된 바와 같이 전원 라인(104, 105)과 제1 노드(n1) 사이에 커패시터(C1, C2)를 연결한다. 전원 라인(104, 105)은 VDD 라인(104) 또는 Vini 라인(105)일 수 있다. 커패시터(C1, C2)는 제1 노드(n1)의 전압 변동( $\Delta V$ )을 억제한다.

[0060] 플로팅 노드(floating node)의 전압 변동( $\Delta V$ )은  $Q = Cx \Delta V$  에서 알 수 있듯이 커패시터(C1, C2)의 용량에 반비례 한다. Q는 전하이고, C는 커패시터(C1, C2)의 용량이다. 커패시터(C1, C2)가 연결되기 전에 제1 노드(n1)의 기생 용량은 1 fF 이하이다. 실험 결과에 따르면, 수직 크로스토크가 보이지 않는 커패시터(C1, C2)의 용량은 5 fF 이상의 용량이다. 커패시터(C1, C2)의 용량은 5 fF 이상일 때 제1 노드(n1)의 전압 변동( $\Delta V$ )이 억제된다.

[0061] 제1 노드(n1)와 전원 라인(104, 105) 간의 중첩 면적 또는 거리를 줄이면, 커패시터(C1, C2)의 용량이 커질 수 있다. 한편, 커패시터(C1, C2)의 용량이 10 fF 이상으로 커지면 VDD, Vini에서 리플(ripple)이 발생될 수 있다. 따라서, 커패시터(C1, C2)의 용량(Cap)은  $5 \text{ fF} \leq \text{Cap} \leq 10 \text{ fF}$ 의 용량으로 설정되는 것이 바람직하다.

[0062] 본 발명의 실시예에 따른 픽셀 회로의 구동 기간은 초기화 기간(Tini), 샘플링 기간(Tsam), 데이터 기입 기간(Twr), 및 발광 기간(Tem)으로 나뉘어진다. 듀티 구동되는 발광 기간(Tem) 동안, EM 신호[EM(N)]는 휘도 모드에 따라 가변 가능한 듀티비로 온/오프된다. 이러한 픽셀 회로의 구동 방법에 대하여 도 10a 내지 도 14b를 결부하여 설명하기로 한다.

[0063] 도 10a 내지 도 14b는 도 8에 도시된 픽셀 회로의 구동 방법을 단계적으로 보여 주는 도면이다. 도 10a 내지 도 14b에 도시된 픽셀 회로는 화면 상에서 제N 픽셀 라인에 존재하는 임의의 서브 픽셀을 나타낸다. 도 10a 내지 도 14b에서, DTG는 구동 소자(DT)의 게이트 전압 즉, 제2 노드(n2)의 전압을 나타낸다.

[0064] 도 10a 및 도 10b를 참조하면, 초기화 기간(Tini) 동안 제N-1 스캔 신호[SCAN(N-1)]가 게이트 온 전압(VGL)으로 발생된다. 제N 스캔 신호[SCAN(N)]와 EM 신호[EM(N)]는 초기화 기간(Tini) 동안 게이트 오프 전압(VGH)을 유지한다. 따라서, 초기화 기간(Tini) 동안 제5 및 제6 스위치 소자들(M5, M6)이 턠-온(turn-on)되어 제2 및 제4 노드(n2, n4)가 Vini로 초기화된다.

[0065] 한편, 제N-1 스캔 신호[SCAN(N-1)]의 펄스는 제N-1 픽셀 라인의 픽셀에 인가되는 데이터 전압(Vdata)에 동기된다. 따라서, 제N-1 스캔 신호[SCAN(N-1)]이 게이트 온 전압(VGL)으로 발생될 때 제N-1 픽셀 라인의 픽셀 회로는 샘플링 기간(Tsam)이고, 제N 픽셀 라인의 픽셀 회로는 초기화 기간(Tini)이다.

[0066] 초기화 기간(Tini)과 샘플링 기간(Tsam) 사이에 훌드 기간(Th)이 설정될 수 있다. 훌드 기간(Th)에서 게이트 신호[SCAN(N-1), SCAN(N), EM(N)]는 이전 상태를 유지한다.

[0067] 도 11a 및 도 11b를 참조하면, 샘플링 기간(Tsam) 동안 제N 스캔 신호[SCAN(N)]가 게이트 온 전압(VGL)으로 발생된다. 제N 스캔 신호[SCAN(N)]의 펄스는 제N 픽셀 라인의 데이터 전압(Vdata)에 동기된다. 제N-1 스캔 신호[SCAN(N-1)]와 EM 신호[EM(N)]는 샘플링 기간(Tsam) 동안 게이트 오프 전압(VGH)을 유지한다. 따라서, 샘플링 기간(Tsam) 동안 제1 및 제2 스위치 소자들(M1, M1)이 턠-온된다.

[0068] 샘플링 기간(Tsam) 동안 구동 소자(DT)의 게이트 전압(DTG)이 제1 및 제2 스위치 소자(M1, M2)를 통해 흐르는 전류에 의해 상승된다. 구동 소자(DT)가 턠-오프될 때 구동 소자(DT)가 턠-오프(turn-off)되기 때문에 게이트 노드 전압(DTG)이  $Vdata - |Vth|$ 이다. 이 때, 제1 노드(n)의 전압도  $Vdata - |Vth|$ 이다. 샘플링 기간(Tsam)에 구동 소자(DT)의 게이트-소스간 전압(Vgs)은  $|Vgs| = Vdata - (Vdata - |Vth|) = |Vth|$ 이다.

[0069] 도 12a 및 도 12b를 참조하면, 데이터 기입 기간(Twr) 동안 제N 스캔 신호[SCAN(N)]가 게이트 오프 전압(VGH)으로 반전된다. 제N-1 스캔 신호[SCAN(N-1)]와 EM 신호[EM(N)]는 샘플링 기간(Tsam) 동안 게이트 오프 전압(VG

H)을 유지한다. 따라서, 데이터 기입 기간(Twr) 동안 모든 스위치 소자들(M1~M6)이 오프 상태를 유지한다.

[0070] 도 13a 내지 도 14b를 참조하면, 발광 기간(Tem) 동안 EM 신호[EM(N)]가 소정의 듀티비로 온/오프되어 게이트 온 전압(VGL)과 게이트 오프 전압(VGH) 사이에서 스윙한다. 발광 기간(Tem) 동안, 제N-1 및 제N 스캔 신호 [SCAN(N-1), SCAN(N)]은 게이트 오프 전압(VGH)을 유지한다. 발광 기간(Tem) 동안, 제3 및 제4 스위치 소자들 (M3, M4)은 EM 신호(EM)의 전압 따라 온/오프를 반복한다.

[0071] EM 신호[EM(N)]가 게이트 온 전압(VGL)일 때 도 13a 및 도 13b에 도기된 바와 같이 제3 및 제4 스위치 소자들 (M3, M4)이 턴-온되어 발광 소자(OLED)에 전류가 흐른다. 이 때, 구동 소자(DT)의 Vgs는  $|Vgs| = VDD - (Vdata - |Vth|)$ 이고, 발광 소자(OLED)에 흐르는 전류는  $K(VDD - Vdata)^2$ 이다. K는 구동 소자(DT)의 전하 이동도, 기생 커패시턴스 및 채널 용량 등에 의해 결정되는 비례 상수이다.

[0072] 발광 기간(Tem)에서 EM 신호[EM(N)]가 게이트 오프 전압(VGH)일 때 도 14a 및 도 14b에 도기된 바와 같이 제3 및 제4 스위치 소자들(M3, M4)이 턴-오프되어 VDD와 발광 소자(OLED) 사이의 전류 패스가 차단된다. 이 때, 커뮤니케이터(C1, C2)는 의해 제1 노드(n1)의 전압 변동을 방지한다.

[0073] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

### 부호의 설명

[0074] 100 : 표시패널 110 : 데이터 구동부

112 : 감마 보상 전압 발생부 130 : 타이밍 생성부

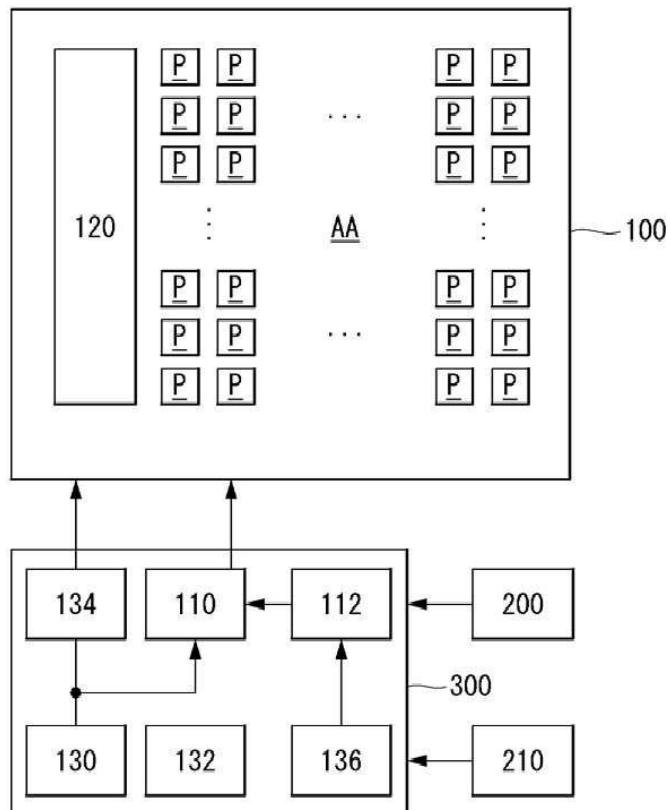
132 : 제2 메모리 134 : 레벨 시프터

136 : 전원부 200 : 호스트 시스템

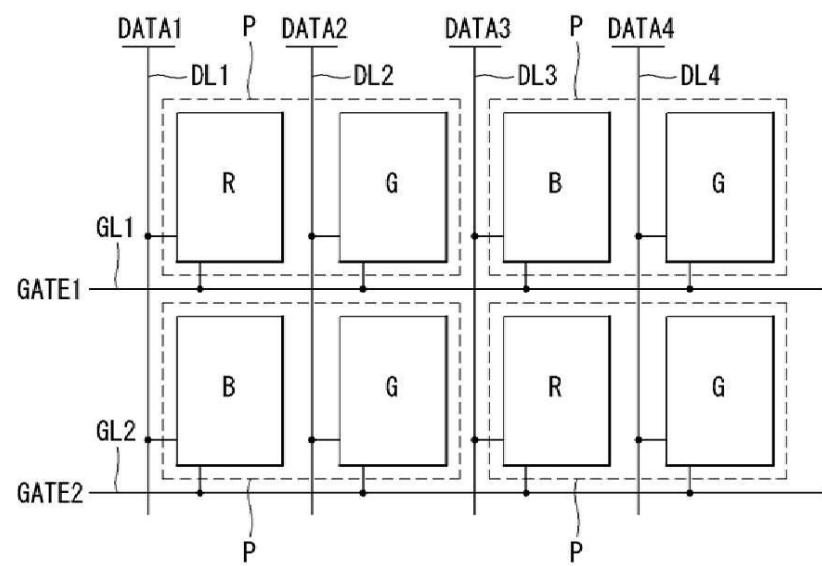
210 : 제1 메모리 300 : 드라이브 IC

## 도면

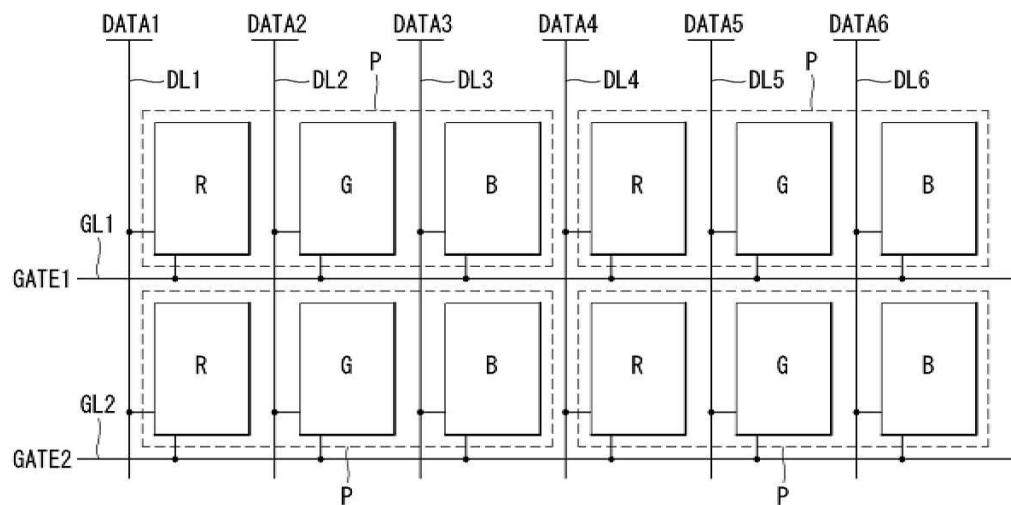
## 도면1



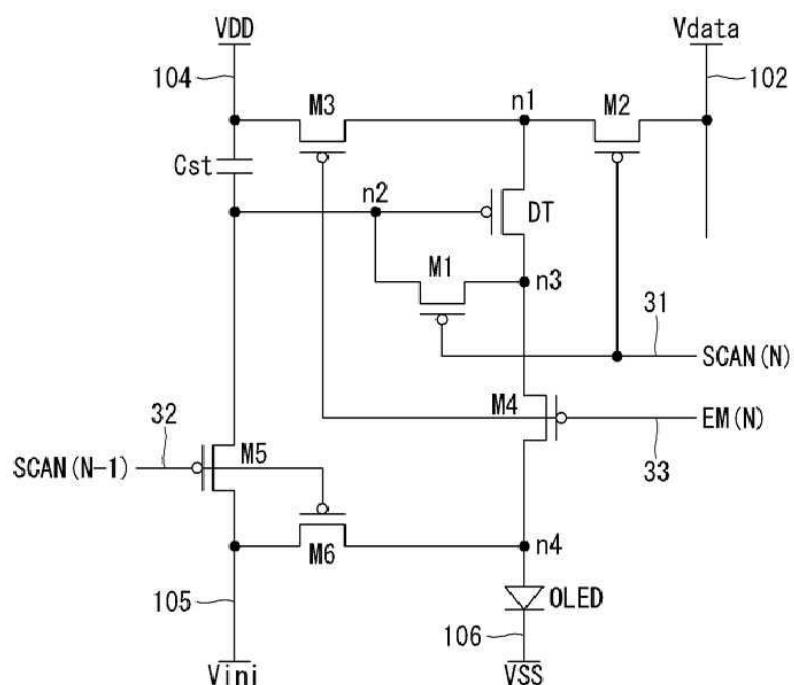
## 도면2



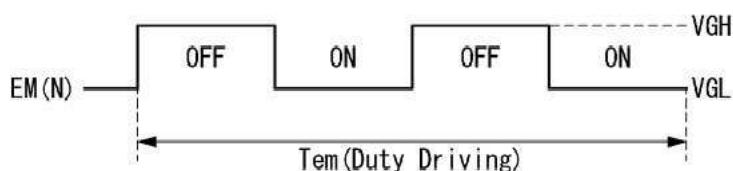
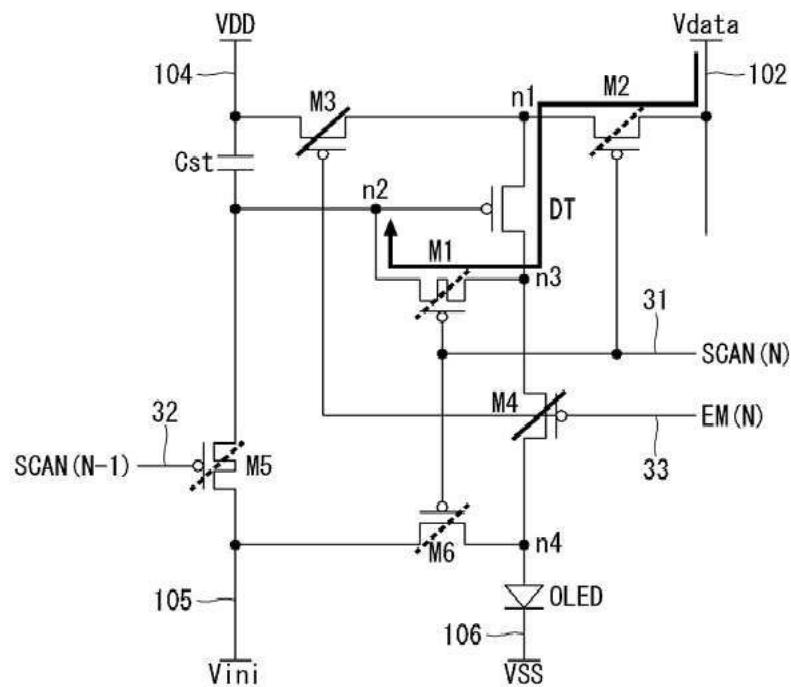
## 도면3



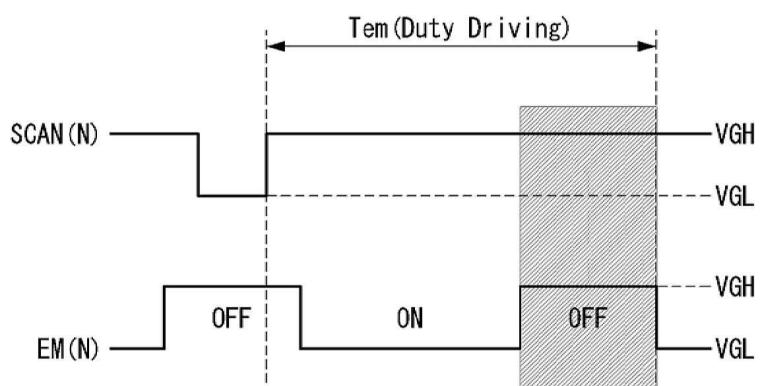
## 도면4



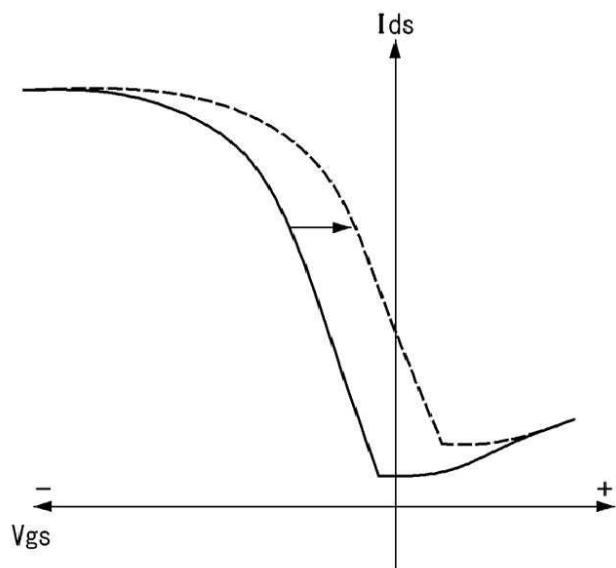
도면5a



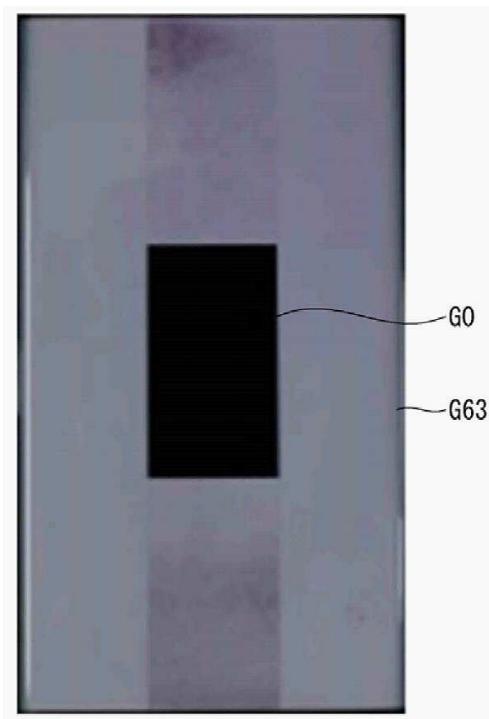
도면5b



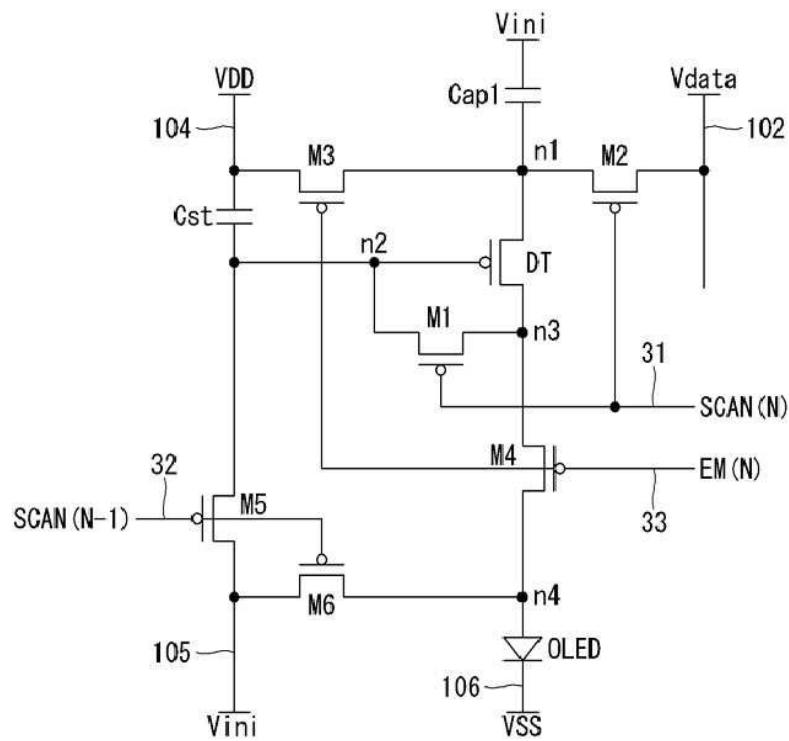
도면6



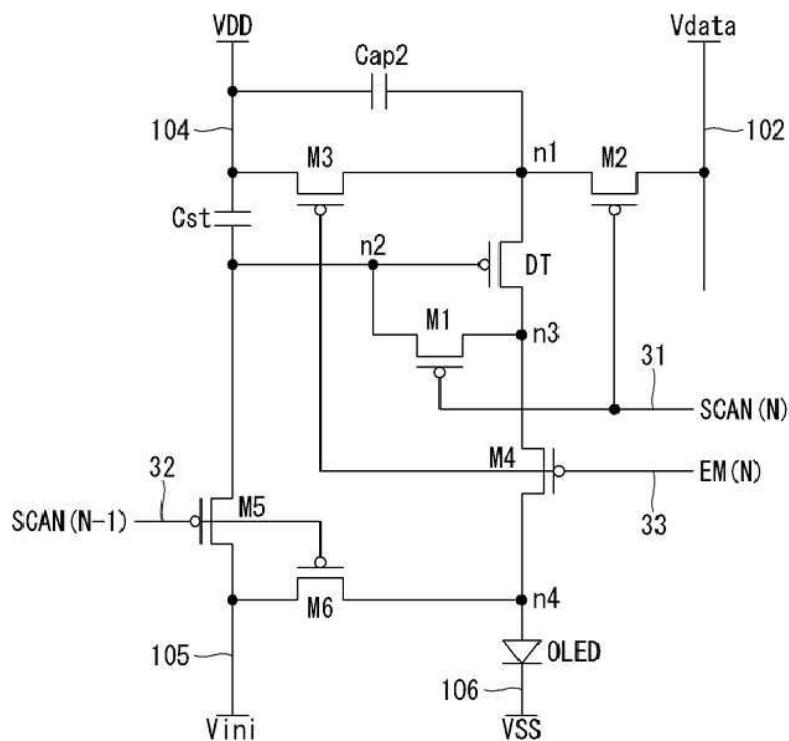
도면7



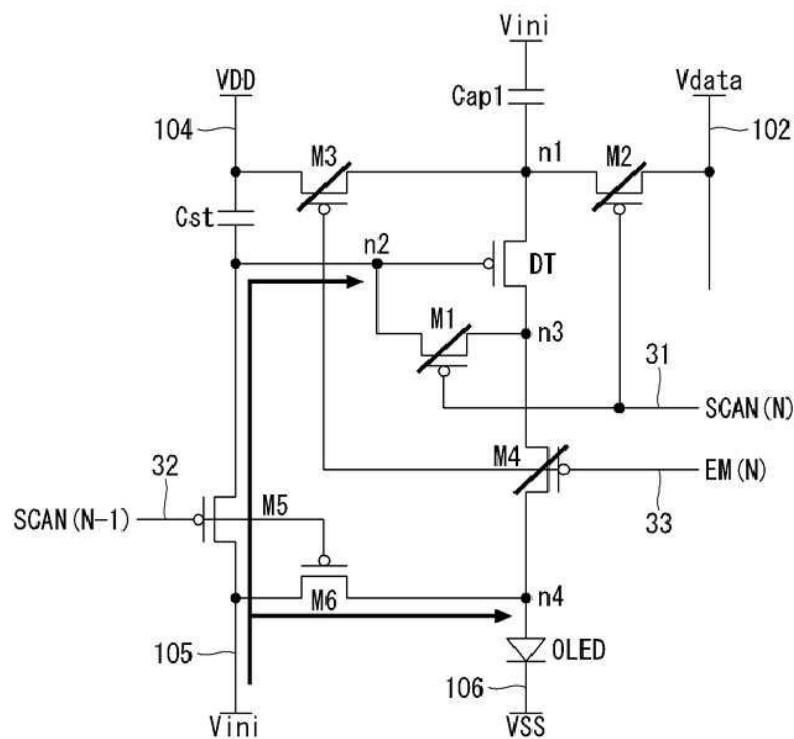
## 도면8



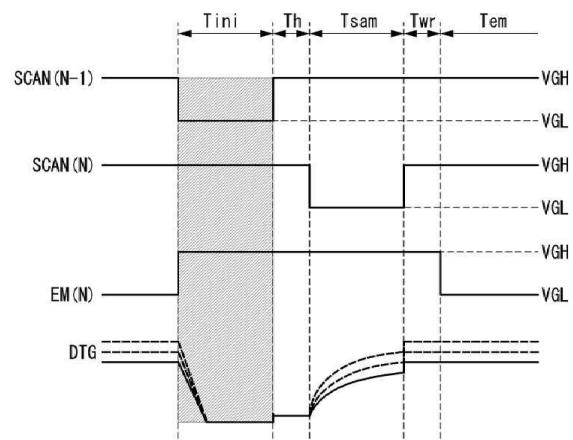
## 도면9



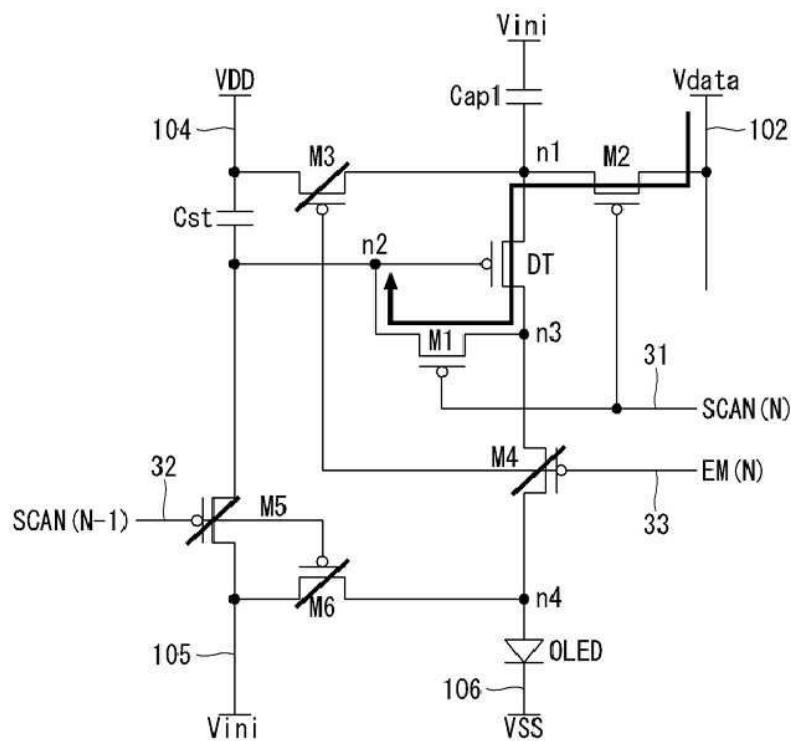
도면 10a



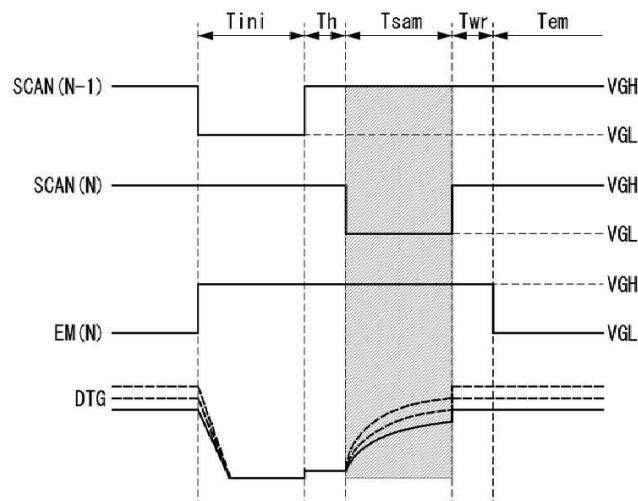
도면 10b



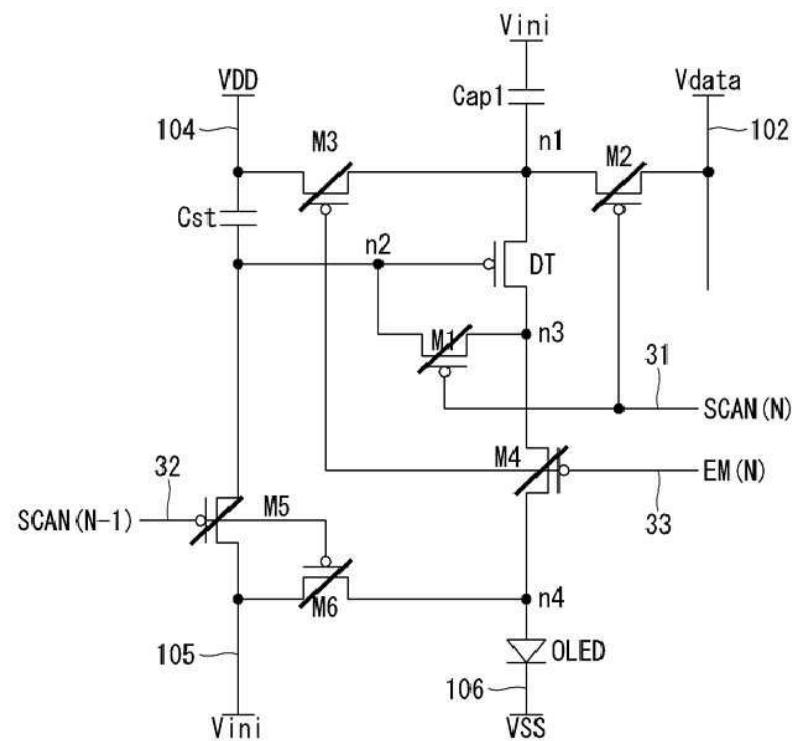
도면11a



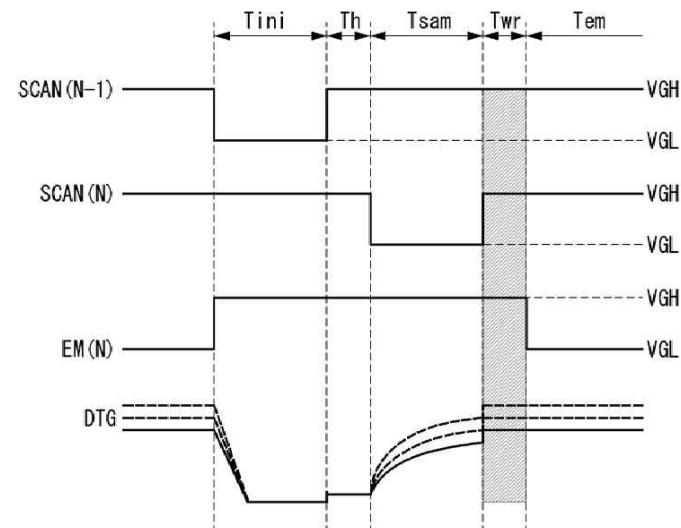
도면11b



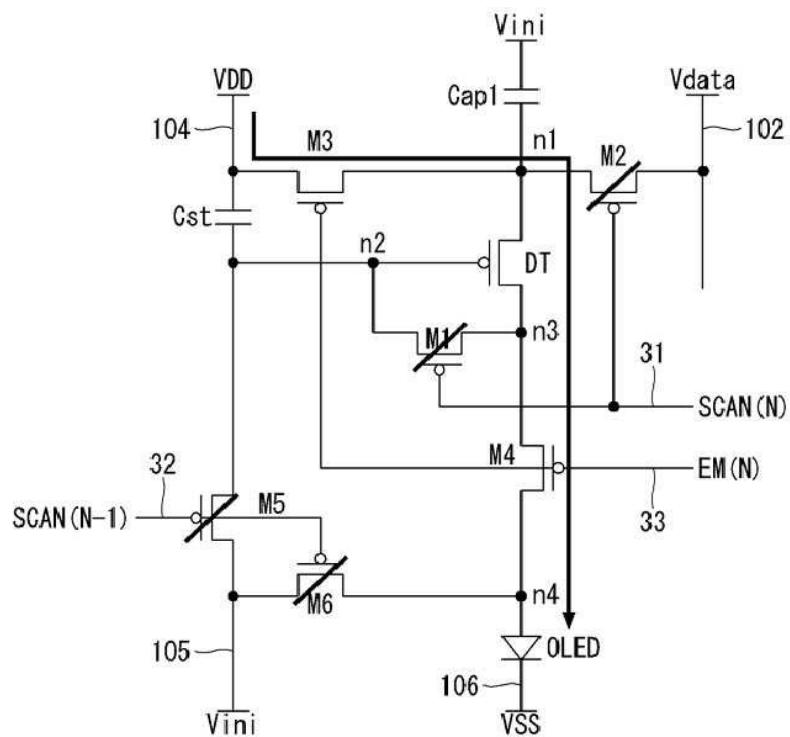
도면 12a



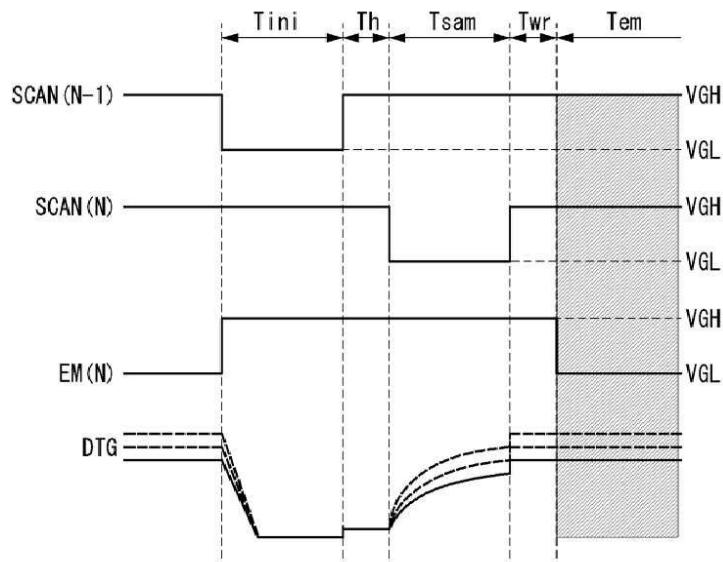
도면 12b



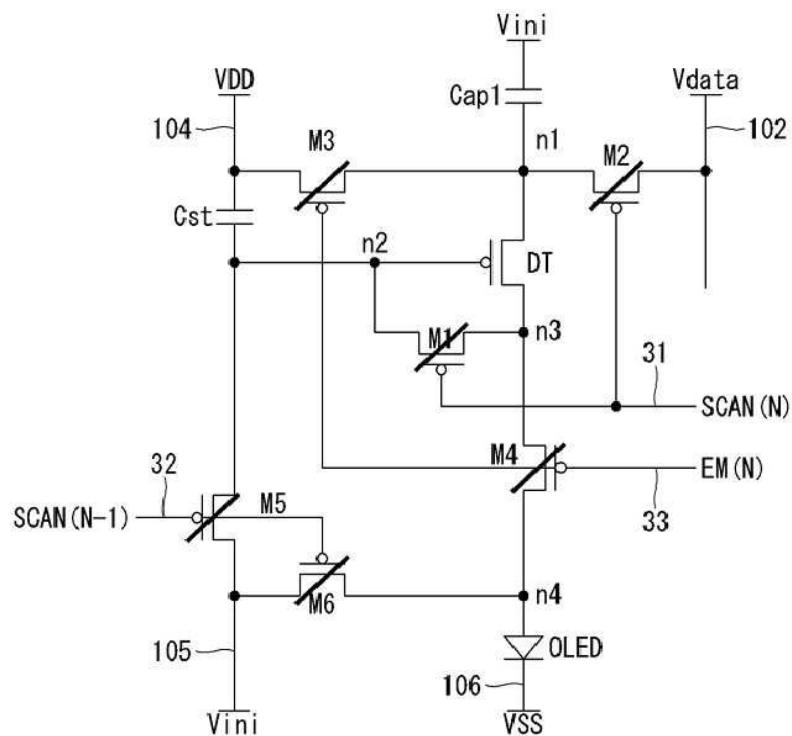
도면13a



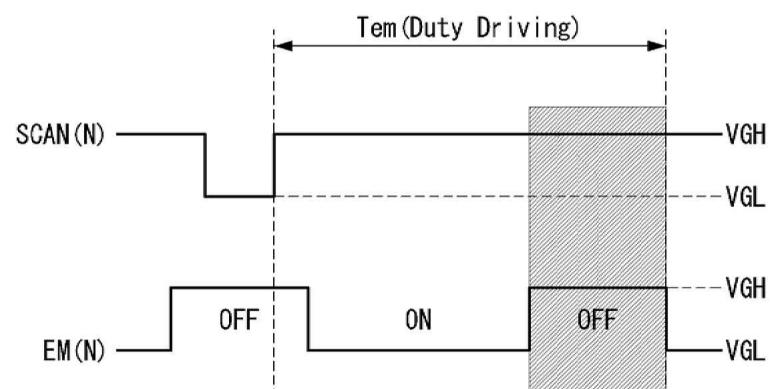
도면13b



도면14a



도면14b



专利名称(译)	像素电路和使用其的电致发光显示装置		
公开(公告)号	KR1020200075488A	公开(公告)日	2020-06-26
申请号	KR1020180164231	申请日	2018-12-18
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	심재호		
发明人	심재호		
IPC分类号	G09G3/3233 H01L27/32		
CPC分类号	G09G3/3233 H01L27/3265 G09G2300/0439 G09G2320/0214 G09G2320/041 G09G2320/043		
外部链接	<a href="#">Espacenet</a>		

### 摘要(译)

像素电路和使用该像素电路的电致发光显示器技术领域本发明涉及一种像素电路和使用该像素电路的电致发光显示器,该像素电路包括第一电源线和第二电源线中的至少一个以及连接在第一节点之间的电容器。

