

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

유옥상

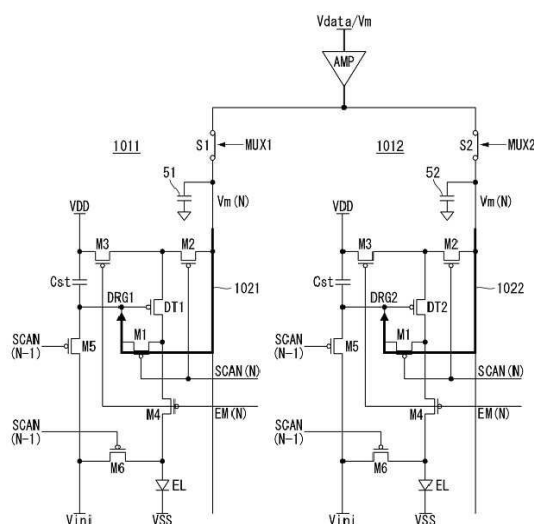
경기도 파주시 월롱면 엘지로 245

(74) 대리인

특허법인으로알

(54) 발명의 명칭 전계 발광 표시장치

대표도 - 도6a



(52) CPC특허분류

G09G 2310/0297 (2013.01)

G09G 2310/08 (2013.01)

G09G 2330/028 (2013.01)

명세서

청구범위

청구항 1

프리 샘플링 데이터, 제1 픽셀 데이터 및 제2 픽셀 데이터를 감마 보상 전압으로 변환하여 프리 샘플링 데이터 전압, 제1 픽셀 데이터 전압 및 제2 픽셀 데이터 전압을 하나의 채널을 통해 출력하는 데이터 구동부;

상기 데이터 구동부의 채널을 통해 입력된 프리 샘플링 전압을 제1 및 제2 데이터 라인에 동시에 출력한 후, 상기 제1 픽셀 데이터 전압을 상기 제1 데이터 라인에 공급한 다음, 상기 제2 픽셀 데이터 전압을 제2 데이터 라인으로 출력하는 디멀티플렉서;

상기 제1 데이터 라인에 충전된 상기 프리 샘플링 전압과 상기 제1 픽셀 데이터 전압을 순차적으로 충전하는 제1 픽셀 회로; 및

상기 제2 데이터 라인에 충전된 상기 프리 샘플링 전압과 상기 제2 픽셀 데이터 전압을 순차적으로 충전하는 제2 픽셀 회로를 구비하는 전계 발광 표시장치.

청구항 2

제 1 항에 있어서,

상기 프리 샘플링 전압이 제1 픽셀 데이터 전압과 상기 제2 픽셀 데이터 전압 중에서 최소 전압으로 선택되거나 상기 데이터 구동부의 출력 전압 범위 내에서 최소 전압인 전계 발광 표시장치.

청구항 3

제 1 항에 있어서,

상기 데이터 구동부에 상기 프리 샘플링 데이터, 상기 제1 픽셀 데이터, 및 상기 제2 픽셀 데이터를 전송하고 상기 데이터 구동부와 상기 디멀티플렉서를 제어하는 타이밍 컨트롤러를 구비하는 전계 발광 표시장치.

청구항 4

제 3 항에 있어서,

상기 데이터 구동부와 상기 타이밍 컨트롤러 중 어느 하나는

상기 제1 및 제2 픽셀 데이터 중에서 최소값을 상기 프리 샘플링 데이터로 선택하는 비교부를 구비하는 전계 발광 표시장치.

청구항 5

제 1 항에 있어서,

상기 제1 및 제2 픽셀 회로들 각각은,

발광 소자;

상기 발광 소자에 전류를 공급하는 구동 소자;

픽셀 구동 전압이 인가되는 제1 전원 라인과, 상기 구동 소자의 게이트 사이에 연결된 커패시터;

제1 스캔 신호의 게이트 온 전압에 응답하여 턴-온되어 상기 제1 노드와 제2 노드를 연결하는 제1 스위치 소자;

상기 제1 스캔 신호의 게이트 온 전압에 응답하여 턴-온되어 데이터 라인의 전압을 제3 노드에 공급하는 제2 스위치 소자;

발광 제어 신호의 게이트 온 전압에 응답하여 턴-온되어 상기 제1 전원 라인을 상기 제3 노드에 연결하는 제3 스위치 소자;

상기 발광 제어 신호의 게이트 온 전압에 응답하여 턴-온되어 상기 제2 노드를 상기 발광 소자의 애노드에 연결하는 제4 스위치 소자;

상기 제1 스캔 신호 보다 앞서 발생하는 제2 스캔 신호의 게이트 온 전압에 응답하여 턴-온되어 상기 제1 노드를 초기화 전압이 인가되는 제2 전원 라인에 연결하는 제5 스위치 소자; 및

상기 제2 스캔 신호의 게이트 온 전압에 응답하여 턴-온되어 상기 제2 전원 라인을 상기 발광 소자의 애노드에 연결하는 제6 스위치 소자를 포함하는 전계 발광 표시장치.

청구항 6

제 5 항에 있어서,

상기 제1 및 제2 픽셀 회로들 각각에서 상기 구동 소자의 게이트, 상기 발광 소자의 애노드 및 상기 커패시터가 상기 초기화 전압으로 초기화되고,

상기 제1 및 제2 픽셀 회로들 각각에서 상기 구동 소자의 게이트에 상기 프리 샘플링 전압이 인가되며,

상기 제1 픽셀 회로의 구동 소자의 게이트에 상기 제1 픽셀 데이터 전압이 인가된 후에, 상기 제2 픽셀 회로의 구동 소자의 게이트에 상기 제2 픽셀 데이터 전압이 인가되는 전계 발광 표시장치.

청구항 7

프리 샘플링 데이터, 제1 픽셀 데이터 및 제2 픽셀 데이터를 감마 보상 전압으로 변환하여 프리 샘플링 데이터 전압, 제1 픽셀 데이터 전압 및 제2 픽셀 데이터 전압을 하나의 채널을 통해 출력하는 데이터 구동부;

상기 데이터 구동부의 채널을 통해 입력된 프리 샘플링 전압을 제1 및 제2 데이터 라인에 동시에 출력한 후, 상기 제1 픽셀 데이터 전압을 상기 제1 데이터 라인에 공급한 다음, 상기 제2 픽셀 데이터 전압을 제2 데이터 라인으로 출력하는 디멀티플렉서;

상기 제1 데이터 라인에 충전된 상기 프리 샘플링 전압과 상기 제1 픽셀 데이터 전압을 순차적으로 충전하는 제1 픽셀 회로; 및

상기 제2 데이터 라인에 충전된 상기 프리 샘플링 전압과 상기 제2 픽셀 데이터 전압을 순차적으로 충전하는 제1 픽셀 회로를 구비하고,

상기 프리 샘플링 전압이 상기 제1 및 제2 픽셀 데이터의 비교 결과에 따라 상기 데이터 구동부의 출력 전압 범위에서 최소 전압 이상의 전압으로 선택되는 전계 발광 표시장치.

청구항 8

프리 샘플링 데이터, 제1 픽셀 데이터 및 제2 픽셀 데이터를 감마 보상 전압으로 변환하여 프리 샘플링 데이터 전압, 제1 픽셀 데이터 전압 및 제2 픽셀 데이터 전압을 하나의 채널을 통해 출력하는 데이터 구동부;

상기 데이터 구동부의 채널을 통해 입력된 프리 샘플링 전압을 제1 및 제2 데이터 라인에 동시에 출력한 후, 상기 제1 픽셀 데이터 전압을 상기 제1 데이터 라인에 공급한 다음, 상기 제2 픽셀 데이터 전압을 제2 데이터 라인으로 출력하는 디멀티플렉서;

상기 제1 데이터 라인에 충전된 상기 프리 샘플링 전압과 상기 제1 픽셀 데이터 전압을 순차적으로 충전하는 제1 픽셀 회로; 및

상기 제2 데이터 라인에 충전된 상기 프리 샘플링 전압과 상기 제2 픽셀 데이터 전압을 순차적으로 충전하는 제1 픽셀 회로를 구비하고,

상기 제1 및 제2 픽셀 회로는 발광 소자와, 상기 발광 소자에 전류를 공급하는 구동 소자를 포함하고,

상기 제1 및 제2 픽셀 회로들 각각의 상기 발광 소자가 소정의 초기화 전압으로 초기화된 후에, 상기 제1 및 제2 픽셀 회로들 각각의 상기 구동 소자의 게이트가 프리 샘플링 전압으로 충전되고,

상기 초기화 전압과 상기 프리 샘플링 전압이 다른 전계 발광 표시장치.

청구항 9

제 8 항에 있어서,

상기 초기화 전압이 직류 전압이고,

상기 프리 샘플링 전압이 상기 제1 및 제2 픽셀 데이터의 비교 결과에 따라 가변되는 전압인 전계 발광 표시장치.

청구항 10

제 9 항에 있어서,

상기 프리 샘플링 전압이 상기 제1 및 제2 픽셀 데이터의 비교 결과에 따라 선택되고, 상기 초기화 전압 이상의 전압인 전계 발광 표시장치.

청구항 11

프리 샘플링 데이터, 제1 픽셀 데이터 및 제2 픽셀 데이터를 감마 보상 전압으로 변환하여 프리 샘플링 데이터 전압, 제1 픽셀 데이터 전압 및 제2 픽셀 데이터 전압을 하나의 채널을 통해 출력하는 데이터 구동부;

상기 데이터 구동부의 채널을 통해 입력된 프리 샘플링 전압을 제1 및 제2 데이터 라인에 동시에 출력한 후, 상기 제1 픽셀 데이터 전압을 상기 제1 데이터 라인에 공급한 다음, 상기 제2 픽셀 데이터 전압을 제2 데이터 라인으로 출력하는 디멀티플렉서;

상기 제1 데이터 라인에 충전된 상기 프리 샘플링 전압과 상기 제1 픽셀 데이터 전압을 순차적으로 충전하는 제1 픽셀 회로; 및

상기 제2 데이터 라인에 충전된 상기 프리 샘플링 전압과 상기 제2 픽셀 데이터 전압을 순차적으로 충전하는 제2 픽셀 회로를 구비하고,

상기 프리 샘플링 전압이 상기 데이터 구동부에서 화이트 계조의 전압으로 변환되는 전계 발광 표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 데이터 구동부와 데이터 라인들 사이에 디멀티플렉서(Demultiplexer, DEMUX)가 배치된 전계 발광 표시장치에 관한 것이다.

배경 기술

[0002] 전계 발광 표시장치는 발광층의 재료에 따라 무기 발광 표시장치와 유기 발광 표시장치로 나뉘어진다. 액티브 매트릭스 타입(active matrix type)의 유기 발광 표시장치는 스스로 발광하는 유기 발광 다이오드(Organic Light Emitting Diode: 이하, "OLED"라 함)를 포함하며, 응답속도가 빠르고 발광효율, 휘도 및 시야각이 큰 장점이 있다.

[0003] 유기 발광 표시장치의 OLED는 애노드와 캐소드 사이에 형성된 유기 화합물층을 포함한다. 유기 화합물층은 정공주입층(Hole Injection layer, HIL), 정공수송층(Hole transport layer, HTL), 발광층(Emission layer, EML), 전자수송층(Electron transport layer, ETL) 및 전자주입층(Electron Injection layer, EIL)을 포함할 수 있다. OLED의 애노드와 캐소드에 전압이 인가되면 정공수송층(HTL)을 통과한 정공과 전자수송층(ETL)을 통과한 전자가 발광층(EML)으로 이동되어 여기자를 형성하고, 그 결과 발광층(EML)이 가시광을 방출하게 된다.

[0004] 전계 발광 표시장치에서 데이터 신호를 출력하는 데이터 구동부의 채널 수를 줄이기 위하여 데이터 구동부의 출력 단자들과 픽셀 어레이의 데이터 라인들 사이에 디멀티플렉서를 연결할 수 있다. 디멀티플렉서는 데이터 구동부의 한 채널로부터 연속으로 공급되는 데이터 신호를 다수의 데이터 라인들에 시분할 분배한다. 디멀티플렉서는 1 수평 기간 내에서 데이터 신호를 시분할하기 때문에 데이터 신호가 데이터 라인들에 인가되는 시간이 부족하게 된다. 디멀티플렉서를 통해 데이터 신호가 시분할될 때 데이터 신호가 인가되지 않는 데이터 라인은 이전 데이터 신호의 전압이 충전되어 이전 데이터 신호의 전압이 픽셀 회로에 샘플링되어 있다. 디멀티플렉서의 스위치 소자가 턴-온(turn-on)되어 현재 데이터 신호가 데이터 라인에 인가되면 픽셀 회로에 현재 데이터 신호의 전압이 인가되는데, 이 픽셀 회로에 이전에 샘플링되어 있는 데이터 전압으로 인하여 픽셀 회로에 현재 데이

터 신호의 타겟 전압이 샘플링되지 않는 경우가 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명은 디멀티플렉서를 이용하여 데이터 구동부의 채널 수를 줄이고 픽셀 회로의 데이터 샘플링 에러를 방지할 수 있는 전계 발광 표시장치를 제공한다.

과제의 해결 수단

[0006] 본 발명의 전계 발광 표시장치는 프리 샘플링 데이터, 제1 픽셀 데이터 및 제2 픽셀 데이터를 감마 보상 전압으로 변환하여 프리 샘플링 데이터 전압, 제1 픽셀 데이터 전압 및 제2 픽셀 데이터 전압을 하나의 채널을 통해 출력하는 데이터 구동부; 상기 데이터 구동부의 채널을 통해 입력된 프리 샘플링 전압을 제1 및 제2 데이터 라인에 동시에 출력한 후, 상기 제1 픽셀 데이터 전압을 상기 제1 데이터 라인에 공급한 다음, 상기 제2 픽셀 데이터 전압을 제2 데이터 라인으로 출력하는 디멀티플렉서; 상기 제1 데이터 라인에 충전된 상기 프리 샘플링 전압과 상기 제1 픽셀 데이터 전압을 순차적으로 충전하는 제1 픽셀 회로; 및 상기 제2 데이터 라인에 충전된 상기 프리 샘플링 전압과 상기 제2 픽셀 데이터 전압을 순차적으로 충전하는 제2 픽셀 회로를 구비한다.

[0007] 본 발명의 전계 발광 표시장치에서, 상기 프리 샘플링 전압은 상기 제1 및 제2 픽셀 데이터의 비교 결과에 따라 상기 데이터 구동부의 출력 전압 범위에서 최소 전압 이상의 전압으로 선택된다.

[0008] 상기 제1 및 제2 픽셀 회로들 각각의 상기 발광 소자가 소정의 초기화 전압으로 초기화된 후에, 상기 제1 및 제2 픽셀 회로들 각각의 상기 구동 소자의 게이트가 상기 프리 샘플링 전압으로 충전된다. 상기 초기화 전압과 상기 프리 샘플링 전압이 다르다.

[0009] 상기 프리 샘플링 전압은 상기 데이터 구동부에서 화이트 계조의 전압으로 변환된다.

발명의 효과

[0010] 본 발명의 디멀티플렉서는 데이터 구동부의 한 채널을 통해 입력된 프리 샘플링 전압을 제1 및 제2 데이터 라인에 동시에 출력한 후, 제1 픽셀 데이터 전압을 제1 데이터 라인에 공급한 다음, 제2 픽셀 데이터 전압을 제2 데이터 라인으로 출력하여 데이터 구동부의 채널 수를 줄일 수 있다. 본 발명의 전계 발광 표시장치는 데이터 라인들을 프리 샘플링 전압으로 프리 차징한 후에 픽셀 데이터 전압을 그 데이터 라인들과 픽셀 회로들에 순차 공급함으로써 1 수평 기간이 작아지는 고해상도, 고속 구동 디스플레이에서 픽셀 회로들의 데이터 샘플링 에러를 방지할 수 있다.

도면의 간단한 설명

[0011] 도 1은 본 발명의 실시예에 따른 전계 발광 표시장치를 보여 주는 블록도이다.

도 2는 픽셀 어레이의 일부 픽셀들과 배선들을 개략적으로 보여 주는 도면이다.

도 3은 본 발명의 제1 실시예에 따른 디멀티플렉서의 스위치 소자들을 보여 주는 도면이다.

도 4는 본 발명에 실시예에 따른 픽셀 회로의 예를 보여 주는 회로도이다.

도 5a 내지 도 8b는 도 4에 도시된 픽셀 회로의 구동 방법을 단계적으로 보여 주는 도면들이다.

도 9는 로드 신호와 제1 및 제2 소스 출력 인에이블 신호를 보여 주는 도면이다.

도 10은 도 5a 내지 도 8b에 도시된 픽셀 회로의 구동 방법에서 제1 및 제2 구동 소자의 게이트 전압 변화를 보여 주는 도면이다.

도 11은 도 5a 내지 도 8b에 도시된 픽셀 회로의 구동 방법에서 제1 및 제2 데이터 라인들의 전압 변화를 보여 주는 도면이다.

도 12는 본 발명의 제2 실시예에 따른 디멀티플렉서의 스위치 소자들을 보여 주는 도면이다.

도 13은 도 12에 도시된 픽셀 회로의 구동 방법을 단계적으로 보여 주는 도면들이다.

도 14A 및 도 14B는 픽셀 데이터에 따라 선택되는 프리 샘플링 전압을 보여 주는 파형도들이다.

도 15는 초기화 전압으로 데이터 라인들이 초기화된 후에 픽셀 데이터 전압이 데이터 라인들에 인가될 때 픽셀 회로의 충전 부족을 보여 주는 비교예를 보여 주는 파형도이다.

도 16은 프리 샘플링 전압(V_m)으로 인한 프리 차지 효과를 보여 주는 파형도이다.

도 17 및 도 18은 타이밍 컨트롤러에서 입력 영상의 픽셀 데이터에서 프리 샘플링 데이터가 선택되는 예를 보여 주는 도면들이다.

도 19는 데이터 구동부의 드라이브 IC 내에서 데이터 흐름을 보여 주는 도면이다.

도 20은 데이터 구동부의 드라이브 IC 에서 입력 영상의 픽셀 데이터에서 프리 샘플링 데이터가 선택되는 예를 보여 주는 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0012] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.
- [0013] 본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명은 도면에 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 실질적으로 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명을 생략한다.
- [0014] 본 명세서 상에서 언급된 "구비한다", "포함한다", "갖는다", "이루어진다" 등이 사용되는 경우 '~ 만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수로 해석될 수 있다.
- [0015] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.
- [0016] 위치 관계에 대한 설명일 경우, 예를 들어, '~ 상에', '~ 상부에', '~ 하부에', '~ 옆에' 등으로 두 구성요소들 간에 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 그 구성요소들 사이에 하나 이상의 다른 구성 요소가 개재될 수 있다.
- [0017] 구성 요소들을 구분하기 위하여 제1, 제2 등이 사용될 수 있으나, 이 구성 요소들은 구성 요소 앞에 붙은 서수나 구성 요소 명칭으로 그 기능이나 구조가 제한되지 않는다.
- [0018] 이하의 실시예들은 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하며, 기술적으로 다양한 연동 및 구동이 가능하다. 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시 가능할 수도 있다.
- [0019] 본 발명의 전계 발광 표시장치에서 픽셀 회로는 n 채널 트랜지스터(NMOS)와 p 채널 트랜지스터(PMOS) 중 하나 이상을 포함할 수 있다. 트랜지스터는 게이트(gate), 소스(source) 및 드레인(drain)을 포함한 3 전극 소자이다. 소스는 캐리어(carrier)를 트랜지스터에 공급하는 전극이다. 트랜지스터 내에서 캐리어는 소스로부터 흐르기 시작한다. 드레인은 트랜지스터에서 캐리어가 외부로 나가는 전극이다. 트랜지스터에서 캐리어의 흐름은 소스로부터 드레인으로 흐른다. n 채널 트랜지스터의 경우, 캐리어가 전자(electron)이기 때문에 소스로부터 드레인으로 전자가 흐를 수 있도록 소스 전압이 드레인 전압보다 낮은 전압을 가진다. n 채널 트랜지스터에서 전류의 방향은 드레인으로부터 소스 쪽으로 흐른다. p 채널 트랜지스터(PMOS)의 경우, 캐리어가 정공(hole)이기 때문에 소스로부터 드레인으로 정공이 흐를 수 있도록 소스 전압이 드레인 전압보다 높다. p 채널 트랜지스터에서 정공이 소스로부터 드레인 쪽으로 흐르기 때문에 전류가 소스로부터 드레인 쪽으로 흐른다. 트랜지스터의 소스와 드레인은 고정된 것이 아니라는 것에 주의하여야 한다. 예컨대, 소스와 드레인은 인가 전압에 따라 변경될 수 있다. 따라서, 트랜지스터의 소스와 드레인으로 인하여 발명이 제한되지 않는다. 이하의 설명에서 트랜지스터의 소스와 드레인을 제1 및 제2 전극으로 칭하기로 한다.
- [0020] 게이트 신호는 게이트 온 전압(Gate On Voltage)과 게이트 오프 전압(Gate Off Voltage) 사이에서 스윙(swing)

g)한다. 게이트 온 전압은 트랜지스터의 문턱 전압 보다 높은 전압으로 설정되며, 게이트 오프 전압은 트랜지스터의 문턱 전압 보다 낮은 전압으로 설정된다. 트랜지스터는 게이트 온 전압에 응답하여 턴-온(turn-on)되는 반면, 게이트 오프 전압에 응답하여 턴-오프(turn-off)된다. n 채널 트랜지스터의 경우에, 게이트 온 전압은 게이트 하이 전압(Gate High Voltage, VGH)이고, 게이트 오프 전압은 게이트 로우 전압(Gate Low Voltage, VGL)일 수 있다. p 채널 트랜지스터의 경우에, 게이트 온 전압은 게이트 로우 전압(VGL)이고, 게이트 오프 전압은 게이트 하이 전압(VGH)일 수 있다.

[0021] 이하, 첨부된 도면을 참조하여 본 발명의 다양한 실시예들을 상세히 설명한다. 이하의 실시예들에서, 전계 발광 표시장치는 유기발광 물질을 포함한 유기발광 표시장치를 중심으로 설명한다. 본 발명의 기술적 사상은 유기발광 표시장치에 국한되지 않고, 무기발광 물질을 포함한 무기발광 표시장치에 적용될 수 있다.

[0022] 본 발명은 디멀티플렉서(Demultiplexer, DEMUX)를 이용하여 데이터 구동부의 한 채널을 통해 출력되는 데이터 전압을 N(N은 2 이상의 짝수) 개의 데이터 라인들에 시분할 공급한다. 본 발명의 전계 발광 표시장치는 픽셀 회로를 초기화하는 단계, 디멀티플렉서의 모든 스위치 소자들을 동시에 턴-온시켜 데이터 라인들에 데이터 신호 또는 미리 설정된 초기화 신호를 인가하여 데이터 라인들을 프리 차징(pre-charging)하는 프리 샘플링 단계, 디멀티플렉서의 스위치 소자들을 순차적으로 턴-온시켜 데이터 라인들에 데이터 신호를 공급하여 픽셀 회로들에 데이터 신호를 인가하는 데이터 샘플링 단계 순으로 픽셀 회로들을 구동한다.

[0023] 도 1 내지 도 3을 참조하면, 본 발명의 실시예에 따른 전계 발광 표시장치는 표시패널(100)과, 표시패널(100)의 픽셀들(101)에 데이터를 기입하기 위한 표시패널 구동회로를 포함한다.

[0024] 표시패널(100)은 화면 상에서 입력 영상을 표시하는 픽셀 어레이를 포함한다. 픽셀 어레이는 다수의 데이터 라인들(102), 데이터 라인들(103)과 교차되는 다수의 게이트 라인들(103), 및 매트릭스 형태로 배치되는 픽셀들을 포함한다.

[0025] 픽셀들 각각은 컬러 구현을 위하여 적색 서브 픽셀, 녹색 서브 픽셀, 청색 서브 픽셀로 나뉘어질 수 있다. 픽셀들 각각은 백색 서브 픽셀을 더 포함할 수 있다. 서브 픽셀들(101) 각각은 픽셀 회로를 포함한다. 이하에서 픽셀은 서브 픽셀과 같은 의미로 해석될 수 있다.

[0026] 픽셀 어레이는 다수의 픽셀 라인들(L1~Ln)을 포함한다. 픽셀 라인은 표시패널(100)의 픽셀 어레이에서 1 라인에 배치된 픽셀들을 포함한다. 픽셀 어레이의 해상도가 m*n일 때 픽셀 어레이는 n 개의 픽셀 라인들(L1~Ln)을 포함한다. 1 픽셀 라인에 배치된 픽셀들은 게이트 라인들을 공유한다. 1 픽셀 라인에 배치된 서브 픽셀들(101)은 서로 다른 데이터 라인(102)에 연결된다. 데이터 라인 방향을 따라 세로 방향으로 배치된 서브 픽셀들은 동일한 데이터 라인을 공유한다.

[0027] 픽셀 회로는 도 4와 같이, 발광 소자(EL), 구동 소자(DT), 하나 이상의 스위치 소자(M1~M6), 커패시터(Cst) 등을 포함한다. 구동 소자(DT)와 스위치 소자(M1~M6)는 TFT(Thin Film Transistor)로 구현될 수 있다. 픽셀 회로는 도 3에 한정되지 않는다는 것에 주의하여야 한다. 예컨대, 픽셀 회로의 트랜지스터들이 도 4에 도시된 바와 같이 p 채널 트랜지스터들로 구현될 수 있으나, n 채널 트랜지스터들로 구현될 수도 있다. 픽셀 회로는 데이터 라인(102)과 게이트 라인(103)에 연결된다. 게이트 라인(103)은 스캔 신호(SCAN(N-1), SCAN(N))이 인가되는 게이트 라인들(31, 32)과, 발광 제어 신호(이하, “EM 신호”라 함)가 인가되는 게이트 라인(33)으로 나뉘어질 수 있다.

[0028] 표시패널(100)은 픽셀 구동 전압(VDD)을 서브 픽셀들(101)에 공급하기 위한 VDD 라인(104), 픽셀 회로를 초기화하기 위한 초기화 전압(Vini)을 서브 픽셀들(101)에 공급하기 위한 Vini 라인(105), 저전위 전원 전압(VSS)을 픽셀들에 공급하기 위한 VSS 전극 등을 더 포함할 수 있다. 전원 라인들(104, 105)과 VSS 전극은 도시하지 않은 전원 회로에 연결된다.

[0029] 표시패널(100)의 픽셀 어레이 상에 터치 센서들이 배치될 수 있다. 터치 입력은 별도의 터치 센서들을 이용하여 센싱되거나 픽셀들을 통해 센싱될 수 있다. 터치 센서들은 온-셀(On-cell type) 또는 애드 온 타입(Add on type)으로 표시패널의 화면 상에 배치되거나 픽셀 어레이에 내장되는 인-셀(In-cell type) 터치 센서들로 구현될 수 있다.

[0030] 표시패널 구동회로는 데이터 구동부(110)와 게이트 구동부(120)를 구비한다. 표시패널 구동회로는 데이터 구동부(110)와 데이터 라인들(102) 사이에 배치된 디멀티플렉서 어레이(112)를 더 구비한다.

[0031] 표시패널 구동회로는 타이밍 컨트롤러(Timing controller, TCON)(130)의 제어 하에 표시패널(100)의 픽셀들에

입력 영상의 데이터를 기입한다. 표시패널 구동회로는 터치 센서들을 구동하기 위한 터치 센서 구동부를 더 구비할 수 있다. 터치 센서 구동부는 도 1에서 생략되어 있다. 모바일 기기에서 표시패널 구동회로, 타이밍 컨트롤러(130) 그리고 전원 회로는 하나의 집적 회로(IC)에 집적될 수 있다.

[0032] 표시패널 구동회로는 저속 구동 모드로 동작할 수 있다. 저속 구동 모드는 입력 영상을 분석하여 입력 영상이 미리 설정된 프레임 개수 만큼 변화가 없을 때 표시장치의 소비 전력을 줄이기 위하여 설정될 수 있다. 다시 말하여, 저속 구동 모드는 정지 영상이 일정 시간 이상 입력될 때 픽셀들의 리프레쉬 레이트(Refresh rate)를 낮춤으로써 픽셀들의 데이터 기입 주기를 길게 제어하여 소비 전력을 줄일 수 있다. 저속 구동 모드는 정지 영상이 입력될 때에 한정되지 않는다. 예컨대, 표시장치가 대기 모드로 동작하거나 사용자 명령이나 입력 영상이 소정 시간 이상 표시패널 구동 회로에 입력되지 않을 때 표시패널 구동 회로는 저속 구동 모드로 동작할 수 있다.

[0033] 데이터 구동부(110)는 타이밍 컨트롤러(130)의 제어 하에 데이터 신호의 전압(이하, “데이터 전압”이라 함)을 디멀티플렉서 어레이(112)의 입력 노드에 연결된 채널들(DOUT1, DOUT2)을 통해 출력한다. 데이터 전압은 입력 영상의 픽셀 데이터 전압(Vdata)과 프리 샘플링(pre-sampling) 전압(Vm)을 포함한다. 데이터 구동부(110)는 디지털 데이터인 입력 영상의 픽셀 데이터와 프리 샘플링 데이터 각각을 감마 보상 전압으로 변환하여 픽셀 데이터 전압(Vdata)과 프리 샘플링 전압(Vm)을 발생한다.

[0034] 데이터 구동부(110)는 픽셀 데이터 전압(Vdata)을 출력하기 전에 프리 샘플링 전압(Vm)을 출력한다. 프리 샘플링 전압(Vm)은 데이터 구동부(110)의 한 채널을 통해 1 수평 기간(1H) 내에서 순차적으로 출력되는 픽셀 데이터 전압(Vdata) 중에서 최소 전압으로 선택되거나 픽셀 데이터 전압(Vdata)의 최소 전압으로 미리 설정될 수 있다. 전자의 경우, 프리 샘플링 전압(Vm)은 출력 전압 범위 중에서 최소 전압 이상의 전압이고, 입력 영상의 데이터에 따라 가변되는 전압이다. 후자의 경우, 프리 샘플링 전압(Vm)은 미리 설정된 특정 전압이다.

[0035] 데이터 구동부(110)의 출력 전압 범위는 데이터 신호의 계조에 따라 그 전압 레벨이 결정된다. 예를 들어, 픽셀 회로의 구동 소자가 PMOS일 때, 상기 픽셀 데이터 전압(Vdata)의 최소 전압은 화이트 계조(white gray scale)의 전압이고, 픽셀 데이터 전압(Vdata)의 최고 전압은 블랙 계조(black gray scale)의 전압이다. 데이터 구동부(110)의 출력 전압 범위가 0V~5V 이라면, 픽셀 데이터의 화이트 계조 전압은 0V이고 블랙 계조 전압은 5V이다.

[0036] 데이터 구동부(110)로부터 출력되는 전압(Vdata/Vm)은 디멀티플렉서 어레이(112)를 통해 데이터 라인들(102)에 공급되는 데이터 라인들(102) 각각에는 도 3에 도시된 바와 같이 커패시터(51~54)가 연결된다. 커패시터(51, 54)는 데이터 라인(102)의 전압을 충전하여 서브 픽셀들(101)의 픽셀 회로에 공급한다. 커패시터(51, 54)는 데이터 라인(102)의 기생 용량 또는 소정의 설계치로 형성된 별도의 커패시터로 구현될 수 있다.

[0037] 디멀티플렉서 어레이(112)는 데이터 구동부(110)의 출력 단자들과 데이터 라인들(102) 사이에 배치되어 데이터 구동부(110)로부터 출력되는 데이터 전압을 시분할하여 데이터 라인들(102)로 분배한다. 디멀티플렉서 어레이(112)는 도 3에 도시된 바와 같이 다수의 디멀티플렉서들(61, 62)을 포함한다.

[0038] 디멀티플렉서(61, 62)는 입력 노드가 하나이고 출력 노드가 N(N은 둘 이상의 양의 정수)인 1:N 디멀티플렉서일 수 있다. 도 3은 1:2 디멀티플렉서이고, 도 12는 1:3 디멀티플렉서이다.

[0039] 게이트 구동부(120)는 픽셀 어레이의 TFT 어레이와 함께 표시패널(100) 상의 베젤 영역(Bezel, BZ) 상에 직접 형성되는 GIP(Gate in panel) 회로로 구현될 수 있다. 게이트 구동부(120)는 타이밍 컨트롤러(130)의 제어 하에 게이트 신호를 게이트 라인들(103)로 출력한다. 게이트 구동부(120)는 시프트 레지스터(Shift register)를 이용하여 게이트 신호를 시프트시킴으로써 그 신호들을 게이트 라인들(103)에 순차적으로 공급할 수 있다.

[0040] 게이트 구동부(120)는 제1 게이트 구동부(121)와 제2 게이트 구동부(122)를 포함할 수 있다. 제1 게이트 구동부(121)는 스캔 신호(SCAN(N-1), SCAN(N))를 출력하고, 시프트 클럭에 따라 스캔 신호(SCAN1, SCAN2)를 순차적으로 시프트한다. 제2 게이트 구동부(122)는 EM 신호(EM)를 출력하고, 시프트 클럭에 따라 EM 신호(EM)를 순차적으로 시프트한다. 베젤(bezel)이 없는 모델의 경우에, 제1 및 제2 게이트 구동부들(121, 122)를 구성하는 스위치 소자들이 픽셀 어레이 내에 분산 배치될 수 있다.

[0041] 타이밍 컨트롤러(130)는 도시하지 않은 호스트 시스템으로부터 입력 영상의 디지털 비디오 데이터(DATA)와, 그와 동기되는 타이밍 신호를 수신한다. 타이밍 신호는 수직 동기신호(Vsync), 수평 동기신호(Hsync), 클럭(CLK) 및 데이터 인에이블신호(DE) 등을 포함한다. 호스트 시스템은 TV(Television) 시스템, 셋톱박스, 네비게이션

시스템, 개인용 컴퓨터(PC), 홈 시어터 시스템, 모바일 기기, 웨어러블 기기의 메인 회로 보드일 수 있다.

- [0042] 타이밍 컨트롤러(130)는 입력 프레임 주파수를 i 배 채배하여 입력 프레임 주파수 $\times i$ (i 는 0 보다 큰 양의 정수) Hz의 프레임 주파수로 표시패널 구동부(110, 112, 120)의 동작 타이밍을 제어할 수 있다. 입력 프레임 주파수는 NTSC(National Television Standards Committee) 방식에서 60Hz이며, PAL(Phase-Alternating Line) 방식에서 50Hz이다. 타이밍 컨트롤러(130)는 저속 구동 모드에서 픽셀들의 리프레쉬 레이트를 낮추기 위하여 프레임 주파수를 1Hz ~ 30Hz 사이의 주파수로 낮출 수 있다.
- [0043] 타이밍 컨트롤러(130)는 호스트 시스템으로부터 수신된 타이밍 신호(Vsync, Hsync, DE)를 바탕으로서 데이터 구동부(110)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호, 디멀티플렉서 어레이(112)의 동작 타이밍을 제어하기 위한 MUX 신호, 게이트 구동부(120)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호를 발생한다. 타이밍 컨트롤러(130)로부터 출력된 게이트 타이밍 제어신호의 전압 레벨은 도시하지 않은 레벨 시프터(level shifter)를 통해 게이트 온 전압과 게이트 오프 전압으로 변환되어 게이트 구동부(120)에 공급될 수 있다. 레벨 시프터는 게이트 타이밍 제어신호의 로우 레벨 전압(low level voltage)을 게이트 로우 전압(VGL)으로 변환하고, 게이트 타이밍 제어신호의 하이 레벨 전압(high level voltage)을 게이트 하이 전압(VGH)으로 변환한다.
- [0044] 도 3을 참조하면, 1:2 디멀티플렉서의 경우에 디멀티플렉서(61, 52) 각각은 제1 및 제2 스위치 소자들(S1, S2)을 포함한다. 스위치 소자들(S1, S2) 각각은 트랜지스터로 구현될 수 있다. 타이밍 컨트롤러(130)는 스위치 소자들(S1, S2)의 온/오프 타이밍을 제어하기 위한 MUX 신호들(MUX1, MUX2)을 발생한다. MUX 신호들(MUX1, MUX2)은 MUX 라인들(1041, 1042)을 통해 스위치 소자들(S1, S2)의 게이트에 인가된다.
- [0045] 데이터 구동부(110)의 채널들(DOUT1, DOUT2) 각각에서 픽셀 데이터 전압(Vdata)과 프리 샘플링 전압(Vm)은 출력 버퍼(AMP)를 통해 출력된다. 데이터 구동부(110)의 채널들(DOUT1, DOUT2) 각각에서 출력 버퍼(AMP)는 디멀티플렉서(61, 52)의 입력 노드에 연결된다.
- [0046] 제N 픽셀 라인에 배치된 서브 픽셀들(1011~1014)은 동일한 게이트 라인에 연결되어 제N 게이트 신호(G(N))를 공급 받는다. 서브 픽셀들(1011~1014)은 게이트 신호(G(N))에 따라 턴-온되는 스위치 소자를 통해 데이터 라인(1021~1024)에 연결된다.
- [0047] 제1 디멀티플렉서(61)의 제1 스위치 소자(S1)는 데이터 구동부(110)의 제1 채널(DOUT1)과 제1 데이터 라인(1021) 사이에 연결되어 제1 MUX 신호(MUX1)의 게이트 온 전압에 따라 턴-온되어 제1 채널(DOUT1)을 제1 데이터 라인(1021)에 연결한다. 제1 스위치 소자(S1)의 게이트는 제1 MUX 신호(MUX1)가 인가되는 제1 MUX 라인에 연결된다. 제1 스위치 소자(S1)의 제1 전극은 데이터 구동부(110)의 제1 채널(DOUT1)에 연결되고, 제1 스위치 소자(S1)의 제2 전극은 제1 데이터 라인(1021)에 연결된다. 제1 데이터 라인(1021)은 프리 샘플링 전압(Vm)에 의해 프리 차징된 후에 제1 픽셀 데이터 전압(Vdata)을 충전하는 제1 커패시터(51)를 포함한다. 제1 서브 픽셀(1011)은 게이트 신호(G(N))에 따라 턴-온되는 스위치 소자를 통해 제1 데이터 라인(1021)에 연결된다.
- [0048] 제1 디멀티플렉서(61)의 제2 스위치 소자(S2)는 데이터 구동부(110)의 제1 채널(DOUT1)과 제2 데이터 라인(1022) 사이에 연결되어 제2 MUX 신호(MUX2)의 게이트 온 전압에 따라 턴-온되어 제1 채널(DOUT1)을 제2 데이터 라인(1022)에 연결한다. 제2 스위치 소자(S2)의 게이트는 제2 MUX 신호(MUX2)가 인가되는 제2 MUX 라인에 연결된다. 제2 스위치 소자(S2)의 제1 전극은 데이터 구동부(110)의 제1 채널(DOUT1)에 연결되고, 제2 스위치 소자(S2)의 제2 전극은 제2 데이터 라인(1022)에 연결된다. 제2 데이터 라인(1022)은 프리 샘플링 전압(Vm)에 의해 프리 차징된 후에 제2 픽셀 데이터 전압(Vdata)을 충전하는 제2 커패시터(52)를 포함한다. 제2 서브 픽셀(1012)은 게이트 신호(G(N))에 따라 턴-온되는 스위치 소자를 통해 제2 데이터 라인(1022)에 연결된다.
- [0049] 제2 디멀티플렉서(62)의 제1 스위치 소자(S1)는 제1 MUX 신호(MUX1)의 게이트 온 전압에 따라 턴-온되어 데이터 구동부(110)의 제2 채널(DOUT2)을 제3 데이터 라인(1023)에 연결한다. 제3 데이터 라인(1023)은 프리 샘플링 전압(Vm)에 의해 프리 차징된 후에 제3 픽셀 데이터 전압(Vdata)을 충전하는 제3 커패시터(53)를 포함한다. 제3 서브 픽셀(1013)은 게이트 신호(G(N))에 따라 턴-온되는 스위치 소자를 통해 제3 데이터 라인(1023)에 연결된다.
- [0050] 제2 디멀티플렉서(62)의 제2 스위치 소자(S2)는 제2 MUX 신호(MUX2)의 게이트 온 전압에 따라 턴-온되어 데이터 구동부(110)의 제2 채널(DOUT2)을 제4 데이터 라인(1024)에 연결한다. 제4 데이터 라인(1024)은 프리 샘플링 전압(Vm)에 의해 프리 차징된 후에 제4 픽셀 데이터 전압(Vdata)을 충전하는 제4 커패시터(54)를 포함한다. 제4 서브 픽셀(1014)은 게이트 신호(G(N))에 따라 턴-온되는 스위치 소자를 통해 제4 데이터 라인(1024)에 연결된다.

다.

- [0051] 도 4는 본 발명의 실시예에 따른 픽셀 회로의 일 예를 보여 주는 회로도이다. 이 픽셀 회로는 구동 소자(DT)의 문턱 전압(V_{th})을 센싱하고 그 문턱 전압(V_{th}) 만큼 픽셀 데이터 전압(V_{data})을 보상하는 내부 보상 회로가 적용된 예이다. 내부 보상 회로는 픽셀 회로마다 내장되어 픽셀 회로들 각각에서 구동 소자(DT)의 문턱 전압을 샘플링하여 구동 소자(DT)의 문턱 전압 만큼 데이터 전압을 실시간 보상한다. 한편, 본 발명의 픽셀 회로는 도 4에 한정되지 않는다는 것에 주의하여야 한다. 예컨대, 본 발명의 픽셀 회로는 구동 소자의 이동도(mobility, μ)를 센싱하고 그 이동도 만큼 픽셀 데이터 전압(V_{data})을 보상하는 내부 보상 회로를 포함할 수 있다.
- [0052] 도 4를 참조하면, 픽셀 회로는 발광 소자(EL), 다수의 트랜지스터들(M1~M6, DT), 및 커패시터(Cst)를 포함한다. 트랜지스터들(M1~M6, DT)은 p 채널 트랜지스터(PMOS)로 구현될 수 있다.
- [0053] 발광 소자(EL)는 OLED로 구현될 수 있다. OLED는 애노드와 캐소드 사이에 형성된 유기 화합물층을 포함한다. 유기 화합물층은 정공주입층(HIL), 정공수송층(HTL), 발광층(EML), 전자수송층(ETL) 및 전자주입층(EIL) 등을 포함할 수 있으나 이에 한정되지 않는다. OLED의 애노드는 제4 및 제6 스위치 소자들(M4, M6)에 연결된다. OLED의 캐소드는 저전위 전원 전압(VSS)이 인가되는 VSS 전극에 연결된다. OLED는 구동 소자(DT)를 통해 공급되는 전류로 발광한다. OLED의 전류 패스는 제3 및 제4 스위치 소자(M3, M4)에 의해 스위칭된다.
- [0054] 스토리지 커패시터(Cst)는 VDD 라인(104)과 제1 노드(DRG) 사이에 연결된다. 구동 소자(DT)의 문턱 전압(V_{th})만큼 보상된 픽셀 데이터 전압(V_{data})이 스토리지 커패시터(Cst)에 충전되어 데이터가 샘플링된다. 서브 픽셀들(101) 각각에서 픽셀 데이터 전압(V_{data})은 구동 소자(DT)의 문턱 전압(V_{th})만큼 보상되기 때문에 서브 픽셀들(101)에서 구동 소자(DT)의 특성 편차가 보상되어 균일한 구동 특성으로 구동될 수 있다.
- [0055] 제1 스위치 소자(M1)는 제N 스캔 신호(SCAN(N))의 게이트 온 전압에 응답하여 턴-온되어 제1 노드(DRG)와 제2 노드(n2)를 연결한다. 제1 노드(DRG)는 구동 소자(DT)의 게이트, 스토리지 커패시터(Cst)의 제1 전극, 및 제1 스위치 소자(M1)의 제1 전극에 연결된다. 제2 노드(n2)는 구동 소자(DT)의 제2 전극, 제1 스위치 소자(M1)의 제2 전극, 및 제4 스위치 소자(M4)의 제1 전극에 연결된다. 제1 스위치 소자(M1)의 게이트는 제N 스캔 신호(SCAN(N))를 공급 받는다. 제1 스위치 소자(M)의 제1 전극은 제1 노드(DRG)에 연결되고, 제1 스위치 소자(M1)의 제2 전극은 제2 노드(n2)에 연결된다.
- [0056] 제2 스위치 소자(M2)는 제N 스캔 신호(SCAN(N))의 게이트 온 전압에 응답하여 턴-온되어 데이터 라인(102)의 전압(V_{data}/V_m)을 제3 노드(n3)에 공급한다. 제2 스위치 소자(M2)의 게이트는 제N 스캔 신호(SCAN(N))를 공급 받는다. 제2 스위치 소자(M2)의 제1 전극은 제3 노드(n3)에 연결된다. 제2 스위치 소자(M2)의 제2 전극은 데이터 라인(102)에 연결된다. 제3 노드(n3)는 제2 스위치 소자(M2)의 제1 전극, 제3 스위치 소자(M2)의 제2 전극, 및 구동 소자(DT)의 제2 전극에 연결된다.
- [0057] 제3 스위치 소자(M3)는 EM 신호(EM(N))의 게이트 온 전압에 응답하여 턴-온되어 VDD 라인(104)을 제3 노드(n3)에 연결한다. 제3 스위치 소자(M3)의 게이트는 EM 신호(EM(N))를 공급 받는다. 제3 스위치 소자(M3)의 제1 전극은 VDD 라인(104)에 연결된다. 제3 스위치 소자(M3)의 제2 전극은 제3 노드(n3)에 연결된다.
- [0058] 제4 스위치 소자(M4)는 EM 신호(EM(N))의 게이트 온 전압에 응답하여 턴-온되어 제2 노드(n2)를 발광 소자(EL)에 연결한다. 제4 스위치 소자(M4)의 게이트는 EM 신호(EM(N))를 공급 받는다. 제4 스위치 소자(M4)의 제1 전극은 제2 노드(n2)에 연결되고, 제2 전극은 발광 소자(EL)의 애노드에 연결된다.
- [0059] 제5 스위치 소자(M5)는 제N-1 스캔 신호(SCAN(N-1))의 게이트 온 전압에 응답하여 턴-온되어 제1 노드(DRG)를 Vini 라인(105)에 연결한다. 제5 스위치 소자(M5)의 게이트는 제N-1 스캔 신호(SCAN(N-1))를 공급 받는다. 제5 스위치 소자(M5)의 제1 전극은 제1 노드(DRG)에 연결되고, 제2 전극은 Vini 라인(105)에 연결된다.
- [0060] 제6 스위치 소자(M6)는 제N-1 스캔 신호(SCAN(N-1))의 게이트 온 전압에 응답하여 턴-온되어 Vini 라인(105)을 발광 소자(EL)에 연결한다. 제6 스위치 소자(M6)의 게이트는 제N-1 스캔 신호(SCAN(N-1))를 공급 받는다. 제6 스위치 소자(M6)의 제1 전극은 Vini 라인(105)에 연결되고, 제2 전극은 발광 소자(EL)의 애노드에 연결된다.
- [0061] 구동 소자(DT)는 소스-게이트 간 전압(V_{sg})에 따라 발광 소자(EL)에 흐르는 전류를 조절하는 구동 소자이다. P 채널 트랜지스터는 $V_{sg}-V_{th}$ 이상일 때 턴-온되고 $V_{sg}-V_{th}$ 보다 작을 때 턴-오프된다. 구동 소자(DT)는 제1 노드(DRG)에 연결된 게이트, 제3 노드(n3)에 연결된 제1 전극, 및 제2 노드(n2)에 연결된 제2 전극을 포함한다.
- [0062] 본 발명의 실시예에 따른 픽셀 회로의 구동 방법은 도 5a 내지 도 8b에 도시된 바와 같이 초기화 단계(Tini), 샘플링 단계(Tsam), 및 구동 단계(Tem)를 포함한다. 초기화 단계(Tini)와 샘플링 단계(Tsam)의 시간은 각각 1

수평 기간(1H)으로 설정된다. 구동 단계(Tem)의 시간은 1 프레임 기간에서 초기화 단계(Tini)와 샘플링 단계(Tsam)를 뺀 나머지 시간이다.

[0063] 도 5a 내지 도 8b에서, SOE는 타이밍 컨트롤러(TCON)에 의해 생성되는 소스 출력 인에이블 신호(source enable signal)이다. SOE는 데이터 구동부(110)의 출력 타이밍을 지시한다. 일반적으로, SOE는 1 수평 기간(1H)에 하나의 픽셀 데이터가 출력되기 때문에 1 수평 기간(1H)에 1회 발생되고, 1:2 디멀티플렉서를 이용하는 경우에 1 수평 기간(1H)에 2회 발생된다. 이에 비하여, 본 발명의 데이터 구동부(110)가 1 수평 기간(1H) 동안 프리 샘플링 데이터(Dm), 제1 픽셀 데이터(D1), 및 제2 픽셀 데이터(D2)를 출력한다. 이 때문에 본 발명에서 SOE의 펄스는 1 수평 기간(1H) 내에서 3 회 이상 발생된다. 예를 들어, 1:2 디멀티플렉서를 이용하는 경우에 SOE의 펄스는 1 수평 기간(1H) 내에서 3 회 발생되고, 1:3 디멀티플렉서를 이용하는 경우에 SOE의 펄스는 1 수평 기간(1H) 내에서 4 회 발생된다. 데이터 구동부(110)는 SOE의 펄스들 사이의 로우 로직 구간(low) 동안 프리 샘플링 전압(Vm)이나 픽셀 데이터 전압(Vdata)을 출력할 수 있다.

[0064] 도 5a 내지 도 8b는 도 4에 도시된 픽셀 회로의 구동 방법을 단계적으로 보여 주는 도면들이다. 도 5a 내지 도 8b에 도시된 픽셀 회로는 제N 픽셀 회로의 제1 및 제2 서브 픽셀들(1011, 1012)의 회로를 나타낸다. 스캔 신호(SCAN(N-1), SCAN(N), SCAN(N+1))는 데이터 신호(DATA)와 동기된다. 제N-1 스캔 신호(SCAN(N-1))의 펄스에 동기되는 데이터 신호(DATA)는 제N-1 픽셀 라인의 제1 및 제2 서브 픽셀들에 인가되는 프리 샘플링 데이터(Dm), 제1 픽셀 데이터(D1(N-1)) 및 제2 픽셀 데이터(D2(N-1))를 포함한다. 제N 스캔 신호(SCAN(N))의 펄스에 동기되는 디지털 데이터(DATA)는 제N 픽셀 라인의 제1 및 제2 서브 픽셀들(1011, 1012)에 기입될 프리 샘플링 데이터(Dm), 제1 픽셀 데이터(D1(N)) 및 제2 픽셀 데이터(D2(N))를 포함한다. 데이터 라인들(1021, 1022)과 서브 픽셀들(1011, 1012)에 인가되는 프리 샘플링 전압(Vm)과 픽셀 데이터 전압(Vdata1(N-1), Vdata2(N-1))은 데이터 구동부(110)의 DAC(Digital to Analog Converter)에 입력된 디지털 데이터(Dm, D1, D2)가 DAC를 통해 아날로그 전압으로 변환된 전압이다.

[0065] 도 5a는 초기화 단계(Tini)에서 디멀티플렉서(61)와 서브 픽셀들(1011, 1012)을 보여 주는 회로도이다. 도 5b는 초기화 단계(Tini)를 보여 주는 파형도이다. 초기화 단계(Tini)는 제N-1 스캔 신호(SCAN(N-1))의 펄스에 의해 정의된다. 초기화 단계(Tini)에서 제N 픽셀 라인의 제1 및 제2 서브 픽셀들(1011, 1012)의 OLED와 제1 노드(DRG1, DRG2)의 전압이 초기화 전압(Vini)으로 초기화된다. 제1 노드(DRG1, DRG2)의 전압은 구동 소자(DT1, DT2)의 게이트 전압이다. 제N 픽셀 라인이 초기화 단계(Vini)일 때, 제N-1 픽셀 라인의 제1 및 제2 서브 픽셀들은 샘플링 단계(Tsam)이다.

[0066] 도 5a 및 도 5b를 참조하면, 초기화 단계(Tini)는 제1 내지 제3 기간(T11, T12, T13)을 포함한다. 초기화 단계(Tini)에서, 제N-1 스캔 신호(SCAN(N-1))는 게이트 온 전압(VGL)으로 발생하는 반면, 제N 및 제N+1 스캔 신호(SCAN(N), SCAN(N+1))는 게이트 오프 전압(VGH)으로 발생된다.

[0067] 초기화 단계(Tini)에서 제N-1 스캔 신호(SCAN(N-1))의 펄스가 발생하는 반면 제N 스캔 신호(SCAN(N))가 게이트 오프 전압(VGH)이다. 이 때문에 제N-1 픽셀 라인의 구동 소자의 게이트에 프리 샘플링 전압(Vm)과 픽셀 데이터 전압(Vdata1(N-1), Vdata2(N-1))이 인가되는 반면, 이 전압(Vm, Vdata1(N-1), Vdata2(N-1))이 제N 픽셀 라인의 구동 소자(DT1, DT2)에 인가될 수 없다. 초기화 단계(Tini)의 결과로, 도 5b에 도시된 바와 같이 제1 노드(DRG1, DRG2)와 발광 소자(EL)의 애노드의 전압은 초기화 전압(Vini)이다. 초기화 단계(Tini)가 끝날 때, 제1 데이터 라인(1021)의 커패시터(51)에 충전된 전압은 제N-1 픽셀 데이터 전압(Vdata1(N-1))이다. 그리고 제2 데이터 라인(1022)의 커패시터(52)에 충전된 전압은 제N-1 픽셀 데이터 전압(Vdata2(N-1))이다. 이 픽셀 데이터 전압(Vdata1(N-1), Vdata2(N-1))은 제N-1 픽셀 라인의 서브 픽셀들의 제1 노드 즉, 구동 소자의 게이트에 인가된다.

[0068] 초기화 단계(Tini)의 제1 기간(T11)에 디멀티플렉서(61)의 제1 및 제2 스위치 소자(S1)가 게이트 온 전압(VGL)의 MUX 신호(MUX1, MUX2)에 따라 동시에 턴-온되고, 데이터 구동부(110)는 프리 샘플링 전압(Vm)을 출력한다. 이와 동시에, 제N 픽셀 라인의 서브 픽셀들(1011, 1012)에서 제5 및 제6 스위치 소자들(M5, M6)이 제N-1 스캔 신호(SCAN(N-1))의 게이트 온 전압(VGL)에 따라 턴-온된다. 따라서, 제1 기간(T11)에 데이터 라인들(1021, 1022)의 커패시터(51, 52)가 프리 샘플링 전압(Vm)으로 충전되고, 제N 픽셀 라인의 서브 픽셀들(1011, 1012)에서 발광 소자(EL)의 애노드, 구동 소자(DT1, DT2)의 게이트, 및 커패시터(Cst)가 초기화 전압(Vini)으로 초기화된다.

[0069] 초기화 단계(Tini)의 제2 기간(T12)에 제1 MUX 신호(MUX1)가 게이트 온 전압(VGL)으로 유지되는 반면, 제2 MUX 신호(MUX2)가 게이트 오프 전압(VGH)으로 반전된다. 이 때, 제1 스위치 소자(S1)가 턴-온되어 제1 픽셀 데이터

전압(D1(N-1))이 제1 데이터 라인(1021)에 인가되어 커패시터(51)의 전압이 제1 픽셀 데이터 전압(D1(N-1))으로 변하고, 이 전압이 제N-1 픽셀 라인에 형성된 구동 소자들의 게이트에 인가된다.

[0070] 초기화 단계(Tini)의 제3 기간(T13)에 제1 MUX 신호(MUX1)가 게이트 오프 전압(VGH)으로 반전되고, 제2 MUX 신호(MUX2)가 게이트 온 전압(VGL)으로 반전된다. 이 때, 제2 스위치 소자(S2)가 턴-온되어 제2 픽셀 데이터 전압(D2(N-1))이 제2 데이터 라인(1022)에 인가되어 커패시터(52)의 전압이 제2 픽셀 데이터 전압(D2(N-1))으로 변하고, 이 전압이 제N-1 픽셀 라인에 형성된 구동 소자들의 게이트에 인가된다. 초기화 전압(Vini)은 특정 직류 전압이고, 이 초기화 전압(Vini)과 프리 샘플링 데이터 전압(Vm)이 다를 수 있다. 예컨대, 프리 샘플링 전압(Vm)은 제1 및 제2 픽셀 데이터의 최소값으로 선택되거나 화이트 계조로 선택되고 그 전압이 초기화 전압(Vini)과 다를 수 있다.

[0071] 도 6a 내지 도 8b는 샘플링 단계(Tsam)를 단계적으로 보여 주는 도면들이다. 샘플링 단계(Tsam)는 제N 스캔 신호(SCAN(N))의 펄스에 의해 정의된다. 샘플링 단계(Tsam)에서, 제N-1 스캔 신호(SCAN(N-1))는 게이트 오프 전압(VGH)으로 반전되는 반면, 제N 스캔 신호(SCAN(N))는 게이트 온 전압(VGL)의 펄스로 발생된다. 따라서, 샘플링 단계(Tsam) 동안 제N 픽셀 라인의 구동 소자(DT1, DT2)의 게이트에 프리 샘플링 전압(Vm(N))과 픽셀 데이터 전압(Vdata1(N), Vdata2(N))이 순차적으로 인가되는 반면, 이 전압(Vm, Vdata1(N), Vdata2(N))이 제N-1 픽셀 라인의 구동 소자에 인가될 수 없다. 프리 샘플링 전압(Vm(N))과 픽셀 데이터 전압(Vdata1(N), Vdata2(N))은 데이터 구동부(110)의 DAC에 의해 변환된 아날로그 전압이다. 샘플링 단계(Tsam)의 결과로, 도 8b에 도시된 바와 같이 제1 데이터 라인(1021)의 커패시터(51)에 충전된 제1 픽셀 데이터 전압(Vdata1(N))이 제1 서브 픽셀(1011)에서 구동 소자(DT1, DT2)의 게이트에 인가되어 제1 서브 픽셀(1011)에 픽셀 데이터가 샘플링된다. 그리고 제2 데이터 라인(1022)의 커패시터(52)에 충전된 제2 픽셀 데이터 전압(Vdata2(N))이 제2 서브 픽셀(1012)에서 구동 소자(DT2)의 게이트에 인가되어 제2 서브 픽셀(1012)에 픽셀 데이터가 샘플링된다.

[0072] 샘플링 단계(Tsam)는 제1 내지 제3 기간(T21, T22, T23)을 포함한다.

[0073] 도 6a는 샘플링 단계(Tsam)의 제1 기간(T21)에서 디멀티플렉서(61)와 서브 픽셀들(1011, 1012)을 보여 주는 회로도이다. 도 6b는 샘플링 단계(Tsam)의 제1 기간(T21)을 보여 주는 파형도이다.

[0074] 도 6a 및 도 6b를 참조하면, 샘플링 단계(Tsam)의 제1 기간(T21) 동안 제1 및 제2 MUX 신호(MUX1, MUX2)가 게이트 온 전압(VGL)으로 발생되어 디멀티플렉서(61)의 제1 및 제2 스위치 소자(S1, S2)가 동시에 턴-온되고, 데이터 구동부(110)는 프리 샘플링 전압(Vm(N))을 출력한다. 프리 샘플링 전압(Vm)은 제1 픽셀 데이터 전압(Vdata1(N))과 제2 픽셀 데이터 전압(Vdata2(N)) 중에서 작은 전압으로 선택되거나 데이터 구동부(110)의 출력 전압 범위 내에서 최소 전압일 수 있다. 여기서, 최소 전압은 화이트 계조의 전압일 수 있다.

[0075] 샘플링 단계(Tsam)의 제1 기간(T21)에 제N 픽셀 라인의 서브 픽셀들(1011, 1012)에서 제1 및 제2 스위치 소자들(M1, M2)이 제N 스캔 신호(SCAN(N))의 게이트 온 전압(VGL)에 따라 턴-온된다. 따라서, 제1 기간(T21)에 디멀티플렉서(62)의 스위치 소자들(S1, S2)을 통해 데이터 라인들(1021, 1022)에 인가된 프리 샘플링 전압(Vm(N))이 데이터 라인들(1021, 1022)의 커패시터(51, 52)에 충전되고, 이 전압(Vm(N))이 제1 및 제2 서브 픽셀들(1011, 1012)의 제1 노드(DRG1, DRG2)에 동시에 인가된다. 그 결과, 제1 기간(T21)이 끝날 때 제1 및 제2 서브 픽셀들(1011, 1012) 각각에서 구동 소자(DT1, DT2)의 게이트 전압이 $V_m(N) - |V_{th}|$ 로 프리 차징된다. $|V_{th}|$ 는 구동 소자(DT1, DT2)의 문턱 전압이다. 프리 샘플링 전압(Vm(N))이 데이터 전압(Vdata1(N), Vdata2(N))의 최소 전압으로 선택되면, 입력 영상의 픽셀 데이터에 가변되는 전압이다.

[0076] 도 7a는 샘플링 단계(Tsam)의 제2 기간(T22)에서 디멀티플렉서(61)와 서브 픽셀들(1011, 1012)을 보여 주는 회로도이다. 도 7b는 샘플링 단계(Tsam)의 제2 기간(T22)을 보여 주는 파형도이다.

[0077] 도 7a 및 도 7b를 참조하면, 샘플링 단계(Tsam)의 제2 기간(T22)에 제1 MUX 신호(MUX1)는 게이트 온 전압(VGL)을 유지하는 반면에, 제2 MUX 신호(MUX2)는 게이트 오프 전압(VGH)으로 반전된다. 제2 기간(T22)에 제1 스위치 소자(S1)는 턴-온되어 제1 픽셀 데이터 전압(Vdata1(N))을 제1 데이터 라인(1021)으로 공급한다. 제2 스위치 소자(S2)는 제2 기간(T22)에 턴-오프된다. 따라서, 제2 기간(T22) 동안 제1 데이터 라인(1021)의 전압은 프리 샘플링 전압(Vm)으로부터 제1 픽셀 데이터 전압(Vdata1(N))으로 변한다. 반면에, 제2 데이터 라인(1022)은 프리 샘플링 전압(Vm)으로 유지된다.

[0078] 샘플링 단계(Tsam)의 제2 기간(T22)에 제N 픽셀 라인의 서브 픽셀들(1011, 1012)에서 제1 및 제2 스위치 소자들(M1, M2)이 제N 스캔 신호(SCAN(N))의 게이트 온 전압(VGL)에 따라 턴-온된다. 따라서, 제2 기간(T22)에 제1 서브 픽셀(1011)의 제1 노드(DRG1)에 제1 픽셀 데이터 전압(Vdata1(N))이 인가되고, 제2 서브 픽셀(1012)의 제

1 노드(DRG)에 프리 샘플링 전압($V_m(N)$)이 인가된다. 그 결과, 제2 기간(T_{22})이 끝날 때 제1 서브 픽셀(1011)에서 구동 소자(DT1)의 게이트 전압이 $V_{data1}(N) - |V_{th}|$ 로 변하여 커패시터(Cst)에 문턱 전압(V_{th})이 보상된 픽셀 데이터 전압이 샘플링된다. 제2 기간(T_{22})이 끝날 때 제2 서브 픽셀(1012)에서 구동 소자(DT2)의 게이트 전압은 $V_m(N) - |V_{th}|$ 이다.

[0079] 도 8a 및 도 8b를 참조하면, 샘플링 단계(T_{sam})의 제3 기간(T_{23})에 제2 MUX 신호(MUX2)는 게이트 온 전압(VGL)으로 반전되고, 제1 MUX 신호(MUX1)는 게이트 오프 전압(VGH)으로 반전된다. 제3 기간(T_{23})에 제2 스위치 소자(S2)는 턴-온되어 제2 픽셀 데이터 전압($V_{data2}(N)$)을 제2 데이터 라인(1022)으로 공급한다. 제1 스위치 소자(S1)는 제3 기간(T_{23})에 턴-오프된다. 따라서, 제3 기간(T_{23}) 동안 제2 데이터 라인(1022)의 전압은 프리 샘플링 전압($V_m(N)$)으로부터 제2 픽셀 데이터 전압($V_{data2}(N)$)으로 변한다. 반면에, 제1 데이터 라인(1021)은 제1 픽셀 데이터 전압($V_{data1}(N)$)으로 유지된다.

[0080] 샘플링 단계(T_{sam})의 제3 기간(T_{23})에 제N 픽셀 라인의 서브 픽셀들(1011, 1012)에서 제1 및 제2 스위치 소자들(M1, M2)이 제N 스캔 신호(SCAN(N))의 게이트 온 전압(VGL)에 따라 턴-온된다. 따라서, 제3 기간(T_{23})에 제2 서브 픽셀(1012)의 제1 노드(DRG1)에 제2 픽셀 데이터 전압($V_{data2}(N)$)이 인가된다. 이 때 제1 서브 픽셀(1011)의 제1 노드 전압 즉, 구동 소자(DT1)의 게이트 전압은 $V_{data1}(N) - |V_{th}|$ 을 유지한다. 그 결과, 제3 기간(T_{23})이 끝날 때 제1 서브 픽셀(1011)에서 구동 소자(DT1)의 게이트 전압은 $V_{data1}(N) - |V_{th}|$ 이고, 제2 서브 픽셀(1012)에서 구동 소자(DT2)의 게이트 전압은 $V_{data2}(N) - |V_{th}|$ 이다.

[0081] 구동 단계(T_{em})에서 제N 픽셀 라인의 서브 픽셀들(1011, 1012)에 인가되는 EM 신호(EM)가 게이트 온 전압(VGL)으로 발생된다. 이 때, 제3 및 제4 스위치 소자들(M3, M4)이 턴-온되어 발광 소자(EL)에 전류가 흘러 발광 소자(EL)가 발광된다.

[0082] 타이밍 콘트롤러(130)는 도 9에 도시된 바와 같이 데이터 구동부(110)에서 래치(latch)의 데이터 샘플링 타이밍을 제어하기 위한 로드 신호(LOAD)와, 데이터 구동부(110)의 출력 타이밍을 제어하기 위한 SOE 신호들(SOE1, SOE2)을 발생할 수 있다. 로드 신호(LOAD)는 래치에서 1 수평 기간(1H)에 프리 샘플링 데이터(D_m), 제1 픽셀 데이터(D1), 및 제2 픽셀 데이터(D2) 각각이 샘플링되도록 이 데이터(D_m , D1, D2)에 동기되도록 1 수평 기간(1H)마다 3 회 발생된다. SOE 신호는 프리 샘플링 데이터(D_m)와 제1 픽셀 데이터(D1)의 출력 타이밍을 지시하는 제1 SOE 신호(SOE2)와, 제2 픽셀 데이터(D2)의 출력 타이밍을 지시하는 제2 SOE 신호(SOE2)로 나뉘어질 수 있다.

[0083] 도 10은 도 5a 내지 도 8b에 도시된 픽셀 회로의 구동 방법에서 제1 및 제2 구동 소자(DT1, DT2)의 게이트 전압 변화를 보여 주는 도면이다. 여기서, 제1 구동 소자(DT1)는 제1 서브 픽셀(1011)의 발광 소자(EL)를 구동한다. 제2 구동 소자(DT2)는 제2 서브 픽셀(1012)의 발광 소자(EL)를 구동한다. 도 10에서 DRG1은 제1 구동 소자(DT1)의 게이트에 연결된 제1 노드의 전압 즉, 게이트 전압이다. DRG2는 제2 구동 소자(DT2)의 게이트 전압이다.

[0084] 도 10을 참조하면, 1 수평 기간(1H)의 초기화 단계(T_{ini})에서 제1 및 제2 구동 소자(DT1, DT2)의 게이트 전압(DRG1, DRG2)은 초기화 전압(V_{ini})이고, 제2 구동 소자(DT2)와 제2 구동 소자의 게이트 전압(DRG1)은 초기화 전압(V_{ini})이다. 이 때, 디멀티플렉서(61)의 스위치 소자들(S1, S2)이 동시에 온/오프된다.

[0085] 1 수평 기간(1H)의 샘플링 단계(T_{sam})에서 제1 구동 소자(DT1)의 게이트 전압(DRG2)은 프리 샘플링 전압(V_m)으로 프리 차징된 후에, 문턱 전압(V_{th}) 만큼 보상된 픽셀 데이터 전압($V_{data1} - |V_{th}|$)으로 변한다. 제2 구동 소자(DT2)의 게이트 전압(DRG2)은 프리 샘플링 전압(V_m)으로 프리 차징된 후에, 문턱 전압(V_{th}) 만큼 보상된 픽셀 데이터 전압($V_{data2} - |V_{th}|$)으로 변한다. 샘플링 단계(T_{sam})에서 디멀티플렉서(61)의 제2 스위치 소자(S21)가 제2 기간(T_{22})에 턴-오프되어 제2 데이터 라인(1021)이 플로팅(floating)된다. 따라서, 샘플링 단계(T_{sam})에서 제2 데이터 라인(1022)의 프리차징 구간이 제1 데이터 라인(1021) 보다 길다. 또한, 샘플링 단계(T_{sam})에서 프리차징 구간의 차이로 인하여 제2 픽셀 데이터 전압의 샘플링 구간이 제1 픽셀 데이터의 샘플링 구간 보다 작다.

[0086] 도 11은 도 5a 내지 도 8b에 도시된 픽셀 회로의 구동 방법에서 제1 및 제2 데이터 라인들의 전압 변화를 보여 주는 도면이다. 도 11에서, DL1은 제1 데이터 라인(1021)이고, DL2는 제2 데이터 라인(1022)이다.

[0087] 도 11을 참조하면, 1 수평 기간(1H) 마다 데이터 라인들(DL1, DL2)의 전압은 프리 샘플링 전압(V_m)으로부터 픽셀 데이터 전압(V_{data1} , V_{data2})의 타겟 전압으로 변한다. 샘플링 단계(T_{sam})에서 제2 스위치 소자(S21)가 제2 기간(T_{22})에 턴-오프되어 제2 데이터 라인(DL2)이 플로팅된다. 따라서, 샘플링 단계(T_{sam})에서 제2 데이터 라인(DL2)의 프리차징 구간이 제1 데이터 라인(DL1) 보다 길다. 또한, 샘플링 단계(T_{sam})에서 프리차징 구간의

차이로 인하여 제2 데이터 라인의 데이터 전압 샘플링 구간이 제1 픽셀 데이터의 그 것 보다 작다.

- [0088] 도 12는 본 발명의 제2 실시예에 따른 디멀티플렉서의 스위치 소자들을 보여 주는 도면이다. 도 13은 도 12에 도시된 픽셀 회로의 구동 방법을 단계적으로 보여 주는 도면들이다.
- [0089] 도 12 및 도 13을 참조하면, 디멀티플렉서(61, 52) 각각은 제1 내지 제3 스위치 소자들(S1, S2, S3)을 포함한다. 스위치 소자들(S1, S2, S3) 각각은 트랜지스터로 구현될 수 있다. 타이밍 콘트롤러(130)는 스위치 소자들(S1, S2)의 온/오프 타이밍을 제어하기 위한 MUX 신호들(MUX1, MUX2, MUX3)을 발생한다. MUX 신호들(MUX1, MUX2, MUX3)은 MUX 라인들(1041, 1042, 1043)을 통해 스위치 소자들(S1, S2, S3)의 게이트에 인가된다.
- [0090] 데이터 구동부(110)의 채널들(DOUT1, DOUT2) 각각에서 픽셀 데이터 전압(Vdata)과 프리 샘플링 전압(Vm)은 출력 버퍼(AMP)를 통해 출력된다. 데이터 구동부(110)의 채널들(DOUT1, DOUT2) 각각은 출력 버퍼(AMP)를 통해 디멀티플렉서(61, 52)의 입력 노드에 연결된다.
- [0091] 제N 픽셀 라인에 배치된 서브 픽셀들(1011~1016)은 동일한 게이트 라인에 연결되어 제N 게이트 신호(G(N))를 공급 받는다. 서브 픽셀들(1011~1016)은 게이트 신호(G(N))에 따라 턴-온되는 스위치 소자를 통해 데이터 라인(1021~1026)에 연결된다.
- [0092] 제1 디멀티플렉서(61)의 제1 스위치 소자(S1)는 데이터 구동부(110)의 제1 채널(DOUT1)과 제1 데이터 라인(1021) 사이에 연결되어 제1 MUX 신호(MUX1)의 게이트 온 전압에 따라 턴-온되어 제1 채널(DOUT1)을 제1 데이터 라인(1021)에 연결한다. 제1 스위치 소자(S1)의 게이트는 제1 MUX 신호(MUX1)가 인가되는 제1 MUX 라인(1041)에 연결된다. 제1 스위치 소자(S1)의 제1 전극은 데이터 구동부(110)의 제1 채널(DOUT1)에 연결되고, 제1 스위치 소자(S1)의 제2 전극은 제1 데이터 라인(1021)에 연결된다. 제1 데이터 라인(1021)은 프리 샘플링 전압(Vm)에 의해 프리 차징된 후에 제1 픽셀 데이터 전압(Vdata)을 충전하는 제1 커패시터(51)를 포함한다. 제1 서브 픽셀(1011)은 게이트 신호(G(N))에 따라 턴-온되는 스위치 소자를 통해 제1 데이터 라인(1021)에 연결된다.
- [0093] 제1 디멀티플렉서(61)의 제2 스위치 소자(S2)는 데이터 구동부(110)의 제1 채널(DOUT1)과 제2 데이터 라인(1022) 사이에 연결되어 제2 MUX 신호(MUX2)의 게이트 온 전압에 따라 턴-온되어 제1 채널(DOUT1)을 제2 데이터 라인(1022)에 연결한다. 제2 스위치 소자(S2)의 게이트는 제2 MUX 신호(MUX2)가 인가되는 제2 MUX 라인(1042)에 연결된다. 제2 스위치 소자(S2)의 제1 전극은 데이터 구동부(110)의 제1 채널(DOUT1)에 연결되고, 제2 스위치 소자(S2)의 제2 전극은 제2 데이터 라인(1022)에 연결된다. 제2 데이터 라인(1022)은 프리 샘플링 전압(Vm)에 의해 프리 차징된 후에 제2 픽셀 데이터 전압(Vdata)을 충전하는 제2 커패시터(52)를 포함한다. 제2 서브 픽셀(1012)은 게이트 신호(G(N))에 따라 턴-온되는 스위치 소자를 통해 제2 데이터 라인(1022)에 연결된다.
- [0094] 제1 디멀티플렉서(61)의 제3 스위치 소자(S3)는 데이터 구동부(110)의 제1 채널(DOUT1)과 제3 데이터 라인(1023) 사이에 연결되어 제3 MUX 신호(MUX3)의 게이트 온 전압에 따라 턴-온되어 제1 채널(DOUT1)을 제3 데이터 라인(1023)에 연결한다. 제3 스위치 소자(S3)의 게이트는 제3 MUX 신호(MUX3)가 인가되는 제3 MUX 라인(1043)에 연결된다. 제3 스위치 소자(S3)의 제1 전극은 데이터 구동부(110)의 제1 채널(DOUT1)에 연결되고, 제3 스위치 소자(S3)의 제2 전극은 제3 데이터 라인(1023)에 연결된다. 제3 데이터 라인(1023)은 프리 샘플링 전압(Vm)에 의해 프리 차징된 후에 제3 픽셀 데이터 전압(Vdata)을 충전하는 제3 커패시터(53)를 포함한다. 제3 서브 픽셀(1013)은 게이트 신호(G(N))에 따라 턴-온되는 스위치 소자를 통해 제3 데이터 라인(1023)에 연결된다.
- [0095] 제2 디멀티플렉서(62)의 제1 스위치 소자(S1)는 제1 MUX 신호(MUX1)의 게이트 온 전압에 따라 턴-온되어 데이터 구동부(110)의 제2 채널(DOUT2)을 제4 데이터 라인(1024)에 연결한다. 제4 데이터 라인(1024)은 프리 샘플링 전압(Vm)에 의해 프리 차징된 후에 제4 픽셀 데이터 전압(Vdata)을 충전하는 제4 커패시터(54)를 포함한다. 제4 서브 픽셀(1014)은 게이트 신호(G(N))에 따라 턴-온되는 스위치 소자를 통해 제4 데이터 라인(1024)에 연결된다.
- [0096] 제2 디멀티플렉서(62)의 제2 스위치 소자(S2)는 제2 MUX 신호(MUX2)의 게이트 온 전압에 따라 턴-온되어 데이터 구동부(110)의 제2 채널(DOUT2)을 제5 데이터 라인(1025)에 연결한다. 제5 데이터 라인(1025)은 프리 샘플링 전압(Vm)에 의해 프리 차징된 후에 제5 픽셀 데이터 전압(Vdata)을 충전하는 제5 커패시터(55)를 포함한다. 제5 서브 픽셀(1015)은 게이트 신호(G(N))에 따라 턴-온되는 스위치 소자를 통해 제5 데이터 라인(1025)에 연결된다.
- [0097] 제2 디멀티플렉서(62)의 제3 스위치 소자(S3)는 제3 MUX 신호(MUX3)의 게이트 온 전압에 따라 턴-온되어 데이터 구동부(110)의 제2 채널(DOUT2)을 제6 데이터 라인(1026)에 연결한다. 제6 데이터 라인(1026)은 프리 샘플링 전압(Vm)에 의해 프리 차징된 후에 제6 픽셀 데이터 전압(Vdata)을 충전하는 제6 커패시터(56)를 포함한다. 제

6 서브 픽셀(1016)은 게이트 신호(G(N))에 따라 턴-온되는 스위치 소자를 통해 제6 데이터 라인(1026)에 연결된다.

- [0098] 서브 픽셀들(1011~1016) 각각은 도 4에 도시된 픽셀 회로로 구현될 수 있다. 이 픽셀 회로의 구동 방법은 전술한 실시예와 동일하게 초기화 단계(Tini), 샘플링 단계(Tsam), 및 구동 단계(Tem)를 포함한다. 초기화 단계(Tini)와 샘플링 단계(Tsam)의 시간은 각각 1 수평 기간(1H)으로 설정된다. 구동 단계(Tem)의 시간은 1 프레임 기간에서 초기화 단계(Tini)와 샘플링 단계(Tsam)를 뺀 나머지 시간이다.
- [0099] SOE는 데이터 구동부(110)로부터 1 수평 기간(1H) 동안 프리 샘플링 데이터(Dm), 제1 픽셀 데이터(D1), 제2 픽셀 데이터(D2), 및 제3 픽셀 데이터(D3)가 출력되기 SOE의 펄스는 1 수평 기간(1H) 내에서 4 회 발생된다.
- [0100] 초기화 단계(Tini)는 제1 내지 제4 기간(T11, T12, T13, T14)을 포함한다. 초기화 단계(Tini)에서 제N-1 스캔 신호(SCAN(N-1))가 게이트 온 전압의 펄스로 발생된다. 초기화 단계(Tini)는 제N 픽셀 회로의 서브 픽셀들에서 제1 노드(DRG1, DRG2)와 발광 소자(EL)의 애노드의 전압을 초기화 전압(Vini)으로 초기화한다.
- [0101] 샘플링 단계(Tsam)는 제1 내지 제4 기간(T21, T22, T23, T24)을 포함한다. 샘플링 단계(Tsam)에서, 제N 스캔 신호(SCAN(N))가 게이트 온 전압의 펄스로 발생된다.
- [0102] 샘플링 단계(Tsam)의 제1 기간(T21) 동안 제1 내지 제3 MUX 신호들(MUX1, MUX2)이 게이트 온 전압(VGL)으로 발생되어 디멀티플렉서(61)의 제1 내지 제3 스위치 소자들(S1, S2, S3)이 동시에 턴-온된다. 이 때, 데이터 구동부(110)는 프리 샘플링 전압(Vm(N))을 출력한다. 프리 샘플링 전압(Vm)은 제1 픽셀 데이터 전압(Vdata1(N))과 제2 픽셀 데이터 전압(Vdata2(N)) 중에서 작은 전압으로 선택되거나 데이터 전압 범위의 최소 전압일 수 있다. 데이터 전압 범위의 최소 전압은 화이트 계조의 전압일 수 있다. 제1 기간(T21)이 끝날 때 제1 내지 제3 서브 픽셀들(1011, 1012, 1013) 각각에서 구동 소자(DT1, DT2)의 게이트 전압이 프리 차징된다.
- [0103] 샘플링 단계(Tsam)의 제2 기간(T22)에 제1 MUX 신호(MUX1)는 게이트 온 전압(VGL)을 유지하는 반면에, 제2 및 제3 MUX 신호(MUX2, MUX3)는 게이트 오프 전압(VGH)으로 반전된다. 제2 기간(T22)에 제1 스위치 소자(S1)는 턴-온되어 제1 픽셀 데이터 전압(Vdata1)을 제1 데이터 라인(1021)으로 공급한다. 제2 및 제3 스위치 소자(S2, S3)는 제2 기간(T22)에 턴-오프된다. 따라서, 제2 기간(T22) 동안 제1 데이터 라인(1021)의 전압은 프리 샘플링 전압(Vm)으로부터 제1 픽셀 데이터 전압(Vdata1)으로 변한다. 반면에, 제2 및 제3 데이터 라인(1022, 1023)은 프리 샘플링 전압(Vm)으로 유지된다.
- [0104] 샘플링 단계(Tsam)의 제2 기간(T22)에 제N 픽셀 라인의 서브 픽셀들(1011, 1012, 1023)에서 제1 및 제2 스위치 소자들(M1, M2)이 제N 스캔 신호(SCAN(N))의 게이트 온 전압(VGL)에 따라 턴-온된다. 따라서, 제2 기간(T22)에 제1 서브 픽셀(1011)의 제1 노드(DRG)에 제1 픽셀 데이터 전압(Vdata1(N))이 인가되고, 제2 및 제3 서브 픽셀(1012, 1013)의 제1 노드(DRG)에 프리 샘플링 전압(Vm)이 인가된다. 그 결과, 제2 기간(T22)이 끝날 때 제1 서브 픽셀(1011)에서 구동 소자(DT1)의 게이트 전압이 $Vdata1 - |V_{th}|$ 로 변하여 커패시터(Cst)에 문턱 전압(V_{th})이 보상된 픽셀 데이터 전압이 샘플링된다. 제2 기간(T22)이 끝날 때 제2 및 제3 서브 픽셀(1012, 1012)에서 구동 소자(DT2)의 게이트 전압은 $V_m - |V_{th}|$ 이다.
- [0105] 샘플링 단계(Tsam)의 제3 기간(T23)에 제2 MUX 신호(MUX2)는 게이트 온 전압(VGL)으로 반전되고, 제1 MUX 신호(MUX1)는 게이트 오프 전압(VGH)으로 반전된다. 제3 MUX 신호(MUX3)는 게이트 오프 전압(VGH)을 유지한다. 제3 기간(T23)에 제2 스위치 소자(S2)는 턴-온되어 제2 픽셀 데이터 전압(Vdata2)을 제2 데이터 라인(1022)으로 공급한다. 제1 및 제3 스위치 소자(S1, S3)는 제3 기간(T23)에 턴-오프된다. 따라서, 제3 기간(T23) 동안 제2 데이터 라인(1022)의 전압은 프리 샘플링 전압(Vm)으로부터 제2 픽셀 데이터 전압(Vdata2)으로 변한다. 이 때, 제1 데이터 라인(1021)은 제1 픽셀 데이터 전압(Vdata1)으로 유지되고, 제3 데이터 라인(1021)은 프리 샘플링 전압(Vm)으로 유지된다.
- [0106] 샘플링 단계(Tsam)의 제3 기간(T23)에 제N 픽셀 라인의 서브 픽셀들(1011, 1012, 1013)에서 제1 및 제2 스위치 소자들(M1, M2)이 제N 스캔 신호(SCAN(N))의 게이트 온 전압(VGL)에 따라 턴-온된다. 따라서, 제3 기간(T23)에 제2 서브 픽셀(1012)의 제1 노드(DRG)에 제2 픽셀 데이터 전압(Vdata2)이 인가된다. 이 때 제1 서브 픽셀(1011)의 제1 노드 전압 즉, 구동 소자(DT)의 게이트 전압은 $Vdata1 - |V_{th}|$ 을 유지한다. 그 결과, 제3 기간(T23)이 끝날 때 제1 서브 픽셀(1011)에서 구동 소자(DT1)의 게이트 전압은 $Vdata1 - |V_{th}|$ 이고, 제2 서브 픽셀(1012)에서 구동 소자(DT2)의 게이트 전압은 $Vdata2 - |V_{th}|$ 이다. 제3 서브 픽셀(1013)의 제1 노드 전압은 $V_m - |V_{th}|$ 을 유지한다.
- [0107] 샘플링 단계(Tsam)의 제4 기간(T24)에 제3 MUX 신호(MUX3)는 게이트 온 전압(VGL)으로 반전되고, 제2 MUX 신호

(MUX2)는 게이트 오프 전압(VGH)으로 반전된다. 제1 MUX 신호(MUX1)는 게이트 오프 전압(VGH)을 유지한다. 제4 기간(T24)에 제3 스위치 소자(S3)는 턴-온되어 제3 픽셀 데이터 전압(Vdata3)을 제3 데이터 라인(1023)으로 공급한다. 제1 및 제2 스위치 소자(S1, S2)는 제4 기간(T24)에 턴-오프된다. 따라서, 제4 기간(T24) 동안 제3 데이터 라인(1023)의 전압은 프리 샘플링 전압(Vm(N))으로부터 제3 픽셀 데이터 전압(Vdata3)으로 변한다. 이때, 제1 데이터 라인(1021)은 제1 픽셀 데이터 전압(Vdata1)으로 유지되고, 제2 데이터 라인(1021)은 제2 픽셀 데이터 전압(Vdata2)으로 유지된다.

[0108] 샘플링 단계(Tsam)의 제4 기간(T24)에 제N 픽셀 라인의 서브 픽셀들(1011, 1012, 1013)에서 제1 및 제2 스위치 소자들(M1, M2)이 제N 스캔 신호(SCAN(N))의 게이트 온 전압(VGL)에 따라 턴-온된다. 따라서, 제4 기간(T24)에 제3 서브 픽셀(1013)의 제1 노드(DRG)에 제3 픽셀 데이터 전압(Vdata3)이 인가된다. 이 때 제1 서브 픽셀(1011)의 제1 노드 전압은 $Vdata1 - |V_{th}|$ 을 유지하고, 제2 서브 픽셀(1012)의 제1 노드 전압은 $Vdata2 - |V_{th}|$ 을 유지한다. 그 결과, 제4 기간(T24)이 끝날 때 제1 서브 픽셀(1011)에서 구동 소자(DT1)의 게이트 전압은 $Vdata1 - |V_{th}|$ 이고, 제2 서브 픽셀(1012)에서 구동 소자(DT2)의 게이트 전압은 $Vdata2 - |V_{th}|$ 이다. 제3 서브 픽셀(1013)의 제1 노드 전압은 $Vdata3 - |V_{th}|$ 을 유지한다.

[0109] 구동 단계(Tem)에서 제N 픽셀 라인의 서브 픽셀들(1011 ~ 1016)에 인가되는 EM 신호(EM)가 게이트 온 전압(VGL)으로 발생된다. 이 때, 제3 및 제4 스위치 소자들(M3, M4)이 턴-온되어 발광 소자(EL)에 전류가 흘러 발광 소자(EL)가 발광된다.

[0110] 도 14A 및 도 14B는 픽셀 데이터에 따라 선택되는 프리 샘플링 전압(Vm)을 보여 주는 파형도들이다. 도 14A는 제1 픽셀 데이터(D1)가 제2 픽셀 데이터(D2) 보다 작을 때, 프리 샘플링 데이터(Dm)가 제1 픽셀 데이터(D1)로 선택되는 예이다. 도 14B는 제1 픽셀 데이터(D1)가 제2 픽셀 데이터(D2) 보다 작을 때, 프리 샘플링 데이터(Dm)가 제1 픽셀 데이터(D1)로 선택되는 예이다.

[0111] 도 14A 및 도 14B를 참조하면, 샘플링 단계(Tsam)의 제1 기간(T21)에 디멀티플렉서(61)의 모든 스위치 소자들(S1, S2)가 턴-온되어 데이터 라인들(DL1, DL2)에 프리 샘플링 전압(Vm)이 인가된다. 이 때, 프리 샘플링 전압(Vm)은 디멀티플렉서를 통해 데이터 라인들(DL1, DL2)에 인가되는 데이터 전압(Vdata1, Vdata2) 중 최소 전압($Dm(n) = \min(D1, D2, \dots, Dn)$)으로 선택될 수 있다. 프리 샘플링 전압(Vm)은 서브 픽셀들에 인가되는 픽셀 데이터 전압(Vdata1, Vdata2)과 가까운 전압이기 때문에 고해상도, 고속 구동의 디스플레이와 같이 1 수평 기간(1H)이 작은 디스플레이에서도 모든 서브 픽셀들에서 구동 소자(DT)의 게이트에 데이터 전압(Vdata1, Vdata2)의 타겟 전압(target voltage)이 인가될 수 있다.

[0112] 샘플링 단계(Tsam)의 제2 기간(T22)에 디멀티플렉서(61)의 제1 스위치 소자(S1)만 턴-온되어 제1 데이터 라인(DL1)에 제1 픽셀 데이터 전압(Vdata1)이 인가된다. 샘플링 단계(Tsam)의 제3 기간(T23)에 디멀티플렉서(61)의 제2 스위치 소자(S2)만 턴-온되어 제2 데이터 라인(DL2)에 제2 픽셀 데이터 전압(Vdata1)이 인가된다.

[0113] 한편, 도 15에 도시된 바와 같이 데이터 라인들이 초기화 전압(Vini) 혹은 데이터 구동부의 데이터 전압 범위에서 최소 전압으로 데이터 라인들이 초기화된 후에 픽셀 데이터 전압이 인가되는 비교예가 고려될 수 있다. 이 경우에 디멀티플렉서에 의해 두 개의 데이터라인들에 데이터 전압이 시간차를 두고 인가되면, T01에 제1 픽셀 데이터 전압(Vdata1)이 제1 서브 픽셀의 제1 노드에 인가된 후에 T02에 제2 픽셀 데이터 전압(Vdata2)이 제2 서브 픽셀의 제1 노드에 인가된다. 그런데 제2 데이터 전압(Vdata2)이 인가되는 서브 픽셀들에서 초기화 전압(Vini)과 데이터 전압(Vdata2)의 타겟 전압 차이가 클 때, 데이터 전압의 충전 시간 부족으로 인하여 제2 서브 픽셀에서 제2 픽셀 데이터 전압(Vdata2)이 제대로 충전되지 않을 수 있다.

[0114] 이에 비하여, 본 발명은 도 16에 도시된 바와 같이 샘플링 단계(Tsam)의 제1 기간(T21)에 제1 및 제2 픽셀 데이터 전압(Vdata1, Vdata2) 중에서 선택되는 프리 샘플링 전압(Vm)까지 데이터 라인들(DL1, DL2)이 프리 충전된 후에 제2 스위치 소자(S2)가 턴-온되기 때문에 제3 기간(T23)이 작더라도 제2 서브 픽셀에서 제2 픽셀 데이터 전압(Vdata2)이 타겟 전압까지 충전될 수 있다. 도 16에서, 제1 픽셀 데이터 전압(Vdata1)이 제2 픽셀 데이터 전압(Vdata2)과 같은 예이다. 이 경우, 프리 샘플링 전압(Vm)은 $Vm = Vdata1 = Vdata2$ 이다.

[0115] 본 발명에서 프리 샘플링 데이터(Dm)는 타이밍 컨트롤러(130) 또는 데이터 구동부(110)에 입력 영상의 픽셀 데이터 비교 결과에 따라 선택될 수 있다.

[0116] 도 17 및 도 18은 타이밍 컨트롤러(130)에서 입력 영상의 픽셀 데이터에서 프리 샘플링 데이터가 선택되는 예를 보여 주는 도면들이다. 도 19는 데이터 구동부의 드라이브 IC 내에서 데이터 흐름을 보여 주는 도면이다.

[0117] 도 17 및 도 18을 참조하면, 타이밍 컨트롤러(130)는 입력 영상의 픽셀 데이터를 기수 번째 픽셀 라인의 데이터

(이하, “기수 라인 데이터” 라 함)와, 우수 번째 픽셀 라인의 데이터(이하, “우수 라인 데이터” 라 함)로 분리한다. 도 19에서 Data(1)은 기수 라인 데이터이고, Data(2)은 우수 라인 데이터이다.

- [0118] 타이밍 콘트롤러(130)는 기수 라인 데이터(Data(1))를 제1 라인 메모리(301)에 저장하고, 우수 라인 데이터(Data(2))를 제2 라인 메모리(302)에 저장한다. 타이밍 콘트롤러(130)는 프리 샘플링 데이터(Dm)를 선택하기 위한 제1 및 제2 비교부(303, 304)를 포함한다. 제1 비교부(303)는 기수 라인 메모리(301)로부터 독출한(read) 기수 번째 픽셀 라인의 제1 및 제2 픽셀 데이터(D1, D2)를 비교하여 그 중 최소값으로 프리 샘플링 데이터(Dm)를 선택한다. 제2 비교부(304)는 우수 라인 메모리(301)로부터 독출한 우수 번째 픽셀 라인의 제1 및 제2 픽셀 데이터(D1, D2)를 비교하여 그 중 최소값으로 프리 샘플링 데이터(Dm)를 선택한다.
- [0119] 타이밍 콘트롤러(130)는 기수 라인 데이터(Data(1))로부터 얻어진 프리 샘플링 데이터를 제1 Dm 메모리(305)에 저장하고, 우수 라인 데이터(Data(2))로부터 얻어진 프리 샘플링 데이터를 제2 Dm 메모리(306)에 저장한다.
- [0120] 타이밍 콘트롤러(130)는 데이터 구동부(110)와 게이트 구동부(120)의 드라이브 IC를 제어하기 위한 타이밍 제어 신호를 발생하는 제어신호 발생부(310), 데이터 정렬부(307, 308), 및 데이터 전송부(309)를 더 구비한다.
- [0121] 제어신호 발생부(310)로부터 출력된 데이터 타이밍 제어신호(SOE, LOAD)는 데이터 구동부(110)의 드라이브 IC의 제어 단자들에 전송된다. 또한, 제어신호 발생부(310)는 1 수평 기간(1H)마다 교대로 논리값이 반전되는 소스 출력 제어신호를 발생하여 데이터 정렬부(307, 308)를 제어한다.
- [0122] 제1 데이터 정렬부(307)는 제1 Dm 메모리(305)로부터 입력된 데이터를 1 수평 기간(1H) 마다 Dm, D1, D2 순서로 재정렬하여, 정렬된 데이터를 기수 번째 1 수평 기간(1H)에 데이터 전송부(309)에 공급한다. 제2 데이터 정렬부(308)는 제2 Dm 메모리(306)로부터 입력된 데이터를 1 수평 기간(1H) 마다 Dm, D1, D2 순서로 재정렬하여, 정렬된 데이터를 우수 번째 1 수평 기간(1H)에 데이터 전송부(309)에 공급한다. 따라서, 제1 데이터 정렬부(307)와 제2 데이터 정렬부(308)는 제어신호 발생부(310)의 제어 하에 1 수평 기간(1H) 단위로 교대로 출력한다.
- [0123] 데이터 전송부(309)는 제1 및 제2 데이터 정렬부(307)로부터 교대로 입력되는 기수 라인 데이터(Data(1))와 우수 라인 데이터(Data(2))를 직렬 데이터 전송 체계로 변환하여 데이터 구동부(110)의 드라이브 IC로 전송한다.
- [0124] 데이터 구동부(110)는 제1 래치(Latch)(201), 제2 래치(202), 제3 래치(203), DAC(204)를 포함한다. 제1 래치(201)는 도시하지 않은 시프트 레지스터(Shift register)로부터 순차적으로 입력되는 펄스 타이밍에 타이밍 콘트롤러(130)로부터 수신된 데이터(Dm(1), Data(1), Data(2), ... Data(3))를 샘플링하여 래치(latch)한 후 LOAD1의 펄스 타이밍에 출력한다. 제2 래치(202)는 제1 래치(201)로부터 입력된 데이터(Dm(1), Data(1), Data(2), ... Data(3))를 샘플링하여 래치한 후에 LOAD2의 펄스 타이밍에 출력한다. 제1 래치(201)에 의해 데이터(Dm(1), Data(1), Data(2), ... Data(3))가 1 수평 기간(1H) 만큼 지연되고, 제2 래치(202)에 의해 데이터(Dm(1), Data(1), Data(2), ... Data(3))가 1 수평 기간(1H) 만큼 더 지연된다. LOAD1의 펄스는 1 수평 기간(1H)에 1회 발생되고, LOAD2의 펄스는 1 수평 기간(1H)에 2회 발생될 수 있다.
- [0125] 제2 래치(202)는 Dm(1), D(1), Dm(2), D(2)를 샘플링하여 제3 래치(203)로 출력한다. D(1)은 기수 픽셀 라인(Data(1))의 제1 및 제2 픽셀 데이터(D(1-1), D(1-2))를 포함한다. Dm(1)은 기수 픽셀 라인(Data(1))의 제1 및 제2 픽셀 데이터(D(1-1), D(1-2)) 중에서 최소값으로 선택되거나 화이트 계조 데이터로 선택될 수 있다. D(2)는 우수 픽셀 라인(Data(2))의 제1 및 제2 픽셀 데이터(D(2-1), D(2-2))를 포함한다. Dm(2)는 우수 픽셀 라인(Data(2))의 제1 및 제2 픽셀 데이터(D(2-1), D(2-2)) 중에서 최소값으로 선택되거나 화이트 계조 데이터로 선택될 수 있다.
- [0126] 제3 래치(203)는 제2 래치(202)로부터 입력된 데이터(Dm(1), Data(1), Data(2), ... Data(3))를 샘플링하여 래치한 다음, 소스 출력 인에이블 신호(SOE1, SOE2)의 펄스 타이밍에 출력한다. SOE1의 펄스는 1 수평 기간(1H)에 2회 발생되고, SOE2의 펄스는 1 수평 기간(1H)에 1회 발생될 수 있다.
- [0127] DAC(204)는 제3 래치(203)로부터 출력된 데이터(Dm(1), Data(1-1), Data(1-2), ... Data(2-2))를 아날로그 감마 보상 전압으로 변환하여 데이터 전압(Vm, Vdata1, Vdata2)를 출력한다. 데이터 전압(Vm, Vdata1, Vdata2)은 출력 버퍼(102A)를 통해 디멀티플렉서 어레이(112)에 공급된다.
- [0128] 도 20은 데이터 구동부의 드라이브 IC 에서 입력 영상의 픽셀 데이터에서 프리 샘플링 데이터가 선택되는 예를 보여 주는 도면이다.
- [0129] 도 20을 참조하면, 입력 영상의 픽셀 데이터를 기수 라인 데이터(Data(1))와 우수 라인 데이터(Data(2))로 분리한다. 타이밍 콘트롤러(130)는 기수 라인 데이터(Data(1))를 제1 라인 메모리(301)에 저장하고, 우수 라인 데

이터(Data(2))를 제2 라인 메모리(302)에 저장한다. 이 실시예의 타이밍 컨트롤러(130)에서 비교부(303, 304), Dm 메모리(305, 306) 등이 생략될 수 있다.

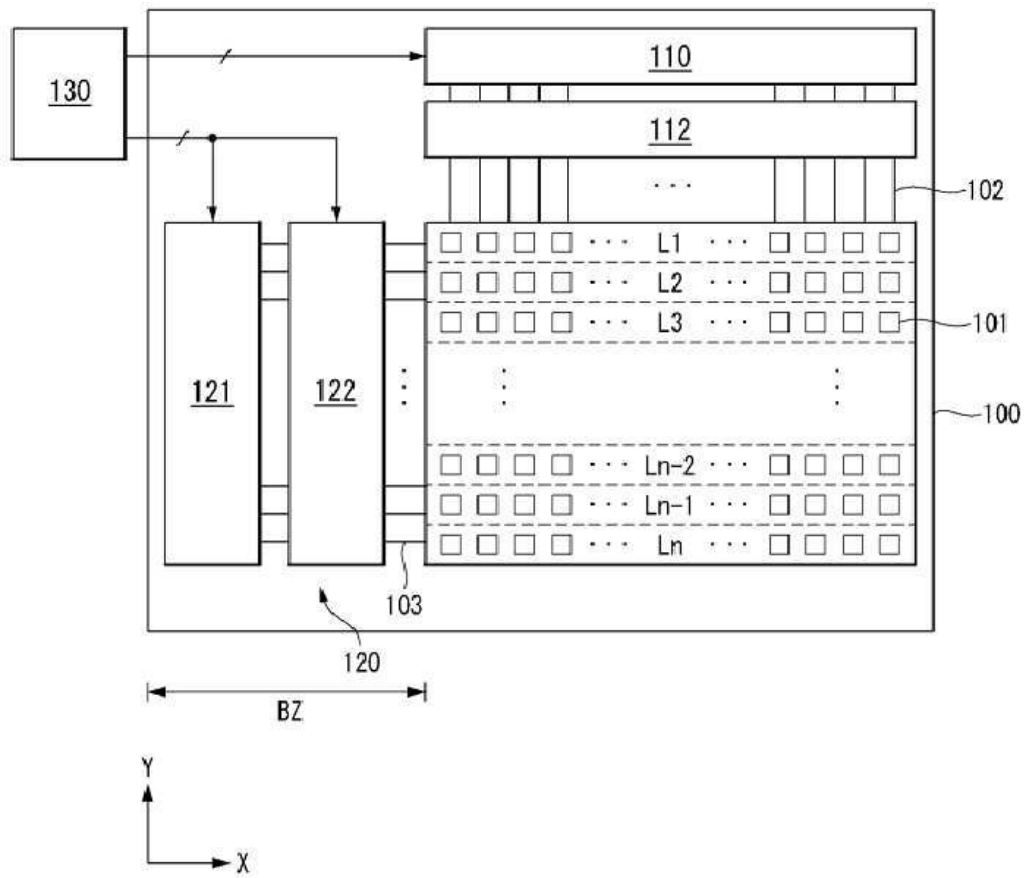
- [0130] 데이터 전송부(309)는 제1 라인 메모리(301)로부터의 기수 라인 데이터(Data(1))와, 제2 라인 메모리(302)로부터의 우수 라인 데이터(Data(2))를 직렬 데이터 전송 체계로 변환하여 데이터 구동부(110)의 드라이브 IC로 전송한다.
- [0131] 데이터 구동부(110)의 드라이브 IC는 시프트 레지스터(205), 비교부(206), 제1 래치(207), Dm 래치(208), 스위치(200), 제2 래치(209), 제3 래치(210), DAC(204)를 포함한다. 제1 래치(207)는 시프트 레지스터(205)로부터 순차적으로 입력되는 펄스 타이밍에 타이밍 컨트롤러(130)로부터 수신된 데이터(Data(1), Data(2))를 샘플링하여 래치하여 출력한다. 비교부(206)는 타이밍 컨트롤러(130)로부터 수신된 데이터(Data(1), Data(2))를 비교하여 이 비교 결과를 바탕으로 프리 샘플링 데이터(Dm)를 선택한다. Dm 래치(208)는 시프트 레지스터(205)로부터 순차적으로 입력되는 펄스 타이밍에 비교부(206)로부터 입력된 프리 샘플링 데이터(Dm)를 래치한 후에 출력한다.
- [0132] 스위치(200)는 매 수평 기간마다 프리 샘플링 데이터(Dm), 제1 픽셀 데이터(D1), 및 제2 픽셀 데이터(D2) 순서로 정렬되도록 LOAD1에 응답하여 제1 래치(207)로부터의 제1 및 제2 픽셀 데이터와, Dm 래치(208)로부터의 프리 샘플링 데이터를 교대로 선택한다. 제2 래치(209)는 스위치(200)로부터 입력된 데이터를 샘플링하여 래치한 후에 LOAD2의 펄스 타이밍에 출력한다.
- [0133] 제3 래치(210)는 제2 래치(209)로부터 입력된 데이터를 샘플링하여 래치한 다음, 소스 출력 인에이블 신호(SOE1, SOE2)의 펄스 타이밍에 출력한다.
- [0134] DAC(204)는 제3 래치(203)로부터 출력된 데이터를 아날로그 감마 보상 전압으로 변환하여 데이터 전압을 출력한다. 데이터 전압(Vm, Vdata1, Vdata2)은 출력 버퍼(102A)를 통해 디멀티플렉서 어레이(112)에 공급된다.
- [0135] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

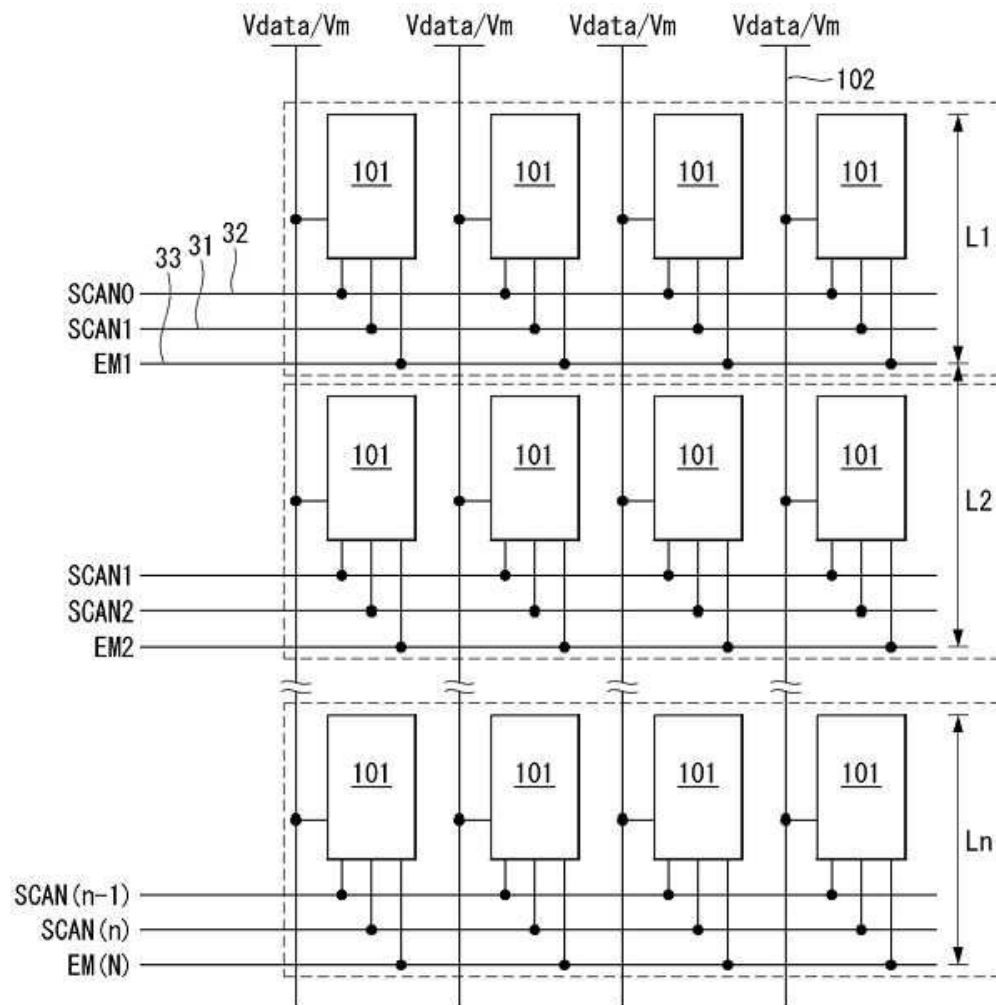
- [0136] 102, 1021~1026 : 데이터 라인 103 : 게이트 라인
- 100 : 표시패널 50~56 : 데이터 라인의 커패시터
- 61, 62 : 디멀티플렉서 101, 1011~1016 : 서브 픽셀(픽셀 회로)
- 110 : 데이터 구동부 112 : 디멀티플렉서 어레이
- 120 : 게이트 구동부 130 : 타이밍 컨트롤러

도면

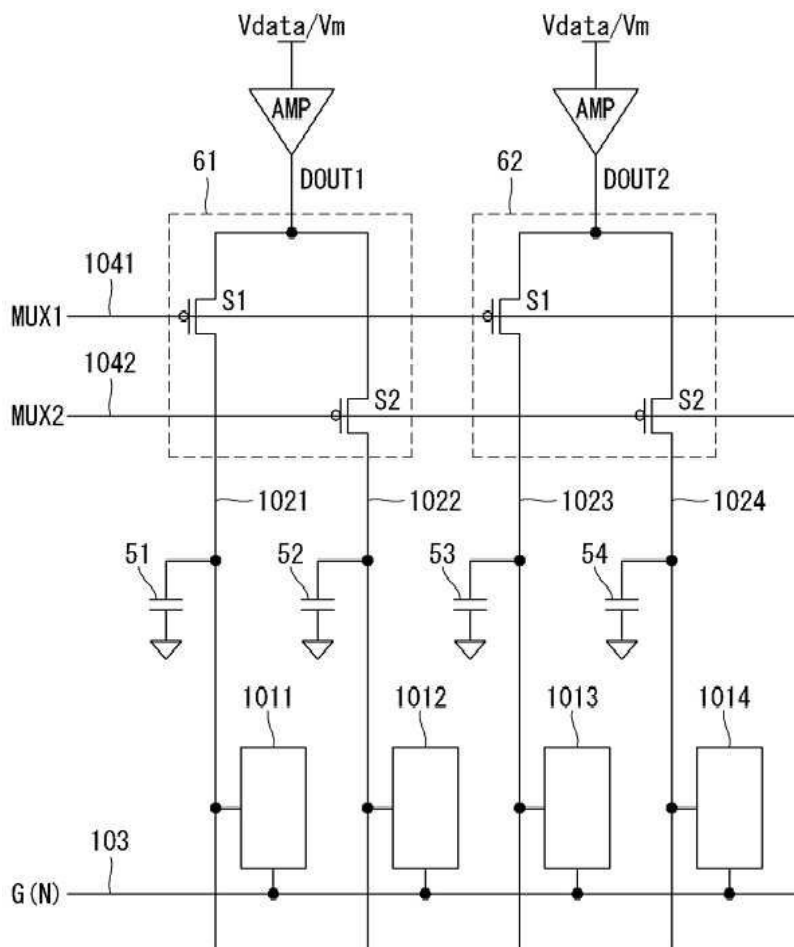
도면1



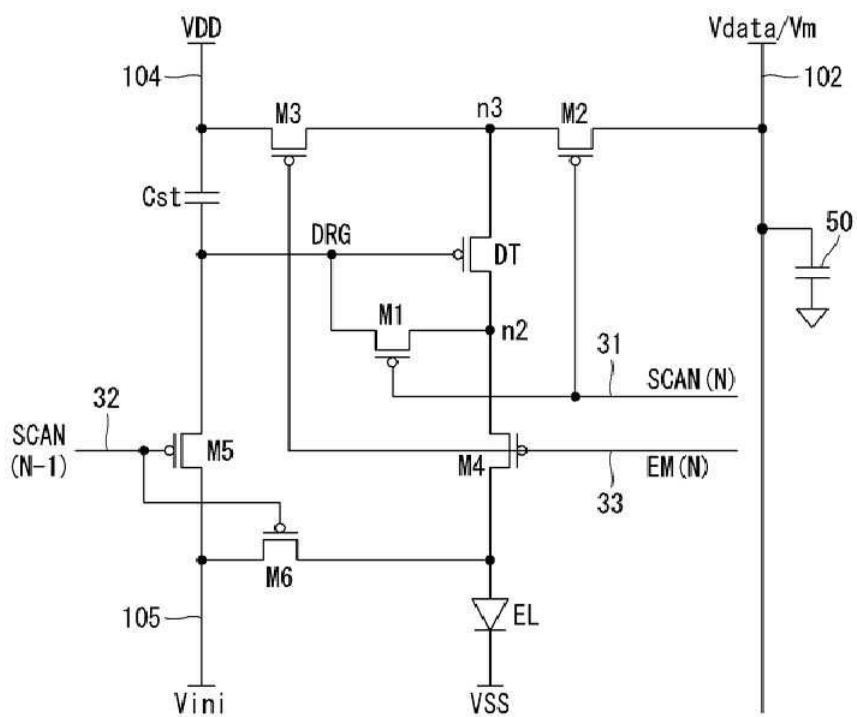
도면2



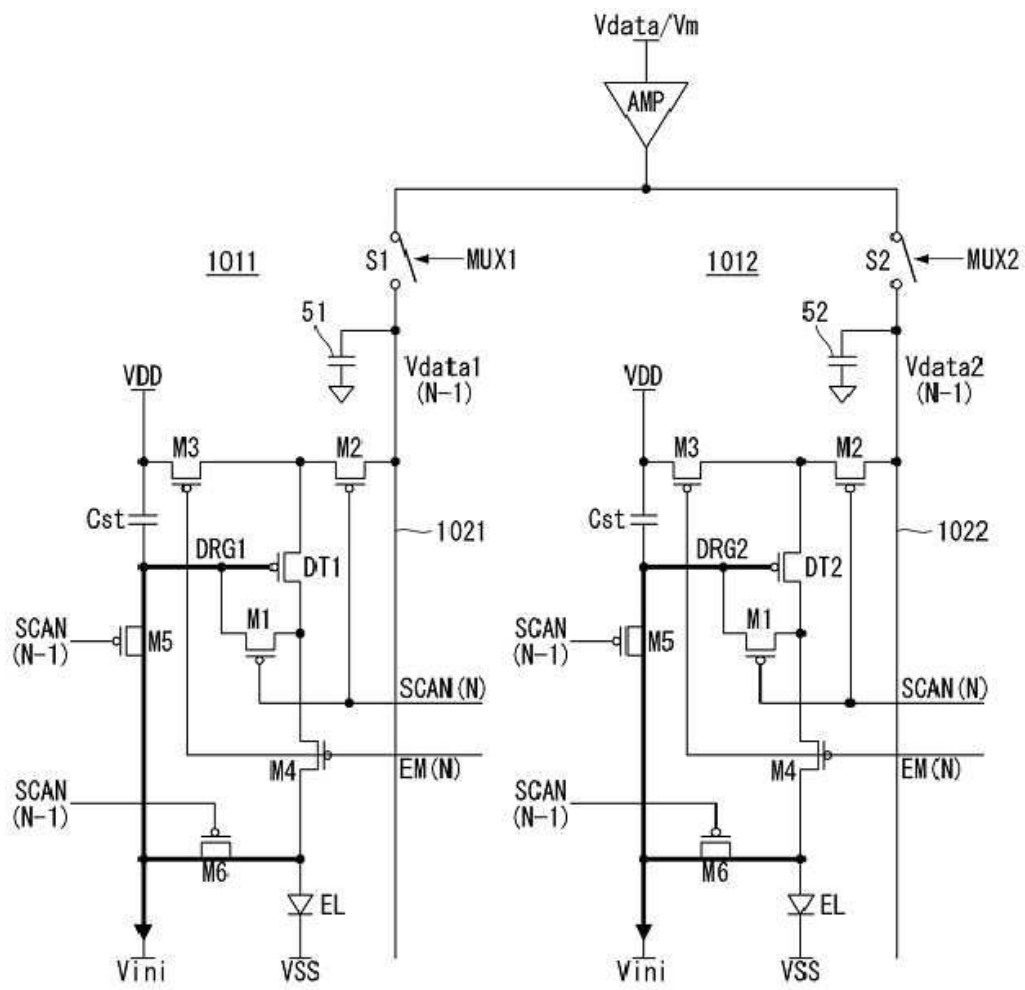
도면3



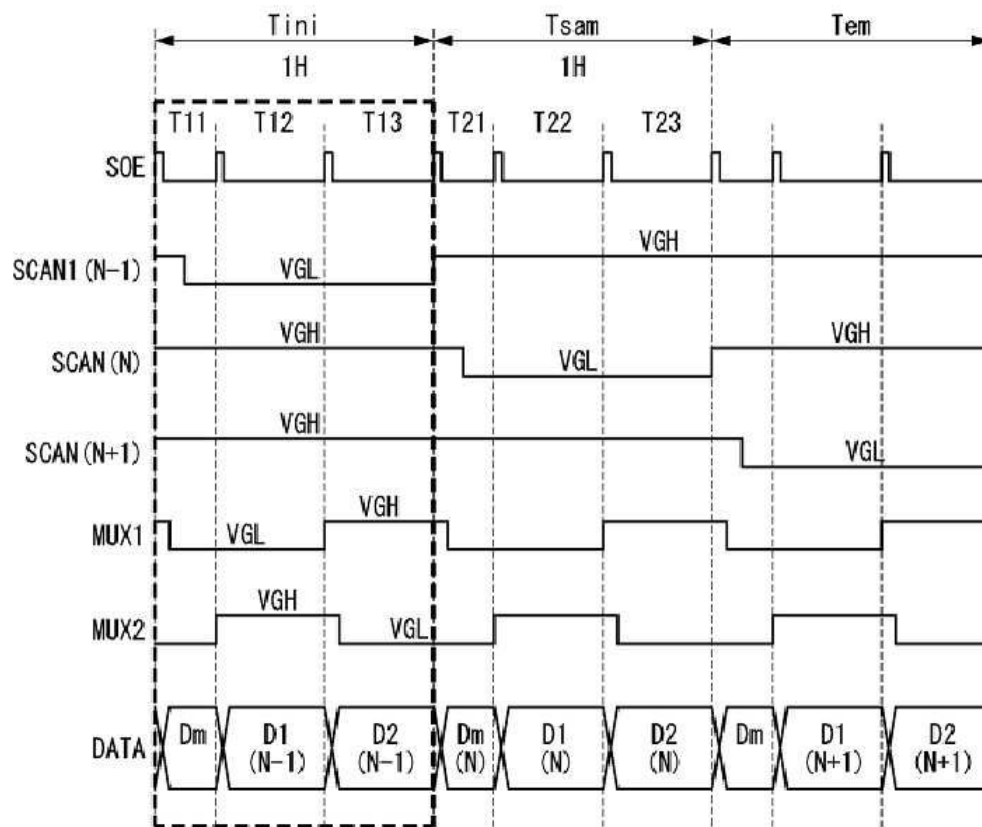
도면4



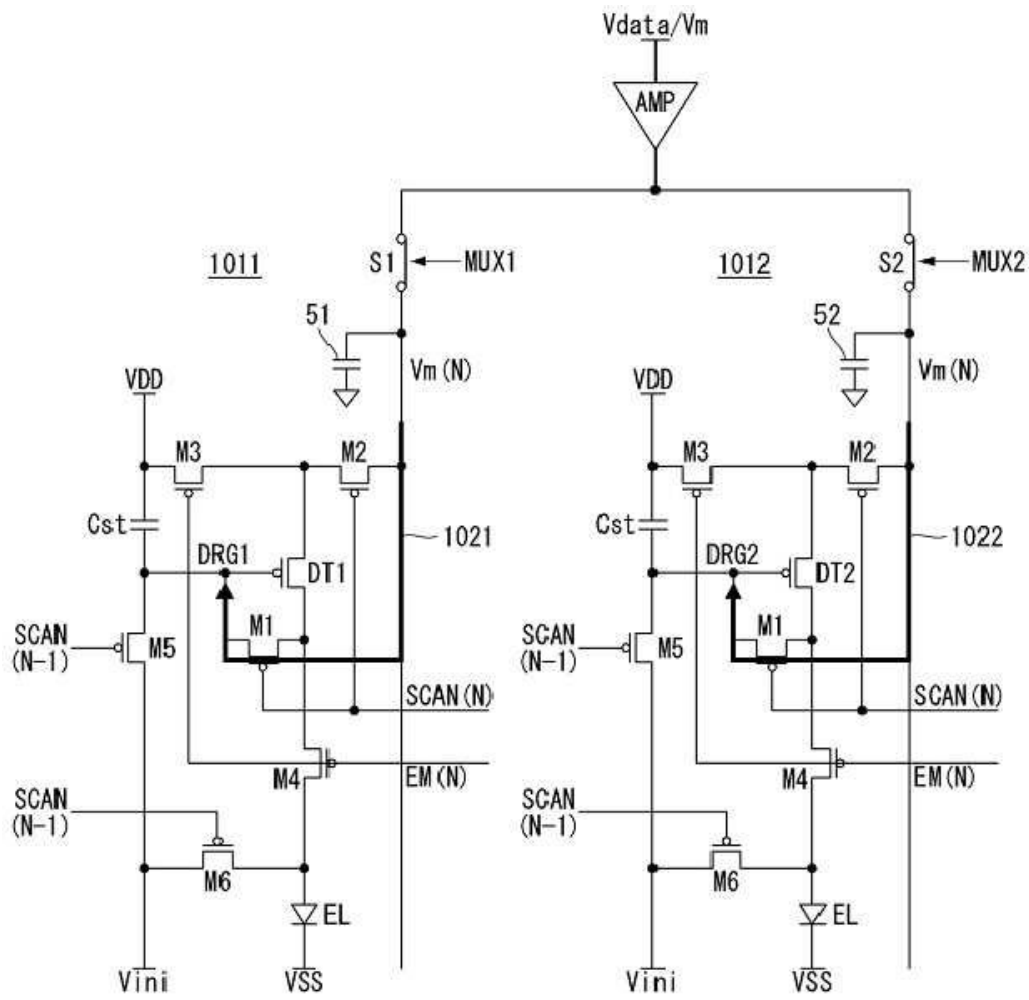
도면5a



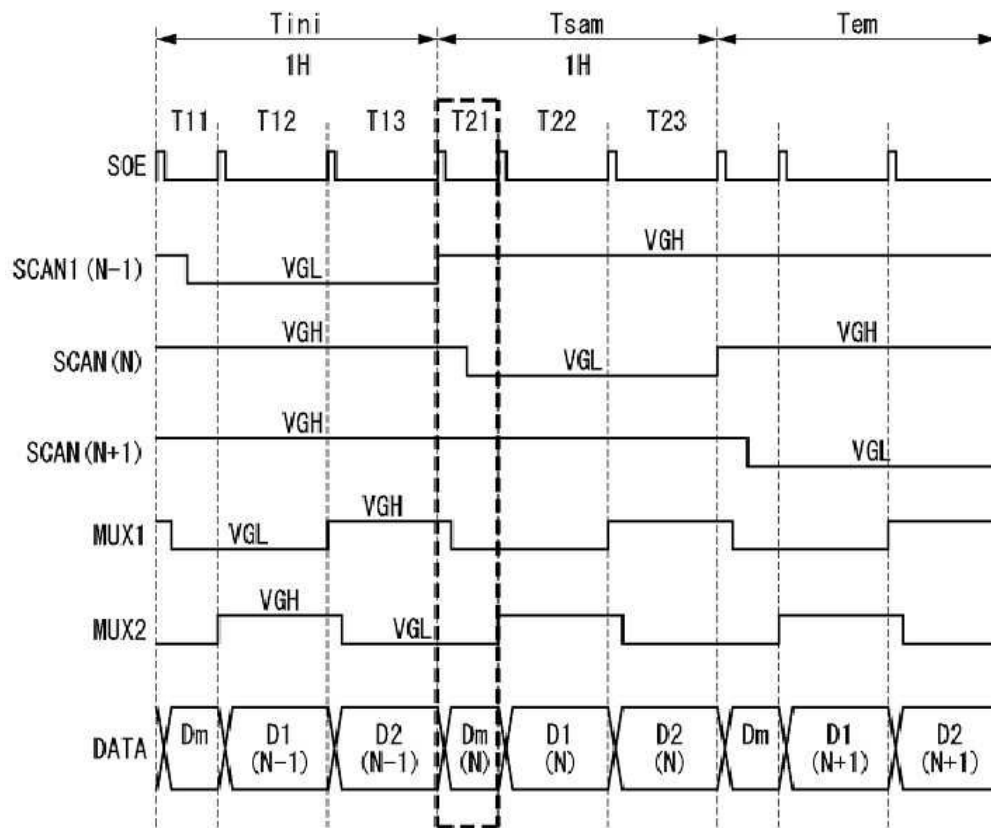
도면5b



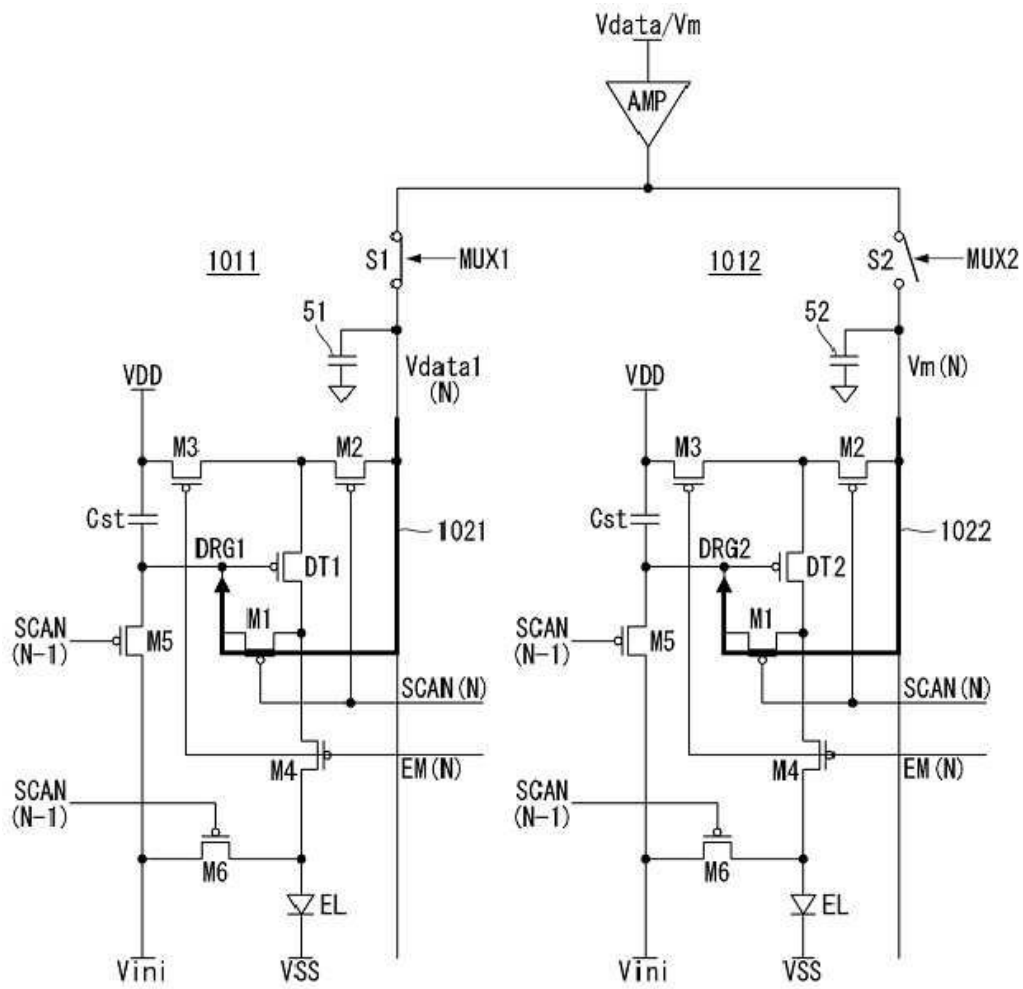
도면6a



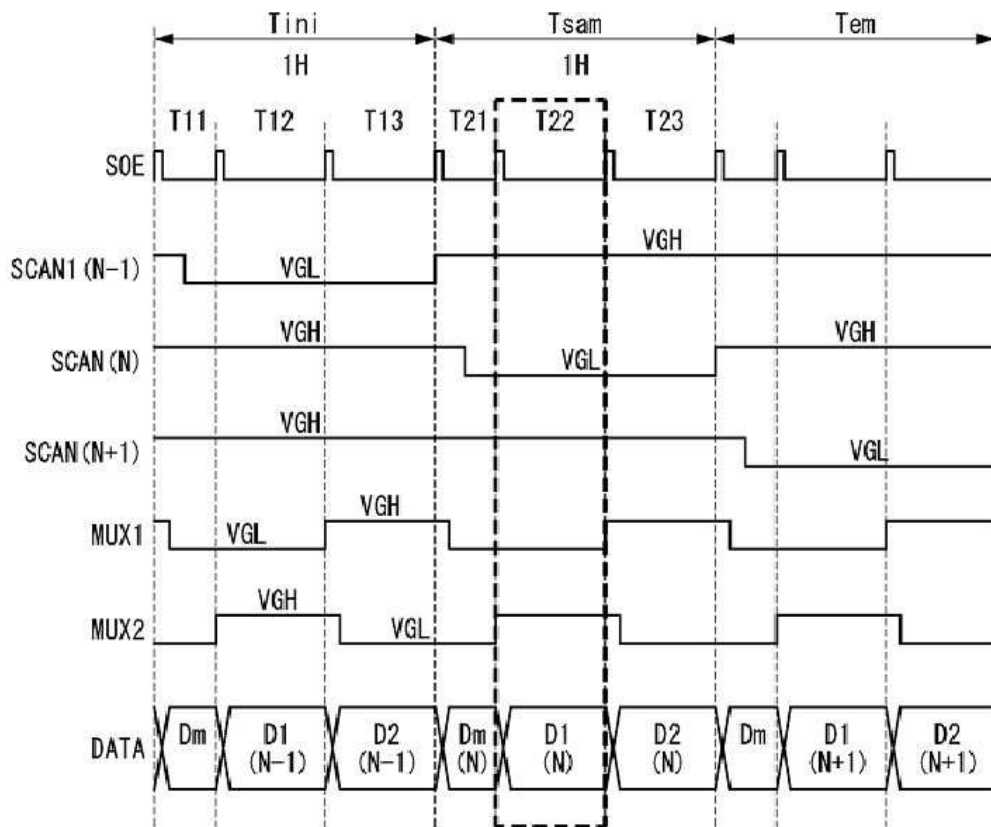
도면6b



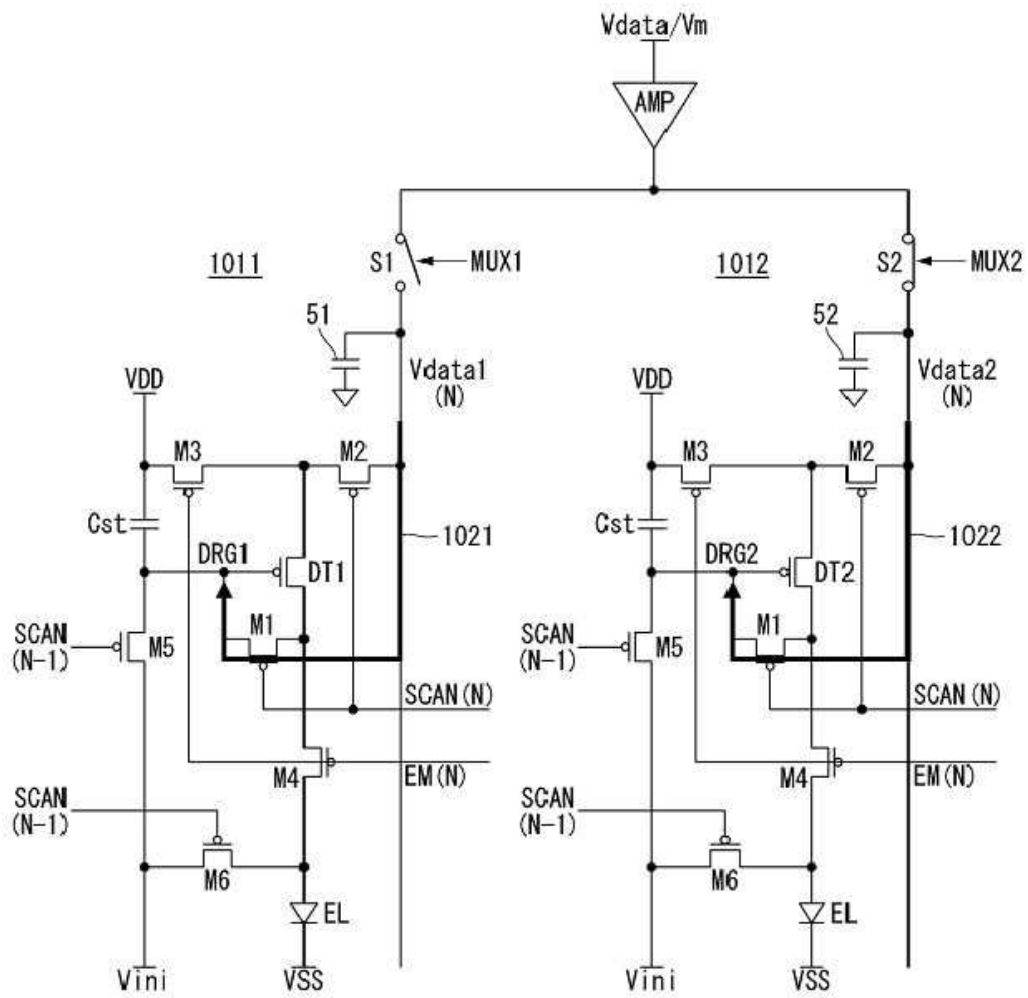
도면7a



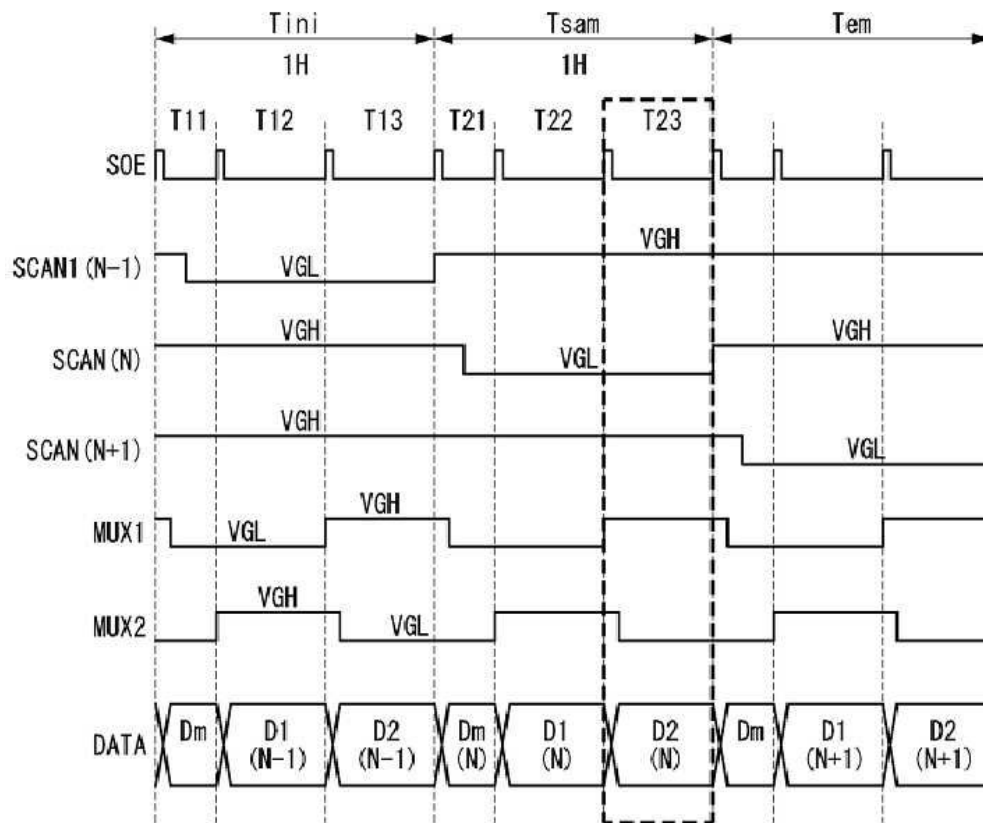
도면7b



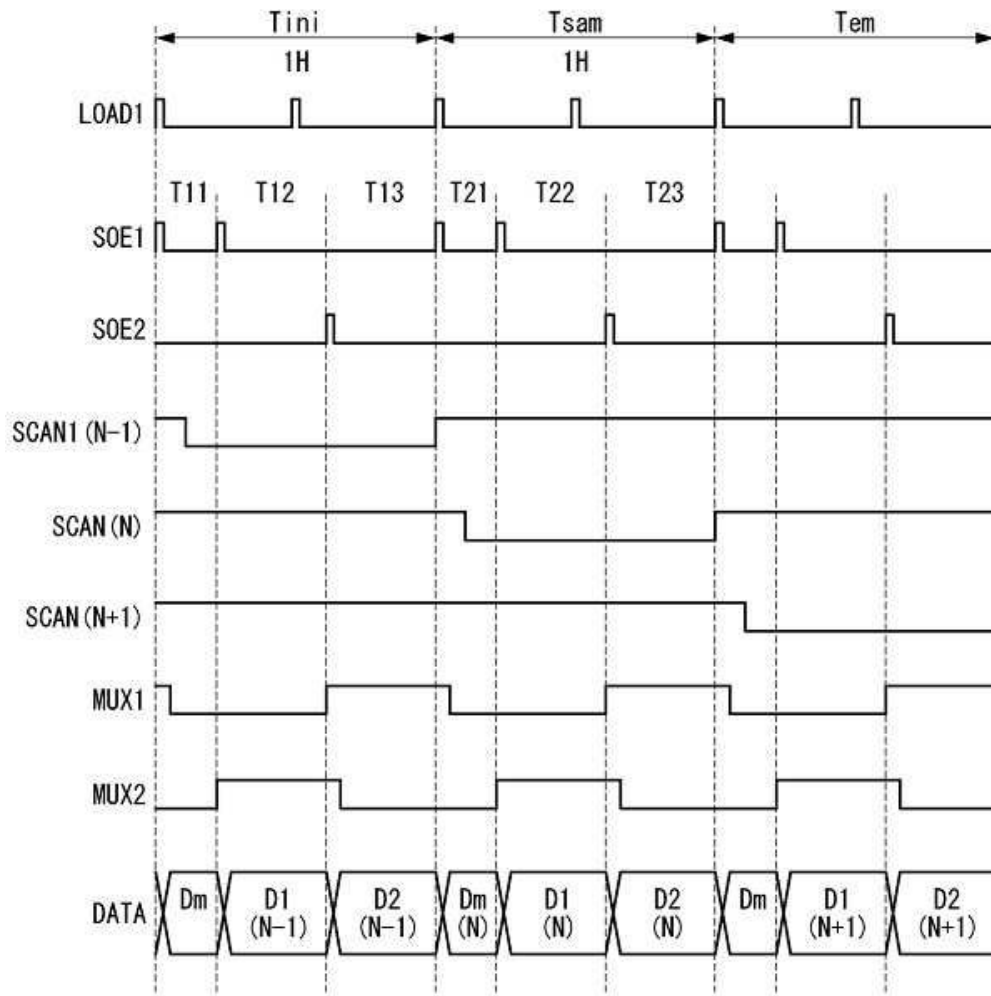
도면8a



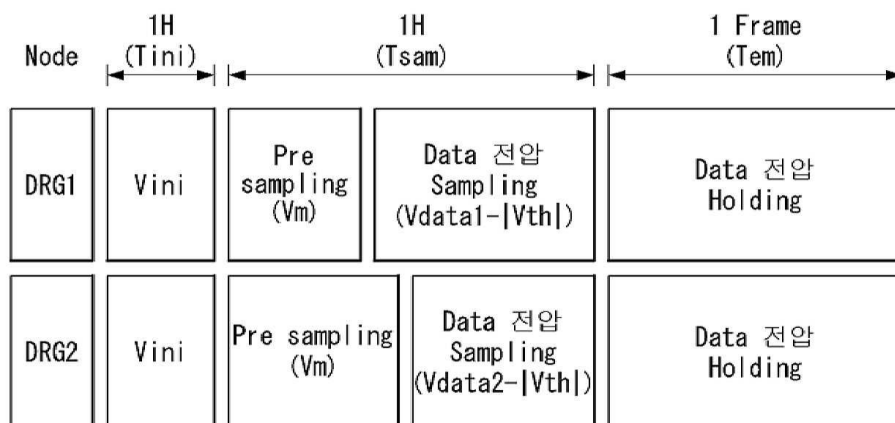
도면8b



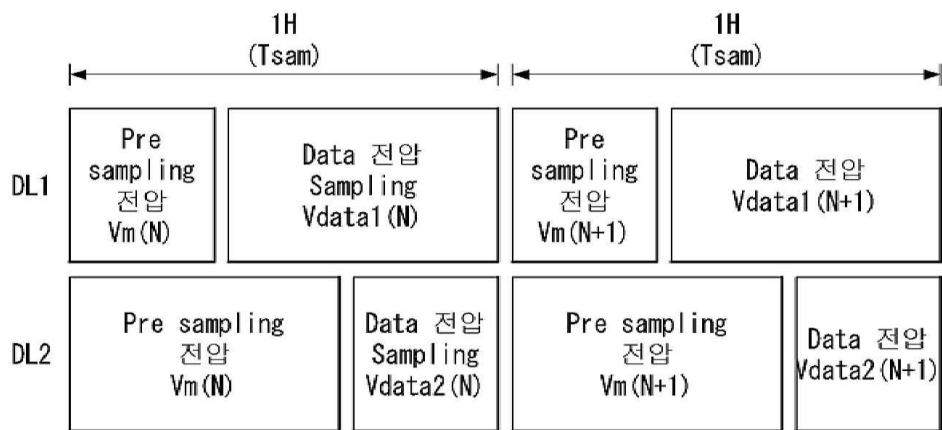
도면9



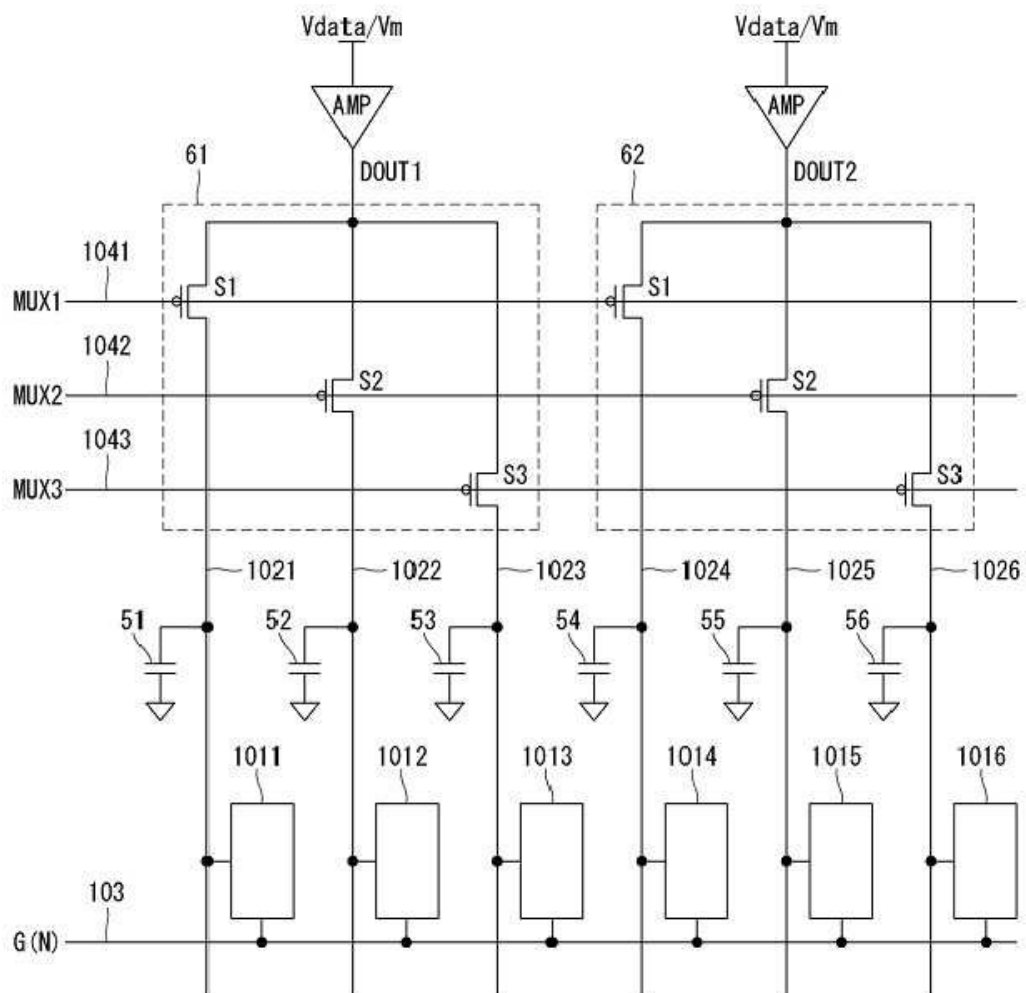
도면10



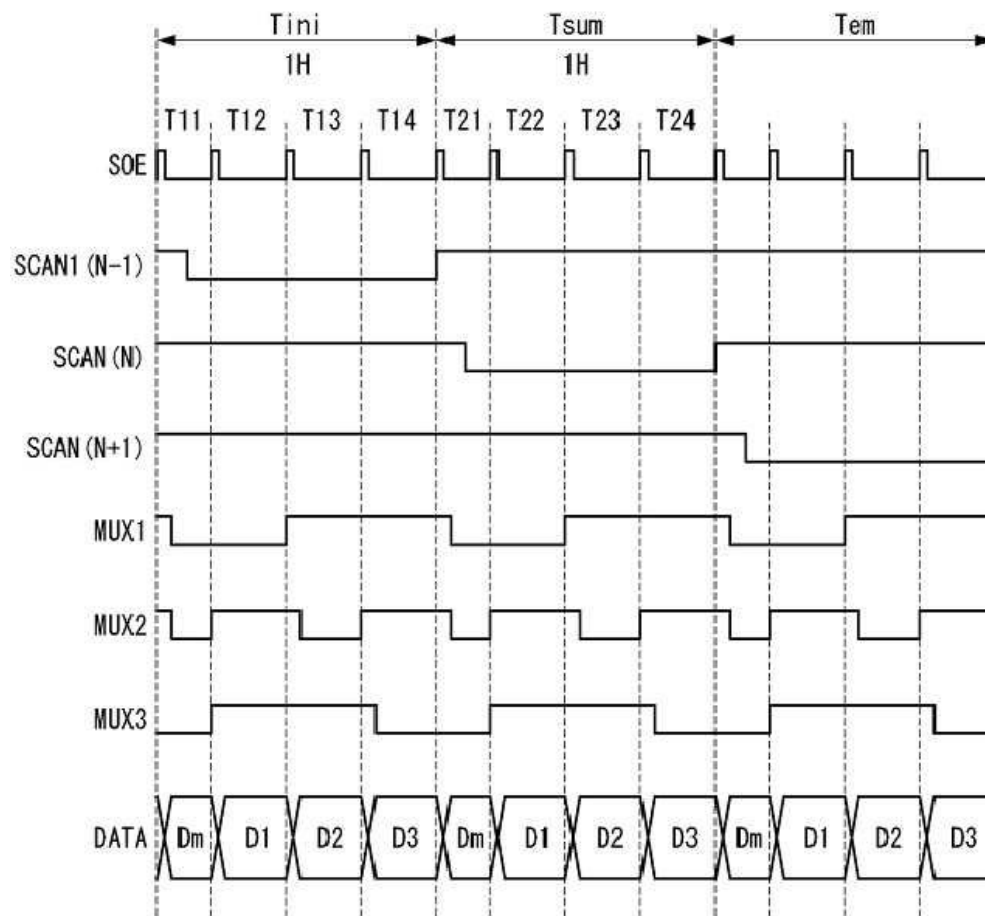
도면11



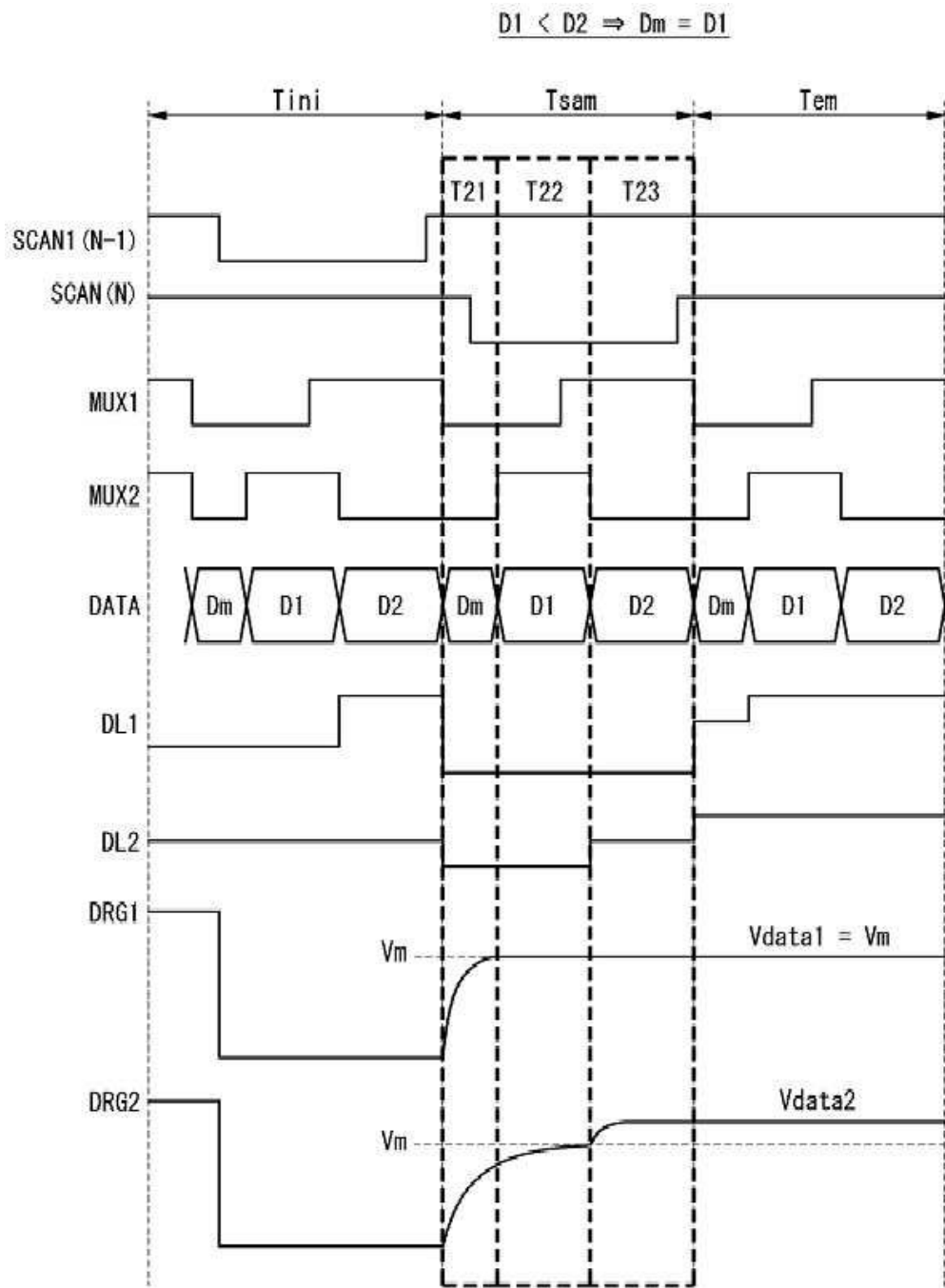
도면12



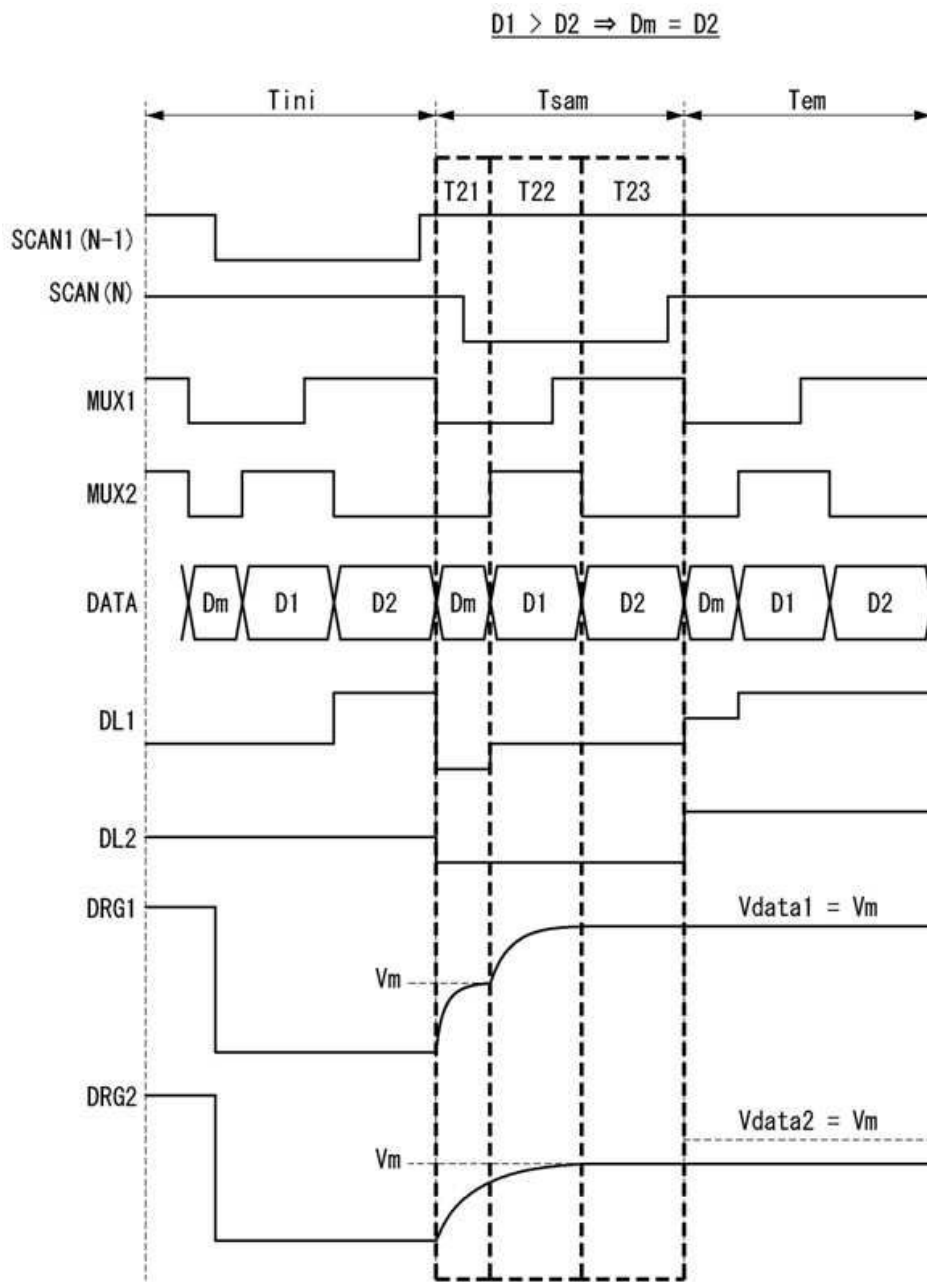
도면13



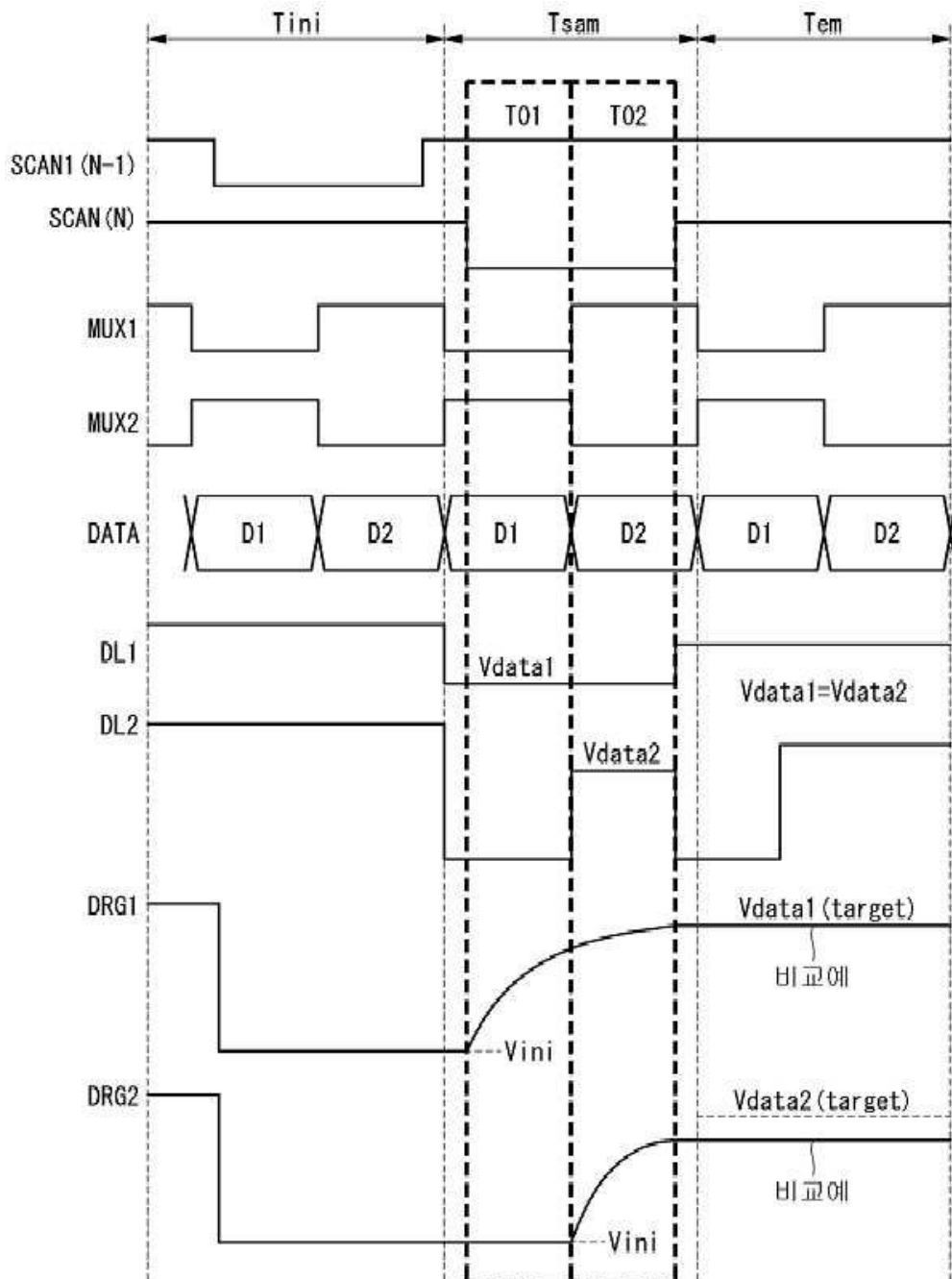
도면14a



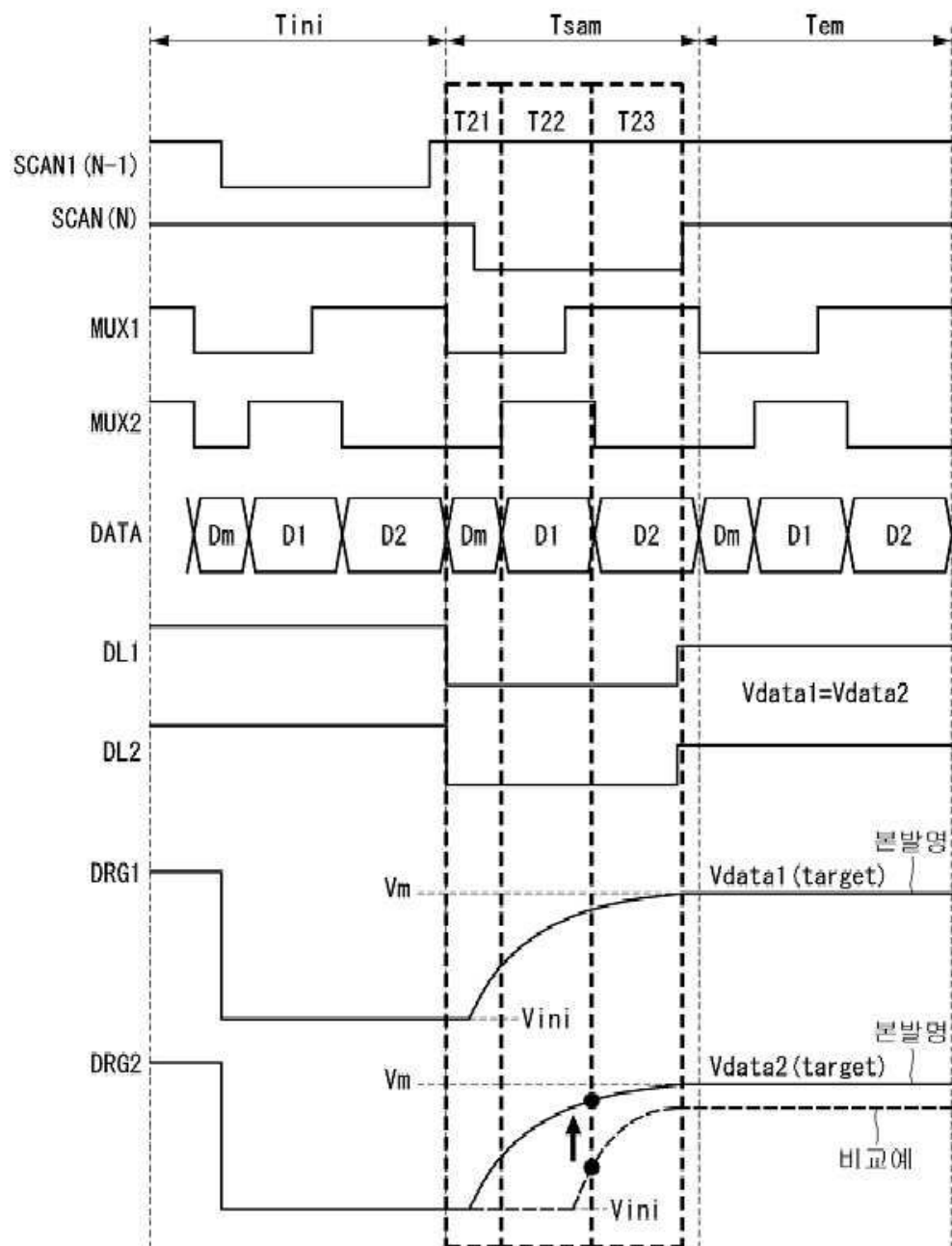
도면14b



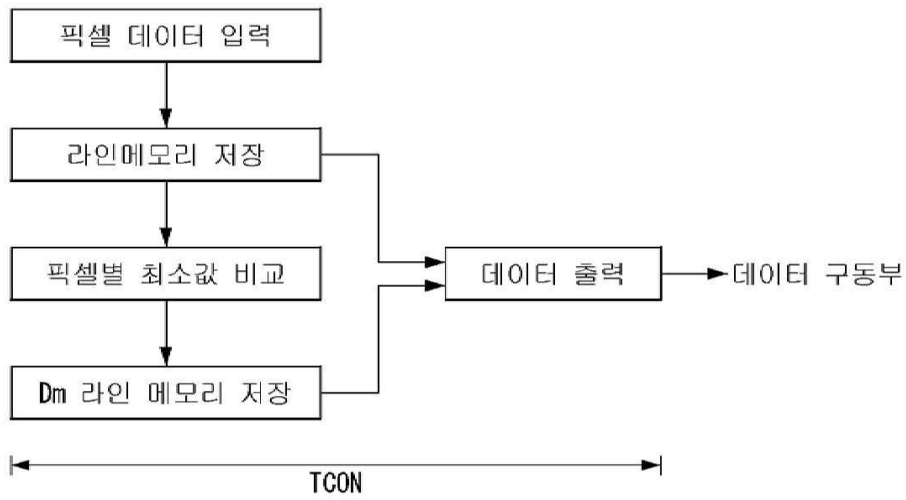
도면15



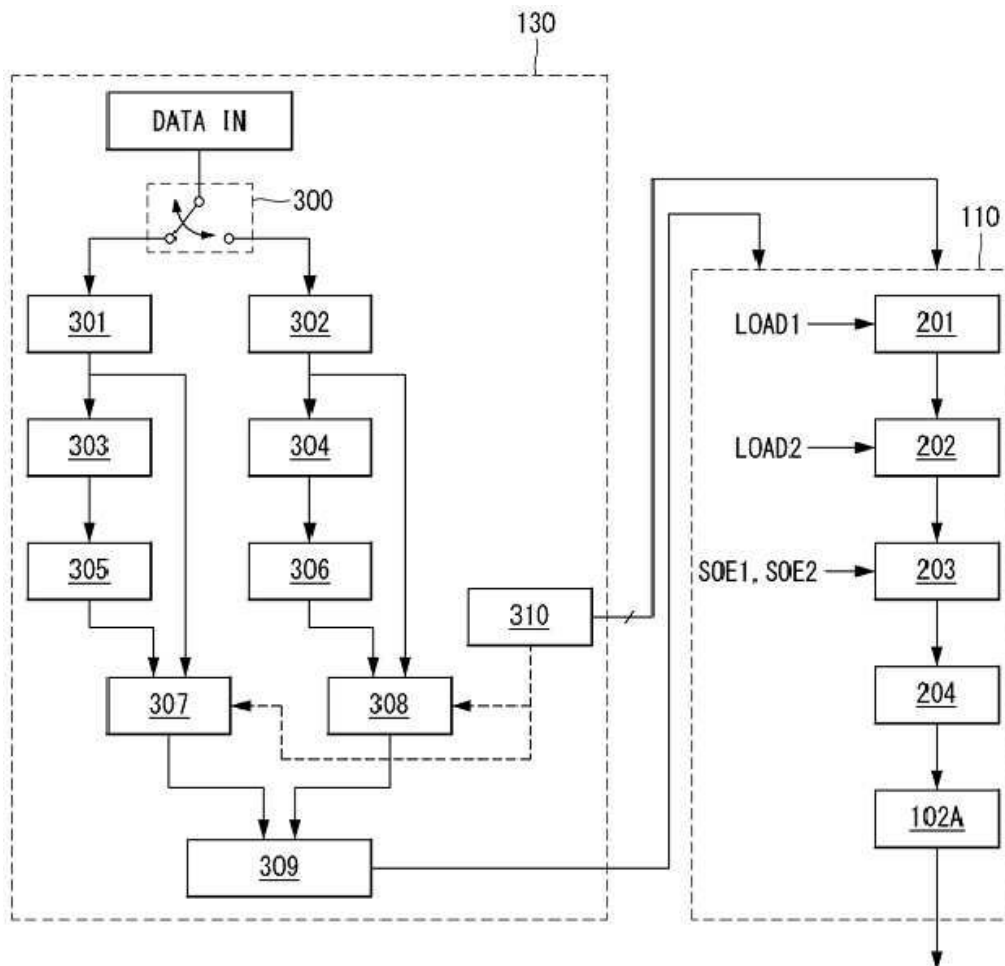
도면16



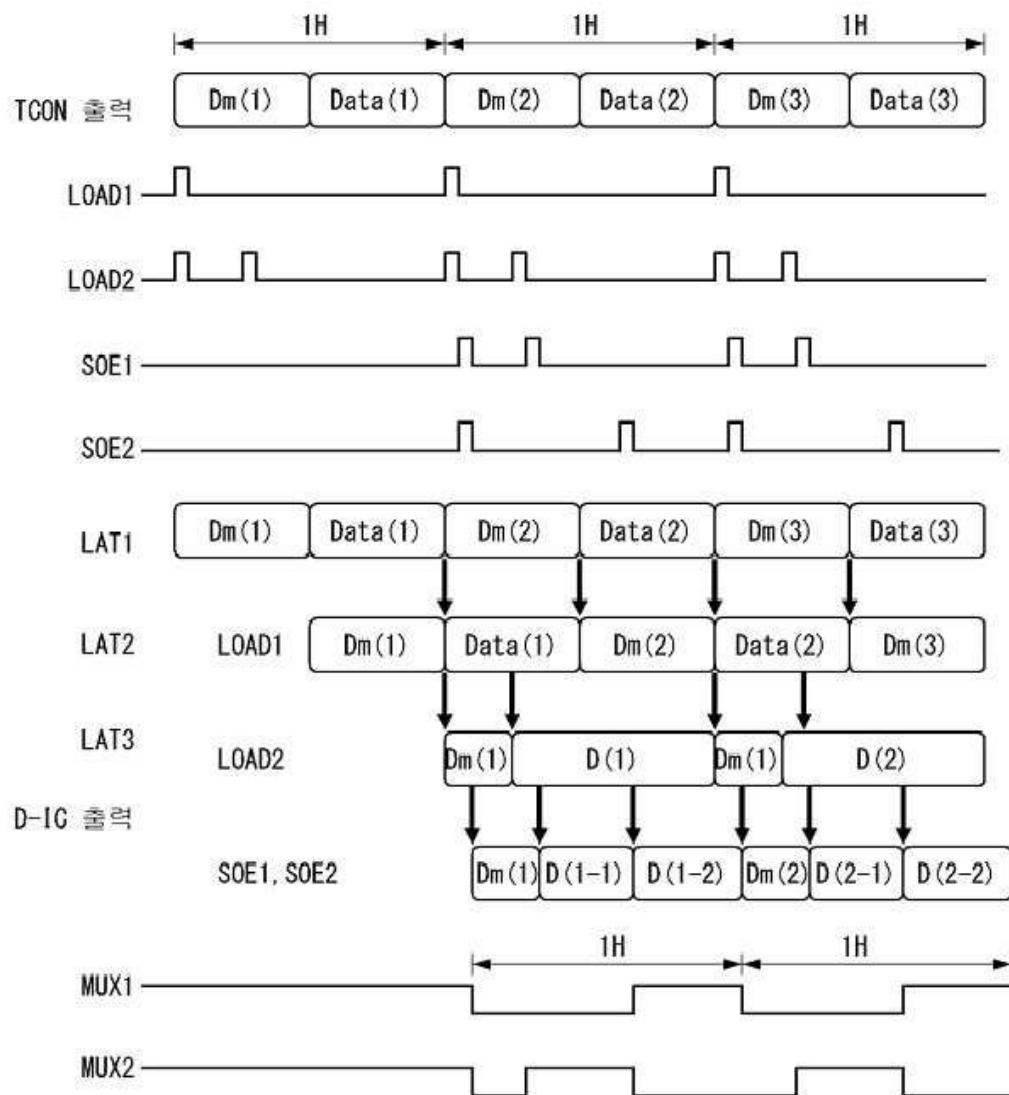
도면17



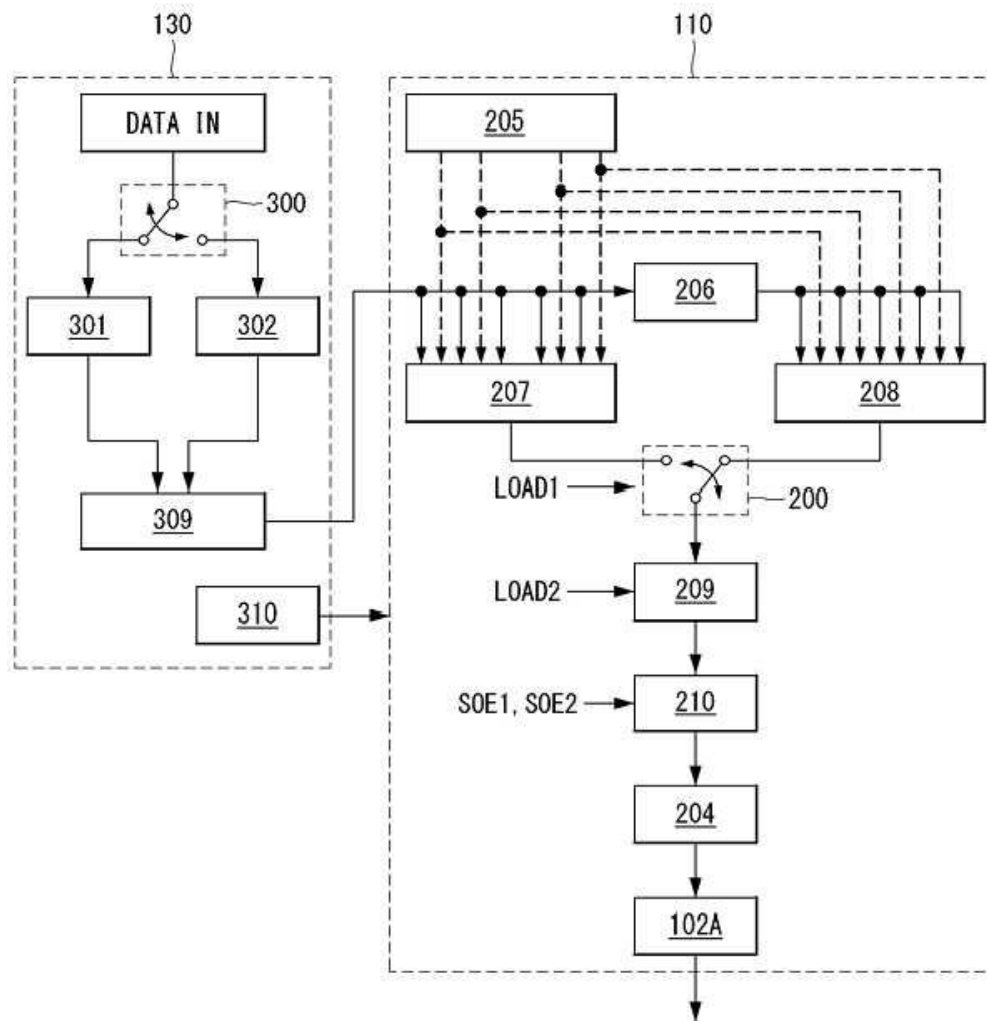
도면18



도면19



도면20



电致发光显示器技术领域本发明涉及一种电致发光显示器。该电致发光显示器包括解复用器，该解复用器同时将通过数据驱动单元的一个通道输入的预采样电压输出到第一和第二数据线，将第一像素数据电压提供到第一数据线，然后将第二像素数据电压输出到第二数据线。电致发光显示器可以减少数据驱动单元的通道数量。电致发光显示器可以防止在其中第一水平周期变小的高分辨率和高速驱动器的显示器中的像素电路的数据采样错误。

