



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0119561
(43) 공개일자 2019년10월22일

- | | |
|---|--|
| <p>(51) 국제특허분류(Int. Cl.)
H01L 27/12 (2006.01) H01L 21/02 (2006.01)
H01L 27/32 (2006.01)</p> <p>(52) CPC특허분류
H01L 27/1255 (2013.01)
H01L 21/02107 (2013.01)</p> <p>(21) 출원번호 10-2019-0127166(분할)</p> <p>(22) 출원일자 2019년10월14일
심사청구일자 2019년10월14일</p> <p>(62) 원출원 특허 10-2019-0045128
원출원일자 2019년04월17일
심사청구일자 2019년04월17일</p> | <p>(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)</p> <p>(72) 발명자
이원세
경기도 용인시 기흥구 삼성로 1 (농서동)
곽원규
경기도 용인시 기흥구 삼성로 1 (농서동)
김세호
경기도 용인시 기흥구 삼성로 1 (농서동)</p> <p>(74) 대리인
리엔목특허법인</p> |
|---|--|

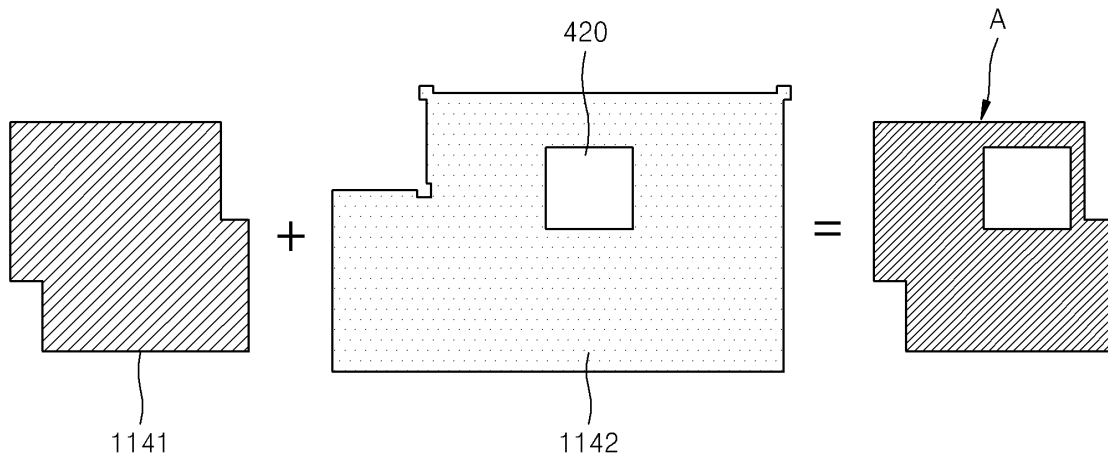
전체 청구항 수 : 총 15 항

(54) 발명의 명칭 박막 트랜지스터 어레이 기판 및 유기 발광 표시 장치

(57) 요약

본 발명은 기판; 상기 기판 상에 구비된 제1절연층; 상기 제1절연층 상에 구비된 하부 전극, 및 제2절연층에 의해 상기 하부 전극과 절연되고 상기 하부 전극 전체와 중첩되도록 배치되며 개구부를 구비하는 상부 전극을 포함하는 커패시터; 상기 커패시터를 덮는 층간 절연막; 상기 개구부를 관통하도록 상기 층간 절연막 및 상기 제2절연층에 구비된 노드 콘택홀; 및 상기 층간 절연막 상에 구비되며 상기 노드 콘택홀을 통해 상기 하부 전극과 적어도 하나의 박막 트랜지스터를 전기적으로 연결하는 연결 노드; 를 포함하는 박막 트랜지스터 어레이 기판을 개시하여 커패시터를 일정하게 유지한다.

대표도 - 도6



(52) CPC특허분류

H01L 27/3262 (2013.01)

H01L 27/3265 (2013.01)

H01L 27/3276 (2013.01)

명세서

청구범위

청구항 1

기관;

상기 기관 상에서 제1방향으로 연장된 스캔선;

상기 제1방향과 교차하는 제2방향으로 연장된 데이터선 및 구동전압선;

상기 스캔선 및 상기 데이터선에 연결된 스위칭 박막트랜지스터;

상기 스위칭 박막트랜지스터와 연결되며, 구동 게이트 전극 및 구동 반도체층을 포함하는 구동 박막트랜지스터; 및

상기 구동 게이트 전극을 하부 전극으로 하고, 상기 하부 전극과 중첩된 상부 전극을 포함하는 스토리지 커패시터;를 포함하며,

상기 상부 전극은 상기 구동전압선과 연결되고, 상기 기관과 상기 데이터선 사이에 배치되어 상기 데이터선과 적어도 일부 중첩된 중첩영역을 포함하는, 박막 트랜지스터 어레이 기관.

청구항 2

제1항에 있어서,

상기 상부 전극은 상기 제2방향에 대해서 서로 다른 길이의 폭을 포함하는, 박막 트랜지스터 어레이 기관.

청구항 3

제2항에 있어서,

상기 중첩영역에 대응하는 상기 제2방향의 폭은 상기 상부 전극의 상기 제2방향의 가장 큰 폭보다 작은, 박막 트랜지스터 어레이 기관.

청구항 4

제1항에 있어서,

상기 상부 전극은 상기 구동전압선과 복수 개의 컨택홀을 통해 연결된, 박막 트랜지스터 어레이 기관.

청구항 5

제1항에 있어서,

상기 구동 반도체층은 서로 다른 방향으로 연장된 부분을 포함하는, 박막 트랜지스터 어레이 기관.

청구항 6

제5항에 있어서,

상기 구동 반도체층은 상기 제1방향으로 연장된 부분 및 상기 제2방향으로 연장된 부분을 포함하는, 박막 트랜지스터 어레이 기관.

청구항 7

제1항에 있어서,

상기 상부 전극은 단힌 형상의 개구부를 포함하는, 박막 트랜지스터 어레이 기관.

청구항 8

제1항에 있어서,

상기 기관 상에 배치된 초기화 전압선; 및

상기 기관 상에 구비되며, 초기화 게이트 전극 및 초기화 반도체층을 포함하는 초기화 박막트랜지스터;를 더 포함하며,

상기 초기화 전압선은 상기 초기화 박막트랜지스터와 연결되며,

상기 초기화 박막트랜지스터는 상기 구동 게이트 전극과 연결된, 박막 트랜지스터 어레이 기관.

청구항 9

제8항에 있어서,

상기 초기화 반도체층은 연결 노드를 통해서 상기 구동 게이트 전극과 연결되며, 상기 연결 노드는 상기 데이터선과 동일한 층에 배치된, 박막 트랜지스터 어레이 기관.

청구항 10

제8항에 있어서,

상기 상부 전극은 개구부를 포함하며, 상기 개구부에 의해 노출된 구동 게이트 전극의 제1영역이 상기 초기화 박막트랜지스터와 연결된, 박막 트랜지스터 어레이 기관.

청구항 11

제10항에 있어서,

상기 제1영역은 상기 구동 반도체층의 채널영역과 적어도 일부 중첩된, 박막 트랜지스터 어레이 기관.

청구항 12

제8항에 있어서,

상기 초기화 전압선은 상기 스캔선 및 상기 데이터선과 다른 층에 배치된, 박막 트랜지스터 어레이 기관.

청구항 13

제12항에 있어서,

상기 기관 상에 배치된 발광 제어선;

상기 발광 제어선과 연결된 발광 제어 박막트랜지스터; 및

상기 발광 제어 박막트랜지스터와 연결된 화소전극;을 더 포함하며,

상기 구동 박막트랜지스터는 상기 발광 제어 박막트랜지스터를 통해서 상기 화소전극과 연결되며, 상기 화소전극은 상기 초기화 전압선과 동일층에 배치된, 박막 트랜지스터 어레이 기관.

청구항 14

제13항에 있어서,

상기 상부 전극의 일측은 상기 스캔선과 인접하게 배치되며, 상기 상부 전극의 타측은 상기 발광 제어선과 인접하게 배치된, 박막 트랜지스터 어레이 기관.

청구항 15

제1항에 있어서,

상기 스위칭 박막트랜지스터는 스위칭 반도체층을 포함하며,

상기 데이터선은 상기 스위칭 반도체층의 채널영역과 적어도 일부 중첩된, 박막 트랜지스터 어레이 기관.

발명의 설명

기술 분야

[0001] 본 발명은 적어도 하나의 박막 트랜지스터 및 스토리지 커패시터를 포함하는 박막 트랜지스터 어레이 기판 및 이를 채용한 유기 발광 표시 장치에 관한 것이다.

배경 기술

[0002] 유기 발광 표시 장치는 두 개의 전극과 그 사이에 위치하는 유기 발광층을 포함하며, 하나의 전극으로부터 주입된 전자(electron)와 다른 전극으로부터 주입된 정공(hole)이 유기 발광층에서 결합하여 여기자(exciton)를 형성하고, 여기자가 에너지를 방출하면서 발광한다.

[0003] 이러한 유기 발광 표시 장치는 자발광 소자인 유기 발광 소자를 포함하는 복수개의 화소를 포함하며, 각 화소에는 유기 발광 소자를 구동하기 위한 복수개의 박막 트랜지스터(thin film transistor) 및 캐패시터(Capacitor)가 형성되어 있다.

[0004] 커패시터는 하부 전극과 상부 전극 및 그 사이에 개재된 유전체로 구성된다. 각 전극은 기판 전면에 도전층을 형성한 후 포토 리소그래피(photo lithography) 공정을 통해 패터닝 된다. 그런데, 패널이 대형화되고 대량의 패널을 동시에 생산하는 시스템에서는 패터닝 공정 중에 공정 장비의 오차 범위 내에서 기판과 마스크 또는 노광기 사이에 미스 얼라인(miss align)이 발생할 수 있다. 이러한 미스 얼라인(miss align)으로 인하여 설계시 의도했던 바와 다르게 커패시터의 양 전극 사이에 오버레이(overlay) 편차가 발생할 수 있다. 이러한 오버레이 편차로 인해 커패시턴스(capacitance)가 설계값과 다르게 발현되어 저계조 얼룩, 색 이상과 같은 문제점이 발생하게 된다.

발명의 내용

해결하려는 과제

[0005] 본 발명은 상술한 문제점을 해결하기 위한 것으로서, 오버레이 편차가 발생하더라도 커패시턴스를 일정하게 유지하는 스토리지 커패시터 구조를 포함하는 박막 트랜지스터 어레이 기판 및 이를 채용한 유기 발광 표시 장치에 관한 것이다.

과제의 해결 수단

[0006] 본 발명의 일 실시예에 따르면, 기판; 상기 기판 상에 구비된 제1절연층; 상기 제1절연층 상에 구비된 하부 전극, 및 제2절연층에 의해 상기 하부 전극과 절연되고 상기 하부 전극 전체와 중첩되도록 배치되며 개구부를 구비하는 상부 전극을 포함하는 커패시터; 상기 커패시터를 덮는 층간 절연막; 상기 개구부를 관통하도록 상기 층간 절연막 및 상기 제2절연층에 구비된 노드 콘택홀; 및 상기 층간 절연막 상에 구비되며 상기 노드 콘택홀을 통해 상기 하부 전극과 적어도 하나의 박막 트랜지스터를 전기적으로 연결하는 연결 노드; 를 포함하는 박막 트랜지스터 어레이 기판을 제공한다.

[0007] 상기 개구부는 상기 하부 전극과 중첩하도록 구비된다.

[0008] 상기 상부 전극은 상기 연결 노드와 동일한 층에 형성된 상기 구동 전압선으로부터 구동 전압을 인가받는다.

[0009] 상기 구동 전압선은 상기 층간 절연막에 구비된 다른 콘택홀을 통해 상기 상부 전극과 연결된다.

[0010] 상기 커패시터와 중첩되도록 배치되는 구동 박막 트랜지스터를 더 포함하며, 상기 구동 박막 트랜지스터의 구동 게이트 전극은 상기 하부 전극을 포함하는 것을 특징으로 한다.

[0011] 상기 박막 트랜지스터는 상기 구동 박막 트랜지스터의 문턱 전압을 보상하며 상기 구동 박막 트랜지스터에 연결되어 있는 보상 박막 트랜지스터이고, 상기 보상 박막 트랜지스터는 상기 연결 노드를 통해 상기 하부 전극과 전기적으로 연결된다.

[0012] 상기 보상 박막 트랜지스터의 보상 게이트 전극은 상기 하부 전극과 동일층에 형성된 것을 특징으로 한다.

[0013] 상기 박막 트랜지스터는 이전 스캔 신호에 따라 턴온되어 초기화 전압을 상기 구동 박막 트랜지스터의 상기 구동 게이트 전극에 전달하는 초기화 박막 트랜지스터이고, 상기 초기화 박막 트랜지스터는 상기 연결 노드를 통

해 상기 하부 전극과 전기적으로 연결된다.

[0014] 상기 초기화 박막 트랜지스터의 초기화 게이트 전극은 상기 하부 전극과 동일층에 형성된 것을 특징으로 한다.

[0015] 본 발명의 다른 실시예에 따르면, 기관; 상기 기관 상에 구비된 제1절연층; 상기 제1절연층 상에 구비되며 스캔 신호를 전달하는 스캔선; 제2절연층 및 층간 절연막에 의해 절연되고 상기 스캔선과 교차하며 데이터 신호 및 구동 전압을 전달하는 데이터선 및 구동 전압선; 상기 스캔선 및 상기 데이터선과 연결되며 적어도 하나의 박막 트랜지스터 및 커패시터를 포함하는 화소 회로; 및 상기 화소 회로를 통해 상기 구동 전압을 전달받아 발광하는 유기 발광 소자; 를 포함하며, 상기 커패시터는 상기 제1절연층 상에 구비된 하부 전극, 및 상기 제2절연층에 의해 상기 하부 전극과 절연되고 상기 하부 전극 전체와 중첩되도록 배치되며 개구부를 구비하는 상부 전극을 포함하고, 상기 개구부를 관통하도록 상기 층간 절연막 및 상기 제2절연층에 구비된 노드 콘택홀; 및 상기 층간 절연막 상에 구비되며 상기 노드 콘택홀을 통해 상기 하부 전극과 적어도 하나의 상기 박막 트랜지스터를 전기적으로 연결하는 연결 노드; 를 더 포함하는 유기 발광 표시 장치를 제공한다.

발명의 효과

[0016] 본 발명에 일 실시예에 따르면, 스토리지 커패시터의 하부 전극 전체와 상부 전극이 서로 중첩되며, 하부 전극과 중첩되도록 상부 전극에 개구부가 형성되어, 양 전극 간에 오버레이 편차가 발생하더라도 항상 일정한 커패시턴스를 유지할 수 있는 특징이 있다. 따라서, 커패시턴스 변화에 의한 저계조 얼룩 및 색 이상이 발생하는 문제를 해소할 수 있다.

도면의 간단한 설명

[0017] 도 1은 본 발명의 일실시예에 따른 유기 발광 표시 장치의 하나의 화소의 등가 회로도이다.
 도 2는 도 1에 도시된 유기발광 표시장치의 하나의 화소를 나타낸 개략적인 평면도이다.
 도 3은 도 2의 유기 발광 표시 장치를 III-III을 따라 자른 단면도이다.
 도 4는 도 2의 유기 발광 표시 장치를 IV-IV선을 따라 자른 단면도이다.
 도 5는 도 2의 유기 발광 표시 장치를 V-V선을 따라 자른 단면도이다.
 도 6은 도 2의 유기 발광 표시 장치의 스토리지 커패시터의 중첩되는 면적을개략적으로 나타낸 평면도이다.
 도 7은 도 2의 유기 발광 표시 장치의 스토리지 커패시터의 양 전극 사이에 오버레이 편차가 발생한 경우를 나타낸 평면도이다.

발명을 실시하기 위한 구체적인 내용

[0018] 이하, 첨부한 도면을 참고로 하여 본 발명의 여러 실시예들에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예들에 한정되지 않는다.

[0019] 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 동일 또는 유사한 구성요소에 대해서는 동일한 참조 부호를 붙이도록 한다.

[0020] 또한, 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로, 본 발명이 반드시 도시된 바에 한정되지 않는다.

[0021] 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 그리고 도면에서, 설명의 편의를 위해, 일부 층 및 영역의 두께를 과장되게 나타내었다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 또는 "상에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다.

[0022] 또한, 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함" 한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다. 또한, 명세서 전체에서, "~상에" 라 함은 대상 부분의 위 또는 아래에 위치함을 의미하는 것이며, 반드시 중력 방향을 기준으로 상 측에 위치하는 것을 의미하는 것은 아니다.

- [0023] 이하 도 1 내지 도 5를 참조하여 본 발명의 일 실시예에 따른 유기 발광 표시 장치에 대해 상세히 알아본다.
- [0024] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 하나의 화소의 등가 회로도이다.
- [0025] 도 1에 도시한 바와 같이, 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 하나의 화소는 복수의 신호선(14, 24, 34, 16, 26, 20), 복수의 신호선에 연결되며 복수개의 박막 트랜지스터(T1, T2, T3, T4, T5, T6), 및 스토리지 커패시터(storage capacitor, Cst)를 포함하는 화소 회로를 포함한다. 또한 화소는 화소 회로를 통해 구동 전압을 전달받아 발광하는 유기 발광 소자(organic light emitting diode, OLED)를 포함한다.
- [0026] 박막 트랜지스터는 구동 박막 트랜지스터(driving thin film transistor)(T1), 스위칭 박막 트랜지스터(switching thin film transistor)(T2), 보상 박막 트랜지스터(T3), 초기화 박막 트랜지스터(T4), 동작 제어 박막 트랜지스터(T5) 및 발광 제어 박막 트랜지스터(T6)를 포함한다.
- [0027] 신호선은 스캔 신호(Sn)를 전달하는 스캔선(24), 초기화 박막 트랜지스터(T4)에 이전 스캔 신호(Sn-1)를 전달하는 이전 스캔선(14), 동작 제어 박막 트랜지스터(T5) 및 발광 제어 박막 트랜지스터(T6)에 발광 제어 신호(En)를 전달하는 발광 제어선(34), 스캔선(24)과 교차하며 데이터 신호(Dm)를 전달하는 데이터선(16), 구동 전압(ELVDD)을 전달하며 데이터선(16)과 거의 평행하게 형성되어 있는 구동 전압선(26), 구동 박막 트랜지스터(T1)를 초기화하는 초기화 전압(Vint)을 전달하는 초기화 전압선(20)을 포함한다.
- [0028] 구동 박막 트랜지스터(T1)의 게이트 전극(G1)은 스토리지 커패시터(Cst)의 일단(Cst1)과 연결되어 있고, 구동 박막 트랜지스터(T1)의 소스 전극(S1)은 동작 제어 박막 트랜지스터(T5)를 경유하여 구동 전압선(26)과 연결되어 있으며, 구동 박막 트랜지스터(T1)의 드레인 전극(D1)은 발광 제어 박막 트랜지스터(T6)를 경유하여 유기 발광 소자(OLED)의 애노드(anode)와 전기적으로 연결되어 있다. 구동 박막 트랜지스터(T1)는 스위칭 박막 트랜지스터(T2)의 스위칭 동작에 따라 데이터 신호(Dm)를 전달받아 유기 발광 소자(OLED)에 구동 전류(Id)를 공급한다.
- [0029] 스위칭 박막 트랜지스터(T2)의 게이트 전극(G2)은 스캔선(24)과 연결되어 있고, 스위칭 박막 트랜지스터(T2)의 소스 전극(S2)은 데이터선(16)과 연결되어 있으며, 스위칭 박막 트랜지스터(T2)의 드레인 전극(D2)은 구동 박막 트랜지스터(T1)의 소스 전극(S1)과 연결되어 있으면서 동작 제어 박막 트랜지스터(T5)를 경유하여 구동 전압선(26)과 연결되어 있다. 이러한 스위칭 박막 트랜지스터(T2)는 스캔선(24)을 통해 전달받은 스캔 신호(Sn)에 따라 턴 온되어 데이터선(16)으로 전달된 데이터 신호(Dm)를 구동 박막 트랜지스터(T1)의 소스 전극으로 전달하는 스위칭 동작을 수행한다.
- [0030] 보상 박막 트랜지스터(T3)의 게이트 전극(G3)은 스캔선(24)에 연결되어 있고, 보상 박막 트랜지스터(T3)의 소스 전극(S3)은 구동 박막 트랜지스터(T1)의 드레인 전극(D1)과 연결되어 있으면서 발광 제어 박막 트랜지스터(T6)를 경유하여 유기 발광 소자(OLED)의 애노드(anode)와 연결되어 있으며, 보상 박막 트랜지스터(T3)의 드레인 전극(D3)은 스토리지 커패시터(Cst)의 일단(Cst1), 초기화 박막 트랜지스터(T4)의 드레인 전극(D4) 및 구동 박막 트랜지스터(T1)의 게이트 전극(G1)과 함께 연결되어 있다. 이러한 보상 박막 트랜지스터(T3)는 스캔선(24)을 통해 전달받은 스캔 신호(Sn)에 따라 턴 온되어 구동 박막 트랜지스터(T1)의 게이트 전극(G1)과 드레인 전극(D1)을 서로 연결하여 구동 박막 트랜지스터(T1)를 다이오드 연결시킨다.
- [0031] 초기화 박막 트랜지스터(T4)의 게이트 전극(G4)은 이전 스캔선(14)과 연결되어 있고, 초기화 박막 트랜지스터(T4)의 소스 전극(S4)은 초기화 전압선(20)과 연결되어 있으며, 초기화 박막 트랜지스터(T4)의 드레인 전극(D4)은 스토리지 커패시터(Cst)의 일단(Cst1), 보상 박막 트랜지스터(T3)의 드레인 전극(D3) 및 구동 박막 트랜지스터(T1)의 게이트 전극(G1)과 함께 연결되어 있다. 이러한 초기화 박막 트랜지스터(T4)는 이전 스캔선(14)을 통해 전달받은 이전 스캔 신호(Sn-1)에 따라 턴 온되어 초기화 전압(Vint)을 구동 박막 트랜지스터(T1)의 게이트 전극(G1)에 전달하여 구동 박막 트랜지스터(T1)의 게이트 전극(G1)의 전압을 초기화시키는 초기화 동작을 수행한다.
- [0032] 동작 제어 박막 트랜지스터(T5)의 게이트 전극(G5)은 발광 제어선(34)과 연결되어 있으며, 동작 제어 박막 트랜지스터(T5)의 소스 전극(S5)은 구동 전압선(26)과 연결되어 있고, 동작 제어 박막 트랜지스터(T5)의 드레인 전극(D5)은 구동 박막 트랜지스터(T1)의 소스 전극(S1) 및 스위칭 박막 트랜지스터(T2)의 드레인 전극(D2)과 연결되어 있다.
- [0033] 발광 제어 박막 트랜지스터(T6)의 게이트 전극(G6)은 발광 제어선(34)과 연결되어 있으며, 발광 제어 박막 트랜지스터(T6)의 소스 전극(S6)은 구동 박막 트랜지스터(T1)의 드레인 전극(D1) 및 보상 박막 트랜지스터(T3)의 소

스 전극(S3)과 연결되어 있고, 발광 제어 박막 트랜지스터(T6)의 드레인 전극(D6)은 유기 발광 소자(OLED)의 애노드(anode)와 전기적으로 연결되어 있다. 이러한 동작 제어 박막 트랜지스터(T5) 및 발광 제어 박막 트랜지스터(T6)는 발광 제어선(34)을 통해 전달받은 발광 제어 신호(En)에 따라 동시에 턴 온되어 구동 전압(ELVDD)이 유기 발광 소자(OLED)에 전달되어 유기 발광 소자(OLED)에 구동 전류(Id)가 흐르게 된다.

- [0034] 스토리지 커패시터(Cst)의 타단(Cst2)은 구동 전압선(26)과 연결되어 있다. 스토리지 커패시터(Cst)의 일단(Cst1)은 연결 노드를 통해 구동 박막 트랜지스터(T1)의 게이트 전극(G1), 보상 박막 트랜지스터(T3)의 드레인 전극(D3) 및, 초기화 박막 트랜지스터(T4)의 드레인 전극(D4)에 함께 연결되어 있다.
- [0035] 유기 발광 소자(OLED)의 캐소드(cathode)는 공통 전압(ELVSS)과 연결되어 있다. 이에 따라, 유기 발광 소자(OLED)는 구동 박막 트랜지스터(T1)로부터 구동 전류(Id)를 전달받아 발광함으로써 화상을 표시한다.
- [0036] 이하에서 본 발명의 도 1에 도시된 유기 발광 표시 장치의 한 화소의 구체적인 동작 과정을 상세히 설명한다.
- [0037] 우선, 초기화 기간 동안 이전 스캔선(14)을 통해 로우 레벨(low level)의 이전 스캔 신호(Sn-1)가 공급된다. 그러면, 로우 레벨의 이전 스캔 신호(Sn-1)에 대응하여 초기화 박막 트랜지스터(T4)가 턴 온(Turn on)되며, 초기화 전압선(20)으로부터 초기화 박막 트랜지스터(T4)를 통해 초기화 전압(Vint)이 구동 박막 트랜지스터(T1)의 게이트 전극에 연결되고, 초기화 전압(Vint)에 의해 구동 박막 트랜지스터(T1)가 초기화된다.
- [0038] 이 후, 데이터 프로그래밍 기간 중 스캔선(24)을 통해 로우 레벨의 스캔 신호(Sn)가 공급된다. 그러면, 로우 레벨의 스캔 신호(Sn)에 대응하여 스위칭 박막 트랜지스터(T2) 및 보상 박막 트랜지스터(T3)가 턴 온된다.
- [0039] 이 때, 구동 박막 트랜지스터(T1)는 턴 온된 보상 박막 트랜지스터(T3)에 의해 다이오드 연결되고, 순방향으로 바이어스 된다.
- [0040] 그러면, 데이터선(16)으로부터 공급된 데이터 신호(Dm)에서 구동 박막 트랜지스터(T1)의 문턱 전압(Threshold voltage, Vth)만큼 감소한 보상 전압(Dm+Vth, Vth는 (-)의 값)이 구동 박막 트랜지스터(T1)의 게이트 전극에 인가된다.
- [0041] 스토리지 커패시터(Cst)의 양단에는 구동 전압(ELVDD)과 보상 전압(Dm+Vth)이 인가되고, 스토리지 커패시터(Cst)에는 양단 전압 차에 대응하는 전하가 저장된다. 이 후, 발광 기간 동안 발광 제어선(34)으로부터 공급되는 발광 제어 신호(En)가 하이 레벨에서 로우 레벨로 변경된다. 그러면, 발광 기간 동안 로우 레벨의 발광 제어 신호(En)에 의해 동작 제어 박막 트랜지스터(T5) 및 발광 제어 박막 트랜지스터(T6)가 턴 온된다.
- [0042] 그러면, 구동 박막 트랜지스터(T1)의 게이트 전극의 전압과 구동 전압(ELVDD) 간의 전압차에 따르는 구동 전류(Id)가 발생하고, 발광 제어 박막 트랜지스터(T6)를 통해 구동 전류(Id)가 유기 발광 소자(OLED)에 공급된다. 발광 기간동안 스토리지 커패시터(Cst)에 의해 구동 박막 트랜지스터(T1)의 게이트-소스 전압(Vgs)은 (Dm+Vth)-ELVDD 로 유지되고, 구동 박막 트랜지스터(T1)의 전류-전압 관계에 따르면, 구동 전류(Id)는 소스-게이트 전압에서 문턱 전압을 차감한 값의 제곱 (Dm-ELVDD)²에 비례한다. 따라서 구동 전류(Id)는 구동 박막 트랜지스터(T1)의 문턱 전압(Vth)에 관계 없이 결정된다.
- [0043] 그러면 도 1에 도시한 유기 발광 표시 장치의 화소의 상세 구조에 대하여 도 2 내지 도 5를 도 1과 함께 참고하여 상세하게 설명한다.
- [0044] 도 2는 도 1에 도시된 유기발광 표시장치의 하나의 화소를 나타낸 개략적인 평면도이다. 도 3은 도 2의 유기 발광 표시 장치를 III-III을 따라 자른 단면도이다. 도 4는 도 2의 유기 발광 표시 장치를 IV-IV선을 따라 자른 단면도이다. 도 5는 도 2의 유기 발광 표시 장치를 V-V선을 따라 자른 단면도이다.
- [0045] 도 2 내지 도 5에 도시한 바와 같이, 본 발명의 일실시예에 따른 유기 발광 표시 장치의 화소는 스캔 신호(Sn), 이전 스캔 신호(Sn-1), 발광 제어 신호(En) 및 초기화 전압(Vint)을 각각 인가하며 행 방향을 따라 형성되어 있는 스캔선(24), 이전 스캔선(14), 발광 제어선(34) 및 초기화 전압선(20)을 포함하고, 스캔선(24), 이전 스캔선(14), 발광 제어선(34) 및 초기화 전압선(20) 모두와 교차하고 있으며 화소에 데이터 신호(Dm) 및 구동 전압(ELVDD)을 각각 인가하는 데이터선(16) 및 구동 전압선(26)을 포함한다.
- [0046] 또한, 화소에는 구동 박막 트랜지스터(T1), 스위칭 박막 트랜지스터(T2), 보상 박막 트랜지스터(T3), 초기화 박막 트랜지스터(T4), 동작 제어 박막 트랜지스터(T5), 발광 제어 박막 트랜지스터(T6), 스토리지 커패시터(Cst), 그리고 유기 발광 소자(OLED)가 형성되어 있다.
- [0047] 구동 박막 트랜지스터(T1), 스위칭 박막 트랜지스터(T2), 보상 박막 트랜지스터(T3), 초기화 박막 트랜지스터

(T4), 동작 제어 박막 트랜지스터(T5) 및 발광 제어 박막 트랜지스터(T6)는 반도체층(112, 122, 132, 142, 152, 162)을 따라 형성되어 있으며, 반도체층(112, 122, 132, 142, 152, 162)은 다양한 형상으로 굴곡되어 형성되어 있다. 이러한 반도체층(112, 122, 132, 142, 152, 162)은 폴리 실리콘으로 이루어지며, 불순물이 도핑되지 않은 채널 영역과, 채널 영역의 양 옆으로 불순물이 도핑되어 형성된 소스 영역 및 드레인 영역을 포함한다. 여기서, 이러한 불순물은 박막 트랜지스터의 종류에 따라 달라지며, N형 불순물 또는 P형 불순물이 가능하다. 이러한 반도체층은 구동 박막 트랜지스터(T1)에 형성되는 구동 반도체층(112), 스위칭 박막 트랜지스터(T2)에 형성되는 스위칭 반도체층(122), 보상 박막 트랜지스터(T3)에 형성되는 보상 반도체층(132), 초기화 박막 트랜지스터(T4)에 형성되는 초기화 반도체층(142), 동작 제어 박막 트랜지스터(T5)에 형성되는 동작 제어 반도체층(152) 및 발광 제어 박막 트랜지스터(T6)에 형성되는 발광 제어 반도체층(162)을 포함한다.

[0048] 구동 박막 트랜지스터(T1)는 구동 반도체층(112), 구동 게이트 전극(1141), 구동 소스 전극(116s) 및 구동 드레인 전극(116d)을 포함한다. 구동 반도체층(112)은 굴곡되어 있다. 한편, 구동 소스 전극(116s)은 구동 반도체층(112)에서 불순물이 도핑된 구동 소스 영역(116s)에 해당하고, 구동 드레인 전극(116d)은 구동 반도체층(112)에서 불순물이 도핑된 구동 드레인 영역(116d)에 해당한다. 구동 박막 트랜지스터(T1)와 중첩되도록 위에 스토리지 커패시터(Cst)가 형성되어 있다.

[0049] 스토리지 커패시터(Cst)는 제2 게이트 절연막(1032)을 사이에 두고 배치되는 하부 전극(1141)과 상부 전극(1142)을 포함한다. 여기서, 구동 게이트 전극(1141)은 하부 전극(1141)의 역할도 동시에 한다. 즉, 구동 게이트 전극(1141)은 하부 전극(1141)을 포함한다. 제2 게이트 절연막(1032)은 유전체가 되며, 스토리지 커패시터(Cst)에서 축전된 전하와 양 전극(1141, 1142) 사이의 전압에 의해 스토리지 캐패시턴스(Storage Capacitance)가 결정된다.

[0050] 하부 전극(1141)은 아일랜드 형상으로 된 플로팅(floating) 전극으로 형성되어 있으며, 스캔선(24), 이전 스캔선(14), 발광 제어선(34), 스위칭 게이트 전극(124), 보상 게이트 전극(134), 초기화 게이트 전극(144), 동작 제어 게이트 전극(154), 발광 제어 게이트 전극(164)과 동일한 물질로 동일한 층에 형성되어 있다.

[0051] 상부 전극(1142)은 아일랜드 형상으로 된 플로팅(floating) 전극으로 형성되어 있으며, 제2 게이트 절연막(1032) 상에 형성되어 있다. 상부 전극(1142)은 하부 전극(1141) 전체와 중첩되도록 배치되며, 스토리지 개구부(420)를 구비한다. 스토리지 개구부(420)는 하부 전극과 중첩되도록 구비된다. 스토리지 개구부(420)는 상부 전극(1142)을 관통하는 단일폐곡선(closed curve)의 형태를 가질 수 있다. 여기서 단일폐곡선이란, 다각형, 원 등과 같이 직선이나 곡선 위에 한 점을 찍었을 때 시작점과 끝점이 같은 닫힌 도형을 의미한다. 이러한 스토리지 개구부(420)를 구비한 상부 전극(1142)은 마치 도넛 형태를 가질 수 있다.

[0052] 본 발명의 일 실시예에 의하면, 하부 전극(1141) 전체와 중첩하며, 단일폐곡선(closed curve)의 스토리지 개구부(420)를 구비하는 상부 전극(1142)을 포함하는 스토리지 커패시터(Cst)를 통해, 유기 발광 표시 장치의 제조 공정 중에 하부 전극(1141)과 상부 전극(1142) 사이에 오버레이(overlay) 편차가 발생하더라도 스토리지 커패시터(Cst)가 항상 일정한 커패시턴스(capacitance)를 유지하는 특징이 있다. 이와 관련해서는 이후 도 6 및 도 7에서 상세히 후술하기로 한다.

[0053] 스위칭 박막 트랜지스터(T2)는 스위칭 반도체층(122), 스위칭 게이트 전극(124), 스위칭 소스 전극(126s) 및 스위칭 드레인 전극(126d)을 포함한다. 스위칭 소스 전극(126s)은 데이터선(16)에서 돌출된 부분이며, 스위칭 드레인 전극(126d)은 스위칭 반도체층(122)에서 불순물이 도핑된 스위칭 드레인 영역(126d)에 해당한다.

[0054] 보상 박막 트랜지스터(T3)는 보상 반도체층(132), 보상 게이트 전극(134), 보상 소스 전극(136s) 및 보상 드레인 전극(136d)을 포함하고, 보상 소스 전극(136s)은 보상 반도체층(132)에서 불순물이 도핑된 보상 소스 영역(136s)에 해당하고, 보상 드레인 전극(136d)은 보상 반도체층(132)에서 불순물이 도핑된 보상 드레인 영역(136d)에 해당한다. 보상 드레인 전극(136d)은 연결 노드(36)를 통해 하부 전극(1141)과 연결될 수 있다. 보상 게이트 전극(134)는 별도의 듀얼 게이트 전극을 형성하여 누설 전류(leakage current)를 방지한다.

[0055] 초기화 박막 트랜지스터(T4)는 초기화 반도체층(142), 초기화 게이트 전극(144), 초기화 소스 전극(146s) 및 초기화 드레인 전극(146d)을 포함한다. 초기화 드레인 전극(146d)은 초기화 반도체층(142)에서 불순물이 도핑된 초기화 드레인 영역(146d)에 해당한다. 초기화 드레인 전극(146d)은 연결 노드(36)를 통해 하부 전극(1141)과 연결될 수 있다. 초기화 소스 전극(146s)은 연결 부재를 통해 초기화 전압선(20)과 연결될 수 있다.

[0056] 동작 제어 박막 트랜지스터(T5)는 동작 제어 반도체층(152), 동작 제어 게이트 전극(154), 동작 제어 소스 전극(156s) 및 동작 제어 드레인 전극(156d)을 포함한다. 동작 제어 소스 전극(156s)은 구동 전압선(26)의 일부분

이고, 동작 제어 드레인 전극(156d)은 동작 제어 반도체층(152)에서 불순물이 도핑된 동작 제어 드레인 영역(156d)에 해당한다.

- [0057] 발광 제어 박막 트랜지스터(T6)는 발광 제어 반도체층(162), 발광 제어 게이트 전극(164), 발광 제어 소스 전극(166s) 및 발광 제어 드레인 전극(166d)을 포함한다. 발광 제어 소스 전극(166s)은 발광 제어 반도체층(162)에서 불순물이 도핑된 발광 제어 소스 영역(166s)에 해당하고, 발광 제어 드레인 전극(166d)은 연결 부재를 통해 화소 전극(200)과 연결된다.
- [0058] 구동 박막 트랜지스터(T1)의 구동 반도체층(112)의 일단은 스위칭 반도체층(122) 및 동작 제어 반도체층(152)과 연결되어 있으며, 구동 반도체층(112)의 타단은 보상 반도체층(132) 및 발광 제어 반도체층(162)과 연결되어 있다. 따라서, 구동 소스 전극(116s)은 스위칭 드레인 전극(126d) 및 동작 제어 드레인 전극(156d)과 연결되고, 구동 드레인 전극(116d)은 보상 소스 전극(136s) 및 발광 제어 소스 전극(166s)과 연결된다.
- [0059] 스토리지 커패시터(Cst)의 하부 전극(1141)은 연결 노드(36)를 통해 보상 박막 트랜지스터(T3) 및 초기화 박막 트랜지스터(T4)와 함께 연결되어 있다. 이러한 연결 노드(36)는 데이터선(16)과 동일한 층에 형성되어 있다. 연결 노드(36)의 일단은 제2 게이트 절연막(1032) 및 층간 절연막(105)에 형성된 제1 노드 콘택홀(361)을 통해 하부 전극(1141)과 연결된다. 여기서, 제1 노드 콘택홀(361)은 상부 전극의 스토리지 개구부(420)를 관통하도록 구비된다. 연결 노드(36)의 타단은 제1 게이트 절연막(1031), 제2 게이트 절연막(1032) 및 층간 절연막(105)에 형성된 제2 노드 콘택홀(362)을 통해 보상 드레인 전극(136d) 및 초기화 드레인 전극(146d)과 함께 연결되어 있다.
- [0060] 스토리지 커패시터(Cst)의 상부 전극(1142)은 층간 절연막(105)에 형성된 구동 전압선 콘택홀(261)을 통해 구동 전압선(26)과 연결되어, 구동 전압선(26)으로부터 구동 전압(ELVDD)을 인가받는다.
- [0061] 한편, 스위칭 박막 트랜지스터(T2)는 발광시키고자 하는 화소를 선택하는 스위칭 소자로 사용된다. 스위칭 게이트 전극(124)은 스캔선(24)에 연결되어 있고, 스위칭 소스 전극(126s)은 데이터선(16)에 연결되어 있으며, 스위칭 드레인 전극(126d)은 구동 박막 트랜지스터(T1) 및 동작 제어 박막 트랜지스터(T5)와 연결되어 있다.
- [0062] 그리고, 발광 제어 박막 트랜지스터(T6)의 발광 제어 드레인 전극(166d)은 보호막(107)에 형성된 비아홀(181)을 통해 유기 발광 소자(OLED)의 화소 전극(200)과 직접 연결되어 있다.
- [0063] 이하, 도 3, 도 4 및 도 5를 참조하여 본 발명의 일실시예에 따른 유기 발광 표시 장치의 구조에 대해 적층 순서에 따라 구체적으로 설명한다. 도 3 내지 도 5에서는 설명의 편의를 위하여 기판(100)에서부터 화소 전극(200)까지의 레이어만 도시하였다. 한편, 도 3 내지 도 5에서는 구동 박막 트랜지스터(T1), 보상 박막 트랜지스터(T3) 및 초기화 박막 트랜지스터(T4)를 중심으로 박막 트랜지스터의 구조에 대해 설명한다. 이 때, 스토리지 커패시터에 대해서도 함께 설명한다. 그리고 나머지 박막 트랜지스터(T2, T5, T6)는 구동 박막 트랜지스터(T1), 보상 박막 트랜지스터(T3) 및 초기화 박막 트랜지스터(T4)의 적층 구조와 대부분 동일하므로 상세한 설명은 생략한다.
- [0064] 기판(100) 위에는 버퍼층(101)이 형성되어 있고, 기판(100)은 유리, 석영, 세라믹, 플라스틱 등으로 이루어진 절연성 기판으로 형성되어 있다.
- [0065] 버퍼층(101) 위에는 구동 반도체층(112), 보상 반도체층(132), 초기화 반도체층(142)이 형성되어 있다. 도시되지 않았으나, 구동 반도체층(112)은 구동 채널 영역 및 구동 채널 영역을 사이에 두고 서로 마주보는 구동 소스 영역 및 구동 드레인 영역을 포함한다. 보상 반도체층(132)도 보상 채널 영역(132c) 및 보상 채널 영역(132c)을 사이에 두고 서로 마주보는 보상 소스 영역(132s) 및 보상 드레인 영역(132d)을 포함하며, 초기화 박막 트랜지스터(T4)도 초기화 채널 영역(142c), 초기화 소스 영역(142s) 및 초기화 드레인 영역(142d)을 포함한다.
- [0066] 구동 반도체층(112), 보상 반도체층(132), 초기화 반도체층(142) 위에는 질화 규소(SiNx) 또는 산화 규소(SiO2) 따위로 형성된 제1 게이트 절연막(1031)이 형성되어 있다.
- [0067] 제1 게이트 절연막(1031) 위에는 스토리지 커패시터(Cst)의 하부 전극(1141)을 포함하는 구동 게이트 전극(1141), 보상 게이트 전극(134)을 포함하는 스캔선(24), 초기화 게이트 전극(144)을 포함하는 이전 스캔선(14), 동작 제어 게이트 전극(154) 및 발광 제어 게이트 전극(164)을 포함하는 발광 제어선(34)을 포함하는 제1 게이트 도전층(1141, 124, 134, 144, 154, 164, 14, 24, 34)이 형성되어 있다.
- [0068] 구동 게이트 전극(1141) 또는 하부 전극(1141)은 이전 스캔선(14), 스캔선(24) 및 발광 제어선(34)과 분리되어 있으며, 플로팅 전극의 형태로 구동 반도체층(112)의 구동 채널 영역과 중첩하고 있다. 그리고, 보상 게이트

전극(134)은 스캔선(24)에 연결되어 있으며, 보상 게이트 전극(134)은 보상 반도체층(132)의 보상 채널 영역(132c)과 중첩하고 있다. 그리고 초기화 게이트 전극(144)은 이전 스캔선(14)에 연결되어 있으며, 초기화 게이트 전극(144)은 초기화 반도체층(142)의 초기화 채널 영역(142c)과 중첩하고 있다.

- [0069] 제1 게이트 도전층(1141, 124, 134, 144, 154, 164, 174, 24, 34) 및 제1 게이트 절연막(1031)은 제2 게이트 절연막(1032)이 덮고 있다. 제2 게이트 절연막(1032)은 질화 규소(SiNx) 또는 산화 규소(SiO₂) 따위로 형성되어 있다.
- [0070] 제2 게이트 절연막(1032) 위에는 스토리지 커패시터(Cst)의 상부 전극(1142)을 포함하는 제2 게이트 도전층(1142)이 형성되어 있다. 상부 전극은 플로팅 전극의 형태로 하부 전극(1141) 전체와 중첩하여 스토리지 커패시터(Cst)를 형성하고 있으며, 하부 전극(1141)과 중첩된 스토리지 개구부(420)를 구비한다. 스토리지 개구부(420)는 상부 전극(1142)을 관통하는 단일폐곡선(closed curve)의 형태를 가질 수 있다.
- [0071] 한편, 제2 게이트 절연막(1032), 상부 전극(1142) 위에는 층간 절연막(105)이 형성되어 있다. 층간 절연막(105)은 제1 게이트 절연막(1031), 제2 게이트 절연막(1032)과 마찬가지로, 질화 규소(SiNx) 또는 산화 규소(SiO₂) 등의 세라믹(ceramic) 계열의 소재를 사용하여 만들어진다.
- [0072] 상부 전극(1142)의 개구부(420)를 관통하여 하부 전극(1141)을 노출하도록 제2 게이트 절연막(1032) 및 층간 절연막(105)에는 제1 노드 콘택홀(361)이 구비된다. 한편, 제1 노드 콘택홀(361)과 별개로 상부 전극(1142)을 노출하도록 층간 절연막(105) 상에는 구동 전압선 콘택홀(261)도 구비된다. 또한, 보상 반도체층(132)의 보상 드레인 영역(132d) 및 초기화 반도체층(142)의 초기화 드레인 영역(142d)을 함께 노출하도록 제1 게이트 절연막(1031), 제2 게이트 절연막(1032) 및 층간 절연막(105)에는 제2 노드 콘택홀(362)이 구비된다.
- [0073] 한편, 층간 절연막(105) 위에는 구동 전압선(26), 연결 노드(36), 및 데이터 선(16)이 형성되어 있다. 여기서 구동 전압선(26)은 구동 전압선 콘택홀(261)을 통해 스토리지 커패시터(Cst)의 상부 전극(1142)과 연결되고, 구동 전압선(26)으로부터 구동 전압(ELVDD)을 인가받는다. 연결 노드(36)의 일단은 제1 노드 콘택홀(361)을 통해 스토리지 커패시터(Cst)의 하부 전극(1141)과 연결되고, 연결 노드(36)의 타단은 제2 노드 콘택홀(362)을 통해 보상 박막 트랜지스터(T3)의 보상 드레인 전극(136d) 및 초기화 박막 트랜지스터(T4)의 초기화 드레인 전극(146d)에 함께 연결된다. 이전에 기술한 바와 같이 보상 드레인 전극(136d) 및 초기화 드레인 전극(146d)은 각각 보상 드레인 영역(132d) 및 초기화 드레인 영역(142d)에 해당한다.
- [0074] 층간 절연막(160) 상에는 데이터선(16), 구동 전압선(26) 및 연결 노드(36)를 덮는 보호막(107)이 형성되어 있고, 보호막(107) 위에는 화소 전극(200)이 형성되어 있다.
- [0075] 도시되지 않았으나, 보호막(107)에 형성된 비아홀을 통해 화소 전극(200)은 발광 제어 드레인 전극(166d)과 연결된다. 화소 전극(200)의 가장자리 및 보호막(107) 위에는 화소 정의막이 형성되어 있고, 화소 정의막은 화소 전극(200)을 드러내는 화소 개구부를 가진다. 화소 정의막은 폴리아크릴계 수지(polyacrylates resin) 및 폴리이미드계(polyimides) 등의 유기물 또는 실리카 계열의 무기물 등으로 만들 수 있다. 화소 개구부로 노출된 화소 전극(200) 위에는 유기 발광층이 형성되고, 유기 발광층 상에는 공통 전극이 형성된다. 이와 같이, 화소 전극, 유기 발광층 및 공통 전극을 포함하는 유기 발광 소자(OLED)가 형성된다.
- [0076] 여기서, 화소 전극(200)은 정공 주입 전극인 애노드이며, 공통 전극은 전자 주입 전극인 캐소드가 된다. 그러나 본 발명에 따른 일 실시예는 반드시 이에 한정되는 것은 아니며, 유기 발광 표시 장치의 구동 방법에 따라 화소 전극(200)이 캐소드가 되고, 공통 전극이 애노드가 될 수도 있다. 화소 전극(200) 및 공통 전극으로부터 각각 정공과 전자가 유기 발광층 내부로 주입되고, 주입된 정공과 전자가 결합한 엑시톤(exiton)이 여기상태로부터 기저상태로 떨어질 때 발광이 이루어진다.
- [0077] 유기 발광층은 저분자 유기물 또는 PEDOT(Poly 3,4-ethylenedioxythiophene) 등의 고분자 유기물로 이루어진다. 또한, 유기 발광층(370)은 발광층과, 정공 주입층(hole injection layer, HIL), 정공 수송층(hole transporting layer, HTL), 전자 수송층(electron transporting layer, ETL), 및 전자 주입층(electron injection layer, EIL) 중 하나 이상을 포함하는 다중막으로 형성될 수 있다. 이들 모두를 포함할 경우, 정공 주입층이 양극인 화소 전극(200) 상에 배치되고, 그 위로 정공 수송층, 발광층, 전자 수송층, 전자 주입층이 차례로 적층된다. 공통 전극은 반사형 도전성 물질로 형성되므로 배면 발광형의 유기 발광 표시 장치가 된다. 반사형 물질로는 리튬(Li), 칼슘(Ca), 플루오르화리튬/칼슘(LiF/Ca), 플루오르화리튬/알루미늄(LiF/Al), 알루미늄(Al), 은(Ag), 마그네슘(Mg), 또는 금(Au) 등의 물질을 사용할 수 있다.
- [0078] 도 6은 도 2의 유기 발광 표시 장치의 스토리지 커패시터(Cst)의 중첩되는 면적을 개략적으로 나타낸 평면도이다. 도 7은 도 2의 유기 발광 표시 장치의 스토리지 커패시터(Cst)의 양 전극(1141, 1442) 사이에 오버레이

(overlay) 편차가 발생한 경우를 나타낸 평면도이다.

[0079] 도 6 및 도 7의 (a) 내지 (d)를 참조하면, 본 발명의 일 실시예에 의한 유기 발광 표시 장치는 하부 전극(1141) 전체와 중첩하며, 단일폐곡선(closed curve)의 스토리지 개구부(420)를 구비하는 상부 전극(1142)을 포함하는 스토리지 커패시터(Cst)를 통해, 유기 발광 표시 장치의 제조 공정 중에 하부 전극(1141) 및 상부 전극(1142)의 오버레이(overlay) 편차가 발생하더라도 항상 일정한 커패시턴스(capacitance)를 유지하는 특징이 있다.

[0080] 여기서, 오버레이(overlay) 편차란, 서로 중첩되는 둘 이상의 층을 형성할 때 각 층이 상, 하, 좌, 우 방향으로 시프트(shift)되는 경우 중첩되는 영역이 최초로 설계한 중첩 영역과 다르게 되는데, 이러한 중첩 영역의 차이를 의미한다. 오버레이(overlay) 편차는 기판에 전면적으로 도전층을 형성하고, 포토 리소그래피(photo lithography) 공정으로 패터닝할 때, 기판과 마스크의 미스 얼라인(miss align) 또는 기판과 노광기 사이의 미스 얼라인 등으로 인해 발생할 수 있다. 이러한 오버레이(overlay) 편차는 패널이 대형화되고 대량의 패널을 동시에 생산하는 시스템에서 공정 장비의 오차 범위 내에서 발생할 수 있는 확률이 크다.

[0081] 도 6을 참조하면, 스토리지 커패시터(Cst)의 양 전극(1141, 1442) 사이의 커패시턴스(capacitance)는 다음의 수학적 식 1에 의해 결정된다. 수학적 식 1에서 C는 커패시턴스(capacitance), ε은 유전상수, A는 중첩되는 양 전극(1141, 1442)의 면적을 나타내고 d는 양 전극(1141, 1442) 사이의 거리를 나타낸다.

수학적 식 1

$$C = \epsilon \frac{A}{d}$$

[0082]

[0083] 즉, 본 발명의 일 실시예에 의한 스토리지 커패시터(Cst)의 커패시턴스는 제2 게이트 절연층(1032)의 유전상수 ε, 하부 전극(1141) 및 상부 전극(1142)의 거리 d 및 하부 전극(1141) 및 상부 전극(1142)의 중첩된 영역의 면적 A에 의해 결정된다. 따라서, 양 전극(1141, 1442)의 중첩된 영역의 면적 A가 변화하는 경우 커패시턴스(capacitance)가 달라지게 된다. 다시 말하면, 하부 전극 및 상부 전극의 오버레이 편차가 발생하는 경우 커패시턴스(capacitance)는 설계값과 달라지게 된다. 이렇게 커패시턴스(capacitance)가 달라지게 되면 저계조 얼룩, 색(color) 이상과 같은 문제점이 발생하게 되고 유기 발광 표시 장치의 품질이 저하된다.

[0084] 이와 같은 문제점을 해결하기 위하여, 본 발명의 일 실시예에 의한 유기 발광 표시 장치는 단일폐곡선(closed curve)의 스토리지 개구부(420)를 구비하는 상부 전극(1142)을 포함하는 스토리지 커패시터(Cst)를 통해, 양 전극(1141, 1142) 사이에 오버레이 편차가 발생하더라도, 항상 일정한 커패시턴스(capacitance)를 유지할 수 있는 특징이 있다.

[0085] 상세히, 도 7(a)는 하부 전극(1141)이 설계된 위치보다 위쪽(+Y방향)으로 시프트된 경우를 나타낸 것이다. 한편, 도 7(b)는 하부 전극(1141)이 설계된 위치보다 아래쪽(-Y방향)으로 시프트된 경우를 나타낸 것이고, 도 7(c)는 하부 전극(1141)이 설계된 위치보다 오른쪽(+X방향)으로 시프트된 경우를 나타낸 것이며, 도 7(d)는 하부 전극(1141)이 설계된 위치보다 왼쪽(-X방향)으로 시프트된 경우를 나타낸 것이다.

[0086] 여기서 시프트 정도는 공정 장비의 오차 범위 내에서 발생하며, 여기서 오차 범위란, 많아도 상부 전극(1142)의 개구부(420)가 하부 전극(1141)과 중첩되는 범위 내일 수 있다. 왜냐하면, 상부 전극(1142)의 개구부(420)가 하부 전극(1141)과 중첩되지 않는 범위까지 시프트가 발생하는 경우, 연결 노드(36) 및 제1 노드 컨택홀(361)의 형성에 문제가 발생하여 화소 회로가 동작하지 않을 수 있으므로 본 발명에서는 논외로 한다. 한편, 하부 전극(1141) 전체와 상부 전극(1142)이 중첩되기 위해서 상부 전극(1142)의 넓이는 하부 전극(1141)의 넓이와 같거나 클 수 있으며, 상세히 시프트가 발생하더라도 커패시턴스(capacitance)가 항상 일정하게 유지될 수 있을 만큼 넓을 수 있다.

[0087] 도 7의 각 경우를 살펴보면, 하부 전극(1141)이 설계된 위치보다 상, 하, 좌, 우로 시프트된 경우라도, 항상 상부 전극(1142)이 하부 전극(1141) 전체와 중첩되고, 상부 전극(1142)의 개구부(420)가 항상 하부 전극(1141)과 중첩되기 때문에 커패시턴스는 일정하게 유지되는 것을 확인할 수 있다.

[0088] 한편, 도 7에서는 하부 전극(1141)이 시프트된 경우를 도시하였으나, 이에 한정되지 않고 상부 전극(1142)이 시프트된 경우도 커패시턴스가 일정하게 유지될 수 있다.

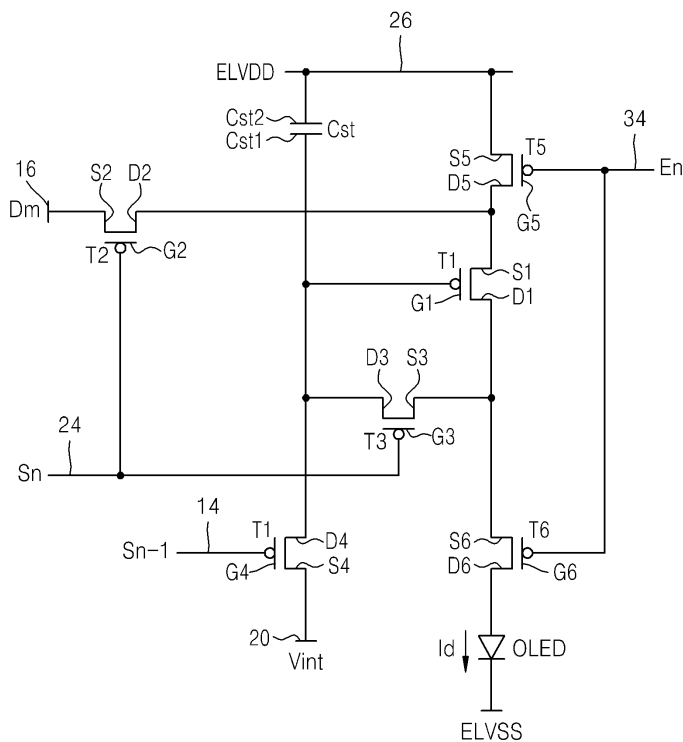
[0089] 본 발명을 앞서 기재한 바에 따라 바람직한 실시예를 통해 설명하였지만, 본 발명은 이에 한정되지 않으며 다음에 기재하는 특허청구범위의 개념과 범위를 벗어나지 않는 한, 다양한 수정 및 변형이 가능하다는 것을 본 발명이 속하는 기술 분야에 종사하는 자들은 쉽게 이해할 것이다.

부호의 설명

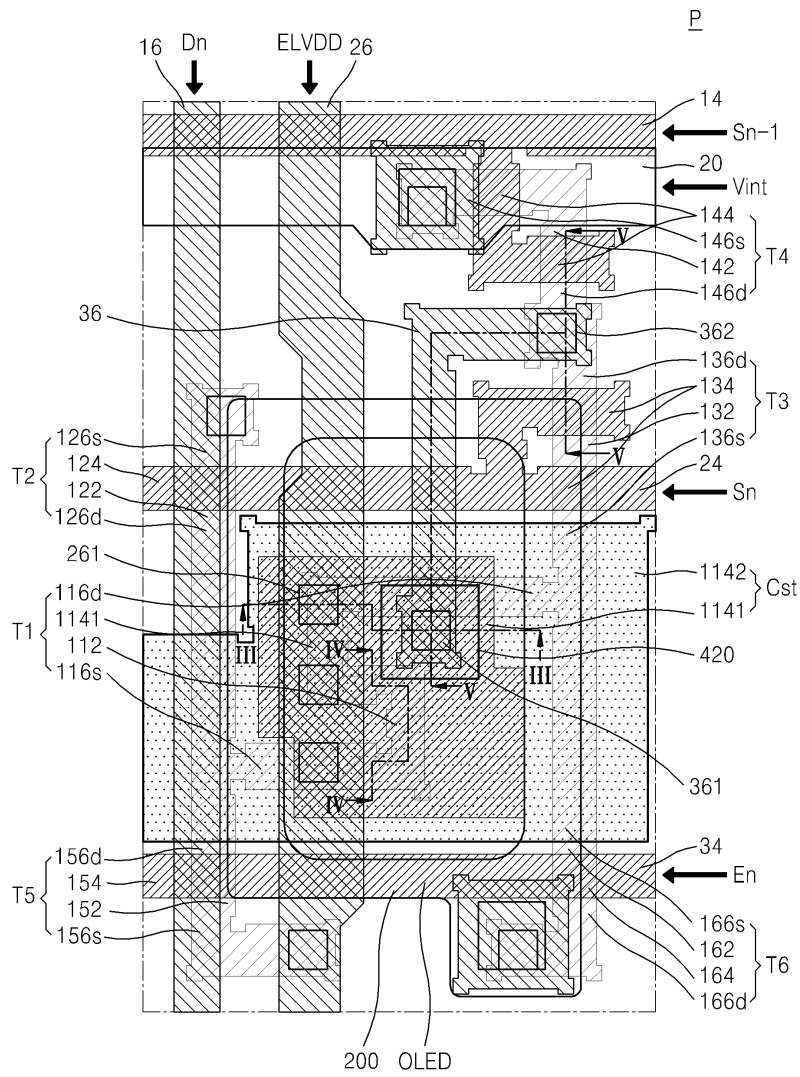
[0090] 14: 이전 스캔선 16: 데이터선
 20: 초기화 전압선 24: 스캔선
 26: 구동 전압선 34: 발광 제어선
 36: 연결 노드 T1: 구동 박막 트랜지스터
 T2: 스위칭 박막 트랜지스터 T3: 보상 박막 트랜지스터
 T4: 초기화 박막 트랜지스터 T5: 동작 제어 박막 트랜지스터
 T6: 발광 제어 박막 트랜지스터

도면

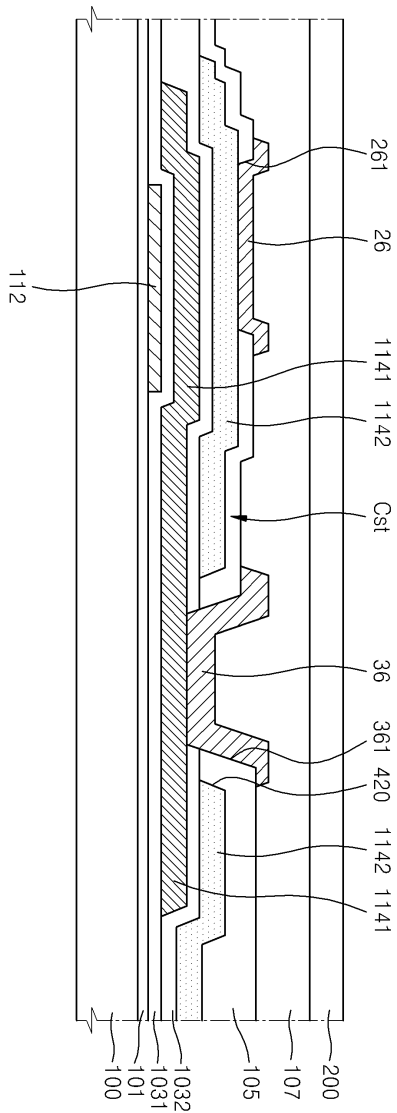
도면1



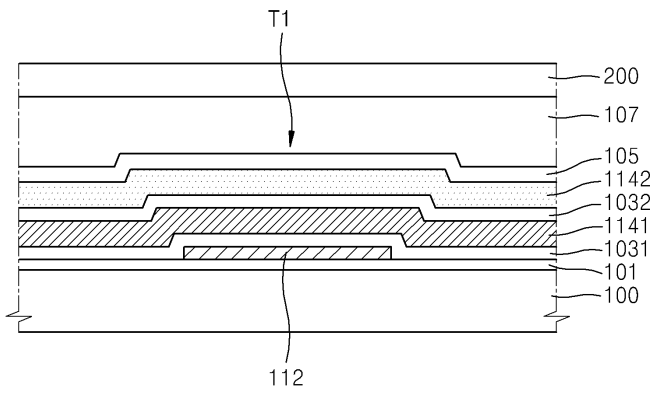
도면2



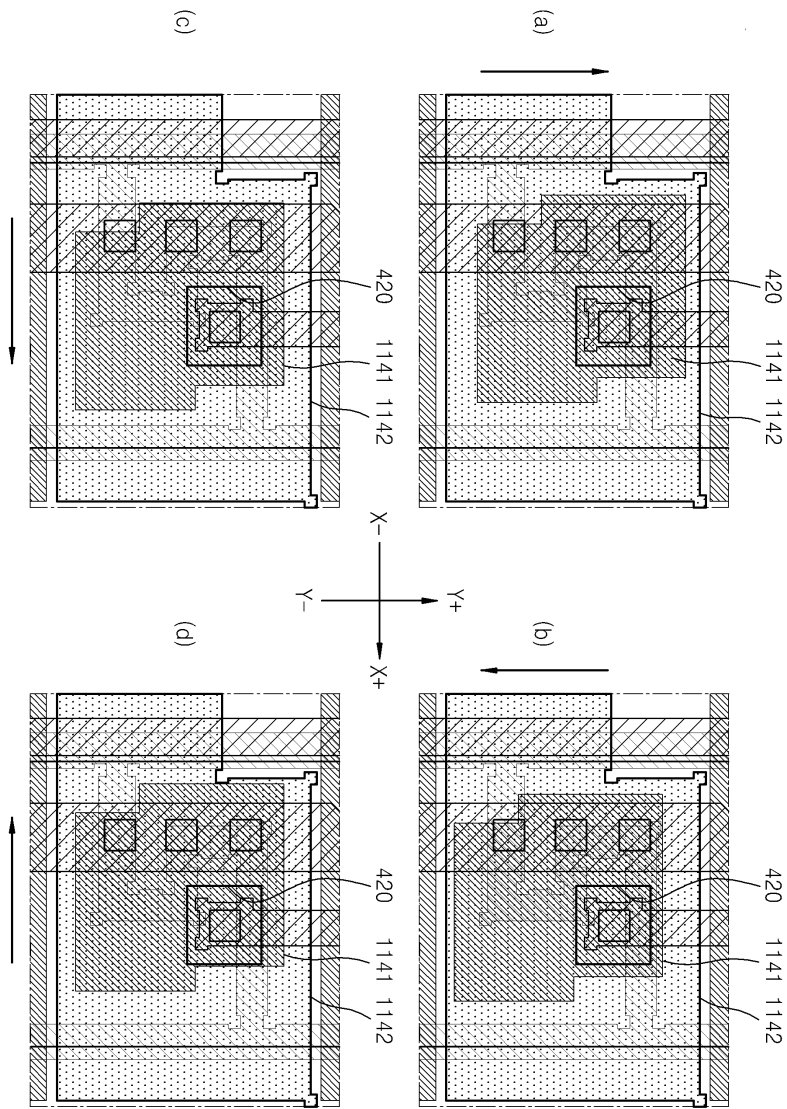
도면3



도면4



도면7



专利名称(译)	薄膜晶体管阵列基板和有机发光显示器		
公开(公告)号	KR1020190119561A	公开(公告)日	2019-10-22
申请号	KR1020190127166	申请日	2019-10-14
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	이원세 박원규 김세호		
发明人	이원세 박원규 김세호		
IPC分类号	H01L27/12 H01L21/02 H01L27/32		
CPC分类号	H01L27/1255 H01L21/02107 H01L27/3262 H01L27/3265 H01L27/3276		
其他公开文献	KR102070953B1		
外部链接	Espacenet		

摘要(译)

本发明公开了一种薄膜晶体管阵列基板。薄膜晶体管阵列基板包括基板；设置在基板上的第一绝缘层；电容器，其包括设置在第一绝缘层上的下部电极，以及通过第二绝缘层与下部电极绝缘的上部电极，该上部电极布置成与整个下部电极重叠，并具有开口；覆盖电容器的层间绝缘膜；节点接触孔设置在层间绝缘层和第二绝缘层中以穿透开口。连接节点设置在层间绝缘层上，并通过节点接触孔将下电极和至少一个薄膜晶体管电连接。保持恒定电容。

