



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0072217
(43) 공개일자 2019년06월25일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) *H01L 51/56* (2006.01)
(52) CPC특허분류
H01L 27/3211 (2013.01)
H01L 27/322 (2013.01)
(21) 출원번호 10-2017-0173395
(22) 출원일자 2017년12월15일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
강병옥
경기도 파주시 월롱면 엘지로 245
심종식
경기도 파주시 월롱면 엘지로 245
황성환
경기도 파주시 월롱면 엘지로 245
(74) 대리인
특허법인인벤팅크

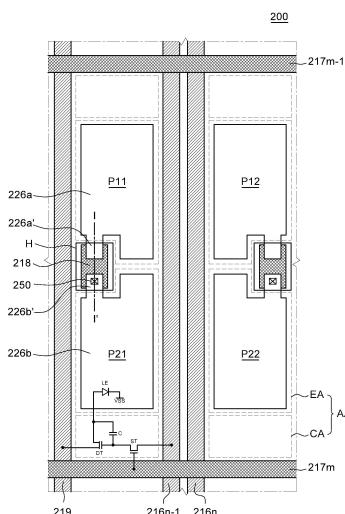
전체 청구항 수 : 총 19 항

(54) 발명의 명칭 전계발광 표시장치

(57) 요 약

본 발명의 일 실시예에 따른 전계발광 표시장치는 홀수 번째 로우(row) 서브-화소와 짝수 번째 로우 서브-화소를 거울(mirror) 대칭 설계하여 발광부를 인접시키고, 발광부들 사이에 픽셀 리던던시(redundancy) 구조를 설계함으로써, 초고해상도 모델에서 수율이 향상될 수 있다. 이러한 픽셀 리던던시 구조는 홀수 번째 로우 서브-화소와 짝수 번째 로우 서브-화소에서 공용으로 사용할 수 있어 개구율이 향상될 수 있다.

대 표 도 - 도6



(52) CPC특허분류

H01L 27/3258 (2013.01)

H01L 27/3262 (2013.01)

H01L 51/56 (2013.01)

명세서

청구범위

청구항 1

기판 위에 서로 교차하여 매트릭스 형태의 복수의 서브-화소를 구획하는 데이터라인과 게이트라인; 상기 서브-화소의 회로부에 배치되는 박막트랜지스터; 및 상기 서브-화소의 발광부에 배치되는 발광소자를 포함하며, 홀수 번째 로우(row) 서브-화소는 짹수 번째 로우 서브-화소와 거울(mirror) 대칭되어, 상기 홀수 번째 로우 서브-화소의 발광부와 상기 짹수 번째 로우 서브-화소의 발광부가 서로 인접하는 전계발광 표시장치.

청구항 2

제1항에 있어서, 상기 발광소자는 애노드를 포함하며, 상기 홀수 번째 로우 서브-화소의 애노드와 상기 짹수 번째 로우 서브-화소의 애노드는 서로 인접하여 배치되는 전계발광 표시장치.

청구항 3

제2항에 있어서, 상기 홀수 번째 로우 서브-화소는 상기 발광부가 상기 회로부 아래에 배치되고, 상기 짹수 번째 로우 서브-화소는 상기 발광부가 상기 회로부 위에 배치되는 전계발광 표시장치.

청구항 4

제3항에 있어서, 상기 홀수 번째 로우 서브-화소는 상기 게이트라인이 해당 서브-화소의 상측에 배치되는 반면, 상기 짹수 번째 로우 서브-화소는 상기 게이트라인이 해당 서브-화소의 하측에 배치되는 전계발광 표시장치.

청구항 5

제2항에 있어서, 상기 박막트랜지스터의 소스/드레인전극과 동일 층에 배치되는 리페어 패턴을 더 포함하는 전계발광 표시장치.

청구항 6

제5항에 있어서, 상기 리페어 패턴은, 상기 홀수 번째 로우 서브-화소와 상기 짹수 번째 로우 서브-화소 사이의 경계에 배치되는 전계발광 표시장치.

청구항 7

제5항에 있어서, 상기 홀수 번째 로우 서브-화소의 애노드와 상기 짹수 번째 로우 서브-화소의 애노드는, 그 일부가 인접하는 상기 홀수 번째 로우 서브-화소와 상기 짹수 번째 로우 서브-화소의 경계를 향해 각각 돌출한 돌출부들을 더 포함하는 전계발광 표시장치.

청구항 8

제7항에 있어서,

상기 돌출부들의 하부에 상기 리페어 패턴이 중첩, 배치되는 전계발광 표시장치.

청구항 9

제7항에 있어서,

상기 리페어 패턴은 소정 컨택홀을 통해 상기 돌출부들 중 어느 하나의 돌출부와 접속되는 전계발광 표시장치.

청구항 10

제9항에 있어서,

상기 리페어 패턴은 레이저 용접을 통해 상기 돌출부들 중 다른 하나의 돌출부에 접속되는 전계발광 표시장치.

청구항 11

제1항 내지 제10항 중 어느 한 항에 있어서,

상기 데이터라인은 상기 기판 위에 제1 방향으로 배치되며,

상기 케이트라인은, 상기 데이터라인 상부에 적어도 2층의 절연층을 개재하여 상기 제1 방향과 교차하는 제2 방향으로 배치되는 전계발광 표시장치.

청구항 12

제11항에 있어서,

상기 박막트랜지스터의 하부에 배치되는 차광층을 더 포함하며,

상기 데이터라인은 상기 차광층과 동일 층에 배치되는 전계발광 표시장치.

청구항 13

기판 위에 서로 교차하여 매트릭스 형태의 복수의 서브-화소를 구획하는 데이터라인과 케이트라인;

상기 서브-화소의 회로부에 배치되는 박막트랜지스터; 및

상기 서브-화소의 발광부에 배치되는 발광소자를 포함하며,

홀수 번째 로우 서브-화소는 짹수 번째 로우 서브-화소와 거울 대칭되어, 상기 홀수 번째 로우 서브-화소의 발광부와 상기 짹수 번째 로우 서브-화소의 발광부가 서로 인접하고,

상기 인접하는 발광부들 사이에 하나의 픽셀 리던던시 구조가 배치되어, 리페어를 위해 상기 홀수 번째 로우 서브-화소와 상기 짹수 번째 로우 서브-화소에서 공용으로 사용되는 전계발광 표시장치.

청구항 14

제13항에 있어서,

상기 발광소자는 애노드를 포함하며,

상기 픽셀 리던던시 구조는, 상기 홀수 번째 로우 서브-화소의 애노드와 상기 짹수 번째 로우 서브-화소의 일부가 인접하는 상기 홀수 번째 로우 서브-화소와 상기 짹수 번째 로우 서브-화소의 경계를 향해 서로 돌출한 돌출부들, 및 상기 돌출부들의 하부에 배치된 리페어 패턴을 포함하여 구성되는 전계발광 표시장치.

청구항 15

제14항에 있어서,

상기 박막트랜지스터의 소스/드레인전극 상부에 배치되는 보호층;

상기 발광부의 보호층 위에 배치되는 컬러필터층; 및

상기 컬러필터층 위에 배치되는 평탄화층을 더 포함하는 전계발광 표시장치.

청구항 16

제15항에 있어서,

상기 리페어 패턴은 상기 박막트랜지스터의 소스/드레인전극과 동일 층에 배치되는 전계발광 표시장치.

청구항 17

제15항 및 제16항 중 어느 한 항에 있어서,

상기 보호층을 관통하여 상기 리페어 패턴의 표면 일부를 노출시키는 컨택홀; 및

상기 평탄화층과 상기 컬러필터층을 관통하여 상기 리페어 패턴 상부의 상기 보호층의 표면 일부를 노출시키는 오픈 홀을 더 포함하며,

상기 돌출부들은, 상기 오픈 홀을 통해 상기 리페어 패턴 상부의 상기 보호층 위에 배치되는 전계발광 표시장치.

청구항 18

제17항에 있어서,

상기 리페어 패턴은, 상기 컨택홀을 통해 상기 돌출부들 중 어느 하나의 돌출부와 접속되는 전계발광 표시장치.

청구항 19

제18항에 있어서,

상기 리페어 패턴은, 레이저 용접을 통해 상기 돌출부들 중 다른 하나의 돌출부에 접속되는 전계발광 표시장치.

발명의 설명**기술 분야**

[0001]

본 발명은 전계발광 표시장치에 관한 것으로서, 보다 상세하게는 대화면, 초고해상도 모델에서 고개구을 구현하면서도, 꽉셀 불량을 리페어(repair)할 수 있는 전계발광 표시장치에 관한 것이다.

배경 기술

[0002]

현재 본격적인 정보화 시대로 접어들면서 전기적 정보신호를 시작적으로 표시하는 표시장치 분야가 급속도로 발전하고 있으며, 여러 가지 표시장치에 대해 박형화, 경량화 및 저소비 전력화 등의 성능을 개발시키기 위한 연구가 계속되고 있다.

[0003]

대표적인 표시장치로는 액정표시장치(Liquid Crystal Display device; LCD), 전계방출 표시장치(Field Emission Display device; FED), 전기습윤 표시장치(Electro-Wetting Display device; EWD) 및 유기발광 표시장치(Organic Light Emitting Display Device; OLED) 등을 들 수 있다.

[0004]

이중에서, 유기발광 표시장치를 포함하는 표시장치인 전계발광 표시장치는 자체 발광형 표시장치로서, 액정표시장치와는 달리 별도의 광원이 필요하지 않아 경량 박형으로 제조가 가능하다. 또한, 전계발광 표시장치는 저전압 구동에 의해 소비전력 측면에서 유리할 뿐만 아니라, 색상구현, 응답속도, 시야각(viewing angle), 명암 대비비(Contrast Ratio; CR)도 우수하여, 다양한 분야에서 활용이 기대되고 있다.

[0005]

전계발광 표시장치는 애노드(anode)와 캐소드(cathode)로 지칭된 2개의 전극 사이에 유기물을 사용한 발광층을 배치하여 구성된다. 그리고, 애노드에서의 정공(hole)을 발광층으로 주입시키고, 캐소드에서의 전자(electron)를 발광층으로 주입시키면, 주입된 전자와 정공이 서로 재결합(recombination)하면서 발광층에서 여기자(exciton)를 형성하며 발광한다.

[0006]

이러한 발광층에는 호스트(host) 물질과 도편트(dopant) 물질이 포함되어 두 물질의 상호작용이 발생하게 된다. 호스트는 전자와 정공으로부터 여기자를 생성하고 도편트로 에너지를 전달하는 역할을 하고, 도편트는 소량이 첨가되는 염료성 유기물로, 호스트로부터 에너지를 받아서 광으로 전환시키는 역할을 한다.

발명의 내용

해결하려는 과제

- [0007] 표시장치가 대형화되고 초고해상도를 구현하기 위해서는 고개구울 확보가 필요하다.
- [0008] 한편, 서브-화소가 이물, 정전기 또는 기타 원인에 의해 회점, 암점 등의 불량이 되었을 때, 해당 서브-화소를 정상 구동시키기 위하여 픽셀 리던던시(pixel redundancy) 구조가 필요하다. 기존의 픽셀 리던던시 구조는 수직 방향으로 인접한 서브-화소들의 소스 노드가 겹쳐져 있는 형태를 가진다. 이 경우 임의의 서브-화소에 회점, 암점 등의 불량이 발생하였을 때, 해당 서브-화소의 소스 노드를 커팅(cutting)하여 단선시키고, 불량 서브-화소의 상부 서브-화소의 소스 노드를 용접(welding)을 통해 연결함으로써 불량 서브-화소를 정상화시킬 수 있다.
- [0009] 이와 같은 리페어 구조는 8K UHD(Ultra High Definition)급의 초고해상도 모델에서는 개구율이 감소된다는 이유로 적용이 어렵다.
- [0010] 본 발명의 발명자들은 초고해상도 모델에서는 수율 향상을 위해서 픽셀 리던던시 구조가 필요하다는 점, 및 이웃하는 2개의 서브-화소에 대해 픽셀 리던던시 구조를 공용화할 수 있다면 개구율 손해를 최소화할 수 있다는 점에 착안하여, 홀수 번째 로우(row) 서브-화소와 짝수 번째 로우 서브-화소를 거울(mirror) 대칭 설계함으로써 픽셀 리던던시 구조를 홀수 번째 로우 서브-화소와 짝수 번째 로우 서브-화소에서 공용으로 사용할 수 있는 구조를 발명하였다.
- [0011] 이에, 본 발명이 해결하고자 하는 과제는 대화면, 초고해상도 모델에서 고개구울을 구현하면서도, 픽셀 불량을 리페어 할 수 있는 전계발광 표시장치를 제공하는 것이다.
- [0012] 한편, 현재 게이트라인의 수평 배선과 데이터라인/전원라인의 수직 배선간 단락 불량을 리페어 하기 위한 게이트 리던던시(redundancy) 패턴이 문제가 되고 있다.
- [0013] 이는 수평 배선과 수직 배선의 교차지점은 그 사이에 충간절연층만이 개재되어 있어 짧은 이격거리로 인해 정전기성 불량이 발생할 수 있으며, 수율 향상을 위해 리페어를 위한 구조가 화소, 즉 서브-화소 내에 설계되어야 했다. 이에 따라 기존에는 수평 배선과 수직 배선이 교차하는 위치에 게이트 리던던시 패턴이 적용되었다. 다만, 게이트 리던던시 패턴은 게이트라인의 상하로 소정 영역을 차지하도록 형성됨에 따라 화소 내의 개구율을 축소시키는 요인이 되었으며, 화소 내 게이트 리던던시 패턴의 추가로 인해 초고해상도 모델에서 화소 설계가 어려웠다.
- [0014] 본 발명의 발명자들은 수평 배선과 수직 배선의 교차지점은 그 사이에 충간절연층만이 개재되어 있어 단락 불량에 취약하고, 이런 단락 불량은 배선간 이격거리에 영향을 받는 점에 착안하여, 데이터라인과 전원라인 및 게이트라인을 기존과 다른 층에 배치함으로써 수직 배선과 수평 배선 사이에 충간절연층 이외에 벼퍼층이 개재되도록 하여 단락 불량을 방지하는 구조를 발명하였다.
- [0015] 본 발명이 해결하고자 하는 다른 과제는 게이트 리던던시 패턴 없이 수직 배선과 수평 배선 사이에서 발생하는 단락 불량을 방지하여 고개구울을 구현할 수 있는 전계발광 표시장치를 제공하는 것이다.
- [0016] 본 발명의 과제들은 이상에서 언급한 과제들로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

- [0017] 전술한 바와 같은 과제를 해결하기 위하여 본 발명의 일 실시예에 따른 전계발광 표시장치는, 기판 위에 서로 교차하여 매트릭스 형태의 복수의 서브-화소를 구획하는 데이터라인과 게이트라인, 서브-화소의 회로부에 배치되는 박막트랜지스터 및 서브-화소의 발광부에 배치되는 발광소자를 포함하며, 홀수 번째 로우(row) 서브-화소는 짝수 번째 로우 서브-화소와 거울(mirror) 대칭되어, 홀수 번째 로우 서브-화소의 발광부와 짝수 번째 로우 서브-화소의 발광부가 서로 인접할 수 있다.
- [0018] 전술한 바와 같은 과제를 해결하기 위하여 본 발명의 다른 일 실시예에 따른 전계발광 표시장치는, 기판 위에 서로 교차하여 매트릭스 형태의 복수의 서브-화소를 구획하는 데이터라인과 게이트라인, 서브-화소의 회로부에 배치되는 박막트랜지스터 및 서브-화소의 발광부에 배치되는 발광소자를 포함하며, 홀수 번째 로우 서브-화소는 짝수 번째 로우 서브-화소와 거울 대칭되어, 홀수 번째 로우 서브-화소의 발광부와 짝수 번째 로우 서브-화소의 발광부가 서로 인접하고, 인접하는 발광부들 사이에 하나의 픽셀 리던던시 구조가 배치되어, 리페어를 위해 홀

수 번째 로우 서브-화소와 짹수 번째 로우 서브-화소에서 공용으로 사용될 수 있다.

[0019] 기타 실시예의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

발명의 효과

[0020] 본 발명은 초고해상도 모델에서 픽셀 리던던시 구조를 적용함으로써 수율이 향상될 수 있으며, 이러한 픽셀 리던던시 구조는 홀수 번째 로우 서브-화소와 짹수 번째 로우 서브-화소에서 공용으로 사용할 수 있어 개구율이 향상될 수 있다.

[0021] 본 발명은 데이터라인/전원라인의 수직 배선과 게이트라인의 수평 배선을 기준과 다른 층에 배치함으로써, 수직 배선과 수평 배선 사이에서 발생하는 단락 불량을 방지할 수 있다. 이에 따라 화소 내 게이트 리던던시 패턴을 삭제할 수 있어, 초고해상도 모델에서 화소 설계가 용이하고, 추가적인 개구율도 확보할 수 있다.

[0022] 본 발명에 따른 효과는 이상에서 예시된 내용에 의해 제한되지 않으며, 더욱 다양한 효과들이 본 명세서 내에 포함되어 있다.

도면의 간단한 설명

[0023] 도 1은 본 발명의 일 실시예에 따른 전계발광 표시장치를 개략적으로 보여주는 블록도이다.

도 2는 본 발명의 일 실시예에 따른 전계발광 표시장치에 포함되는 화소의 회로도이다.

도 3은 본 발명의 일 실시예에 따른 전계발광 표시장치를 개략적으로 보여주는 평면도이다.

도 4a 및 도 4b는 도 3에 도시된 본 발명의 일 실시예에 따른 전계발광 표시장치의 단면 구조를 개략적으로 보여주는 도면들이다.

도 5는 도 3에 도시된 본 발명의 일 실시예에 따른 전계발광 표시장치에 있어, 리페어(repair) 공정을 개략적으로 설명하는 평면도이다.

도 6은 본 발명의 다른 일 실시예에 따른 전계발광 표시장치를 개략적으로 보여주는 평면도이다.

도 7a 및 도 7b는 도 6에 도시된 본 발명의 다른 일 실시예에 따른 전계발광 표시장치의 단면 구조를 개략적으로 보여주는 도면들이다.

도 8은 도 6에 도시된 본 발명의 다른 일 실시예에 따른 전계발광 표시장치에 있어, I-I'선에 따라 절단한 단면을 개략적으로 보여주는 도면이다.

도 9는 도 6에 도시된 본 발명의 다른 일 실시예에 따른 전계발광 표시장치에 있어, I-I'선에 따라 절단한 단면을 개략적으로 보여주는 다른 도면이다.

발명을 실시하기 위한 구체적인 내용

[0024] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

[0025] 본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명이 도시된 사항에 한정되는 것은 아니다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 명세서 상에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.

[0026] 구성요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.

[0027] 위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치

할 수도 있다.

- [0028] 소자 또는 층이 다른 소자 또는 층 위(on)로 지칭되는 것은 다른 소자 바로 위에 또는 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다.
- [0029] 비록 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이를 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있다.
- [0030] 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.
- [0031] 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 도시된 것이며, 본 발명이 도시된 구성의 크기 및 두께에 반드시 한정되는 것은 아니다.
- [0032] 본 발명의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하며, 당업자가 충분히 이해할 수 있듯이 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시 가능할 수도 있다.
- [0033] 이하, 첨부된 도면을 참조하여 본 발명의 다양한 실시예들을 상세히 설명한다.
- [0034] 도 1은 본 발명의 일 실시예에 따른 전계발광 표시장치를 개략적으로 보여주는 블록도이다.
- [0035] 도 1을 참조하면, 본 발명의 일 실시예에 따른 전계발광 표시장치(100)는 표시패널(110), 데이터 구동 접적 회로(Integrated Circuit; IC)(130), 게이트 구동 접적 회로(140), 영상처리부(170) 및 타이밍 컨트롤러(180)를 포함하여 구성될 수 있다.
- [0036] 표시패널(110)은 복수의 서브-화소(160)를 포함할 수 있다. 복수의 서브-화소(160)는 로우(row) 방향 및 칼럼(column) 방향으로 배열되어 매트릭스(matrix) 형태로 배치될 수 있다. 예를 들어, 도 1에 도시된 바와 같이, 복수의 서브-화소(160)는 m 개의 로우와 n 개의 칼럼으로 배열될 수 있다. 이하, 설명의 편의상 복수의 서브-화소(160) 중 로우 방향으로 배열된 서브-화소(160)의 그룹을 로우 서브-화소로 정의하며, 칼럼 방향으로 배열된 서브-화소(160)의 그룹을 칼럼 서브-화소로 정의한다.
- [0037] 복수의 서브-화소(160)는 각각 특정 컬러의 빛을 구현할 수 있다. 예를 들어, 복수의 서브-화소(160)는 적색을 구현하는 적색 서브-화소, 녹색을 구현하는 녹색 서브-화소 및 청색을 구현하는 청색 서브-화소로 구성될 수 있다. 이 경우, 적색 서브-화소, 녹색 서브-화소 및 청색 서브-화소의 그룹이 하나의 화소로 지칭될 수 있다.
- [0038] 표시패널(110)의 복수의 서브-화소(160)는 각각 게이트라인(GL1 내지 GL m) 및 데이터라인(DL1 내지 DL n)과 연결될 수 있다. 예를 들어, 1 로우 서브-화소는 제1 게이트라인(GL1)에 연결되고, 1 칼럼 서브-화소는 제1 데이터라인(DL1)에 연결될 수 있다. 또한, 2 내지 m 로우 서브-화소는 제2 내지 제 m 게이트라인(GL2 내지 GL m)과 각각 연결될 수 있다. 그리고, 2 내지 n 칼럼 서브-화소는 제2 내지 제 n 데이터라인(DL2 내지 DL n)과 각각 연결될 수 있다. 복수의 서브-화소(160)는 게이트라인(GL1 내지 GL m)으로부터 전달되는 게이트 전압과 데이터라인(DL1 내지 DL n)으로부터 전달되는 데이터 전압에 기초하여 동작하도록 구성될 수 있다.
- [0039] 영상처리부(170)는 외부로부터 공급된 데이터 신호(영상 데이터)(DATA)와 더불어 데이터 인에이블 신호(DE)를 출력할 수 있다. 영상처리부(170)는 데이터 인에이블 신호(DE) 외에도 수직 동기 신호, 수평 동기 신호 및 클럭 신호 중 하나 이상을 출력할 수 있다.
- [0040] 타이밍 컨트롤러(180)는 데이터 신호(DATA)와 함께 수직 동기 신호, 수평 동기 신호, 데이터 인에이블 신호(DE), 클럭 신호 등을 포함하는 각종 타이밍 신호들을 영상처리부(170)로부터 공급받을 수 있다. 타이밍 컨트롤러(180)는, 영상처리부(170)로부터 데이터 신호(DATA), 즉 입력 영상 데이터를 수신하여, 데이터 구동 접적 회로(130)에서 처리 가능한 데이터 신호 형식에 맞게 전환하여 데이터 신호(DATA), 즉 출력 영상 데이터를 출력하는 것 이외에, 데이터 구동 접적 회로(130) 및 게이트 구동 접적 회로(140)를 제어하기 위하여, 수직 동기 신호, 수평 동기 신호, 데이터 인에이블 신호(DE), 클럭 신호 등의 타이밍 신호를 입력 받아, 각종 제어 신호들(DCS, GCS)을 생성하여 데이터 구동 접적 회로(130) 및 게이트 구동 접적 회로(140)로 출력할 수 있다.
- [0041] 예를 들어, 타이밍 컨트롤러(180)는, 게이트 구동 접적 회로(140)를 제어 하기 위하여, 게이트 스타트 펄스(Gate Start Pulse; GSP), 게이트 쉬프트 클럭(Gate Shift Clock; GSC), 게이트 출력 인에이블 신호(Gate Output Enable; GOE) 등을 포함하는 각종 게이트 제어 신호들(GCS)을 출력할 수 있다.

- [0042] 여기서, 게이트 스타트 펄스는 게이트 구동 접적 회로(140)를 구성하는 하나 이상의 게이트 회로의 동작 스타트 타이밍을 제어할 수 있다. 게이트 쉬프트 클럭은 하나 이상의 게이트 회로에 공통으로 입력되는 클럭 신호로서, 스캔 신호(게이트 펄스)의 쉬프트 타이밍을 제어할 수 있다. 게이트 출력 인에이블 신호는 하나 이상의 게이트 회로의 타이밍 정보를 지정하고 있다.
- [0043] 또한, 타이밍 컨트롤러(180)는, 데이터 구동 접적 회로(130)를 제어하기 위하여, 소스 스타트 펄스(Source Start Pulse; SSP), 소스 샘플링 클럭(Source Sampling Clock; SSC), 소스 출력 인에이블 신호(Source Output Enable; SOE) 등을 포함하는 각종 데이터 제어 신호들(DCS)을 출력할 수 있다.
- [0044] 여기서, 소스 스타트 펄스는 데이터 구동 접적 회로(130)를 구성하는 하나 이상의 데이터 회로의 데이터 샘플링 시작 타이밍을 제어할 수 있다. 소스 샘플링 클럭은 데이터 회로 각각에서 데이터의 샘플링 타이밍을 제어하는 클럭 신호이다. 소스 출력 인에이블 신호는 데이터 구동 접적 회로(130)의 출력 타이밍을 제어할 수 있다.
- [0045] 게이트 구동 접적 회로(140)는, 타이밍 컨트롤러(180)의 제어에 따라, 온(On) 전압 또는 오프(Off) 전압의 스캔 신호를 게이트라인(GL1 내지 GLm)으로 순차적으로 공급하여 게이트라인(GL1 내지 GLm)을 순차적으로 구동할 수 있다.
- [0046] 게이트 구동 접적 회로(140)는, 구동 방식에 따라서, 표시패널(110)의 일 측에만 위치할 수도 있고, 경우에 따라서는, 양측에 위치할 수도 있다.
- [0047] 게이트 구동 접적 회로(140)는 테이프 오토메티드 본딩(Tape Automated Bonding; TAB) 또는 칩 온 글라스(Chip On Glass; COG) 방식으로 표시패널(110)의 본딩 패드에 연결되거나, GIP(Gate In Panel) 타입으로 구현되어 표시패널(110)에 직접 배치될 수도 있으며, 경우에 따라서, 표시패널(110)에 접착화되어 배치될 수도 있다.
- [0048] 게이트 구동 접적 회로(140)는 쉬프트 레지스터, 레벨 쉬프터 등을 포함할 수 있다.
- [0049] 데이터 구동 접적 회로(130)는, 특정 게이트라인이 열리면, 타이밍 컨트롤러(180)로부터 수신한 출력 영상 데이터(DATA)를 아날로그 형태의 데이터 전압으로 변환하여 데이터라인(DL1 내지 DLn)으로 공급함으로써, 데이터라인(DL1 내지 DLn)을 구동할 수 있다.
- [0050] 데이터 구동 접적 회로(130)는, 테이프 오토메티드 본딩 방식 또는 칩 온 글라스 방식으로 표시패널(110)의 본딩 패드에 연결되거나, 표시패널(110)에 직접 배치될 수도 있으며, 경우에 따라서, 표시패널(110)에 접착화되어 배치될 수도 있다.
- [0051] 데이터 구동 접적 회로(130)는 칩 온 필름(Chip On Film; COF) 방식으로 구현될 수 있다. 이 경우, 데이터 구동 접적 회로(130)의 일단은 적어도 하나의 소스 인쇄회로 기판에 본딩 되고, 타단은 표시패널(110)에 본딩 될 수 있다.
- [0052] 데이터 구동 접적 회로(130)는, 레벨 쉬프터, 래치부 등의 다양한 회로를 포함하는 로직부와, 디지털 아날로그 컨버터(Digital Analog Converter; DAC) 및 출력 버퍼 등을 포함할 수 있다.
- [0053] 화소(160)의 상세구조는 도 2 및 도 3에서 설명한다.
- [0054] 도 2는 본 발명의 일 실시예에 따른 전계발광 표시장치에 포함되는 화소의 회로도이다. 이하에서는 설명의 편의상, 본 발명의 일 실시예에 따른 전계발광 표시장치가 2T(Transistor)1C(Capacitor)의 화소 회로일 경우의 구조 및 이의 동작에 대해서 설명하나, 본 발명이 이에 한정되는 것은 아니다.
- [0055] 도 2를 참조하면, 본 발명의 일 실시예에 따른 전계발광 표시장치(100)에 있어, 하나의 서브-화소는 스위칭(switching) 트랜지스터(ST), 구동 트랜지스터(DT), 보상회로(미도시) 및 발광소자(LE)를 포함하여 구성될 수 있다.
- [0056] 발광소자(LE)는 구동 트랜지스터(DT)에 의해 형성된 구동전류에 따라 발광하도록 동작할 수 있다.
- [0057] 스위칭 트랜지스터(ST)는 게이트라인(117)을 통해 공급된 게이트신호에 대응하여 데이터라인(116)을 통해 공급되는 데이터신호가 커패시터(C)에 데이터 전압으로 저장되도록 스위칭 동작할 수 있다.
- [0058] 구동 트랜지스터(113)는 커패시터(112)에 저장된 데이터 전압에 대응하여 고전위 전원라인(VDD)과 저전위 전원라인(VSS) 사이에 일정한 구동전류가 흐르게 동작할 수 있다.
- [0059] 여기서, 보상회로는 구동 트랜지스터(DT)의 문턱전압 등을 보상하기 위한 회로이며, 하나 이상의 박막트랜지스

터와 커패시터를 포함하여 구성될 수 있다. 보상회로의 구성은 보상 방법에 따라 매우 다양할 수 있다.

[0060] 이와 같이 본 발명의 일 실시예에 따른 전계발광 표시장치(100)에 있어, 하나의 서브-화소는 스위칭 트랜지스터(ST), 구동 트랜지스터(DT), 커패시터(C) 및 발광소자(LE)를 포함하는 2T1C 구조로 구성되지만, 보상회로가 추가된 경우 3T1C, 4T2C, 5T2C, 6T1C, 6T2C, 7T1C, 7T2C 등으로 다양하게 구성될 수 있다.

[0061] 도 3은 본 발명의 일 실시예에 따른 전계발광 표시장치를 개략적으로 보여주는 평면도이다. 그리고, 도 4a 및 도 4b는 도 3에 도시된 본 발명의 일 실시예에 따른 전계발광 표시장치의 단면 구조를 개략적으로 보여주는 도면들이다.

[0062] 이때, 도 3은 본 발명의 일 실시예에 따른 전계발광 표시장치(100)에 있어, 2x2의 4개의 서브-화소(P11, P12, P21, P22)의 평면 구조를 예로 들어 보여주고 있다. 설명의 편의상, 도 3에는 이중에서 하나의 서브-화소(P21)에 대해 스위칭 트랜지스터(ST), 구동 트랜지스터(DT), 커패시터(C) 및 발광소자(LE)를 포함하는 2T1C 구조를 예로 들어 보여주고 있으나, 상술한 바와 같이 보상회로가 추가된 경우 3T1C, 4T2C, 5T2C, 6T1C, 6T2C, 7T1C, 7T2C 등으로 다양하게 구성될 수 있다.

[0063] 그리고, 도 4a는 도 3에 도시된 본 발명의 일 실시예에 따른 전계발광 표시장치(100)에 있어, 구동 트랜지스터(DT)와 커패시터를 포함하는 회로부(CA)와, 발광소자(LE)를 포함하는 발광부(EA) 및 게이트라인(117m-1, 117m)과 데이터라인(116n-1, 116n)의 교차부(IA)의 일부를 예로 들어 보여주고 있다. 도 4b는 도 3에 도시된 본 발명의 일 실시예에 따른 전계발광 표시장치(100)에 있어, 스위칭 트랜지스터(ST)를 포함하는 회로부(CA)의 일부를 예로 들어 보여주고 있다.

[0064] 도 3 및 도 4a, 도 4b를 참조하면, 본 발명의 일 실시예에 따른 전계발광 표시장치(100)는 기판(110) 위에 게이트라인(또는, 스캔라인)(117m-1, 117m)과, 데이터라인(116n-1, 116n) 및 전원라인(또는, 전원 전압라인)(119)이 교차하여 화소영역(AA)을 구획할 수 있다. 이외에 센싱 제어라인, 레퍼런스(reference) 라인 등이 더 배치될 수 있다.

[0065] 데이터라인(116n-1, 116n)과 전원라인(119)은 기판(110) 위에 제1 방향으로 배치될 수 있다. 게이트라인(117m-1, 117m)은 제1 방향과 교차하는 제2 방향으로 배치되어 데이터라인(116n-1, 116n) 및 전원라인(119)과 함께 하나의 서브-화소의 화소영역(AA)을 구획할 수 있다. 편의상 화소영역(AA)은 발광소자(LE)가 발광하는 발광부(EA)와 발광소자(LE)에 구동전류를 공급하기 위한 복수의 구동회로로 구성된 회로부(CA)로 구분할 수 있다.

[0066] 도 3에는 m-1번째 게이트라인(117m-1)과 m번째 게이트라인(117m) 및 n-1번째 데이터라인(116n-1)과 n번째 데이터라인(116n)이 전원라인(119)과 함께 2x2의 4개의 서브-화소(P11, P12, P21, P22)를 구획하는 경우를 예로 보여주고 있으나, 본 발명이 이에 한정되는 것은 아니다.

[0067] 이중 홀수 번째 로우 서브-화소(P11, P12)는 발광부(EA)가 회로부(CA) 아래에 배치되어 있고, 짝수 번째 로우 서브-화소(P21, P22)는 발광부(EA)가 회로부(CA) 위에 배치된 경우를 예로 들고 있다. 이에 따라 홀수 번째 로우 서브-화소(P11, P12)는 m-1번째 게이트라인(117m-1)이 서브-화소(P11, P12)의 상측에 배치되는 반면, 짝수 번째 로우 서브-화소(P21, P22)는 m번째 게이트라인(117m)이 서브-화소(P21, P22)의 하측에 배치될 수 있다.

[0068] 도 3은 n-1번째 데이터라인(116n-1)과 n번째 데이터라인(116n)이 서로 인접하게 배치된 경우를 예로 들고 있으나, 본 발명이 이에 한정되는 것은 아니다.

[0069] 전원라인(119)은 하나 이상의 화소영역(AA)마다 배치될 수 있으나, 본 발명이 이에 한정되는 것은 아니다.

[0070] 데이터라인(116n-1, 116n) 및 전원라인(119)과 함께 데이터라인(116n-1, 116n) 및 전원라인(119)과 동일 층에 레퍼런스 라인이 제1 방향으로 배치될 수 있다.

[0071] 복수의 화소영역(AA)은 적색 서브-화소영역, 녹색 서브-화소영역, 청색 서브-화소영역 및 백색 서브-화소영역으로 구성되어 단위 화소를 이룰 수 있다. 도 3에서는 그 중에서 임의의 2x2의 4개의 서브-화소의 화소영역(AA)만이 예로 도시되어 있지만, 본 발명이 이에 한정되는 것은 아니다. 이러한 적색, 녹색, 청색 및 백색 서브-화소의 화소영역(AA) 각각은 발광소자(LE)와 그 발광소자(LE)를 독립적으로 구동하는 복수의 화소 구동회로를 구비한다. 화소 구동회로는 스위칭 트랜지스터(ST), 구동 트랜지스터(DT), 커패시터(C) 및 센싱 트랜지스터(미도시)를 포함할 수 있다.

[0072] 스위칭 트랜지스터(ST)는 게이트라인(117m-1, 117m)에 스캔 펄스(scan pulse)가 공급되면 턴-온 되어 데이터라인(116n-1, 116n)에 공급된 데이터신호를 커패시터(C) 및 구동 트랜지스터(DT)의 제1 게이트전극(121)으로 공급

할 수 있다. 스위칭 트랜지스터(ST)는 게이트라인(117m-1, 117m)에 연결된 제2 게이트전극(121'), 데이터라인(116n-1, 116n)에 접속된 제2 소스전극(122'), 제6 컨택홀을 통해 제1 게이트전극(121)과 접속된 제2 드레인전극(123') 및 제2 액티브층(124')을 포함하여 구성될 수 있다.

[0073] 다음으로, 구동 트랜지스터(DT)는 전원라인(119)으로부터 공급되는 전류를 커패시터(C)에 충전된 구동전압에 따라 제어하여 구동전압에 비례하는 전류를 발광소자(LE)로 공급함으로써 발광소자(LE)를 발광시킨다. 구동 트랜지스터(DT)는 제6 컨택홀을 통해 스위칭 트랜지스터(ST)의 제2 드레인전극(123')과 접속된 제1 게이트전극(121), 전원라인(119)에 접속된 제1 소스전극(122), 제5 컨택홀을 통해 발광소자(LE)와 접속된 제1 드레인전극(123) 및 제1 액티브층(124)을 포함하여 구성될 수 있다.

[0074] 이때, 전원라인(119)은 브리지 배선(미도시)을 통해 이웃하는 서브-화소의 제1 소스전극(122)에 접속될 수 있다. 브리지 배선은 제2 방향과 나란한 방향으로 이웃하는 서브-화소로 연장될 수 있다. 이웃하는 서브-화소로 연장된 브리지 배선은 제10 컨택홀을 통해 이웃하는 서브-화소의 제1 소스전극(122)에 접속될 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니다.

[0075] 브리지 배선의 일측은 제11 컨택홀을 통해 그 상부의 전원라인(119)에 접속될 수 있다.

[0076] 이중 도 4a에 도시된 박막트랜지스터는 구동 트랜지스터(DT)이고, 제1 게이트전극(121)이 제1 액티브층(124) 위에 배치되는 탑 게이트 구조, 특히 코플라나(coplanar) 구조의 박막트랜지스터를 예로 들고 있다. 또한, 도 4b에 도시된 박막트랜지스터는 스위칭 트랜지스터(ST)이고, 제2 게이트전극(121')이 제2 액티브층(124') 위에 배치되는 탑 게이트 구조, 특히 코플라나(coplanar) 구조의 박막트랜지스터를 예로 들고 있다. 다만, 본 발명이 이에 한정되는 것은 아니며, 게이트전극이 액티브층 하부에 배치되는 바텀 게이트 구조의 박막트랜지스터도 적용 가능하다.

[0077] 구동 트랜지스터(DT)의 제1 게이트전극(121)은 제1 게이트전극(121)과 실질적으로 동일한 형태의 게이트절연층(115b)을 개재하고, 제1 액티브층(124)과 중첩될 수 있다. 스위칭 트랜지스터(ST)의 제2 게이트전극(121')은 제2 게이트전극(121')과 실질적으로 동일한 형태의 게이트절연층(115b)을 개재하고, 제2 액티브층(124')과 중첩될 수 있다.

[0078] 구체적으로, 제1 액티브층(124)과 제2 액티브층(124')이 기판(110) 위에 배치될 수 있다.

[0079] 이때, 제1 액티브층(124) 하부에는 차광층(125)이 배치될 수 있으며, 제1 액티브층(124)과 차광층(125) 사이에 벼퍼층(115a)이 배치될 수 있다.

[0080] 차광층(125)은 외부나 주변의 발광소자의 빛에 의해 제1 액티브층(124)이 영향을 받는 것을 차단하는 역할을 할 수 있으며, 기판(110)의 최하층에 배치될 수 있다.

[0081] 벼퍼층(115a)은 차광층(125)을 덮도록 기판(110) 위에 배치될 수 있다.

[0082] 제1 액티브층(124) 및 제2 액티브층(124') 각각은 게이트절연층(115b) 위의 제1 게이트전극(121) 및 제2 게이트전극(121')과 중첩되게 형성되어, 제1 소스전극(122)과 제1 드레인전극(123) 사이 및 제2 소스전극(122')과 제2 드레인전극(123') 사이에 채널이 형성될 수 있다.

[0083] 제1 액티브층(124) 및 제2 액티브층(124')은 Zn, Cd, Ga, In, Sn, Hf, Zr 중 선택된 적어도 하나 이상의 금속을 포함하는 산화물(oxide) 반도체를 이용하여 구성될 수 있고, 비정질 실리콘(amorphous silicon; a-Si), 다결정실리콘(polygonal silicon; poly-Si), 또는 유기물(organic) 반도체 등으로 구성될 수도 있다.

[0084] 도 4a에는 게이트절연층(115b)이 제1 게이트전극(121) 하부에만 한정되어 형성된 경우를 예로 들어 보여주고 있으나, 본 발명이 이에 한정되는 것은 아니다. 또한, 도 4b에는 게이트절연층(115b)이 제2 게이트전극(121') 하부에 한정되어 형성된 경우를 예로 들어 보여주고 있으나, 본 발명이 이에 한정되는 것은 아니다. 게이트절연층(115b)은 제1 액티브층(124)과 제2 액티브층(124')이 형성된 기판(110) 전면에 형성될 수 있으며, 이 경우 게이트절연층(115b)에는 제1 소스전극(122) 및 제1 드레인전극(123) 각각이 제1 액티브층(124)의 소스영역 및 드레인영역 각각에 접속하기 위한 컨택홀이 형성될 수 있다. 또한, 게이트절연층(115b)에는 제2 소스전극(122') 및 제2 드레인전극(123') 각각이 제2 액티브층(124')의 소스영역 및 드레인영역 각각에 접속하기 위한 컨택홀이 형성될 수 있다.

[0085] 게이트절연층(115b)은 무기물인 질화실리콘(SiNx) 또는 산화실리콘(SiOx)의 단일층 또는 질화실리콘(SiNx) 또는 산화실리콘(SiOx)의 다중층으로 구성될 수도 있다.

- [0086] 제1 게이트전극(121) 및 제2 게이트전극(121')과 동일 층에 제2 방향으로 게이트라인(117m-1, 117m)이 배치될 수 있다.
- [0087] 제1 게이트전극(121)과 마찬가지로, 게이트라인(117m-1, 117m) 하부에는 게이트절연층(115b)이 한정되어 형성될 수 있으나, 본 발명이 이에 한정되는 것은 아니다.
- [0088] 제1 게이트전극(121)과 제2 게이트전극(121') 및 게이트라인(117m-1, 117m)은 다양한 도전물질, 일 예로 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd), 및 구리(Cu) 중 어느 하나이거나 둘 이상의 합금, 또는 이들의 다중층으로 구성될 수 있다.
- [0089] 제1 게이트전극(121)과 제2 게이트전극(121') 및 게이트라인(117m-1, 117m) 위에 층간절연층(115c)이 배치될 수 있다.
- [0090] 층간절연층(115c)은 무기물인 질화실리콘(SiNx) 또는 산화실리콘(SiOx)의 단일층, 또는 질화실리콘(SiNx) 또는 산화실리콘(SiOx)의 다중층으로 구성될 수도 있다. 층간절연층(115c)은 도 4a 및 도 4b에 도시된 바와 같이 기판(110) 전면에 걸쳐 형성될 수도 있고, 화소영역(AA)에만 형성될 수도 있으나, 본 발명이 이에 한정되는 것은 아니다.
- [0091] 제1 액티브층(124) 및 제2 액티브층(124') 상부의 층간절연층(115c) 위에 각각 제1 소스전극(122)과 제1 드레인전극(123) 및 제2 소스전극(122')과 제2 드레인전극(123')이 배치될 수 있다. 제1 소스전극(122)과 제2 소스전극(122') 각각은 층간절연층(115c)을 관통하는 제1 컨택홀과 제3 컨택홀을 통해 제1 액티브층(124)과 제2 액티브층(124')의 소스영역에 각각 접속될 수 있으며, 제1 드레인전극(123)과 제2 드레인전극(123') 각각은 층간절연층(115c)을 관통하는 제2 컨택홀과 제4 컨택홀을 통해 제1 액티브층(124)과 제2 액티브층(124')의 드레인영역에 각각 접속될 수 있다.
- [0092] 스위칭 트랜지스터(ST)의 제2 드레인전극(123')은 일 방향으로 연장되어 제6 컨택홀을 통해 구동 트랜지스터(DT)의 제1 게이트전극(121)에 전기적으로 접속될 수 있다.
- [0093] 제1 소스전극(122)과 제2 소스전극(122') 및 제1 드레인전극(123)과 제2 드레인전극(123')의 동일 층에 제2 방향과 교차하는 제1 방향으로 데이터라인(116n-1, 116n)이 배치될 수 있다(도 4 참조).
- [0094] 본 발명의 일 실시예의 경우 제1 소스전극(122)과 제2 소스전극(122') 및 제1 드레인전극(123)과 제2 드레인전극(123')의 동일 층에 리페어 패턴(118)이 배치될 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니다. 리페어 패턴(118)은 제1 게이트전극(121)과 제2 게이트전극 및 게이트라인(117m-1, 117m)과 동일 층에 배치될 수도 있다.
- [0095] 리페어 패턴(118)은 홀수 번째 로우 서브-화소(P11, P12)와 짹수 번째 로우 서브-화소(P21, P22) 사이의 경계에 배치될 수 있다. 본 발명의 일 실시예에 따른 리페어 패턴(118)은 리페어를 위해 홀수 번째 로우 서브-화소(P11, P12)와 짹수 번째 로우 서브-화소(P21, P22)에서 공용으로 사용하는 것을 특징으로 한다.
- [0096] 도 3은 리페어 패턴(118)이 전원라인(119)에 인접하게 배치된 경우를 예로 들어 보여주고 있으나, 본 발명이 이에 한정되는 것은 아니며, 데이터라인(116n-1, 116n)에 인접하게 배치될 수도 있다. 또한, 리페어 패턴(118)은 전원라인(119)과 데이터라인(116n-1, 116n)에 관계없이 일정한 위치에 배치될 수도 있다.
- [0097] 상술한 바와 같이 본 명세서에서는 박막트랜지스터가 코플라나 구조인 것으로 설명하였으나, 스탠드제거드(staggered) 구조 등과 같은 다른 구조로 박막트랜지스터가 구현될 수도 있다.
- [0098] 다음으로, 박막트랜지스터 위에 보호층(115d)과 평탄화층(115e)이 배치될 수 있다. 보호층(115d)은 박막트랜지스터 및 화소영역(AA) 이외에 배치되는 게이트드라이버 및 기타 배선들을 보호하고, 평탄화층(115e)은 기판(110) 위의 단차를 완만하게 하여 기판(110) 상부를 평탄화하기 위해 형성할 수 있다.
- [0099] 발광부(EA)의 보호층(115d) 위에 컬러필터층(CF)이 배치될 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니다.
- [0100] 보호층(115d)은 무기물인 질화실리콘(SiNx) 또는 산화실리콘(SiOx)의 단일층, 또는 질화실리콘(SiNx) 또는 산화실리콘(SiOx)의 다중층으로 구성될 수도 있다. 보호층(115d)은 도 4a 및 도 4b에 도시된 바와 같이 기판(110) 전면에 걸쳐 형성될 수도 있고, 화소영역(AA)에만 형성될 수도 있으나, 본 발명이 이에 한정되는 것은 아니다.
- [0101] 평탄화층(115e)은 유기절연물질로 이루어질 수 있다.

- [0102] 평탄화층(115e)은 아크릴계 수지, 에폭시 수지, 폐놀 수지, 폴리아미드계 수지, 폴리이미드계 수지, 불포화 폴리에스테르계 수지, 폴리페닐렌계 수지, 폴리페닐렌설파이드계 수지, 벤조사이클로부텐 및 포토레지스트 중 어느 하나로 형성될 수 있으나, 이에 한정되지 않는다.
- [0103] 제1 드레인전극(123)은 보호층(115d)과 평탄화층(115e)을 관통하는 제5 컨택홀을 통해 발광소자(LE)의 애노드(126a, 126b)에 접속될 수 있다.
- [0104] 이때, 편의상 홀수 번째로우 서브-화소(P11, P12)의 애노드를 홀수 번째로우 애노드(126a)로 지칭하고, 짝수 번째로우 서브-화소(P21, P22)의 애노드를 짝수 번째로우 애노드(126b)로 지칭하도록 한다.
- [0105] 본 발명의 일 실시예는, 홀수 번째로우 애노드(126a)와 짝수 번째로우 애노드(126b)가 서로 인접하여 배치되고, 그 하부에 리페어 패턴(118)이 중첩, 배치되어 불량 서브-화소가 발생할 때 리페어 패턴(118)을 통해 불량 서브-화소를 리페어 할 수 있는 것을 특징으로 한다.
- [0106] 즉, 서브-화소가 이물, 정전기 또는 기타 원인에 의해 휘점, 암점 등의 불량이 되었을 때, 해당 서브-화소를 정상 구동시키기 위하여 픽셀 리던던시(pixel redundancy) 구조가 필요하다. 기존의 픽셀 리던던시 구조는 수직방향으로 인접한 서브-화소들의 소스 노드가 겹쳐져 있는 형태를 가진다. 이 경우 임의의 서브-화소에 휘점, 암점 등의 불량이 발생하였을 때, 해당 서브-화소의 소스 노드를 커팅(cutting)하여 단선시키고, 불량 서브-화소의 상부 서브-화소의 소스 노드를 용접(welding)을 통해 연결함으로써 불량 서브-화소를 정상화시킬 수 있다.
- [0107] 다만, 이와 같은 리페어 구조는 8K UHD(Ultra High Definition)급의 초고해상도 모델에서는 개구율이 감소된다는 이유로 적용이 어려웠다.
- [0108] 흔히 FHD의 4배인 3840x2160(약 880만 화소)의 해상도를 4K UHD, 그보다 4배인 7680x4320(약 3,300만 화소)의 해상도를 8K UHD라 부른다. 좀 더 편하게 부르기 위해 4K UHD는 UHD, 8K UHD는 FUHD로 부르기도 한다. 물론 이는 어디까지나 16:9 비율이며, 17:9 비율의 4096x2196, 2.35:1 비율의 4096x1716, 4:3 비율의 4096x3072 같은 해상도도 존재한다.
- [0109] 이에 본 발명의 일 실시예는, 초고해상도 모델에서는 수율 향상을 위해서 픽셀 리던던시 구조가 필요하다는 점, 및 이웃하는 2개의 서브-화소에 대해 픽셀 리던던시 구조를 공용화할 수 있다면 개구율 손해를 최소화할 수 있다는 점에 착안하여, 홀수 번째로우 서브-화소(P11, P12)와 짝수 번째로우 서브-화소(P21, P22)를 거울(mirror) 대칭 설계함으로써 픽셀 리던던시 구조를 홀수 번째로우 서브-화소(P11, P12)와 짝수 번째로우 서브-화소(P21, P22)에서 공용으로 사용할 수 있는 것을 특징으로 한다.
- [0110] 즉, 홀수 번째로우 서브-화소(P11, P12)와 짝수 번째로우 서브-화소(P21, P22)를 거울 대칭 설계하여 발광부(LE)를 인접시키고, 발광부들(LE) 사이에 픽셀 리던던시 구조를 추가, 설계함으로써, 초고해상도 모델에서 수율이 향상될 수 있다. 이러한 픽셀 리던던시 구조는 홀수 번째로우 서브-화소(P11, P12)와 짝수 번째로우 서브-화소(P21, P22)에서 공용으로 사용할 수 있어 개구율이 향상될 수 있다.
- [0111] 이러한 본 발명의 일 실시예에 따른 픽셀 리던던시 구조는, 홀수 번째로우 애노드(126a)와 짝수 번째로우 애노드(126b) 일부가 인접하는 홀수 번째로우 서브-화소(P11, P12)와 짝수 번째로우 서브-화소(P21, P22)의 경계를 향해 서로 돌출한 돌출부들(126a', 126b') 및 돌출부들(126a', 126b')의 하부에 배치되어 소정 컨택홀(150)을 통해 돌출부들(126a', 126b') 중 어느 하나의 돌출부(126b')와 연결된 리페어 패턴(118)으로 구성될 수 있다.
- [0112] 돌출부들(126a', 126b')은 홀수 번째로우 애노드(126a)의 돌출부(126a')와 짝수 번째로우 애노드(126b)의 돌출부(126b')로 이루어질 수 있다. 도 3은 짝수 번째로우 애노드(126b)의 돌출부(126b')가 리페어 패턴(118)에 연결된 경우를 예로 들어 보여주고 있으나, 본 발명이 이에 한정되는 것은 아니다. 홀수 번째로우 애노드(126a)의 돌출부(126a')가 리페어 패턴(118)에 연결될 수도 있다.
- [0113] 이어서, 도 4a를 참조하면, 평탄화층(115e) 위에 발광소자(LE)가 배치될 수 있다. 일 예로, 유기 발광소자로서 발광소자(LE)는 평탄화층(115e) 위에 형성되어 구동 트랜지스터(DT)의 제1 드레인전극(123)과 접속된 홀수나 짝수 번째로우 애노드들(126a, 126b), 홀수나 짝수 번째로우 애노드들(126a, 126b) 위에 배치된 유기 발광층(127) 및 유기 발광층(127) 위에 배치된 캐소드(128)를 포함하여 구성될 수 있다.
- [0114] 이때, 홀수나 짝수 번째로우 애노드들(126a, 126b)은 평탄화층(115e) 위에 배치되어, 평탄화층(115e)에 형성된 제5 컨택홀을 통하여 제1 드레인전극(123)과 전기적으로 접속될 수 있다. 홀수나 짝수 번째로우 애노드들(126a, 126b)은 유기 발광층(127)에 정공을 공급하기 위하여 일함수가 높은 도전성 물질로 이루어질 수 있다.

홀수나 짹수 번째 로우 애노드들(126a, 126b)은, 예를 들어 인듐 주석 산화물(Indium Tin Oxide; ITO), 인듐 아연 산화물(Indium Zinc Oxide; IZO), 인듐 주석 아연 산화물(Indium Tin Zinc Oxide; ITZO) 등과 같은 투명 전도성 물질로 이루어질 수 있다.

[0115] 도 4a에서는 일 예로, 홀수나 짹수 번째 로우 애노드들(126a, 126b)이 구동 트랜지스터(DT)의 제1 드레인전극(123)과 접속되는 것으로 도시되었으나, 본 발명이 이에 한정되는 것은 아니다. 본 발명은 박막트랜지스터의 종류, 구동 회로의 설계 방식 등에 의해 홀수나 짹수 번째 로우 애노드들(126a, 126b)이 구동 트랜지스터의 제1 소스전극(122)과 접속되도록 구성될 수도 있다.

[0116] 또한, 도 3에서는 상술한 바와 같이, 짹수 번째 로우 애노드(126b)의 돌출부(126b')가 컨택홀(150)을 통해 리페어 패턴(118)에 연결된 경우를 예로 들어 보여주고 있으나, 본 발명이 이에 한정되는 것은 아니다. 홀수 번째 로우 애노드(126a)의 돌출부(126a')가 컨택홀(150)을 통해 리페어 패턴(118)에 연결될 수도 있다.

[0117] 유기 발광층(127)은 특정 색의 광을 발광하기 위한 유기층으로서, 적색 유기 발광층, 녹색 유기 발광층, 청색 유기 발광층 및 백색 유기 발광층 중 어느 하나를 포함할 수 있다. 또한, 유기 발광층(127)은 정공 수송층, 정공 주입층, 전자 주입층 전자 수송층 등과 같은 다양한 유기층을 더 포함할 수도 있다. 도 4a에서는 유기 발광층(127)이 서브-화소 별로 패터닝된 것으로 도시되었으나, 본 발명이 이에 한정되지 않으며, 유기 발광층(127)은 복수의 서브-화소에 공통으로 형성된 공통층일 수 있다.

[0118] 캐소드(128)는 유기 발광층(127) 위에 배치될 수 있다. 캐소드(128)는 유기 발광층(127)으로 전자를 공급할 수 있다. 캐소드(128)는 인듐 주석 산화물(Indium Tin Oxide; ITO), 인듐 아연 산화물(Indium Zinc Oxide; IZO), 인듐 주석 아연 산화물(Indium Tin Zinc Oxide; ITZO), 아연 산화물(Zinc Oxide; ZnO) 및 주석 산화물(Tin Oxide; T0) 계열의 투명 도전성 산화물, 또는 이테르븀(Yb) 합금으로 이루어질 수도 있다. 또는, 캐소드(128)는 도전물질로 이루어질 수도 있다.

[0119] 이어서, 도 4a 및 도 4b를 참조하면, 홀수나 짹수 번째 로우 애노드들(126a, 126b) 및 평탄화층(115e) 위에 뱅크(115f)가 배치될 수 있다. 뱅크(115f)는 유기 발광소자의 홀수나 짹수 번째 로우 애노드들(126a, 126b)의 일부를 커버할 수 있다.

[0120] 뱅크(115f)는 화소영역(AA)에서 인접하는 서브-화소를 구분하도록 배치될 수 있다.

[0121] 뱅크(115f)는 유기절연물질로 이루어질 수 있다. 예를 들어, 뱅크(115f)는 폴리이미드(polyimide), 아크릴(acryl), 또는 벤조사이클로부텐(benzocyclobutene; BCB)계 수지로 이루어질 수 있으나, 본 발명이 이에 한정되는 것은 아니다.

[0122] 뱅크(115f)는 평탄화층(115e) 위에 발광부(EA)를 둘러싸도록 배치될 수 있다.

[0123] 뱅크(115f)에는 오픈 홀(H)이 형성되어, 오픈 홀(H)을 통해 본 발명의 일 실시예에 따른 픽셀 리던던시 구조가 노출될 수 있다. 이렇게 오픈 홀(H)을 통해 노출된 픽셀 리던던시 구조는 임의의 서브-화소에 불량이 발생할 경우 레이저 용접을 통한 리페어를 진행할 수 있도록 한다.

[0124] 도 5는 도 3에 도시된 본 발명의 일 실시예에 따른 전계발광 표시장치에 있어, 리페어(repair) 공정을 개략적으로 설명하는 평면도이다.

[0125] 도 5를 참조하면, 임의의 서브-화소, 일 예로 m 번째 게이트라인(117m)과 $n-1$ 번째 데이터라인(116n-1)에 해당하는 서브-화소(P21)에 불량이 발생할 경우, 해당 서브-화소(P21)를 정상 구동시키기 위해 리페어 공정을 진행할 수 있다.

[0126] 이때, 불량은 이물, 정전기 또는 기타 원인에 의한 휘점, 암점 등의 불량을 포함할 수 있다. 휘점은 해당 서브-화소의 구동 여부에 관계없이 항상 백색으로 보이는 점이고, 암점은 해당 서브-화소의 구동 여부에 관계없이 항상 흑색으로 보이는 점을 의미한다.

[0127] 이와 같이 임의의 서브-화소(P21)에 휘점이나 암점 등의 불량이 발생하는 경우, 불량 서브-화소(P21)의 애노드(126b)와 드레인전극(123) 사이를 커팅(도 5의 C)하여 단선시킨다. 그리고, 불량 서브-화소(P21)의 상부 서브-화소, 즉 $m-1$ 번째 게이트라인(117m-1)과 $n-1$ 번째 데이터라인(116n-1)에 해당하는 서브-화소(P11)의 애노드(126a)를 용접(도 5의 W)을 통해 하부의 리페어 패턴(118)에 연결함으로써 불량 서브-화소(P21)를 정상화시킬 수 있다. 이 경우 불량 서브-화소(P21)는 그 상부의 서브-화소(P11)의 구동전류와 동일한 구동전류가 인가되어 구동될 수 있다.

- [0128] 상술한 바와 같이, 본 발명은 초고해상도 모델에서 픽셀 리던던시 구조를 적용함으로써 수율이 향상될 수 있으며, 이러한 픽셀 리던던시 구조는 홀수 번째 로우 서브-화소(P11, P12)와 짝수 번째 로우 서브-화소(P21, P22)에서 공용으로 사용할 수 있어 개구율이 향상될 수 있다.
- [0129] 이렇게 구성된 유기 발광소자 상부에는 수분에 취약한 유기 발광소자를 수분에 노출되지 않도록 보호하기 위한 봉지부(미도시)가 형성될 수 있다. 예를 들어, 봉지부는 무기층과 유기층이 교대 적층된 구조를 가질 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니다.
- [0130] 한편, 상술한 본 발명의 일 실시예에 따른 전계발광 표시장치(100)의 경우, 게이트라인(117m-1, 117m)의 수평 배선과 데이터라인(116n-1, 116n)의 수직 배선 사이에 충간절연층(115c)만이 개재되어 있어 짧은 이격거리로 인해 정전기성 불량이 발생할 가능성이 있다. 이에 본 발명의 다른 일 실시예에 따른 전계발광 표시장치는 수평 배선과 수직 배선의 배치를 개선함으로써 상술한 정전기성 불량을 방지할 수 있는데, 이를 도면을 참조하여 상세히 설명한다.
- [0131] 도 6은 본 발명의 다른 일 실시예에 따른 전계발광 표시장치를 개략적으로 보여주는 평면도이다. 그리고, 도 7a 및 도 7b 내지 도 9는 도 6에 도시된 본 발명의 다른 일 실시예에 따른 전계발광 표시장치의 단면 구조를 개략적으로 보여주는 도면들이다.
- [0132] 이때, 도 6은 본 발명의 다른 일 실시예에 따른 전계발광 표시장치(200)에 있어, 2x2의 4개의 서브-화소(P11, P12, P21, P22)의 평면 구조를 예로 들어 보여주고 있다. 설명의 편의상, 도 6에는 이중에서 하나의 서브-화소(P21)에 대해 스위칭 트랜지스터(ST), 구동 트랜지스터(DT), 커패시터(C) 및 발광소자(LE)를 포함하는 2T1C 구조를 예로 들어 보여주고 있으나, 상술한 바와 같이 보상회로가 추가된 경우 3T1C, 4T2C, 5T2C, 6T1C, 6T2C, 7T1C, 7T2C 등으로 다양하게 구성될 수 있다.
- [0133] 또한, 도 7a는 도 6에 도시된 본 발명의 다른 일 실시예에 따른 전계발광 표시장치(200)에 있어, 일 예로 구동 트랜지스터(DT)와 커패시터를 포함하는 회로부(CA)와, 발광소자(LE)를 포함하는 발광부(EA) 및 게이트라인(217m-1, 217m)과 데이터라인(216n-1, 216n)의 교차부(IA)의 일부를 보여주고 있다. 도 7b는 도 6에 도시된 본 발명의 다른 일 실시예에 따른 전계발광 표시장치(200)에 있어, 스위칭 트랜지스터(ST)를 포함하는 회로부(CA)의 일부를 예로 들어 보여주고 있다. 도 8은 도 6에 도시된 본 발명의 다른 일 실시예에 따른 전계발광 표시장치(200)에 있어, I-I'선에 따라 절단한 단면을 개략적으로 보여주는 도면이다. 그리고, 도 9는 도 6에 도시된 본 발명의 다른 일 실시예에 따른 전계발광 표시장치(200)에 있어, I-I'선에 따라 절단한 단면을 개략적으로 보여주는 다른 도면이다.
- [0134] 도 6 및 도 7a, 도 7b를 참조하면, 본 발명의 다른 일 실시예에 따른 전계발광 표시장치(200)는 기판(210) 위에 게이트라인(또는, 스캔라인)(217m-1, 217m)과, 데이터라인(216n-1, 216n) 및 전원라인(또는, 전원 전압라인)(219)이 교차하여 화소영역(AA)을 구획할 수 있다. 이외에 센싱 제어라인, 레퍼런스(reference) 라인 등이 더 배치될 수 있다.
- [0135] 데이터라인(216n-1, 216n)과 전원라인(219)은 기판(210) 위에 제1 방향으로 배치될 수 있다. 게이트라인(217m-1, 217m)은 제1 방향과 교차하는 제2 방향으로 배치되어 데이터라인(216n-1, 216n) 및 전원라인(219)과 함께 하나의 서브-화소의 화소영역(AA)을 구획할 수 있다. 편의상 화소영역(AA)은 발광소자(LE)가 발광하는 발광부(EA)와 발광소자(LE)에 구동전류를 공급하기 위한 복수의 구동회로로 구성된 회로부(CA)로 구분할 수 있다.
- [0136] 도 6에는 m-1번째 게이트라인(217m-1)과 m번째 게이트라인(217m) 및 n-1번째 데이터라인(216n-1)과 n번째 데이터라인(216n)이 전원라인(219)과 함께 2x2의 4개의 서브-화소(P11, P12, P21, P22)를 구획하는 경우를 예로 보여주고 있으나, 본 발명이 이에 한정되는 것은 아니다.
- [0137] 이중 홀수 번째 로우 서브-화소(P11, P12)는 발광부(EA)가 회로부(CA) 아래에 배치되어 있고, 짝수 번째 로우 서브-화소(P21, P22)는 발광부(EA)가 회로부(CA) 위에 배치된 경우를 예로 들고 있다. 이에 따라 홀수 번째 로우 서브-화소(P11, P12)는 m-1번째 게이트라인(217m-1)이 서브-화소(P11, P12)의 상측에 배치되는 반면, 짝수 번째 로우 서브-화소(P21, P22)는 m번째 게이트라인(217m)이 서브-화소(P21, P22)의 하측에 배치될 수 있다.
- [0138] 도 6은 n-1번째 데이터라인(216n-1)과 n번째 데이터라인(216n)이 서로 인접하게 배치된 경우를 예로 들고 있으나, 본 발명이 이에 한정되는 것은 아니다.
- [0139] 전원라인(219)은 하나 이상의 화소영역(AA)마다 배치될 수 있으나, 본 발명이 이에 한정되는 것은 아니다.
- [0140] 데이터라인(216n-1, 216n) 및 전원라인(219)과 함께 데이터라인(216n-1, 216n) 및 전원라인(219)과 동일 층에

레퍼런스 라인이 제1 방향으로 배치될 수 있다.

[0141] 복수의 화소영역(AA)은 적색 서브-화소영역, 녹색 서브-화소영역, 청색 서브-화소영역 및 백색 서브-화소영역으로 구성되어 단위 화소를 이를 수 있다. 도 6에서는 그 중에서 임의의 2x2의 4개의 서브-화소의 화소영역(AA)만이 예로 도시되어 있지만, 본 발명이 이에 한정되는 것은 아니다. 이러한 적색, 녹색, 청색 및 백색 서브-화소의 화소영역(AA) 각각은 발광소자(LE)와 그 발광소자(LE)를 독립적으로 구동하는 복수의 화소 구동회로를 구비한다. 화소 구동회로는 스위칭 트랜지스터(ST), 구동 트랜지스터(DT), 커페시터(C) 및 센싱 트랜지스터(미도시)를 포함할 수 있다.

[0142] 스위칭 트랜지스터(ST)는 게이트라인(217m-1, 217m)에 스캔 펄스(scan pulse)가 공급되면 턴-온 되어 데이터라인(216n-1, 216n)에 공급된 데이터신호를 커페시터(C) 및 구동 트랜지스터(DT)의 제1 게이트전극(221)으로 공급할 수 있다. 스위칭 트랜지스터(ST)는 게이트라인(217m-1, 217m)에 연결된 제2 게이트전극(221'), 데이터라인(216n-1, 216n)에 접속된 제2 소스전극(222'), 제6 컨택홀을 통해 제1 게이트전극(221)과 접속된 제2 드레인전극(223') 및 제2 액티브층(224')을 포함하여 구성될 수 있다.

[0143] 다음으로, 구동 트랜지스터(DT)는 전원라인(219)으로부터 공급되는 전류를 커페시터(C)에 충전된 구동전압에 따라 제어하여 구동전압에 비례하는 전류를 발광소자(LE)로 공급함으로써 발광소자(LE)를 발광시킨다. 구동 트랜지스터(DT)는 제6 컨택홀을 통해 스위칭 트랜지스터(ST)의 제2 드레인전극(223')과 접속된 제1 게이트전극(221), 전원라인(219)에 접속된 제1 소스전극(222), 제5 컨택홀을 통해 발광소자(LE)와 접속된 제1 드레인전극(223) 및 제1 액티브층(224)을 포함하여 구성될 수 있다.

[0144] 이때, 전원라인(219)은 브리지 배선(미도시)을 통해 이웃하는 서브-화소의 제1 소스전극(222)에 접속될 수 있다. 브리지 배선은 제2 방향과 나란한 방향으로 이웃하는 서브-화소로 연장될 수 있다. 이웃하는 서브-화소로 연장된 브리지 배선은 제10 컨택홀을 통해 이웃하는 서브-화소의 제1 소스전극(222)에 접속될 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니다.

[0145] 브리지 배선의 일측은 제11 컨택홀을 통해 그 상부의 전원라인(219)에 접속될 수 있다.

[0146] 이중 도 7a에 도시된 박막트랜지스터는 구동 트랜지스터(DT)이고, 제1 게이트전극(221)이 제1 액티브층(224) 위에 배치되는 탑 게이트 구조, 특히 코플라나(coplanar) 구조의 박막트랜지스터를 예로 들고 있다. 또한, 도 7b에 도시된 박막트랜지스터는 스위칭 트랜지스터(ST)이고, 제2 게이트전극(221')이 제2 액티브층(224') 위에 배치되는 탑 게이트 구조, 특히 코플라나(coplanar) 구조의 박막트랜지스터를 예로 들고 있다. 다만, 본 발명이 이에 한정되는 것은 아니며, 게이트전극이 액티브층 하부에 배치되는 바텀 게이트 구조의 박막트랜지스터도 적용 가능하다.

[0147] 구동 트랜지스터(DT)의 제1 게이트전극(221)은 제1 게이트전극(221)과 실질적으로 동일한 형태의 게이트절연층(215b)을 개재하고, 제1 액티브층(224)과 중첩될 수 있다. 스위칭 트랜지스터(ST)의 제2 게이트전극(221')은 제2 게이트전극(221')과 실질적으로 동일한 형태의 게이트절연층(215b)을 개재하고, 제2 액티브층(224')과 중첩될 수 있다.

[0148] 구체적으로, 제1 액티브층(224)과 제2 액티브층(224')이 기판(210) 위에 배치될 수 있다.

[0149] 이때, 제1 액티브층(224) 하부에는 차광층(225)이 배치될 수 있으며, 제1 액티브층(224)과 차광층(225) 사이에 베퍼층(215a)이 배치될 수 있다.

[0150] 차광층(225)은 외부나 주변의 발광소자의 빛에 의해 제1 액티브층(224)이 영향을 받는 것을 차단하는 역할을 할 수 있으며, 기판(210)의 최하층에 배치될 수 있다.

[0151] 차광층(225)과 동일 층에 본 발명에 따른 데이터라인(216n-1, 216n)과 전원라인(219)이 제1 방향으로 배치될 수 있다. 즉, 본 발명의 데이터라인(216n-1, 216n)과 전원라인(219)은 차광층(225)과 함께 기판(210) 최하층에 배치되는 것을 특징으로 한다.

[0152] 이는 데이터라인(216n-1, 216n)과 전원라인(219)의 수직 배선을 기준과는 다른 층에 배치함으로써 데이터라인(216n-1, 216n)과 전원라인(219)의 수직 배선과 게이트라인(217m-1, 217m)의 수평 배선 사이에 층간절연층(215c)의 한 층이 아닌 적어도 2층의 절연층, 일 예로 베퍼층(215a)과 층간절연층(215c)이 개재되도록 함으로써 단락 불량을 방지하기 위한 것이다.

[0153] 베퍼층(215a)은 차광층(225), 전원라인(219) 및 데이터라인(216n-1, 216n)을 덮도록 기판(210) 위에 배치될 수

있다.

[0154] 제1 액티브층(224) 및 제2 액티브층(224') 각각은 게이트절연층(215b) 위의 제1 게이트전극(221) 및 제2 게이트전극(221') 중첩되어 형성되어, 제1 소스전극(222)과 제1 드레인전극(223) 사이 및 제2 소스전극(222')과 제2 드레인전극(223') 사이에 채널이 형성될 수 있다.

[0155] 제1 액티브층(224) 및 제2 액티브층(224')은 Zn, Cd, Ga, In, Sn, Hf, Zr 중 선택된 적어도 하나 이상의 금속을 포함하는 산화물(oxide) 반도체를 이용하여 구성될 수 있고, 비정질 실리콘(amorphous silicon; a-Si), 다결정실리콘(polycrystalline silicon; poly-Si), 또는 유기물(organic) 반도체 등으로 구성될 수도 있다.

[0156] 도 7a에는 게이트절연층(215b)이 제1 게이트전극(221) 하부에만 한정되어 형성된 경우를 예로 들어 보여주고 있으나, 본 발명이 이에 한정되는 것은 아니다. 또한, 도 7b에는 게이트절연층(215b)이 제2 게이트전극(221') 하부에 한정되어 형성된 경우를 예로 들어 보여주고 있으나, 본 발명이 이에 한정되는 것은 아니다. 게이트절연층(215b)은 제1 액티브층(224)과 제2 액티브층(224')이 형성된 기판(210) 전면에 형성될 수 있으며, 이 경우 게이트절연층(215b)에는 제1 소스전극(222) 및 제1 드레인전극(223) 각각이 제1 액티브층(224)의 소스영역 및 드레인영역 각각에 접속하기 위한 컨택홀이 형성될 수 있다. 또한, 게이트절연층(215b)에는 제2 소스전극(222') 및 제2 드레인전극(223') 각각이 제2 액티브층(224')의 소스영역 및 드레인영역 각각에 접속하기 위한 컨택홀이 형성될 수 있다.

[0157] 게이트절연층(215b)은 무기물인 질화실리콘(SiNx) 또는 산화실리콘(SiOx)의 단일층 또는 질화실리콘(SiNx) 또는 산화실리콘(SiOx)의 다중층으로 구성될 수도 있다.

[0158] 제1 게이트전극(221) 및 제2 게이트전극(221')은 다양한 도전물질, 일 예로 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd), 및 구리(Cu) 중 어느 하나이거나 둘 이상의 합금, 또는 이들의 다중층으로 구성될 수 있다.

[0159] 제1 게이트전극(221) 및 제2 게이트전극(221') 위에 충간절연층(215c)이 배치될 수 있다.

[0160] 충간절연층(215c)은 무기물인 질화실리콘(SiNx) 또는 산화실리콘(SiOx)의 단일층, 또는 질화실리콘(SiNx) 또는 산화실리콘(SiOx)의 다중층으로 구성될 수도 있다. 충간절연층(215c)은 도 7a 및 도 7b에 도시된 바와 같이 기판(210) 전면에 걸쳐 형성될 수도 있고, 화소영역(AA)에만 형성될 수도 있으나, 본 발명이 이에 한정되는 것은 아니다.

[0161] 제1 액티브층(224) 및 제2 액티브층(224') 상부의 충간절연층(215c) 위에 각각 제1 소스전극(222)과 제1 드레인전극(223) 및 제2 소스전극(222')과 제2 드레인전극(223')이 배치될 수 있다. 제1 소스전극(222)과 제2 소스전극(222') 각각은 충간절연층(215c)을 관통하는 제1 컨택홀과 제3 컨택홀을 통해 제1 액티브층(224)과 제2 액티브층(224')의 소스영역에 각각 접속될 수 있으며, 제1 드레인전극(223)과 제2 드레인전극(223') 각각은 충간절연층(215c)을 관통하는 제2 컨택홀과 제4 컨택홀을 통해 제1 액티브층(224)과 제2 액티브층(224')의 드레인영역에 각각 접속될 수 있다.

[0162] 스위칭 트랜지스터(ST)의 제2 드레인전극(223')은 일 방향으로 연장되어 제6 컨택홀을 통해 구동 트랜지스터(DT)의 제1 게이트전극(221)에 전기적으로 접속될 수 있다.

[0163] 제1 소스전극(222)과 제2 소스전극(222') 및 제1 드레인전극(223)과 제2 드레인전극(223')의 동일 층에 제1 방향과 교차하는 제2 방향으로 게이트라인(217m-1, 217m)이 배치될 수 있다(도 7 참조).

[0164] 상술한 본 발명의 일 실시예와는 달리, 본 발명의 다른 일 실시예에 따른 전계발광 표시장치(200)는 데이터라인(216n-1, 216n)과 전원라인(219)의 수직 배선이 기판(210) 위에 제1 방향으로 배치되며, 게이트라인(217m-1, 217m)의 수평 배선이 제1 방향과 교차하는 제2 방향으로 배치되어 수직 배선과 함께 화소영역(AA)을 구획하게 된다.

[0165] 이와 같이 본 발명의 다른 일 실시예에 따른 전계발광 표시장치(200)는 데이터라인(216n-1, 216n)과 전원라인(219)의 수직 배선을 최하층의 차광층(225)과 동일 층에 배치하며 게이트라인(217m-1, 217m)의 수평 배선을 제1 소스전극(222)/제1 드레인전극(223)과 동일 층에 배치함으로써, 수직 배선과 수평 배선 사이에 기존의 충간절연층(215c) 한 층 대신에 적어도 충간절연층(215c)과 벼파층(215a)의 2층의 절연층이 개재되는 것을 특징으로 한다. 이에 따라 수직 배선과 수평 배선의 교차지점에서 발생하는 단락 불량을 방지할 수 있다.

[0166] 본 발명의 다른 일 실시예는, 수평 배선과 수직 배선의 교차지점은 그 사이에 충간절연층(215c)만이 개재되어

있어 단락 불량에 취약하고, 이런 단락 불량은 배선간 이격거리에 영향을 받는 점에 착안하여, 데이터라인(216n-1, 216n)과 전원라인(219) 및 게이트라인(217m-1, 217m)을 이전과는 다른 층에 배치함으로써 수평 배선과 수직 배선 사이에 층간절연층(215c)과 벼파층(215a)의 2층의 절연층이 개재되도록 구성하여 단락 불량을 방지하는 것을 특징으로 한다.

[0167] 이에 따라 서브-화소 내 게이트 리던던시 패턴을 삭제할 수 있어, 고해상도 모델에서 화소 설계가 용이하고 수율이 향상되며, 추가적인 개구율 확보도 가능한 효과를 제공한다.

[0168] 또한, 본 발명의 다른 일 실시예는, 제1 소스전극(222)과 제2 소스전극(222') 및 제1 드레인전극(223)과 제2 드레인전극(223')의 동일 층에 리페어 패턴(218)이 배치되는 것을 특징으로 한다. 다만, 본 발명이 이에 한정되는 것은 아니다. 리페어 패턴(218)은 제1 게이트전극(221)과 제2 게이트전극(221') 및 게이트라인(217m-1, 217m)과 동일 층에 배치될 수도 있다.

[0169] 리페어 패턴(218)은 홀수 번째 로우 서브-화소(P11, P12)와 짝수 번째 로우 서브-화소(P21, P22) 사이의 경계에 배치될 수 있다. 본 발명의 다른 일 실시예에 따른 리페어 패턴(218)은 리페어를 위해 홀수 번째 로우 서브-화소(P11, P12)와 짝수 번째 로우 서브-화소(P21, P22)에서 공용으로 사용하는 것을 특징으로 한다.

[0170] 도 6은 리페어 패턴(218)이 전원라인(219)에 인접하게 배치된 경우를 예로 들어 보여주고 있으나, 본 발명이 이에 한정되는 것은 아니며, 데이터라인(216n-1, 216n)에 인접하게 배치될 수도 있다. 또한, 리페어 패턴(218)은 전원라인(219)과 데이터라인(216n-1, 216n)에 관계없이 일정한 위치에 배치될 수도 있다.

[0171] 상술한 바와 같이 본 명세서에서는 박막트랜지스터가 코플라나 구조인 것으로 설명하였으나, 스태거드(staggered) 구조 등과 같은 다른 구조로 박막트랜지스터가 구현될 수도 있다.

[0172] 다음으로, 박막트랜지스터 위에 보호층(215d)과 평탄화층(215e)이 배치될 수 있다. 보호층(215d)은 박막트랜지스터 및 화소영역(AA) 이외에 배치되는 게이트드라이버 및 기타 배선들을 보호하고, 평탄화층(215e)은 기판(210) 위의 단차를 완만하게 하여 기판(210) 상부를 평탄화하기 위해 형성할 수 있다.

[0173] 발광부(EA)의 보호층(215d) 위에 컬러필터층(CF)이 배치될 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니다.

[0174] 보호층(215d)은 무기물인 질화실리콘(SiNx) 또는 산화실리콘(SiOx)의 단일층, 또는 질화실리콘(SiNx) 또는 산화실리콘(SiOx)의 다중층으로 구성될 수도 있다. 보호층(215d)은 도 7a 및 도 7b에 도시된 바와 같이 기판(210) 전면에 걸쳐 형성될 수도 있고, 화소영역(AA)에만 형성될 수도 있으나, 본 발명이 이에 한정되는 것은 아니다.

[0175] 평탄화층(215e)은 유기절연물질로 이루어질 수 있다.

[0176] 평탄화층(215e)은 아크릴계 수지, 에폭시 수지, 페놀 수지, 폴리아미드계 수지, 폴리이미드계 수지, 불포화 폴리에스테르계 수지, 폴리페닐렌계 수지, 폴리페닐렌설파이드계 수지, 벤조사이클로부텐 및 포토레지스트 중 어느 하나로 형성될 수 있으나, 이에 한정되지 않는다.

[0177] 본 발명의 다른 일 실시예에 따른 평탄화층(215e)은, 도 8에 도시된 바와 같이 컬러필터층(CF)을 덮도록 배치될 수 있으며, 또는 도 9에 도시된 바와 같이 컬러필터층(CF)의 일부를 노출시키도록 배치될 수 있다.

[0178] 도 8에서와 같이 평탄화층(215e)이 컬러필터층(CF)을 덮도록 배치될 경우, 용접 포인트(welding point)의 마진(L1)과 오픈 홀(H)의 면적이 줄어드는 반면에, 도 9에서와 같이 평탄화층(215e)이 컬러필터층(CF)의 일부를 노출시키도록 배치될 경우, 용접 포인트의 마진(L2)과 오픈 홀(H)의 면적이 증가될 수 있다. 일 예로, 오픈 홀(H)의 면적을 크게 하여 평탄화층(215e)이 컬러필터층(CF)의 일부를 노출시키도록 할 수도 있다.

[0179] 제1 드레인전극(223)은 보호층(215d)과 평탄화층(215e)을 관통하는 제5 칸택홀을 통해 발광소자(LE)의 애노드(226a, 226b)에 접속될 수 있다.

[0180] 이때, 상술한 바와 같이 편의상 홀수 번째 로우 서브-화소(P11, P12)의 애노드를 홀수 번째 로우 애노드(226a)로 지칭하고, 짝수 번째 로우 서브-화소(P21, P22)의 애노드를 짝수 번째 로우 애노드(226b)로 지칭하도록 한다.

[0181] 도 6과 도 8 및 도 9를 참조하면, 본 발명의 다른 일 실시예는, 홀수 번째 로우 애노드(226a)와 짝수 번째 로우 애노드(226b)가 서로 인접하여 배치되고, 그 하부에 리페어 패턴(218)이 중첩, 배치되어 불량 서브-화소가 발생할 때 리페어 패턴(218)을 통해 불량 서브-화소를 리페어 할 수 있는 것을 특징으로 한다.

- [0182] 상술한 바와 같이 본 발명의 다른 일 실시예는, 초고해상도 모델에서는 수율 향상을 위해서 픽셀 리던던시 구조가 필요하다는 점, 및 이웃하는 2개의 서브-화소에 대해 픽셀 리던던시 구조를 공용화할 수 있다면 개구율 손해를 최소화할 수 있다는 점에 착안하여, 홀수 번째 로우 서브-화소(P11, P12)와 짝수 번째 로우 서브-화소(P21, P22)를 거울(mirror) 대칭 설계함으로써 픽셀 리던던시 구조를 홀수 번째 로우 서브-화소(P11, P12)와 짝수 번째 로우 서브-화소(P21, P22)에서 공용으로 사용할 수 있는 것을 특징으로 한다.
- [0183] 즉, 홀수 번째 로우 서브-화소(P11, P12)와 짝수 번째 로우 서브-화소(P21, P22)를 거울 대칭 설계하여 발광부(LE)를 인접시키고, 발광부들(LE) 사이에 픽셀 리던던시 구조를 추가, 설계함으로써, 초고해상도 모델에서 수율이 향상될 수 있다. 이러한 픽셀 리던던시 구조는 홀수 번째 로우 서브-화소(P11, P12)와 짝수 번째 로우 서브-화소(P21, P22)에서 공용으로 사용할 수 있어 개구율이 향상될 수 있다.
- [0184] 이러한 본 발명의 다른 일 실시예에 따른 픽셀 리던던시 구조는, 홀수 번째 로우 애노드(226a)와 짝수 번째 로우 애노드(226b) 일부가 인접하는 홀수 번째 로우 서브-화소(P11, P12)와 짝수 번째 로우 서브-화소(P21, P22)의 경계를 향해 서로 돌출한 돌출부들(226a', 226b') 및 돌출부들(226a', 226b')의 하부에 배치되어 소정 컨택홀(250)을 통해 돌출부들(226a', 226b') 중 어느 하나의 돌출부(226b')와 연결된 리페어 패턴(218)으로 구성될 수 있다.
- [0185] 돌출부들(226a', 226b')은 홀수 번째 로우 애노드(226a)의 돌출부(226a')와 짝수 번째 로우 애노드(226b)의 돌출부(226b')로 이루어질 수 있다. 도 6과 도 8 및 도 9를 참조하면, 짝수 번째 로우 애노드(226b)의 돌출부(226b')가 리페어 패턴(218)에 연결(또는, 접속)된 경우를 예로 들어 보여주고 있으나, 본 발명이 이에 한정되는 것은 아니다. 홀수 번째 로우 애노드(226a)의 돌출부(126a')가 리페어 패턴(218)에 연결될 수도 있다.
- [0186] 이어서, 도 7a 및 도 7b 내지 도 9를 참조하면, 평탄화층(215e) 위에 발광소자(LE)가 배치될 수 있다. 일 예로, 유기 발광소자로서 발광소자(LE)는 평탄화층(215e) 위에 형성되어 구동 트랜지스터(DT)의 제1 드레인전극(223)과 접속된 홀수나 짝수 번째 로우 애노드들(226a, 226b), 홀수나 짝수 번째 로우 애노드들(226a, 226b) 위에 배치된 유기 발광층(227) 및 유기 발광층(227) 위에 배치된 캐소드(228)를 포함하여 구성될 수 있다.
- [0187] 이때, 홀수나 짝수 번째 로우 애노드들(226a, 226b)은 평탄화층(215e) 위에 배치되어, 평탄화층(215e)에 형성된 제5 컨택홀을 통하여 제1 드레인전극(223)과 전기적으로 접속될 수 있다. 홀수나 짝수 번째 로우 애노드들(226a, 226b)은 유기 발광층(227)에 정공을 공급하기 위하여 일함수가 높은 도전성 물질로 이루어질 수 있다. 홀수나 짝수 번째 로우 애노드들(226a, 226b)은, 예를 들어 인듐 주석 산화물(Indium Tin Oxide; ITO), 인듐 아연 산화물(Indium Zinc Oxide; IZO), 인듐 주석 아연 산화물(Indium Tin Zinc Oxide; ITZO) 등과 같은 투명 전도성 물질로 이루어질 수 있다.
- [0188] 도 7a에서는 일 예로, 홀수나 짝수 번째 로우 애노드들(226a, 226b)이 구동 트랜지스터(DT)의 제1 드레인전극(223)과 접속되는 것으로 도시되었으나, 본 발명이 이에 한정되는 것은 아니다. 본 발명은 박막트랜지스터의 종류, 구동 회로의 설계 방식 등에 의해 홀수나 짝수 번째 로우 애노드들(226a, 226b)이 구동 트랜지스터의 제1 소스전극(222)과 접속되도록 구성될 수도 있다.
- [0189] 또한, 도 6과 도 8 및 도 9에서는 상술한 바와 같이, 짝수 번째 로우 애노드(126b)의 돌출부(126b')가 컨택홀(150)을 통해 리페어 패턴(118)에 연결된 경우를 예로 보여주고 있으나, 본 발명이 이에 한정되는 것은 아니다. 홀수 번째 로우 애노드(226a)의 돌출부(226a')가 컨택홀(250)을 통해 리페어 패턴(218)에 연결될 수도 있다.
- [0190] 유기 발광층(227)은 특정 색의 광을 발광하기 위한 유기층으로서, 적색 유기 발광층, 녹색 유기 발광층, 청색 유기 발광층 및 백색 유기 발광층 중 어느 하나를 포함할 수 있다. 또한, 유기 발광층(227)은 정공 수송층, 정공 주입층, 전자 주입층 전자 수송층 등과 같은 다양한 유기층을 더 포함할 수도 있다. 도 7a에서는 유기 발광층(227)이 서브-화소 별로 패터닝된 것으로 도시하였으나, 본 발명이 이에 한정되지 않으며, 유기 발광층(227)은 복수의 서브-화소에 공통으로 형성된 공통층일 수 있다.
- [0191] 캐소드(228)는 유기 발광층(227) 위에 배치될 수 있다. 캐소드(228)는 유기 발광층(227)으로 전자를 공급할 수 있다. 캐소드(228)는 인듐 주석 산화물(Indium Tin Oxide; ITO), 인듐 아연 산화물(Indium Zinc Oxide; IZO), 인듐 주석 아연 산화물(Indium Tin Zinc Oxide; ITZO), 아연 산화물(Zinc Oxide; ZnO) 및 주석 산화물(Tin Oxide; TO) 계열의 투명 도전성 산화물, 또는 이테르븀(Yb) 합금으로 이루어질 수도 있다. 또는, 캐소드(228)는 도전물질로 이루어질 수도 있다.
- [0192] 이어서, 도 7a 및 도 7b를 참조하면, 홀수나 짝수 번째 로우 애노드들(226a, 226b) 및 평탄화층(215e) 위에 뱅

크(215f)가 배치될 수 있다. 뱅크(215f)는 유기 발광소자의 홀수나 짹수 번째로우 애노드들(226a, 226b)의 일부를 커버할 수 있다.

[0193] 뱅크(215f)는 화소영역(AA)에서 인접하는 서브-화소(P11, P12, P21, P22)를 구분하도록 배치될 수 있다.

[0194] 뱅크(215f)는 유기절연물질로 이루어질 수 있다. 예를 들어, 뱅크(215f)는 폴리이미드(polyimide), 아크릴(acryl), 또는 벤조사이클로부텐(benzocyclobutene; BCB)계 수지로 이루어질 수 있으나, 본 발명이 이에 한정되는 것은 아니다.

[0195] 뱅크(215f)는 평탄화층(215e) 위에 발광부(EA)를 둘러싸도록 배치될 수 있다.

[0196] 뱅크(215f)에는 오픈 홀(H)이 형성되어, 오픈 홀(H)을 통해 본 발명의 다른 일 실시예에 따른 픽셀 리던던시 구조가 노출될 수 있다. 이렇게 오픈 홀(H)을 통해 노출된 픽셀 리던던시 구조는 임의의 서브-화소에 불량이 발생할 경우 레이저 용접을 통한 리페어를 진행할 수 있도록 한다.

[0197] 즉, 임의의 서브-화소, 일 예로 m 번째 게이트라인(217m)과 $n-1$ 번째 데이터라인(216n-1)에 해당하는 서브-화소(P21)에 불량이 발생할 경우, 해당 서브-화소(P21)를 정상 구동시키기 위해 리페어 공정을 진행할 수 있다.

[0198] 임의의 서브-화소(P21)에 휙점이나 암점 등의 불량이 발생하는 경우, 불량 서브-화소(P21)의 애노드(226b)와 드레인전극(223) 사이를 커팅하여 단선시킨다. 그리고, 불량 서브-화소(P21)의 상부 서브-화소, 즉 $m-1$ 번째 게이트라인(217m-1)과 $n-1$ 번째 데이터라인(216n-1)에 해당하는 서브-화소(P11)의 애노드(226a)를 용접을 통해 하부의 리페어 패턴(218)에 연결함으로써 불량 서브-화소(P21)를 정상화시킬 수 있다. 이 경우 불량 서브-화소(P21)는 그 상부의 서브-화소(P11)의 구동전류와 동일한 구동전류가 인가되어 구동될 수 있다.

[0199] 상술한 바와 같이, 본 발명은 초고해상도 모델에서 픽셀 리던던시 구조를 적용함으로써 수율이 향상될 수 있으며, 이러한 픽셀 리던던시 구조는 홀수 번째로우 서브-화소(P11, P12)와 짹수 번째로우 서브-화소(P21, P22)에서 공용으로 사용할 수 있어 개구율이 향상될 수 있다.

[0200] 이렇게 구성된 유기 발광소자 상부에는 수분에 취약한 유기 발광소자를 수분에 노출되지 않도록 보호하기 위한 봉지부(미도시)가 형성될 수 있다. 예를 들어, 봉지부는 무기층과 유기층이 교대 적층된 구조를 가질 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니다.

[0201] 본 발명의 예시적인 실시예는 다음과 같이 설명될 수 있다.

[0202] 본 발명의 일 실시예에 따른 전계발광 표시장치는, 기판 위에 서로 교차하여 매트릭스 형태의 복수의 서브-화소를 구획하는 데이터라인과 게이트라인, 서브-화소의 회로부에 배치되는 박막트랜지스터 및 서브-화소의 발광부에 배치되는 발광소자를 포함하며, 홀수 번째로우(row) 서브-화소는 짹수 번째로우 서브-화소와 거울(mirror) 대칭되어, 홀수 번째로우 서브-화소의 발광부와 짹수 번째로우 서브-화소의 발광부가 서로 인접할 수 있다.

[0203] 본 발명의 다른 특징에 따르면, 발광소자는 애노드를 포함하며, 홀수 번째로우 서브-화소의 애노드와 짹수 번째로우 서브-화소의 애노드는 서로 인접하여 배치될 수 있다.

[0204] 본 발명의 또 다른 특징에 따르면, 홀수 번째로우 서브-화소는 발광부가 회로부 아래에 배치되고, 짹수 번째로우 서브-화소는 발광부가 회로부 위에 배치될 수 있다.

[0205] 본 발명의 또 다른 특징에 따르면, 홀수 번째로우 서브-화소는 게이트라인이 해당 서브-화소의 상측에 배치되는 반면, 짹수 번째로우 서브-화소는 게이트라인이 해당 서브-화소의 하측에 배치될 수 있다.

[0206] 본 발명의 또 다른 특징에 따르면, 전계발광 표시장치는 박막트랜지스터의 소스/드레인전극과 동일 층에 배치되는 리페어 패턴을 더 포함할 수 있다.

[0207] 본 발명의 또 다른 특징에 따르면, 리페어 패턴은, 홀수 번째로우 서브-화소와 짹수 번째로우 서브-화소 사이의 경계에 배치될 수 있다.

[0208] 본 발명의 또 다른 특징에 따르면, 홀수 번째로우 서브-화소의 애노드와 짹수 번째로우 서브-화소의 애노드는, 그 일부가 인접하는 홀수 번째로우 서브-화소와 짹수 번째로우 서브-화소의 경계를 향해 각각 돌출한 돌출부들을 더 포함할 수 있다.

[0209] 본 발명의 또 다른 특징에 따르면, 돌출부들의 하부에 리페어 패턴이 중첩, 배치될 수 있다.

[0210] 본 발명의 또 다른 특징에 따르면, 리페어 패턴은 소정 컨택홀을 통해 돌출부들 중 어느 하나의 돌출부와 접속

될 수 있다.

[0211] 본 발명의 또 다른 특징에 따르면, 리페어 패턴은 레이저 용접을 통해 돌출부들 중 다른 하나의 돌출부에 접속될 수 있다.

[0212] 본 발명의 또 다른 특징에 따르면, 데이터라인은 기판 위에 제1 방향으로 배치되며, 게이트라인은, 데이터라인 상부에 적어도 2층의 절연층을 개재하여 제1 방향과 교차하는 제2 방향으로 배치될 수 있다.

[0213] 본 발명의 또 다른 특징에 따르면, 전계발광 표시장치는 박막트랜지스터의 하부에 배치되는 차광층을 더 포함하며, 데이터라인은 차광층과 동일 층에 배치될 수 있다.

[0214] 그리고, 본 발명의 다른 일 실시예에 따른 전계발광 표시장치는, 기판 위에 서로 교차하여 매트릭스 형태의 복수의 서브-화소를 구획하는 데이터라인과 게이트라인, 서브-화소의 회로부에 배치되는 박막트랜지스터 및 서브-화소의 발광부에 배치되는 발광소자를 포함하며, 홀수 번째로우 서브-화소는 짹수 번째로우 서브-화소와 거울 대칭되어, 홀수 번째로우 서브-화소의 발광부와 짹수 번째로우 서브-화소의 발광부가 서로 인접하고, 인접하는 발광부들 사이에 하나의 픽셀 리던던시 구조가 배치되어, 리페어를 위해 홀수 번째로우 서브-화소와 짹수 번째로우 서브-화소에서 공용으로 사용될 수 있다.

[0215] 본 발명의 다른 특징에 따르면, 발광소자는 애노드를 포함하며, 픽셀 리던던시 구조는, 홀수 번째로우 서브-화소의 애노드와 짹수 번째로우 서브-화소의 일부가 인접하는 홀수 번째로우 서브-화소와 짹수 번째로우 서브-화소의 경계를 향해 서로 돌출한 돌출부들, 및 돌출부들의 하부에 배치된 리페어 패턴을 포함하여 구성될 수 있다.

[0216] 본 발명의 또 다른 특징에 따르면, 전계발광 표시장치는 박막트랜지스터의 소스/드레인전극 상부에 배치되는 보호층과, 발광부의 보호층 위에 배치되는 컬러필터층 및 컬러필터층 위에 배치되는 평탄화층을 더 포함할 수 있다.

[0217] 본 발명의 또 다른 특징에 따르면, 리페어 패턴은 박막트랜지스터의 소스/드레인전극과 동일 층에 배치될 수 있다.

[0218] 본 발명의 또 다른 특징에 따르면, 전계발광 표시장치는 보호층을 관통하여 리페어 패턴의 표면 일부를 노출시키는 컨택홀 및 평탄화층과 컬러필터층을 관통하여 리페어 패턴 상부의 보호층의 표면 일부를 노출시키는 오픈홀을 더 포함하며, 돌출부들은, 오픈홀을 통해 리페어 패턴 상부의 보호층 위에 배치될 수 있다.

[0219] 본 발명의 또 다른 특징에 따르면, 리페어 패턴은, 컨택홀을 통해 돌출부들 중 어느 하나의 돌출부와 접속될 수 있다.

[0220] 본 발명의 또 다른 특징에 따르면, 리페어 패턴은, 레이저 용접을 통해 돌출부들 중 다른 하나의 돌출부에 접속될 수 있다.

[0221] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 더욱 상세하게 설명하였으나, 본 발명은 반드시 이러한 실시예로 국한되는 것은 아니고, 본 발명의 기술사상을 벗어나지 않는 범위 내에서 다양하게 변형 실시될 수 있다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 그러므로, 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

[0222] 100,200: 전계발광 표시장치

115a: 벼퍼층

115b: 게이트절연층

115c: 층간절연층

115d: 보호층

115e: 평탄화층

115f: 뱡크

116n-1, 116n, 216n-1, 216n: 데이터라인

117m-1, 117m, 217m-1, 217m: 게이트라인

119, 219: 전원라인

125, 225: 차광층

126a, 126b, 216a, 216b: 애노드

126a', 126b', 216a', 216b': 돌출부

127, 227: 유기 발광층

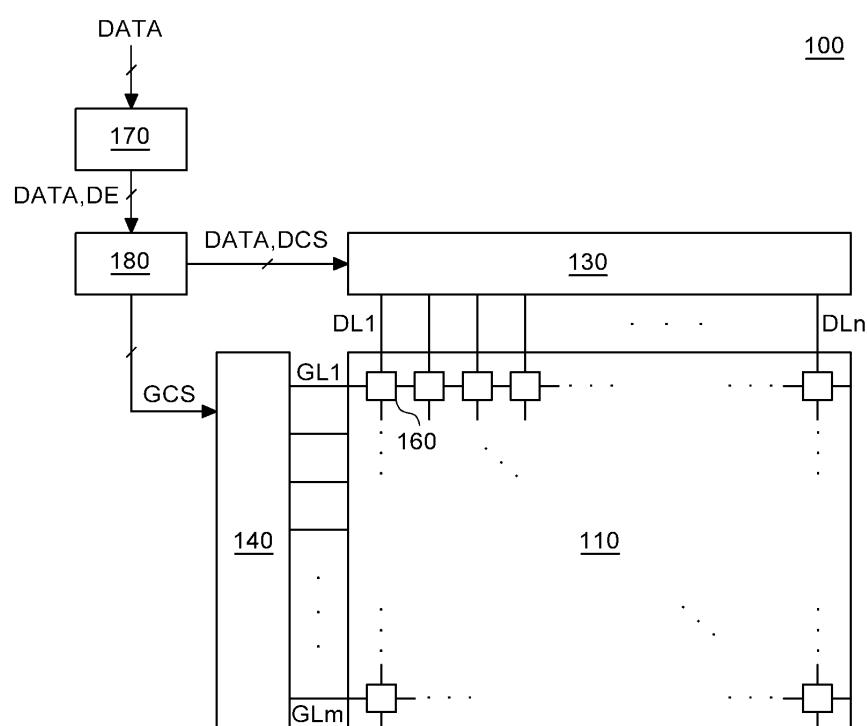
128, 228: 캐소드

150, 250: 리페어 패턴

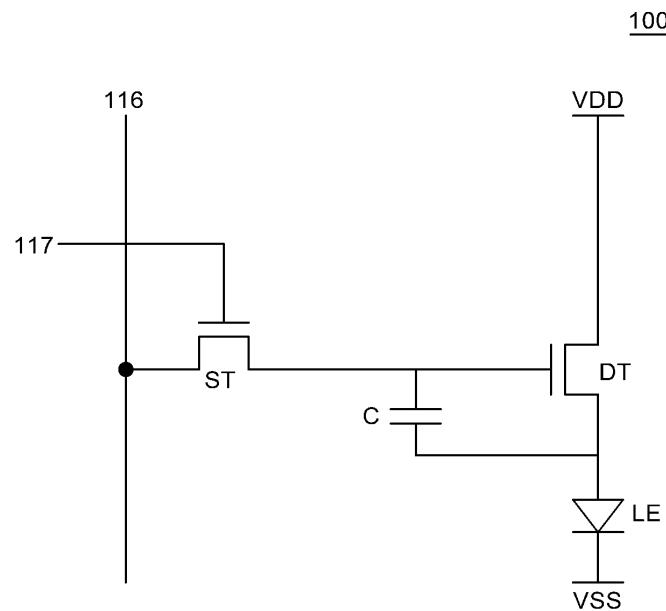
H: 오픈 홀

도면

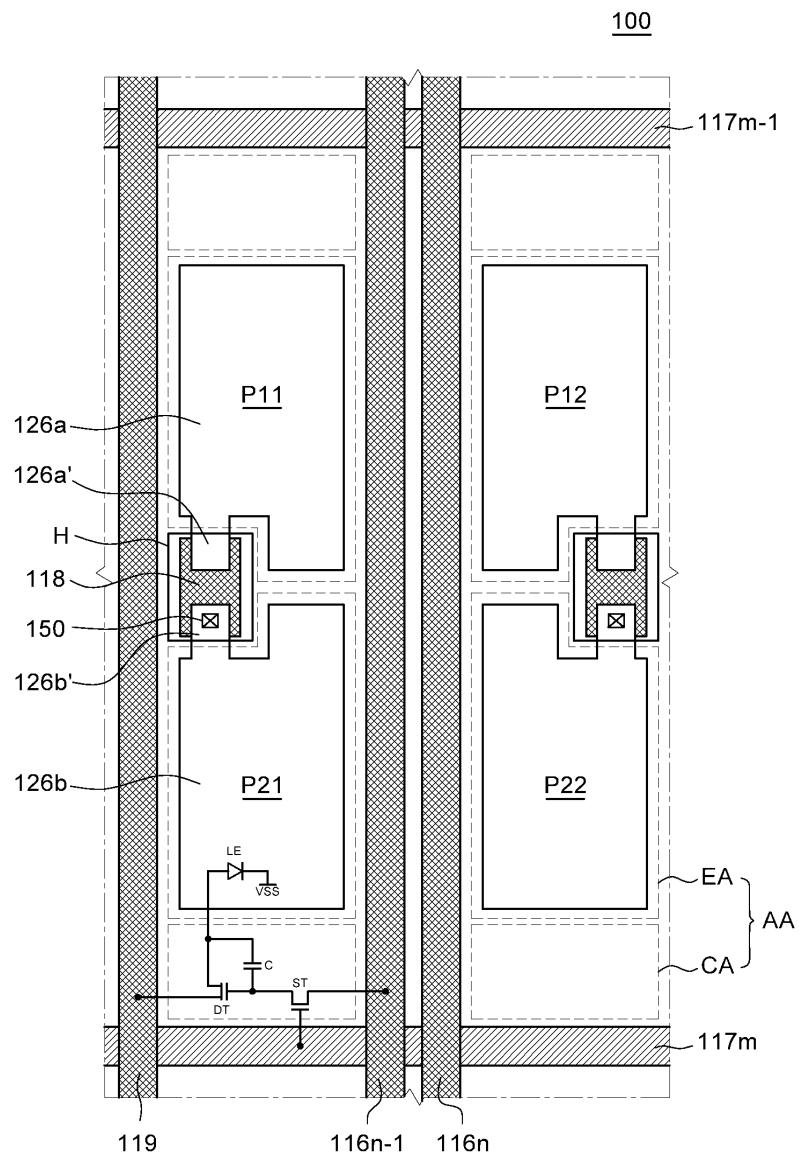
도면1



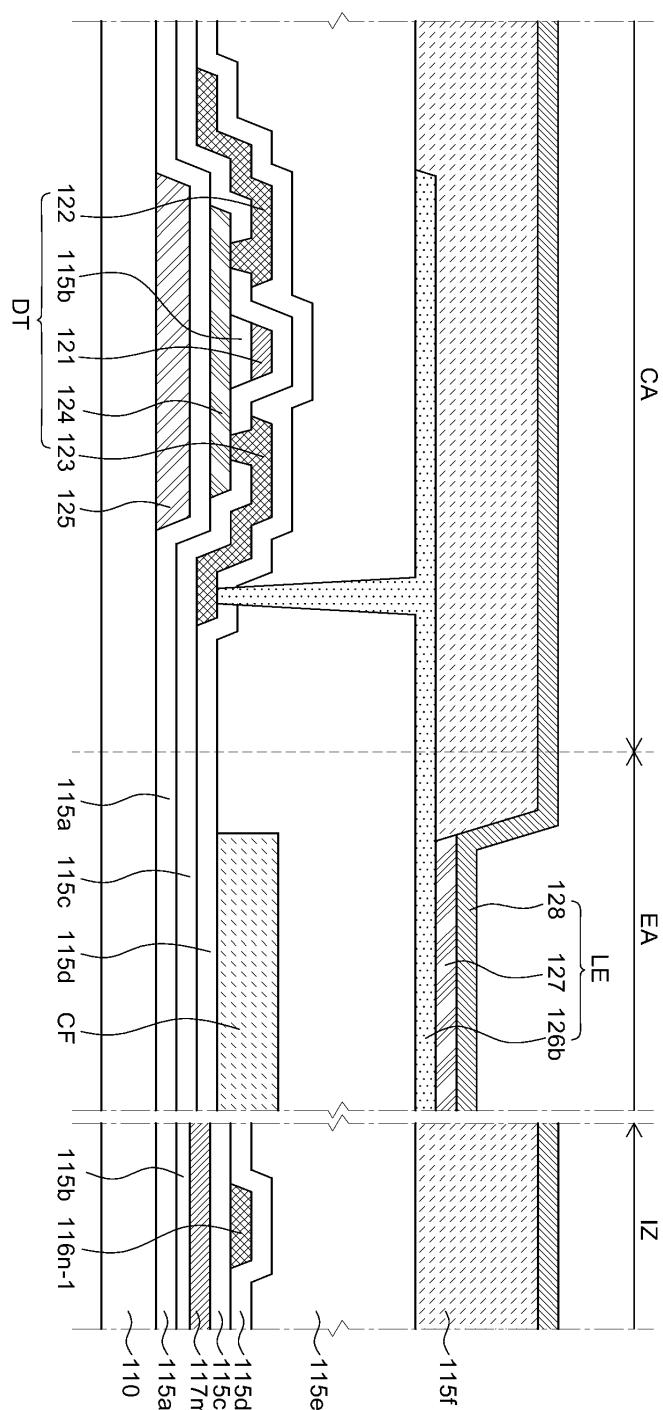
도면2



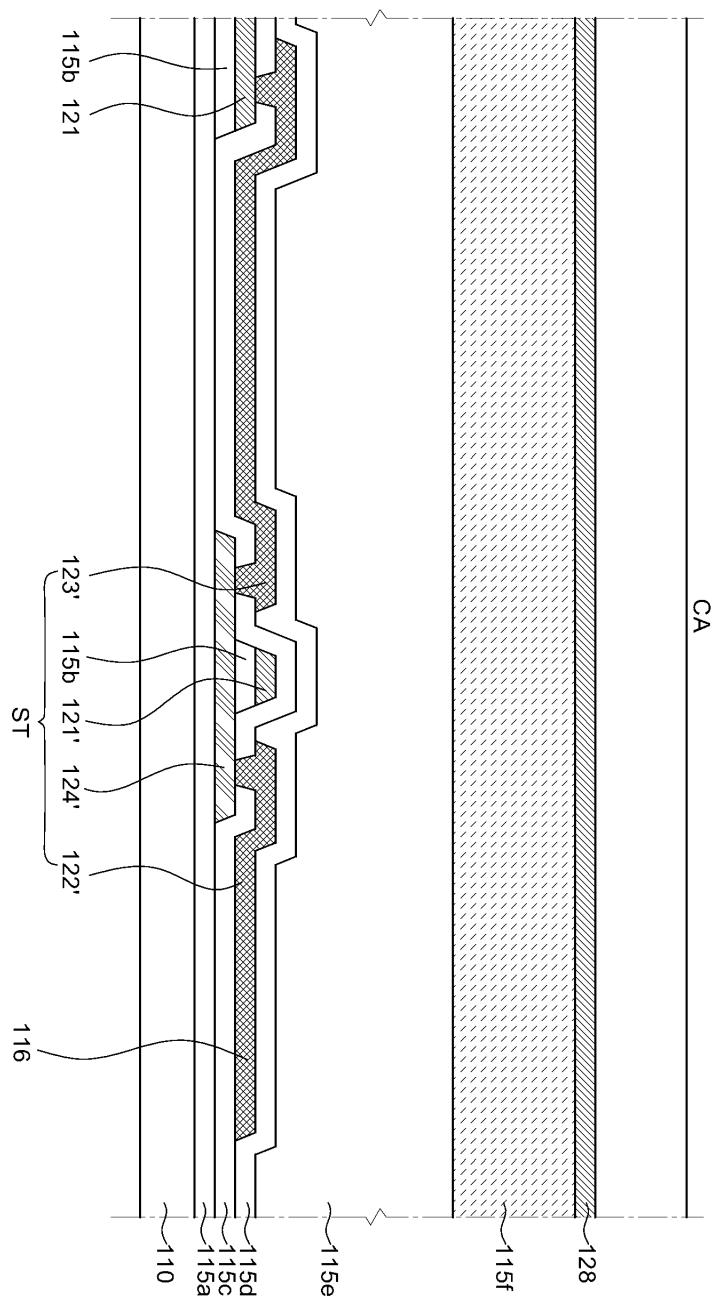
도면3



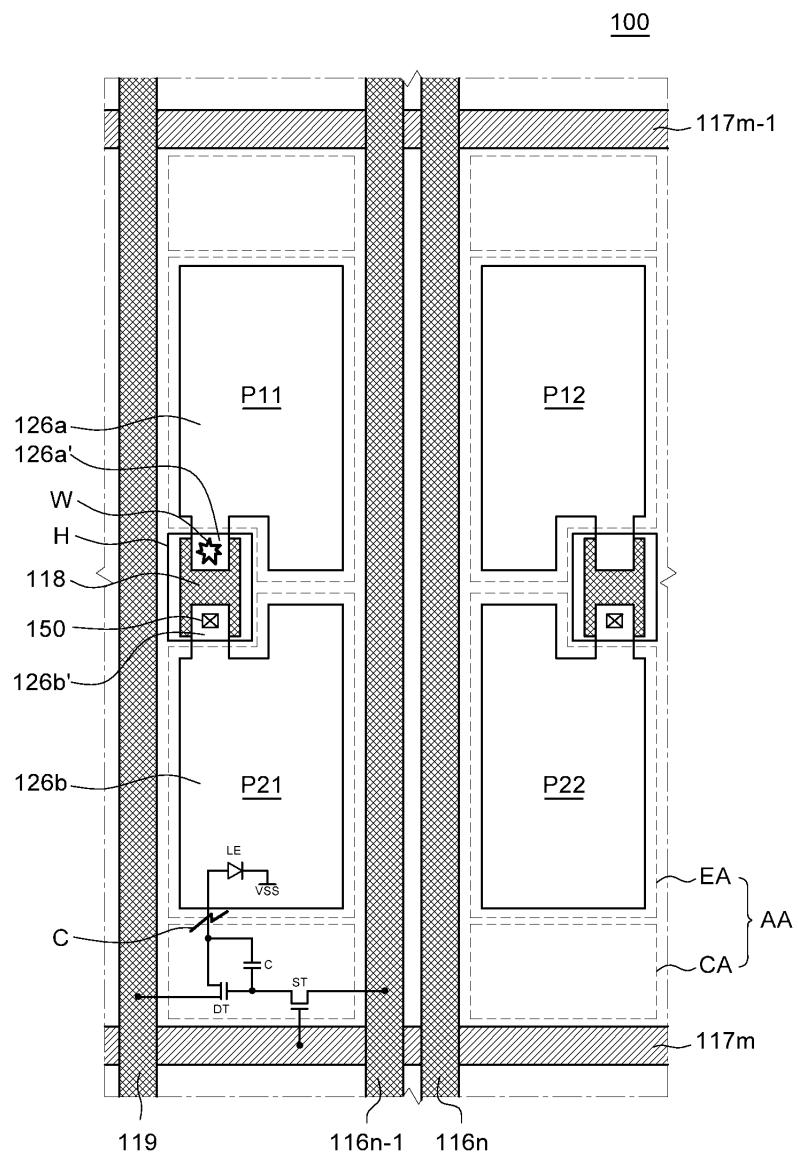
도면4a



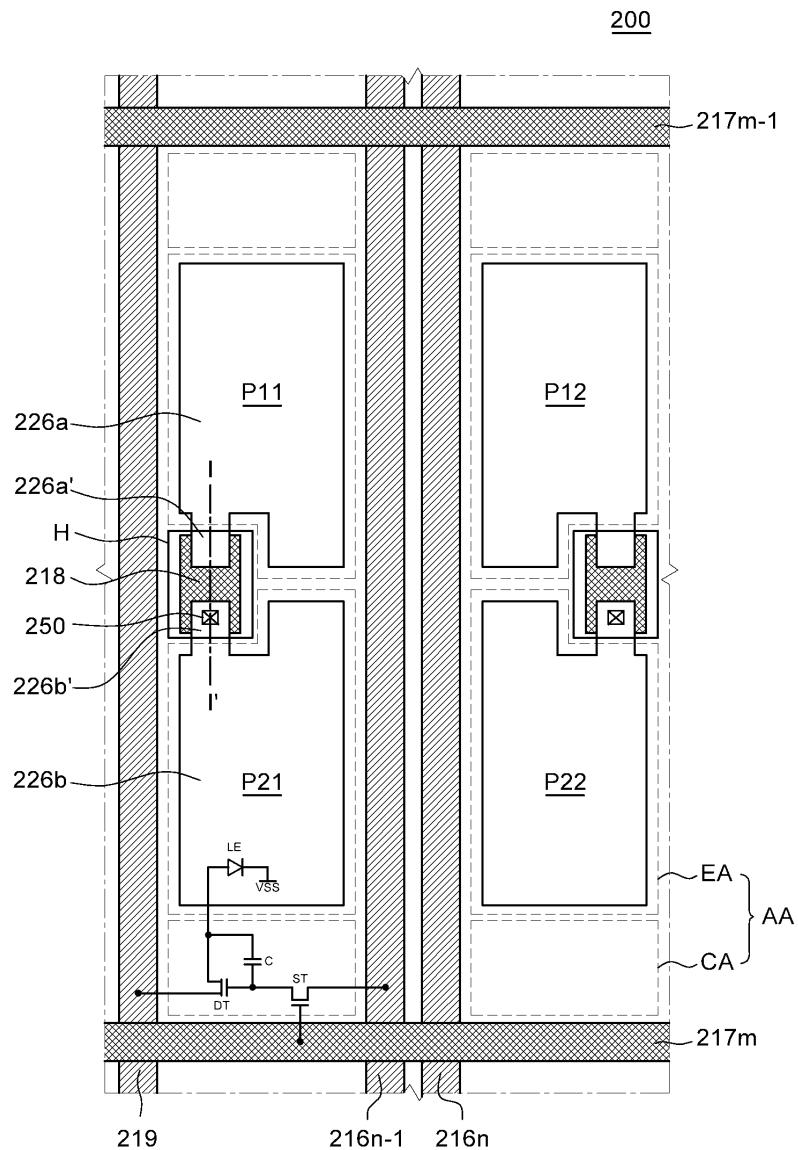
도면4b



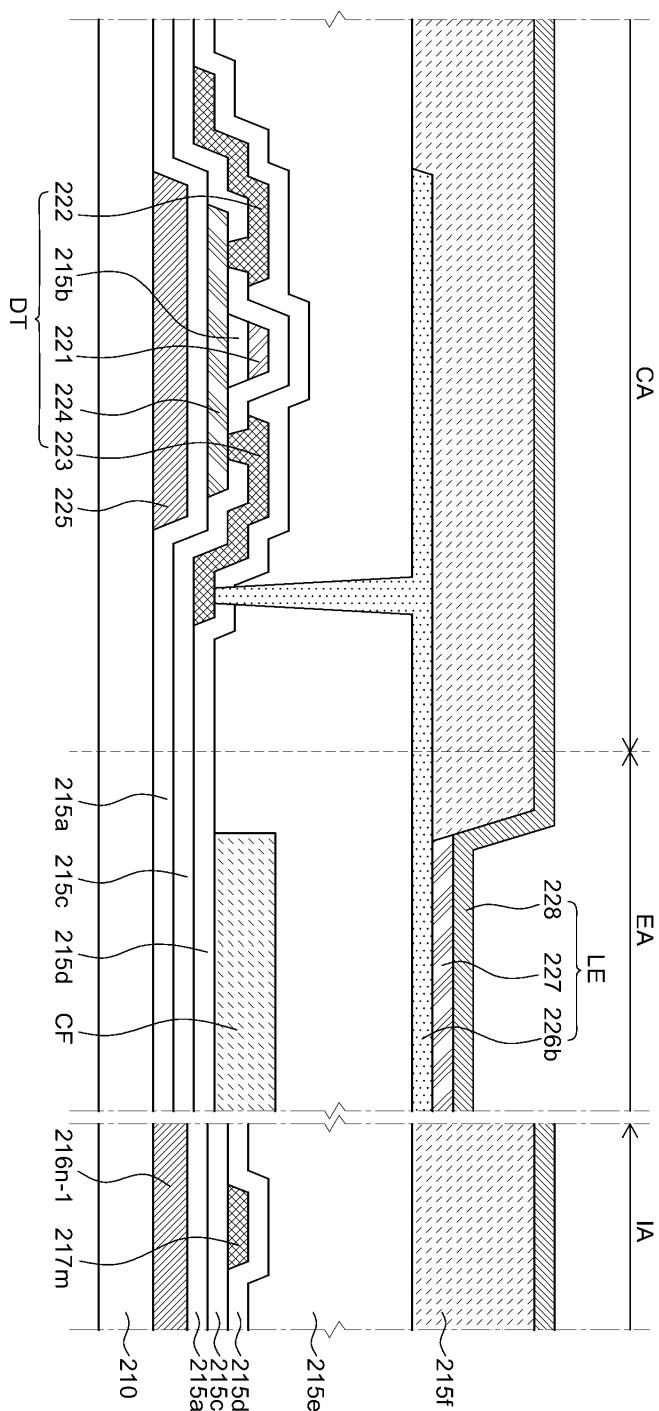
도면5



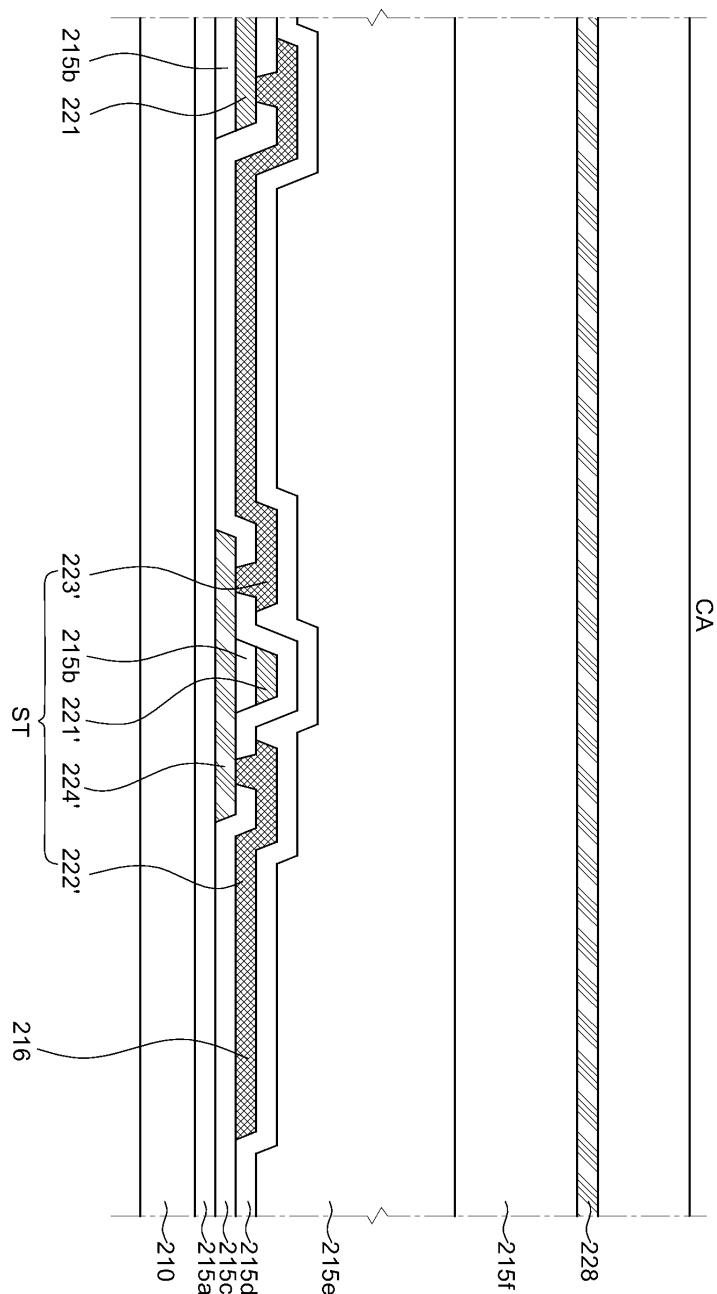
도면6



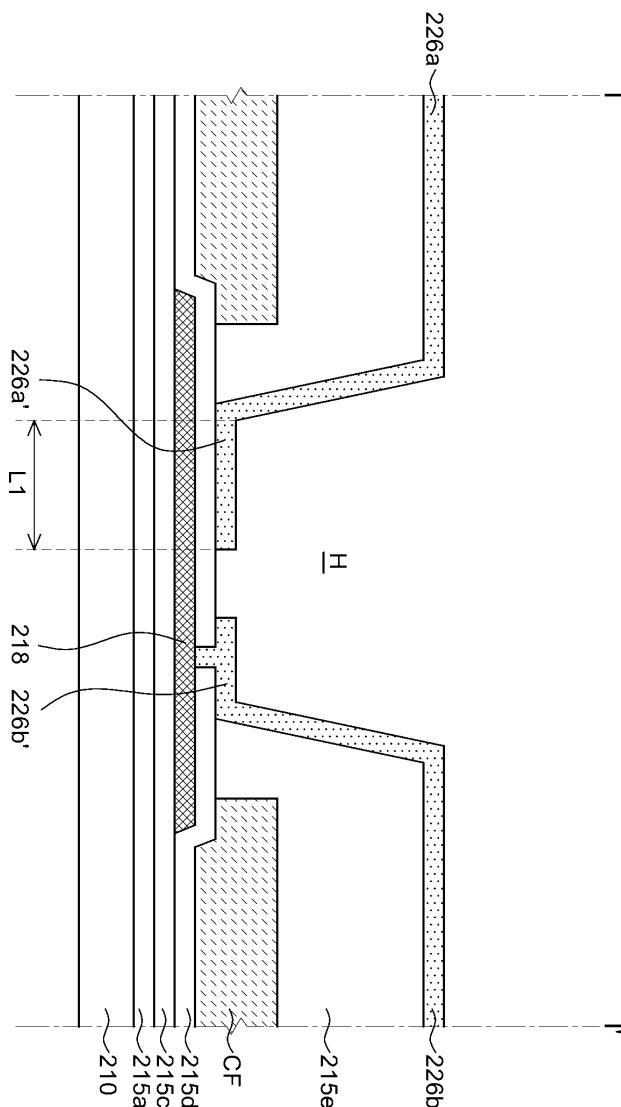
도면7a



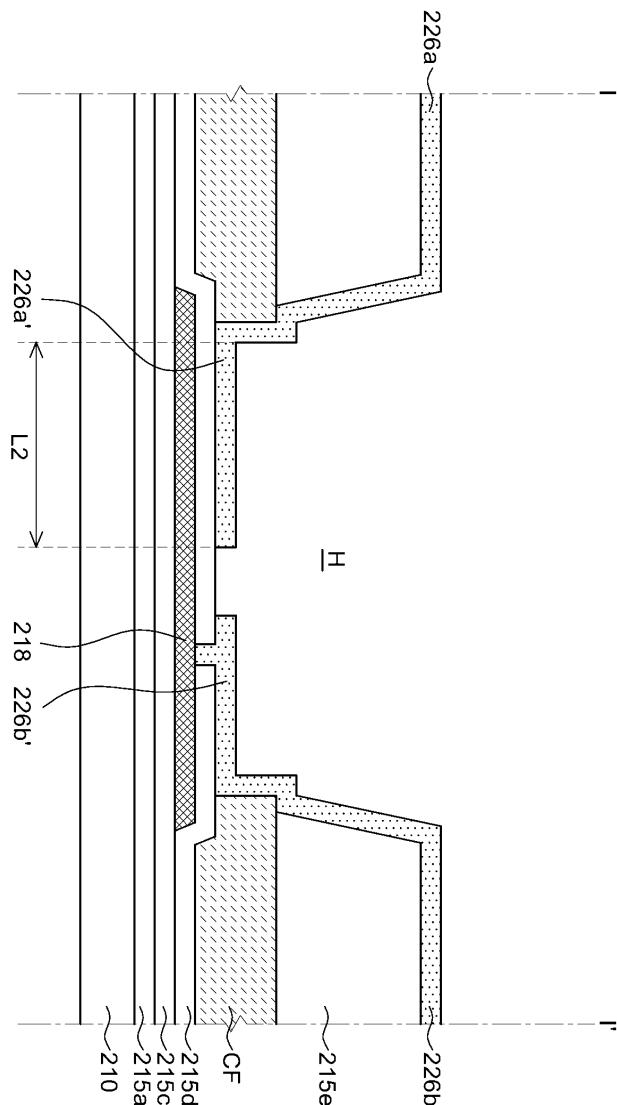
도면7b



도면8



도면9



专利名称(译)	电致发光显示器		
公开(公告)号	KR1020190072217A	公开(公告)日	2019-06-25
申请号	KR1020170173395	申请日	2017-12-15
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	강병욱 심종식 황성환		
发明人	강병욱 심종식 황성환		
IPC分类号	H01L27/32 H01L51/56		
CPC分类号	H01L27/3211 H01L27/322 H01L27/3258 H01L27/3262 H01L51/56		
外部链接	Espacenet		

摘要(译)

根据本发明示例性实施例的电致发光显示器具有奇数对称的行子像素和偶数行的子像素以邻接发光部分的镜面对称设计，以及发光部分之间的像素冗余。通过设计结构，可以在超高分辨率模型中提高产量。这样的像素冗余结构可以通常用于奇数行子像素和偶数行子像素中，从而可以提高开口率。

