



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0057549
(43) 공개일자 2019년05월29일

(51) 국제특허분류(Int. Cl.)
G09G 3/32 (2016.01)

(52) CPC특허분류
G09G 3/32 (2013.01)
G09G 2320/0233 (2013.01)

(21) 출원번호 10-2017-0154608
(22) 출원일자 2017년11월20일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자
주성환
경기도 파주시 월롱면 엘지로 245
손현호
경기도 파주시 월롱면 엘지로 245
(뒷면에 계속)

(74) 대리인
특허법인로얄

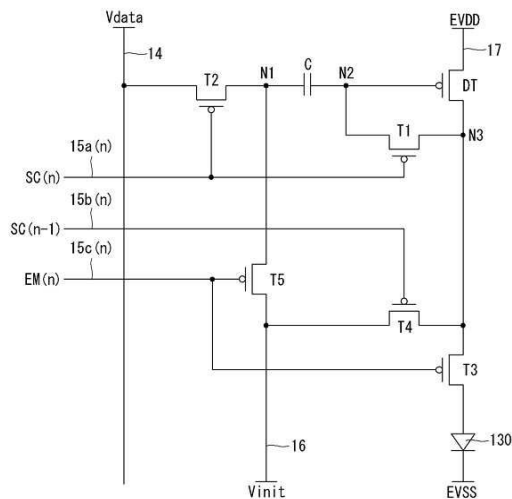
전체 청구항 수 : 총 13 항

(54) 발명의 명칭 전계발광 표시장치

(57) 요약

본 발명은 다수의 화소들에 데이터전압이 공급되는 데이터라인, 고전위 전원전압이 공급되는 제 1 전원라인, 및 초기화전압이 공급되는 제 2 전원라인에 연결된 전계발광 표시장치를 구비한다. 제 n 수평 화소 라인에 배치된 각 화소는, 노드 N2, 제 1 전원라인, 및 노드 N3에 각각 게이트전극, 소스전극, 및 드레인전극이 접속된 구동 트랜지스터; 노드 N2와 노드 N3 사이에 접속되며, 제 n 스캔신호(SC(n))에 따라 스위칭되는 제 1 트랜지스터(T1); 데이터라인과 노드 N1 사이에 접속되며, 제 n 스캔신호(SC(n))에 따라 스위칭되는 제 2 트랜지스터(T2); 노드 N3와 제 2 전원라인 사이에 접속되며, 제 n 스캔신호보다 위상이 앞선 제 n-1 스캔신호에 따라 스위칭되는 제 4 트랜지스터; 노드 N3와 저전위 전원전압 사이에 접속된 발광소자; 및 노드 N1과 노드 N2 사이에 접속된 스토리지 커패시터를 포함한다.

대표도 - 도5



- (52) CPC특허분류
 - G09G 2320/0242 (2013.01)
 - G09G 2320/066 (2013.01)

박한철

경기도 과주시 월릉면 엘지로 245

- (72) 발명자

김진영

경기도 과주시 월릉면 엘지로 245

손정은

경기도 과주시 월릉면 엘지로 245

명세서

청구범위

청구항 1

복수 개의 화소(PXL)에 데이터전압(Vdata)이 공급되는 데이터라인(14), 고전위 전원전압(EVDD)이 공급되는 제 1 전원라인(17), 및 초기화전압(Vinit)이 공급되는 제 2 전원라인(16)에 연결된 표시패널을 구비하고,

제 n 수평 화소 라인(Ln)에 배치된 각 화소(PXL)는,

노드 N2, 상기 제 1 전원라인(17), 및 노드 N3에 각각 게이트전극, 소스전극, 및 드레인전극이 접속된 구동 트랜지스터(DT);

상기 노드 N2와 상기 노드 N3 사이에 접속되며, 제 n 스캔신호(SC(n))에 따라 스위칭되는 제 1 트랜지스터(T1);

상기 데이터라인과 노드 N1 사이에 접속되며, 상기 제 n 스캔신호(SC(n))에 따라 스위칭되는 제2 트랜지스터(T2);

상기 노드 N3와 상기 제 2 전원라인(16) 사이에 접속되며, 상기 제 n 스캔신호(SC(n))보다 위상이 앞선 제 n-1 스캔신호(SC(n-1))에 따라 스위칭되는 제 4 트랜지스터(T4);

상기 노드 N3와 상기 저전위 전원전압(EVSS) 사이에 접속된 발광소자(130); 및

상기 노드 N1 과 상기 노드 N2 사이에 접속된 스토리지 커패시터(C)를 포함하고,

상기 노드 N3를 리셋하기 위한 제 1 구간(B)에서, 상기 제 1 트랜지스터(T1)는 오프 레벨의 상기 제 n 스캔신호(SC(n))에 따라 턴 오프 되고, 상기 제 4 트랜지스터(T4)는 온 레벨의 상기 제 n-1 스캔신호(SC(n-1))에 따라 턴 온 되는 전계발광 표시장치.

청구항 2

제 1 항에 있어서,

상기 제 n-1 스캔신호(SC(n-1))는 상기 제 n 스캔신호(SC(n))와 동일한 듀티비(Duty ratio) 및 동일한 주기(Cycle)를 갖는 전계발광 표시장치.

청구항 3

제 2 항에 있어서,

상기 제 n-1 스캔신호(SC(n-1))가 로우전압으로 유지되는 구간과 상기 제 n 스캔신호(SC(n))가 로우전압으로 유지되는 구간은 적어도 일부가 중첩되는 전계발광 표시장치.

청구항 4

제 1 항에 있어서,

상기 화소는, 상기 노드 N3과 상기 발광소자(130) 사이에 접속되고 상기 제 n 에미션신호(EM(n))에 따라 스위칭되는 제 3 트랜지스터(T3), 및 제 2 전원라인(16)과 상기 노드 N1 사이에 접속되며, 상기 제 n 에미션신호(EM(n))에 따라 스위칭되는 제 5 트랜지스터(T5)를 더 포함하는 전계발광 표시장치.

청구항 5

제 4 항에 있어서,

상기 제 1 구간(B) 동안 상기 제 3 트랜지스터(T3)는 오프 레벨의 상기 제 n 에미션신호(EM(n))에 따라 턴 오프 되어, 상기 발광소자(130)가 발광하지 않도록 제어하는 전계발광 표시장치.

청구항 6

제 4 항에 있어서,

상기 제 1 구간(B) 동안 상기 제 2 트랜지스터(T2)는 오프 레벨의 상기 제 n 스캔신호(SC(n))에 따라 턴 오프 되고, 상기 제 5 트랜지스터(T5)는 오프 레벨의 상기 제 n 에미션신호(EM(n))에 따라 턴 오프 되는 전계발광 표시장치.

청구항 7

제 4 항에 있어서,

상기 제 1 구간(B) 이후의 제 2 구간(C)에서,

상기 제 1 트랜지스터(T1) 및 상기 제 2 트랜지스터(T2)는 온 레벨의 상기 제 n 스캔신호(SC(n))에 따라 턴 온 되고, 상기 제 4 트랜지스터(T4)는 온 레벨의 상기 제 n-1 스캔신호(SC(n-1))에 따라 턴 온 되는 전계발광 표시장치.

청구항 8

제 7 항에 있어서,

상기 제 3 트랜지스터(T3) 및 상기 제 5 트랜지스터(T5)는 오프 레벨의 제 n 에미션신호(EM(n))에 따라 턴 오프 되는 전계발광 표시장치.

청구항 9

제 4 항에 있어서,

상기 제 1 구간(B) 이후의 제 3 구간(D)에서,

상기 제 1 트랜지스터(T1) 및 상기 제 2 트랜지스터(T2)는 온 레벨의 상기 제 n 스캔신호(SC(n))에 따라 턴 온 되고, 상기 제 4 트랜지스터(T4)는 오프 레벨의 상기 제 n-1 스캔신호(SC(n-1))에 따라 턴 오프 되는 전계발광 표시장치.

청구항 10

제 9 항에 있어서,

상기 제 3 트랜지스터(T3) 및 상기 제 5 트랜지스터(T5)는 오프 레벨의 상기 제 n 에미션신호(EM(n))에 따라 턴 오프 되는 전계발광 표시장치.

청구항 11

제 4 항에 있어서,

상기 제 1 구간(B) 이후의 제 4 구간(E)에서,

상기 제 1 트랜지스터(T1) 및 상기 제 2 트랜지스터(T2)는 오프 레벨의 상기 제 n 스캔신호(SC(n))에 따라 턴 오프 되고, 상기 제 4 트랜지스터(T4)는 턴 오프 레벨의 상기 제 n-1 스캔신호(SC(n-1))에 따라 턴 오프 되는 전계발광 표시장치.

청구항 12

제 11 항에 있어서,

상기 제 4 구간(E) 이후의 상기 발광소자(130)를 발광시키기 위한 제 5 구간(F)에서,

상기 제 1 트랜지스터(T1), 상기 제 2 트랜지스터(T2), 및 상기 제 4 트랜지스터(T4)는 상기 제 4 구간(E) 에서의 상태로 유지되고, 상기 제 3 트랜지스터(T3) 및 상기 제 5 트랜지스터(T5)는 온 레벨의 상기 제 n 에미션신호(EM(n))에 따라 턴 온 되는 전계발광 표시장치.

청구항 13

제 12 항에 있어서,

상기 제 5 구간(F)을 제외한 모든 구간에서, 상기 제 3 트랜지스터(T3)는 턴 오프 되는 전계발광 표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 전계발광 표시장치에 관한 것이다.

배경 기술

[0002] 전계발광 표시장치는 발광소자의 종류에 따라 유기발광 표시장치 또는 무기발광 표시장치로 대별된다.

[0003] 유기발광 표시장치는 스스로 발광하는 유기발광 다이오드(Organic Light Emitting Diode: 이하, "OLED"라 함)를 포함하고, 무기발광 표시장치(이하, LED 표시장치)는 스스로 발광하는 LED(Light Emitting Diode)를 포함한다. 유기발광 표시장치 또는 LED 표시장치는 발광소자를 포함하는 화소들을 특정 패턴으로 배열하고 영상 데이터의 계조에 따라 화소들의 휘도를 조절한다. 화소들 각각은 게이트-소스 전압에 따라 발광소자에 흐르는 구동 전류를 제어하는 구동 트랜지스터(Thin Film Transistor: TFT)와, 구동 트랜지스터의 게이트-소스 전압을 프로그래밍하기 위한 하나 이상의 TFT를 포함하며, 구동전류에 비례하는 발광소자의 발광량으로 표시 계조(휘도)를 조절한다.

[0004] 최근에는 LED 표시장치에 대한 관심과 개발이 증가하고 있다. LED는 OLED에 비해 더욱 고휘도의 계조를 출력할 수 있고, 열, 수분, 산소 등에 대한 신뢰성이 뛰어나다. 또한, LED 표시장치는 베젤이 육안으로 시인되지 않는 제로 베젤(Zero bezel)을 구현할 수 있다. 따라서 복수 개의 LED 표시장치를 조합하여 타일링 디스플레이(Tiling Display)를 구현할 경우 표시장치 간의 경계부가 시인되지 않아, 깨끗한 영상으로 대화면으로 구현할 수 있다.

발명의 내용

해결하려는 과제

[0005] 제로 베젤을 위해서는 타일링 디스플레이에 포함된 모든 픽셀간의 거리가 일정해야 한다. 즉, 표시장치의 내부 영역에 위치한 발광소자간의 거리와 표시장치들의 최외곽부에 위치한 발광소자간의 거리가 동일한 값을 갖도록 구현하는 기술이 필요하다. 특히, 고해상도의 표시장치 일수록 픽셀은 작아지고 발광소자간의 거리는 줄어들게 된다. 이는 발광소자가 차지하는 영역 외의 영역인 비발광부의 면적이 그만큼 작아지는 것을 의미한다. 따라서, 비발광부에 위치한 회로부의 간소화가 필요하다.

[0006] 이에, 본 발명의 목적은 비발광부의 면적이 최소화된 전계발광 표시장치를 제공하는 데 있다.

[0007] 본 발명의 다른 목적은 EVDD 전압 강하와 무관하게 화소의 구동 특성 변화를 실시간 보상하되, 명암비 특성이 뛰어난 전계발광 표시장치를 제공하는 데 있다.

과제의 해결 수단

[0008] 상기 목적을 해결하기 위하여, 본 발명에 따른 전계발광 표시장치는 다수의 화소들에 데이터전압이 공급되는 데이터라인, 고전위 전원전압이 공급되는 제 1 전원라인, 및 초기화전압이 공급되는 제 2 전원라인에 연결된 전계발광 표시장치를 구비한다. 제 n 수평 화소 라인에 배치된 각 화소는, 노드 N2, 제 1 전원라인, 및 노드 N3에 각각 게이트전극, 소스전극, 및 드레인전극이 접속된 구동 트랜지스터; 노드 N2와 노드 N3 사이에 접속되며, 제 n 스캔신호에 따라 스위칭되는 제 1 트랜지스터; 데이터라인과 노드 N1 사이에 접속되며, 제 n 스캔신호에 따라 스위칭되는 제2 트랜지스터; 노드 N3와 제 2 전원라인 사이에 접속되며, 제 n 스캔신호보다 위상이 앞선 제 n-1 스캔신호에 따라 스위칭되는 제 4 트랜지스터; 노드 N3와 저전위 전원전압 사이에 접속된 발광소자; 및 노드 N1과 노드 N2 사이에 접속된 스토리지 커패시터를 포함한다. 여기서, 노드 N3를 리셋하기 위한 제 1 구간에서, 제 1 트랜지스터는 오프 레벨의 제 n 스캔신호에 따라 턴 오프 되고, 제 4 트랜지스터는 온 레벨의 제 n-1 스캔신호에 따라 턴 온 된다.

발명의 효과

[0009] 본 발명은 발광소자에 인가되는 전류가 고전위 전원전압(EVDD)에 영향을 받지 않으므로, EVDD 배선을 저저항의

물질로 설계하지 않고도 화면 전체에서 균일한 화질을 구현할 수 있고 고해상도 및 대화면의 전계발광 표시장치를 구현할 수 있다.

- [0010] 또한, 본 발명은 발광소자에 인가되는 전류가 화소별 문턱전압 편차의 영향을 받지 않으므로 화면 전체에서 화소들의 휘도와 색감을 균일하게 유지할 수 있다.
- [0011] 또한, 본 발명은 전단 게이트신호를 이용하여 화소를 구동시키기 때문에 게이트 드라이버의 구성을 간소화할 수 있고, 협 베젤(narrow bezel) 구현이 용이한 효과가 있다.
- [0012] 또한, 본 발명은 초기화 구간 및 보상 구간 동안 발광소자가 발광하지 않도록 제어할 수 있다. 특히, 초기화전압을 저전위 전원전압 보다 낮게 설정하지 않더라도 명암비를 향상시킬 수 있는 장점을 가진다.
- [0013] 본 발명에 따른 효과는 이상에서 예시된 내용에 의해 제한되지 않으며, 더욱 다양한 효과들이 본 명세서 내에 포함되어 있다.

도면의 간단한 설명

- [0014] 도 1은 본 발명의 실시예에 따른 전계발광 표시장치를 보여주는 블록도이다.
- 도 2는 전계발광 표시장치의 각 화소에 포함된 발광소자의 일 실시예이다.
- 도 3a 및 도 3b는 본 발명의 실시예에 따른 전계발광 표시장치의 화소 어레이 구성도이다.
- 도 4는 도 3a 또는 도 3b의 화소 어레이를 구동하기 위한 게이트 드라이버의 일 예를 보여주는 도면이다.
- 도 5는 도 3a 또는 도 3b에 도시된 화소의 일 실시예에 따른 등가회로이다.
- 도 6은 도 5의 화소에 입력되는 구동 신호들의 전위 변화를 나타내는 파형도이다.
- 도 7a 내지 도 7f는 도 6의 각 구간에 대응되는 화소의 등가 회로도이다.

발명을 실시하기 위한 구체적인 내용

- [0015] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나, 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.
- [0016] 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 명세서 상에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~ 만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.
- [0017] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.
- [0018] 비록 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있다.
- [0019] 본 발명의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하며, 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시 가능할 수도 있다.
- [0020] 이하, 첨부된 도면을 참조하여 본 발명의 다양한 실시예들을 상세히 설명한다. 이하의 설명에서 사용되는 구성요소 명칭은 명세서 작성의 용이함을 고려하여 선택된 것으로서, 실제 제품의 부품 명칭과는 상이할 수 있다. 이하에서는, 설명의 편의를 위해, 전계발광 표시장치가 무기 발광 물질을 포함하는 표시장치, 예를 들어, LED 표시장치로 구현되는 경우를 예로 들어 설명한다. 본 발명의 기술적 사상은 LED 표시장치에 국한되지 않고, 유기발광 물질을 포함하는 표시장치, 예를 들어, 유기발광 표시장치에 적용될 수 있다.
- [0021] 도 1은 본 발명의 실시예에 따른 전계발광 표시장치를 보여주는 블록도이다. 도 2는 전계발광 표시장치의 각

화소에 포함된 발광소자의 일 실시예를 보여주는 도면이다. 도 3은 본 발명의 실시예에 따른 전계발광 표시장치의 화소 어레이를 보여주는 도면이다.

- [0022] 도 1 내지 도 3을 참조하면, 본 발명에 따른 전계발광 표시장치는 복수 개의 화소(PXL)가 구비된 표시패널(10), 각각의 화소(PXL)에 연결된 신호라인들을 구동하는 표시패널 구동회로(12,13), 및 표시패널 구동회로(12,13)를 제어하는 타이밍 컨트롤러(11)를 포함한다.
- [0023] 표시패널 구동회로(12,13)는 표시패널(10)의 화소(PXL)에 입력 영상 데이터(DATA)를 기입한다. 표시패널 구동회로(12,13)는 화소(PXL)에 연결된 데이터 라인들(14)을 구동하는 소스 드라이버(12)와, 화소(PXL)에 연결된 게이트 라인들(15)을 구동하는 게이트 드라이버(13)를 포함한다.
- [0024] 표시패널(10)에는 다수의 데이터 라인들(14)과 다수의 게이트 라인들(15)이 교차되고, 화소(PXL)는 데이터 라인들(14)과 게이트 라인들(15)이 서로 교차되는 인근에 배치될 수 있다. 화소(PXL)는 도 2에 도시된 바와 같이 LED 발광소자(130)를 포함할 수 있다.
- [0025] 일 예에 따른 발광소자(130)는 발광층(EL), 제 1 전극(E1), 및 제 2 전극(E2)을 포함한다.
- [0026] 발광층(EL)은 제 1 전극(E1) 제 1 전극(E1)과 제 2 전극(E2) 사이에 흐르는 전류에 따른 전자와 정공의 재결합에 따라 발광한다. 일 예에 따른 발광층(EL)은 제 1 반도체층(131), 활성층(133), 및 제 2 반도체층(135)을 포함한다.
- [0027] 제 1 반도체층(131)은 활성층(133)에 전자를 제공한다. 일 예에 따른 제 1 반도체층(131)은 n-GaN계 반도체 물질로 이루어질 수 있으며, n-GaN계 반도체 물질로는 GaN, AlGa_n, InGa_n, 또는 AlInGa_n 등이 될 수 있다. 여기서, 제 1 반도체층(131)의 도핑에 사용되는 불순물로는 Si, Ge, Se, Te, 또는 C 등이 사용될 수 있다.
- [0028] 활성층(133)은 제 1 반도체층(131)의 일측 상에 마련된다. 이러한 활성층(133)은 우물층과 우물층보다 밴드 갭이 높은 장벽층을 갖는 다중 양자 우물(MQW; Multi Quantum Well) 구조를 갖는다. 일 예에 따른 활성층(133)은 InGa_n/Ga_n 등의 다중 양자 우물 구조를 가질 수 있다.
- [0029] 제 2 반도체층(135)은 활성층(133) 상에 마련되어, 활성층(133)에 정공을 제공한다. 일 예에 따른 제 2 반도체층(135)은 p-GaN계 반도체 물질로 이루어질 수 있으며, p-GaN계 반도체 물질로는 GaN, AlGa_n, InGa_n, 또는 AlInGa_n 등이 될 수 있다. 여기서, 제 2 반도체층(135)의 도핑에 사용되는 불순물로는 Mg, Zn, 또는 Be 등이 이용될 수 있다.
- [0030] 상기 발광소자(130)는 제 1 전극(E1)과 제 2 전극(E2) 사이에 흐르는 전류에 따른 전자와 정공의 재결합에 따라 발광한다. 이때, 발광소자(130)에서 발생하는 광은 제 1 및 제 2 전극(E1, E2) 각각을 투과하여 외부로 방출되어 영상을 표시한다. 발광소자(130)의 제 1 전극(E1)은 애노드 전극, 제 2 전극(E2)은 캐소드 전극으로 지칭될 수 있다.
- [0031] 표시패널(10)의 화소 어레이(Pixel array)에는 도 3a 또는 도 3b와 같이 다수의 수평 화소 라인들(L1~L4)이 구비되며, 각 수평 화소 라인(L1~L4) 상에는 수평으로 이웃하며 게이트 라인들(15a, 15b, 15c)에 공통으로 연결된 복수 개의 화소(PXL)가 배치된다. 여기서, 수평 화소 라인들(L1~L4) 각각은 물리적인 신호 라인이 아니라, 수평으로 이웃한 복수 개의 화소(PXL)에 의해 구현되는 1라인 분량의 화소 블록을 의미한다. 화소 어레이에는 고전위 전원전압(EVDD)을 각각의 화소(PXL)에 공급하는 제 1 전원라인(17), 초기화전압(Vinit)을 각각의 화소(PXL)에 공급하는 제 2 전원라인(16)이 포함될 수 있다. 또한, 각각의 화소(PXL)는 저전위 전원전압(EVSS)에 공통으로 연결될 수 있다.
- [0032] 도 3a 및 도 3b에 도시된 게이트 라인들(15)은 스캔 신호(SC)가 공급되는 제 1 게이트 라인(15a)과 제2 게이트 라인(15b), 및 에미션 신호(EM)가 공급되는 제 3 게이트 라인(15c)을 포함한다. 제_n 수평 화소 라인(L_n)에 배치된 각각의 화소(PXL)에는 제_n 수평 화소 라인(L_n)에 할당된 제_n 스캔 신호(SC_n)와 제_n 에미션 신호(EM_n) 이외에, 제_{n-1} 수평 화소 라인(L_{n-1})에 할당된 제_{n-1} 스캔 신호(SC_{n-1})가 더 공급된다.
- [0033] 도 3a에 도시된 바와 같이, 제_n 수평 화소 라인(L_n)에 포함된 하나의 화소(PXL)와 연결된 제2 게이트 라인(15b)은 수평으로 이웃한 제2 게이트 라인(15b)과는 물리적인 연결 없이, 제_{n-1} 수평 화소 라인(L_{n-1})에 포함된 하나의 화소(PXL)와 연결된 구성일 수 있다. 또는 도 3b에 도시된 바와 같이, 제_n 수평 화소 라인(L_n)에 포함된 각각의 화소(PXL)는 하나의 제2 게이트 라인(15b)을 물리적으로 공유하되, 상기 제2 게이트 라인(15b)은 제1 게이트 구동부(13A)에 포함된 전단 스테이지(G-STG_{n-1})의 출력단과 전기적으로 연결된 구조일 수 있다. 본 발명의 일 실시예에 따른 유기발광 표시장치의 화소 어레이는 상기의 구조에 한정되지 않으며, 개구율 또는 RC

딜레이 특성 등을 고려하여 다른 구성으로 구현될 수 있다.

- [0034] 제 n 수평 화소 라인(L(n))에 포함된 제2 게이트 라인(15b(n))은 제 $n-1$ 수평 화소 라인(L(n-1))에 포함된 제1 게이트 라인(15a(n-1))과 접속되므로, 제2 게이트 라인(15b(n))은 제 $n-1$ 수평 화소 라인(L(n-1))과 가깝게 배치되는 것이 바람직하다.
- [0035] 각각의 화소(PXL)는 다양한 컬러 구현을 위하여 적색 화소, 녹색 화소, 청색 화소, 및 백색 화소 중 어느 하나 일 수 있다. 적색 화소, 녹색 화소, 청색 화소, 및 백색 화소는 하나의 단위 화소를 구성할 수 있다. 단위 화소에서 구현되는 컬러는 적색 화소, 녹색 화소, 청색 화소, 및 백색 화소의 발광 비율에 따라 결정될 수 있다.
- [0036] 소스 드라이버(12)는 매 프레임 마다 타이밍 콘트롤러(11)로부터 수신되는 입력 영상 데이터(DATA)를 데이터전압(Vdata)으로 변환한 후, 그 데이터전압(Vdata)을 데이터 라인들(14)에 공급한다. 소스 드라이버(12)는 입력 영상 데이터(DATA)를 감마 보상 전압으로 변환하는 디지털 아날로그 컨버터(Digital to Analog Converter)를 이용하여 데이터전압(Vdata)을 출력한다.
- [0037] 소스 드라이버(12)는 초기화전압(Vinit)을 생성하여 제 2 전원라인(16)에 공급하고, 고전위 전원전압(EVDD)을 생성하여 제 1 전원라인(17)에 공급할 수 있다. 이를 위해, 소스 드라이버(12)는 전원 생성부(미도시)를 더 포함할 수 있다. 전원 생성부는 저전위 전원전압(EVSS)을 더 생성할 수 있다. 전원 생성부는 소스 드라이버(12) 외부에 장착된 후에 도전성 필름 등을 통해 소스 드라이버에 전기적으로 연결될 수도 있다.
- [0038] 게이트 드라이버(13)는 GIP(Gate-driver In Panel) 공정으로 화소 어레이와 함께 표시패널(10)의 기판 상에 직접 형성될 수 있으나 그에 한정되지 않는다. 게이트 드라이버(13)는 IC 타입으로 제작된 후 도전성 필름을 통해 표시패널(10)에 접합될 수도 있다.
- [0039] 도 4에 도시된 바와 같이, 게이트 드라이버(13)는 제1 게이트 구동부(13A)와 제2 게이트 구동부(13B)를 포함할 수 있다.
- [0040] 제1 게이트 구동부(13A)는 수평 화소 라인(L1~Ln)의 개수만큼의 제1 스테이지들(G-STG1~G-STGn)을 가지며, 타이밍 콘트롤러(11)의 제어 하에 스캔 신호들(SC(1)~SC(n))을 출력하여 데이터 전압(Vdata)이 충전되는 수평 화소 라인(L1~Ln)을 선택한다. 제1 게이트 구동부(13A)는 쉬프트 레지스터(Shift register)로 구현되고 제1 출력 노드들을 통해 스캔 신호들(SC(1)~SC(n))을 제1 게이트 라인들(15a(1)~15a(n)) 또는 제2 게이트 라인들(15b(1)~15b(n))에 순차적으로 공급할 수 있다.
- [0041] 제2 게이트 구동부(13B)는 수평 화소 라인(L1~Ln)의 개수만큼의 제2 스테이지들(E-STG1~E-STGn)을 가지며, 타이밍 콘트롤러(11)의 제어 하에 에미션 신호들(EM(1)~EM(n))을 출력하여 데이터 전압(Vdata)이 충전되는 수평 화소 라인(L1~Ln)의 발광 타이밍을 제어한다. 제2 게이트 구동부(13B)는 쉬프트 레지스터와 인버터를 포함하고 제2 출력 노드들을 통해 에미션 신호들(EM(1)~EM(n))을 제3 게이트 라인들(15c(1)~15c(n))에 순차적으로 공급할 수 있다.
- [0042] 도 4를 참조하면, G-DUM, E-DUM, G-MNT, 및 E-MNT 는 더미 스테이지를 의미하고, L Dummy 는 더미 화소라인을 지시한다. 그리고, 스테이지들에 인가되는 VGH 및 VGL은 구동 전원을 의미하며, VGH는 게이트 하이전압을, 그리고 VGL은 게이트 로우전압을 지시한다. 더미 스테이지와 더미 화소라인은 선택적으로 포함하거나 제외될 수 있다. 더미 화소라인의 화소는 수평 화소라인의 화소(PXL)와 유사하나, 발광하지 않도록 구성될 수 있다. 즉, 더미 화소라인은 발광소자를 포함하지 않거나 또는, 데이터전압을 인가받지 않도록 구성되거나 또는, 스캔신호와 에미션신호를 인가받지 않도록 구성될 수 있다.
- [0043] 게이트 드라이버(13)의 제1 출력 노드들 중 어느 하나와 제2 출력 노드들 중 어느 하나를 포함한 2개의 출력 노드들이 매 수평 화소 라인(L1~Ln)에 연결될 수 있다. 특히 게이트 드라이버(13)의 구성이 간소해지도록, 제1 출력 노드들 각각은 이웃한 2개의 수평 화소 라인들에 공통으로 연결될 수 있다. 각 수평 화소라인(L1~Ln)의 화소(PXL)는 서로 다른 온 타이밍을 갖는 복수 개의 게이트신호가 필요하다. 예를 들어, 제 n 수평 화소라인(Ln)에 대응되는 화소(PXL)는 2개의 스캔신호와 1개의 에미션신호가 필요하다. 이 때, 상기 2개의 스캔신호는 1개의 드라이버 출력인 제 $n-1$ 스캔신호(SC(n-1))와 제 n 스캔신호(SC(n))이며, 상기 1개의 에미션신호는 제 n 에미션신호(EM(n))로 구현할 수 있다. 이에 따라, 2개의 드라이버만으로 단일 화소(PXL)를 구동시킬 수 있으므로, 게이트 드라이버(13)의 구성이 간소화되는 이점이 있다. 이 경우, 제 n 스캔 신호(SC(n))와 제 $n-1$ 스캔 신호(SC(n-1))는 펄스 폭이 동일하고 위상이 서로 다르다.
- [0044] 타이밍 콘트롤러(11)는 도시하지 않은 호스트 시스템으로부터 입력 영상의 디지털 데이터(DATA)와, 그와 동기되

는 타이밍 신호를 수신한다. 타이밍 신호는 수직 동기신호(Vsync), 수평 동기신호(Hsync), 도트 클럭 신호(DCLK) 및 데이터 인에이블신호(DE) 등을 포함한다. 호스트 시스템은 TV(Television) 시스템, 셋톱박스, 네비게이션 시스템, DVD 플레이어, 개인용 컴퓨터(PC), 폰 시스템(Phone system) 중 어느 하나일 수 있다.

- [0045] 타이밍 컨트롤러(11)는 입력 프레임 주파수를 i 배 체배하여 입력 프레임 주파수 $\times i$ (i 는 0 보다 큰 양의 정수) Hz의 프레임 주파수로 표시패널 구동회로(12,13)의 동작 타이밍을 제어할 수 있다. 입력 프레임 주파수는 NTSC(National Television Tandarads Committee) 방식에서 60Hz이며, PAL(Phase-Alternating Line) 방식에서 50Hz이다.
- [0046] 타이밍 컨트롤러(11)는 호스트 시스템으로부터 수신된 타이밍 신호(Vsync, Hsync, DE)를 바탕으로 소스 드라이버(12)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어 신호(DDC)와, 게이트 드라이버(13)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어 신호(GDC)를 생성한다.
- [0047] 도 5는 도 3a 또는 도 3b에 도시된 화소의 일 실시예에 따른 등가회로이다.
- [0048] 도 5를 참조하면, 본 발명의 화소(PXL)는, 발광소자(130), 복수 개의 트랜지스터(T1~T5, DT) 및 스토리지 커패시터(C)를 포함한다. 복수 개의 트랜지스터(T1~T5, DT)는 PMOS형(P형금속산화막반도체, P-channel Metal Oxide Semiconductor) TFT로 구현될 수 있고, 이를 통해 원하는 응답 특성을 확보할 수 있다. 다만, 본 발명의 기술적 사상은 이에 한정되지 않는다. 예를 들어, 복수 개의 트랜지스터(T1~T5) 중에서 적어도 하나의 트랜지스터는 오프 커런트(Off-current) 특성이 좋은 NMOS형(N형금속산화막반도체, N-channel Metal Oxide Semiconductor) TFT로 구현되고, 나머지 트랜지스터들은 응답 특성이 좋은 PMOS형 TFT로 구현될 수도 있다.
- [0049] 이하, 제 n 수평 화소 라인(L(n)) 상에 배치된 일 화소(PXL)의 접속 구성을 구체적으로 설명한다.
- [0050] 발광소자(130)는 구동 트랜지스터(DT)의 게이트-소스 전압(V_{gs})에 따라 조절되는 전류량으로 발광한다. 발광소자(130)의 애노드 전극은 제3 트랜지스터(T3)의 드레인 전극과 접속되고, 발광소자(130)의 캐소드 전극은 저전위 전원전압(EVSS)에 접속된다.
- [0051] 구동 트랜지스터(DT)는 게이트-소스 전압(V_{gs})에 따라 발광소자에 흐르는 전류를 조절하는 구동 소자이다. 구동 트랜지스터(DT)는 노드 N2에 접속된 게이트 전극, 제 1 전원라인(17)에 접속된 소스 전극, 및 노드 N3에 접속된 드레인 전극을 포함한다.
- [0052] 제1 트랜지스터(T1)는 노드 N2와 상기 노드 N3 사이에 접속되며, 제 n 스캔신호(SC(n))에 따라 스위칭된다. 제1 트랜지스터(T1)의 게이트 전극은 제 n 스캔신호(SC(n))가 인가되는 n 번째 제1 게이트라인(15a(n))에 접속되고, 제1 트랜지스터(T1)의 소스 전극은 노드 N3에 접속되며, 제1 트랜지스터(T1)의 드레인 전극은 노드 N2에 접속된다.
- [0053] 제2 트랜지스터(T2)는 데이터라인(14)과 노드 N1 사이에 접속되며, 제 n 스캔신호(SC(n))에 따라 스위칭된다. 제2 트랜지스터(T2)의 게이트 전극은 제 n 스캔신호(SC(n))가 인가되는 n 번째 제1 게이트라인(15a(n))에 접속되고, 제2 트랜지스터(T2)의 소스 전극은 데이터라인(14)에 접속되며, 제2 트랜지스터(T2)의 드레인 전극은 노드 N1에 접속된다.
- [0054] 제3 트랜지스터(T3)는 노드 N3 과 발광소자(130) 사이에 접속되며, 제 n 에미션신호(EM(n))에 따라 스위칭된다. 제 3 트랜지스터(T3)의 게이트 전극은 제 n 에미션신호(EM(n))가 인가되는 n 번째 제 3 게이트라인(15c(n))에 접속되고, 제3 트랜지스터(T3)의 소스 전극은 노드 N3 에 접속되며, 제 3 트랜지스터(T3)의 드레인 전극은 발광소자(130)의 애노드 전극에 접속된다.
- [0055] 제 4 트랜지스터(T4)는 노드 N3 과 제 2 전원라인(16) 사이에 접속되며, 제 $n-1$ 스캔신호(SC($n-1$))에 따라 스위칭된다. 제 4 트랜지스터(T4)의 게이트 전극은 제 $n-1$ 스캔신호(SC($n-1$))가 인가되는 n 번째 제 2 게이트라인(15b(n))에 접속되고, 제 4 트랜지스터(T4)의 소스 전극은 제 2 전원라인(16)에 접속되며, 제 4 트랜지스터(T4)의 드레인 전극은 노드 N3 에 접속된다.
- [0056] 제 5 트랜지스터(T5)는 노드 N1 과 제 2 전원라인(16) 사이에 접속되며, 제 n 에미션신호(EM(n))에 따라 스위칭된다. 제5 트랜지스터(T5)의 게이트 전극은 제 n 에미션신호(EM1(n))가 인가되는 n 번째 제 3 게이트라인(15c(n))에 접속되고, 제 5 트랜지스터(T5)의 소스 전극은 제 2 전원라인(16)에 접속되며, 제 5 트랜지스터(T5)의 드레인 전극은 노드 N1 에 접속된다.
- [0057] 스토리지 커패시터(C)는 노드 N1 과 노드 N2 사이에 접속된다.

- [0058] 도 6은 도 5에 도시된 화소에 입력되는 구동 신호들의 전위 변화를 보여주는 파형도이다. 도 7a 내지 도 7f는 도 6의 제 0 구간(A) 내지 제 5 구간(F)에 각각 대응되는 화소의 등가 회로도이다.
- [0059] 도 6을 참조하면, 제 n 수평 화소 라인(Ln) 상에 배치된 각각의 화소(PXL)는, 제 0 구간(A) 내지 제 5 구간(F)에 따라 구동된다.
- [0060] 제 1 구간(B) 및 제 2 구간(C)은 특정 노드를 리셋시키는 초기화 구간이다. 그리고 제 3 구간(D)은 구동 트랜지스터(DT)의 문턱전압(Threshold voltage; Vth)을 샘플링하기 위한 보상 구간이다. 그리고 제 4 구간(E)은 각 노드들의 전압이 직전 구간인 제 3 구간(D)과 동일한 상태로 유지되는 홀딩 구간이다. 그리고 제 5 구간(F) 및 제 1 구간(A)은 발광소자(130)가 발광하는 발광 구간이다.
- [0061] 데이터 라인(14)를 통해 데이터전압(Vdata)이 인가된다. 도 6에 도시된 데이터전압(Vdata)은 제 n 수평 화소 라인(L(n))에 인가되는 신호를 나타낸다.
- [0062] 제 n 스캔신호(SC(n))는 제 n 수평 화소 라인(L(n)) 및 제 n+1 수평 화소 라인(L(n+1))에 포함된 각 화소(PXL)와 연결된다. 하나의 수평 화소 라인에 해당하는 시간(1H)보다 α 만큼 긴 구간 동안 로우전압으로 출력된다.
- [0063] 제 n-1 스캔신호(SC(n-1))는 제 n-1 수평 화소 라인(L(n-1)) 및 제 n 수평 화소 라인(L(n))에 포함된 각 화소(PXL)와 연결된다. 제 n-1 스캔신호(SC(n-1))는 제 n 스캔신호(SC(n))보다 위상이 앞서며, 듀티비(Duty ratio) 및 주기(Cycle)는 제 n 스캔신호(SC(n))와 동일하다. 듀티비는 로우전압으로 유지되는 시간에 대한 하이전압으로 유지되는 시간의 비(Ratio)이다. 또한, 제 n-1 스캔신호(SC(n-1))의 펄스는 제 n 스캔신호(SC(n))의 펄스와 α 만큼 중첩된다.
- [0064] 각 화소(PXL)에 포함된 트랜지스터가 PMOS형 TFT일 경우, 제 n 에미션신호(EM(n))의 듀티비는 1보다 작고, 제 n 스캔신호(SC(n)) 및 제 n-1 스캔신호(SC(n-1))의 듀티비는 1보다 크다.
- [0065] 도 6 및 도 7a를 참조하면, 제 0 구간(A) 동안 제 n 스캔신호(SC(n)) 및 제 n-1 스캔신호(SC(n-1))는 오프 레벨(OFF)로 입력되고, 제 n 에미션신호(EM(n))는 온 레벨(ON)로 입력된다.
- [0066] 제 0 구간(A) 동안 온 레벨(ON)의 제 n 에미션신호(EM(n))에 응답하여 제 5 트랜지스터(T5)가 턴 온 된다. 이에 따라 노드 N1은 초기화전압(Vinit)이 인가되어 이전 구간과 동일한 전압으로 유지된다. 한편, 오프 레벨(OFF)의 제 n 스캔신호(SC(n))에 응답하여 제 2 트랜지스터(T2)가 턴 오프 되고 노드 N1이 초기화전압(Vinit)으로 유지될 수 있도록 한다.
- [0067] 제 0 구간(A) 동안 제 3 트랜지스터(T3)는 제 n 에미션신호(EM(n))에 응답하여 턴 온 된다. 이에 따라, 제 3 트랜지스터(T3)는 제 5 구간(F)에 이어 발광소자(130)가 발광될 수 있도록 턴 온 상태로 유지된다. 한편, 발광소자(130)가 발광상태를 유지할 수 있도록, 제 1 트랜지스터(T1) 및 제 4 트랜지스터(T4)는 각각 제 n 스캔신호(SC(n)) 및 제 n-1 스캔신호(SC(n-1))에 응답하여 턴 오프 상태로 유지된다.
- [0068] 초기화전압(Vinit)은 고전위 전원전압(EVDD)보다 낮은 전압이고, 저전위 전원전압(EVSS)보다 높은 전압으로 설정될 수 있다. 제 0 구간(A) 동안 구동 트랜지스터(DT)의 게이트-소스 전압(Vgs)은 구동 트랜지스터(DT)의 문턱전압(Vth)보다 작으므로 구동 트랜지스터(DT)는 턴 온 조건을 만족한다.
- [0069] 표 1을 참조하면, 제 0 구간(A) 동안 노드 N1의 전위는 초기화전압(Vinit)이 되고, 노드 N2, 및 노드 N3의 전위는 직전 구간인 제 5 구간(F)에서의 전압으로 유지된다.
- [0070] 도 6 및 도 7b를 참조하면, 제 1 구간(B)에서 제 n 스캔신호(SC(n)) 및 제 n 에미션신호(EM(n))는 오프 레벨(OFF)로 입력되고, 제 n-1 스캔신호(SC(n-1))는 온 레벨(ON)로 입력된다.
- [0071] 제 1 구간(B) 동안 온 레벨(ON)의 제 n-1 스캔신호(SC(n-1))에 응답하여 제 4 트랜지스터(T4)는 턴 온 된다. 이에 따라, 노드 N3은 초기화전압(Vinit)으로 리셋된다. 더불어, 제 n 에미션신호(EM(n))에 대응하여 제 3 트랜지스터(T3)는 턴 오프 된다. 따라서, 발광소자(130)는 발광을 중지하고 노드 N3은 초기화전압(Vinit)으로 유지된다.
- [0072] 특히, 제 3 트랜지스터(T3)는 노드 N3의 초기화전압(Vinit)이 발광소자(130)의 애노드 전극에 인가되지 않도록 제어한다. 즉, 제 3 트랜지스터(T3)는 발광소자(130)가 초기화전압(Vinit)으로 인해 발광하지 않도록 제어한다. 발광소자(130)가 무기소자(예를 들어, LED)일 경우, 발광을 시작하는 최소 전압인 문턱전압(Vth)이 유기소자(예를 들어, OLED)의 문턱전압(Vth)에 비해 낮을 수 있다. 이에 따라, 초기화전압(Vinit)으로도 발광소자(130)는

발광하여 빛샘 현상이 발생할 수 있다. 본 발명의 전계발광 표시장치는 발광소자(130)의 종류에 상관없이 의도치 않는 시간에 발광소자(130)가 발광하지 않도록 제어할 수 있다.

- [0073] 한편, 제 1 구간(B) 동안 제 1 트랜지스터(T1) 및 제 2 트랜지스터(T2)는 턴 오프 상태로 유지되고, 제 5 트랜지스터(T5)는 오프 레벨(OFF)의 제 n 에미션신호(EM(n))에 대응하여 턴 오프 상태로 변한다. 따라서, 스토리지 커패시터(C) 양단인 노드 N1 및 노드 N2는 이전 구간 동안에서의 전압으로 유지된다.
- [0074] 도 6 및 도 7c를 참조하면, 제 2 구간(C)에서 제 n 스캔신호(SC(n)) 및 제 n-1 스캔신호(SC(n-1))는 온 레벨(ON)로 입력되고, 제 n 에미션신호(EM(n))는 오프 레벨(OFF)로 입력된다.
- [0075] 제 2 구간(C) 동안 온 레벨(ON)의 제 n 스캔신호(SC(n))에 응답하여 제 1 트랜지스터(T1)가 턴 온 된다. 제 1 트랜지스터(T1)가 턴 온 됨에 따라 구동 트랜지스터(DT)의 게이트전극과 드레인전극이 쇼트되어 구동 트랜지스터(DT)가 다이오드 결선(Diode-connection)된다. 한편, 제 n-1 스캔신호(SC(n-1))에 대응하여 제 4 트랜지스터(T4)가 턴 온 되고, 제 n 에미션신호(EM(n))에 대응하여 제 3 트랜지스터(T3)가 턴 오프 상태로 유지됨에 따라, 제 2 전원라인(16)으로부터 노드 N2 에 이르기까지 전류패스가 형성된다. 따라서, 제 2 구간(C) 동안 노드 N2 및 노드 N3는 초기화전압(Vinit)으로 리셋된다.
- [0076] 또한 제 3 트랜지스터(T3)는, 제 2 구간(C) 동안 노드 N2 및 노드 N3가 초기화전압(Vinit)으로 온전히 리셋될 수 있도록 노드 N3와 발광소자(130)의 연결을 차단한다.
- [0077] 한편, 온 레벨(ON)의 제 n 스캔신호(SC(n))에 응답하여 제 2 트랜지스터(T2)가 턴 온 되고, 오프 레벨(OFF)의 제 n 에미션신호(EM(n))에 대응하여 제 5 트랜지스터(T5)는 턴 오프 상태로 유지된다. 이에 따라, 노드 N1은 초기화전압(Vinit)에서 데이터전압(Vdata)으로 상승된다 그리고 제 5 트랜지스터(T5)는 제 2 구간(C) 동안 초기화전압(Vinit)이 유입되지 않도록 제어함으로써, 노드 N1은 데이터전압(Vdata)으로 유지된다.
- [0078] 도 6 및 도 7d를 참조하면, 제 3 구간(D)에서 제 n 스캔신호(SC(n))는 온 레벨(ON)로 입력되고, 제 n-1 스캔신호(SC(n-1)) 및 제 n 에미션신호(EM(n))는 오프 레벨(OFF)로 입력된다.
- [0079] 제 3 구간(D) 동안 제 2 트랜지스터(T2) 및 제 5 트랜지스터(T5)는 이전 구간과 동일한 상태로 유지되고, 이에 따라 노드 N1 은 데이터전압(Vdata)으로 유지된다. 한편, 제 n 스캔신호(SC(n))는 이전 구간과 동일한 온 레벨(ON)로 유지되어, 제 1 트랜지스터(T1)는 턴 온 상태로 유지된다. 반면, 오프 레벨(OFF)의 제 n-1 스캔신호(SC(n-1))에 대응하여 제 4 트랜지스터(T4)는 턴 오프 된다. 이에 따라, 구동 트랜지스터(DT)의 다이오드 결선에 의해 구동 트랜지스터(DT)의 문턱전압(Vth)이 보상되어 노드 N2 및 노드 N3의 전위는 “EVDD + Vth” 가 된다.
- [0080] 제 3 구간(D) 동안 제 3 트랜지스터(T3)는 이전 구간과 동일하게 턴 오프 상태로 유지되고, 발광소자(130)은 발광하지 않는다.
- [0081] 도 6 및 도 7e를 참조하면, 제 4 구간(E)에서 제 n 스캔신호(SC(n)), 제 n-1 스캔신호(SC(n-1)) 및 제 n 에미션신호(EM(n))는 오프 레벨(OFF)로 입력된다.
- [0082] 제 4 구간(E) 동안 제 1 내지 제 5 트랜지스터(T1~T5)는 턴 오프 된다. 이에 따라, 노드 N1, 노드 N2, 및 노드 N3는 직전 구간의 전위 상태로 유지된다.
- [0083] 도 6 및 도 7f를 참조하면, 제 5 구간(F; 발광 구간)에서 제 n 스캔신호(SC(n)) 및 제 n-1 스캔신호(SC(n-1))는 오프 레벨(OFF)로 입력되고, 제 n 에미션신호(EM(n))는 온 레벨(ON)로 입력된다. 제 0 구간(A) 및 제 5 구간(F)은 구동방법의 이해를 돕기 위해 구분하여 설명하였으나, 제 0 구간(A)은 제 5 구간(F)과 실질적으로 동일하다.
- [0084] 제 5 구간(F) 동안 제 2 트랜지스터(T2)는 턴 오프 상태로 유지되는 반면, 제 5 트랜지스터(T5)는 턴 온 상태로 바뀌면서 노드 N1의 전위는 데이터전압(Vdata)에서 초기화전압(Vinit)으로 하강한다.
- [0085] 한편, 제 5 구간(F) 동안 노드 N2는 플로팅(Floating) 상태가 되어 스토리지 커패시터(C)를 통해 노드 N1과 커플링된다. 따라서, 노드 N1의 전위 변화분인 “Vdata - Vinit” 만큼의 값은 노드 N2에 반영된다. 그 결과 제 5 구간(F) 동안 노드 N2의 전위는 직전 구간인 제 4 구간(E) 동안의 “EVDD + Vth” 에 비해 “Vdata - Vinit” 만큼 낮아진다. 즉, 제 5 구간(F) 동안 노드 N2의 전위는 “EVDD + Vth - Vdata + Vinit” 이 된다. 한편, 제 5 구간(F) 동안 노드 N3의 전위는 데이터전압(Vdata)에 비례하며 구동 트랜지스터(DT)의 소자 특성에 따라 달라질 수 있다.

[0086] 상기에서 설명한 일련의 과정을 통해, 발광소자(130)의 구동 전류량을 결정하는 구동 트랜지스터(DT)의 게이트-소스 전압(Vgs)이 설정된다. 이 때, 발광소자(130)에는 아래의 수학적 식 1과 같은 구동 전류(I)가 흐르게 된다.

[0087] [수학적 식 1]

[0088] $I = K(V_{gs} - V_{th})^2$

[0089] $= K\{((EVDD + V_{th} - V_{data} + V_{init}) - EVDD) - V_{th}\}^2$

[0090] $= K(V_{data} - V_{init})^2$

[0091] 여기서, K는 구동 트랜지스터(DT)의 이동도, 채널비, 기생 용량 등에 의해 결정되는 상수값이고, Vth는 구동 트랜지스터(DT)의 문턱전압(Vth)이다.

[0092] 수학적 식 1에서 알 수 있는 바와 같이, 발광소자(130)의 구동 전류(I)가 구동 트랜지스터(DT)의 문턱전압(Vth) 뿐 아니라 고전위 전원전압(EVDD)에 영향을 받지 않게 된다. 본 발명의 실시예는 발광소자(130)의 구동 전류(I)가 고전위 전원전압(EVDD)에 영향을 받지 않으므로, 제 1 전원라인(17)의 저저항 설계 없이 또는 제 1 전원라인(17)을 메쉬(mesh) 형태로 구성하지 않고도 화면 전체에서 화소들의 휘도와 색감을 균일하게 할 수 있다. 또한, 본 발명의 실시예는 초기화전압(Vinit)의 전위를 저전위 전원전압(EVSS)보다 낮게 설정하지 않고도 빛샘 불량을 해결할 수 있다. 이에 의해, 본 발명은 화소 크기가 작은 고해상도 패널에서 균일한 화질을 구현하는데 매우 유리하다. 그리고, 본 발명은 휘도 및 화질이 향상된 대화면의 패널을 제공할 수 있는 효과가 있다.

[0093] 표 1은 제 0 구간(A) 내지 제 5 구간(F)에서의 노드 N1, 노드 N2, 및 노드 N3의 이상적인 전압을 정리한 표이다.

표 1

	A	B	C	D	E	F
N1	Vinit	유지	Vdata	Vdata	유지	Vinit
N2	유지	유지	Vinit	EVDD+Vth	유지	EVDD+Vth-Vdata+Vinit
N3	유지	Vinit	Vinit	EVDD+Vth	유지	

[0094]

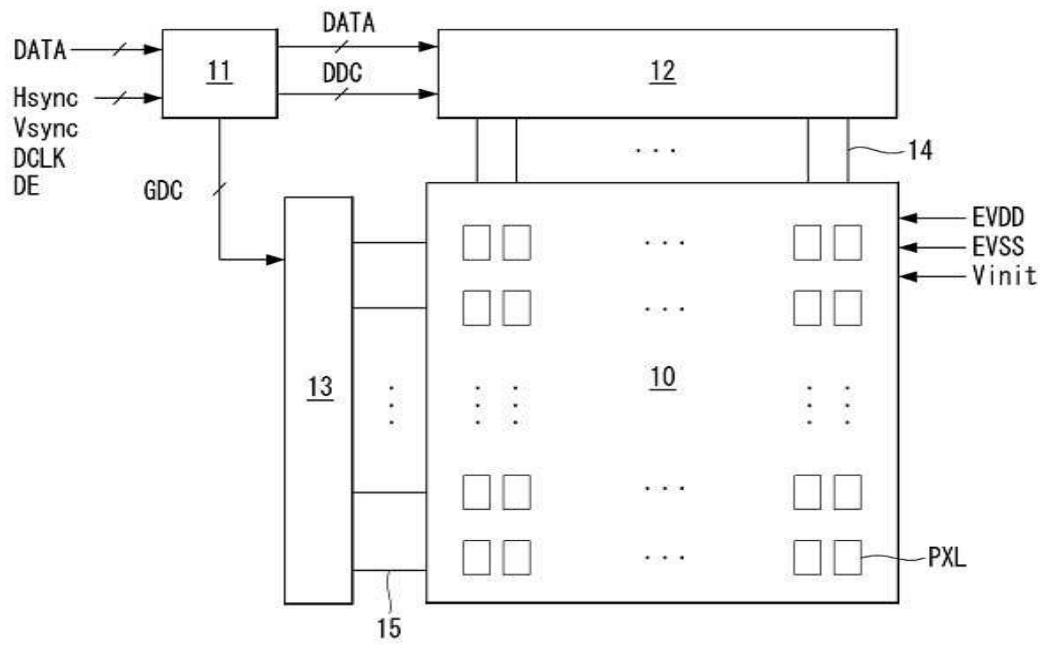
[0095] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

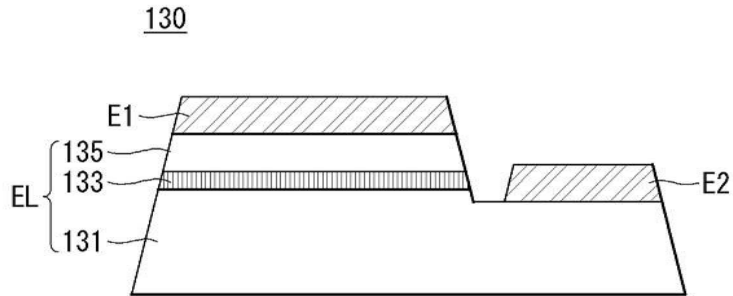
- [0096] 10 : 표시패널 11 : 타이밍 콘트롤러
 12 : 소스 드라이버 13 : 게이트 드라이버
 130 : 발광소자

도면

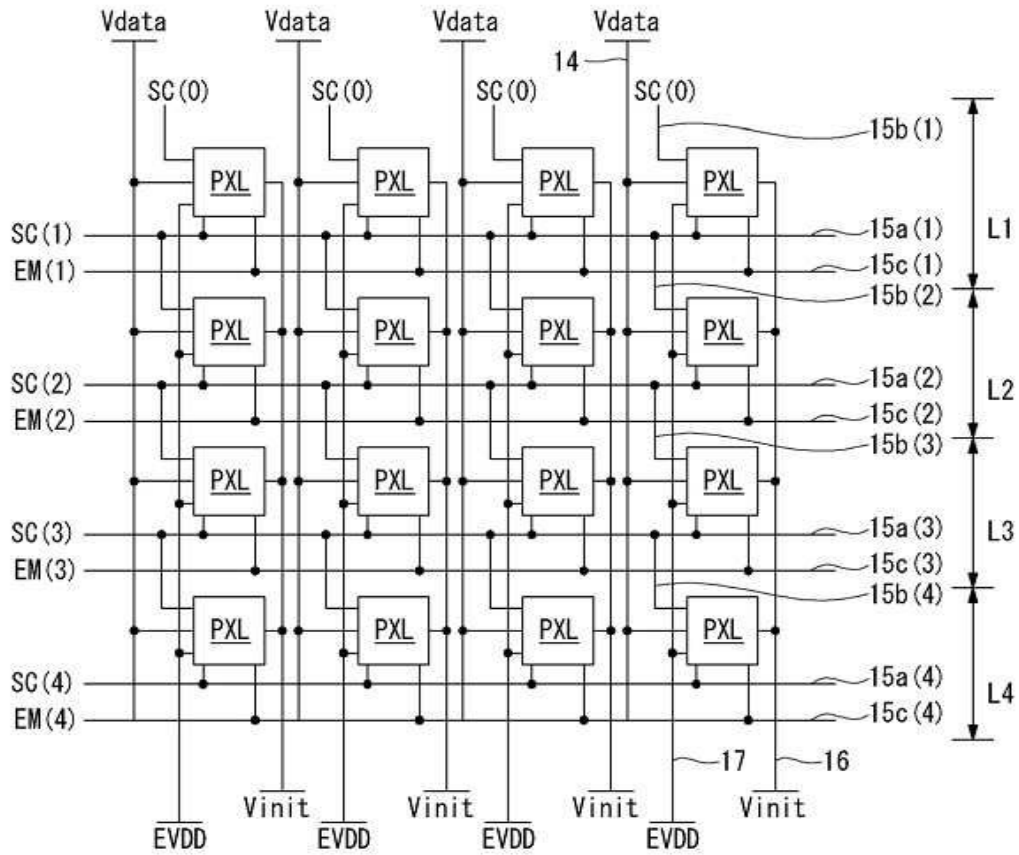
도면1



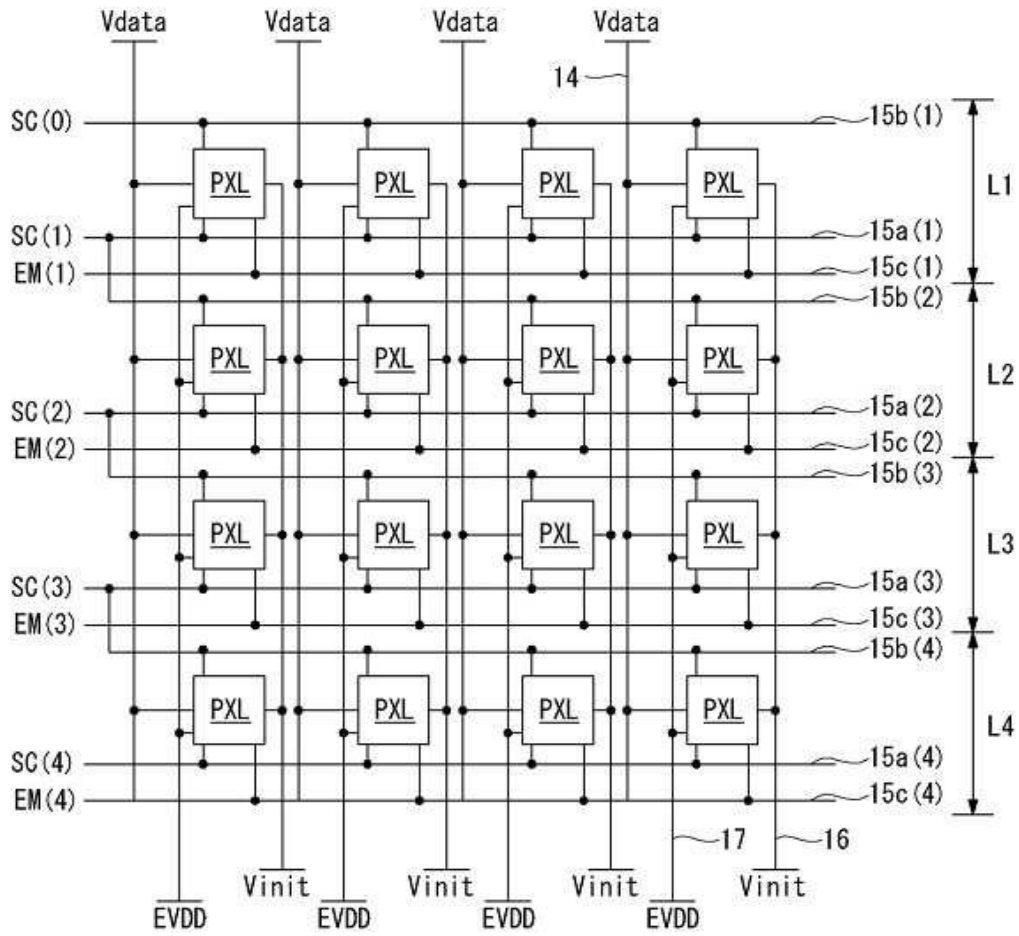
도면2



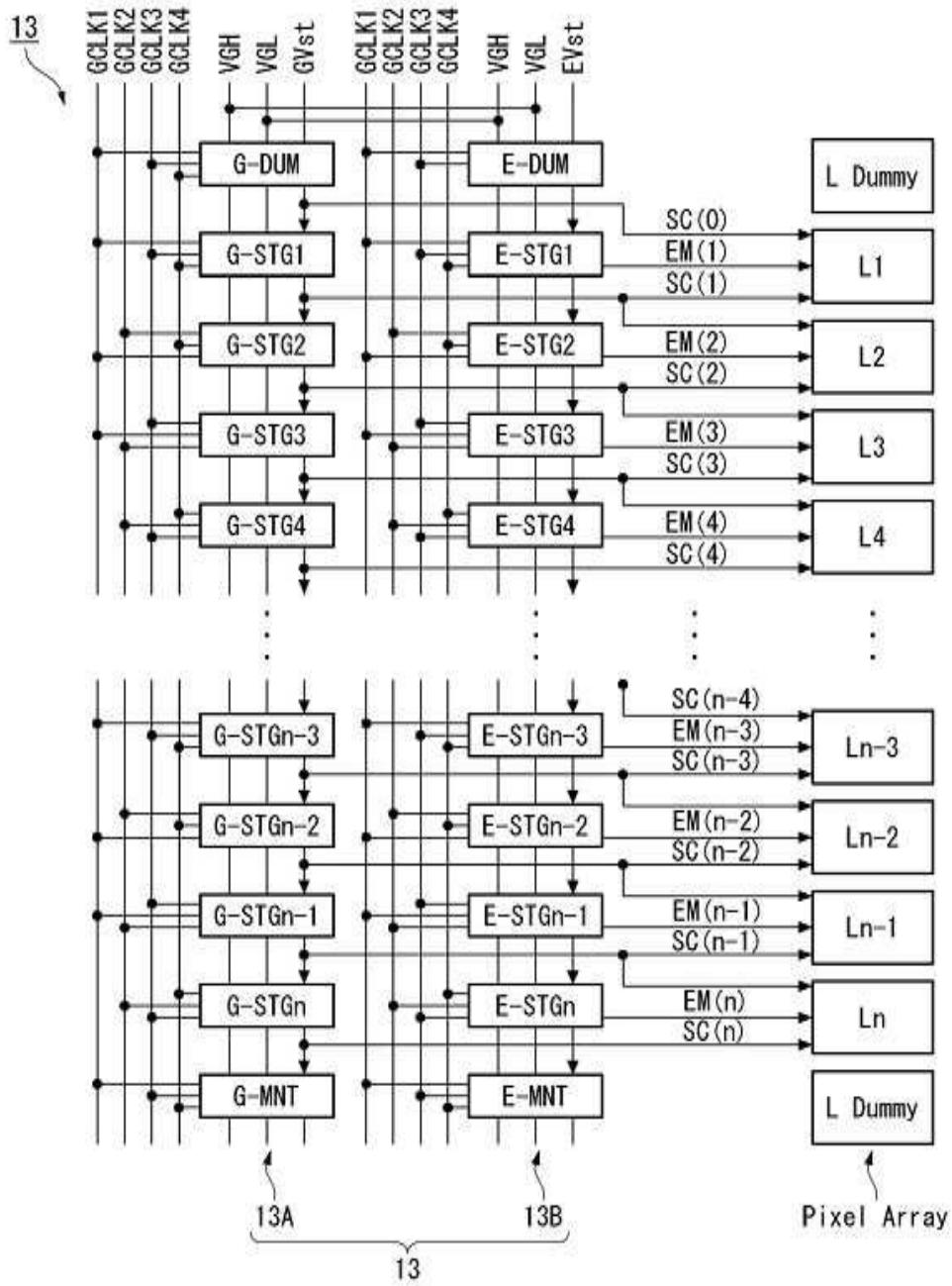
도면3a



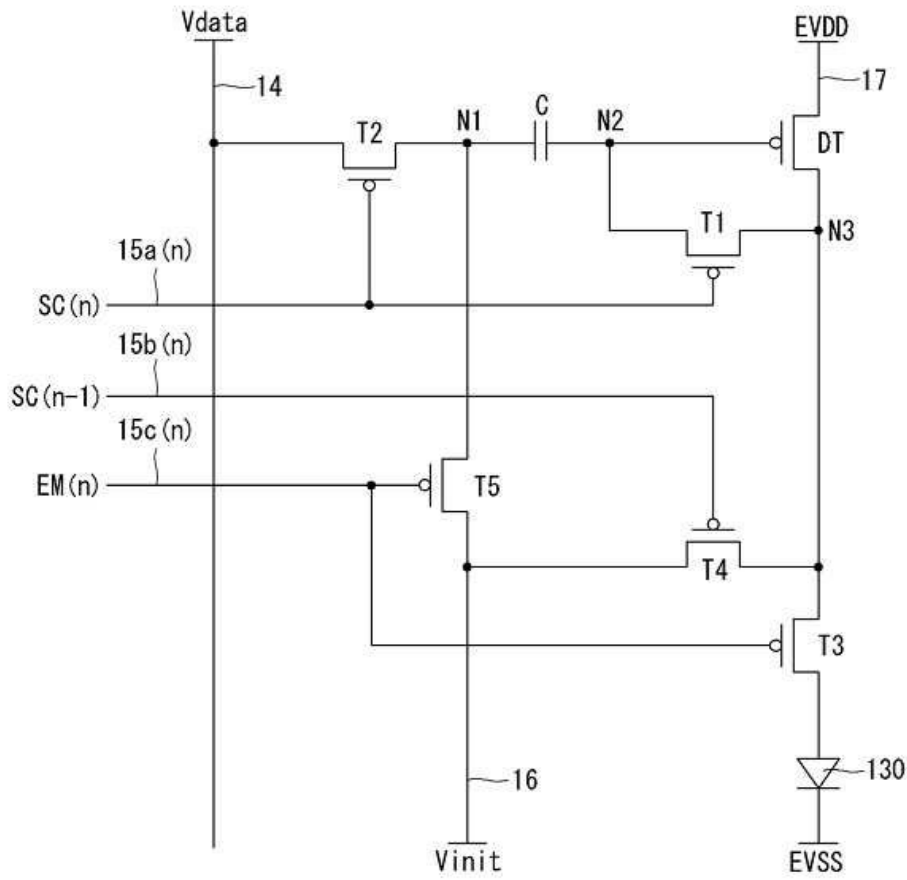
도면3b



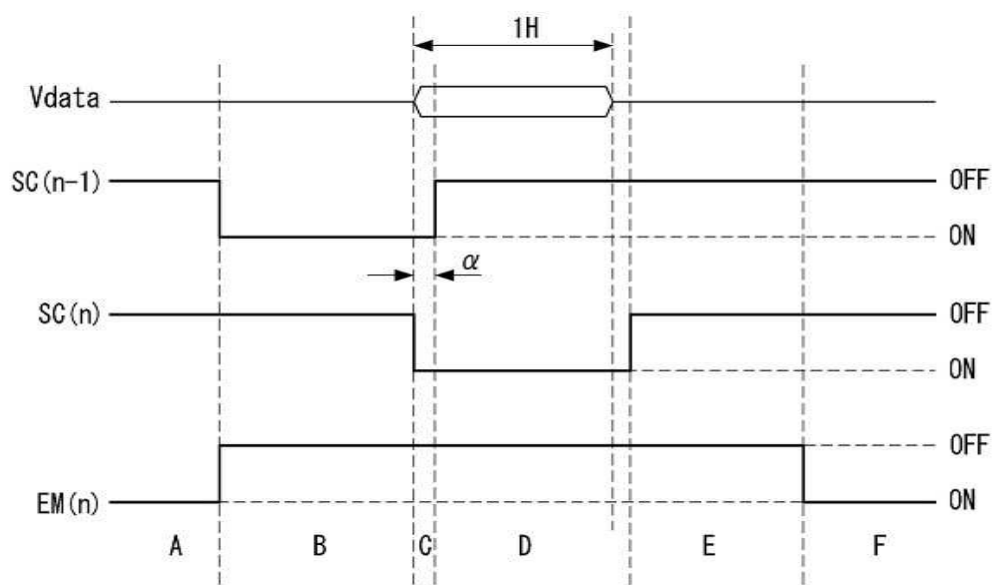
도면4



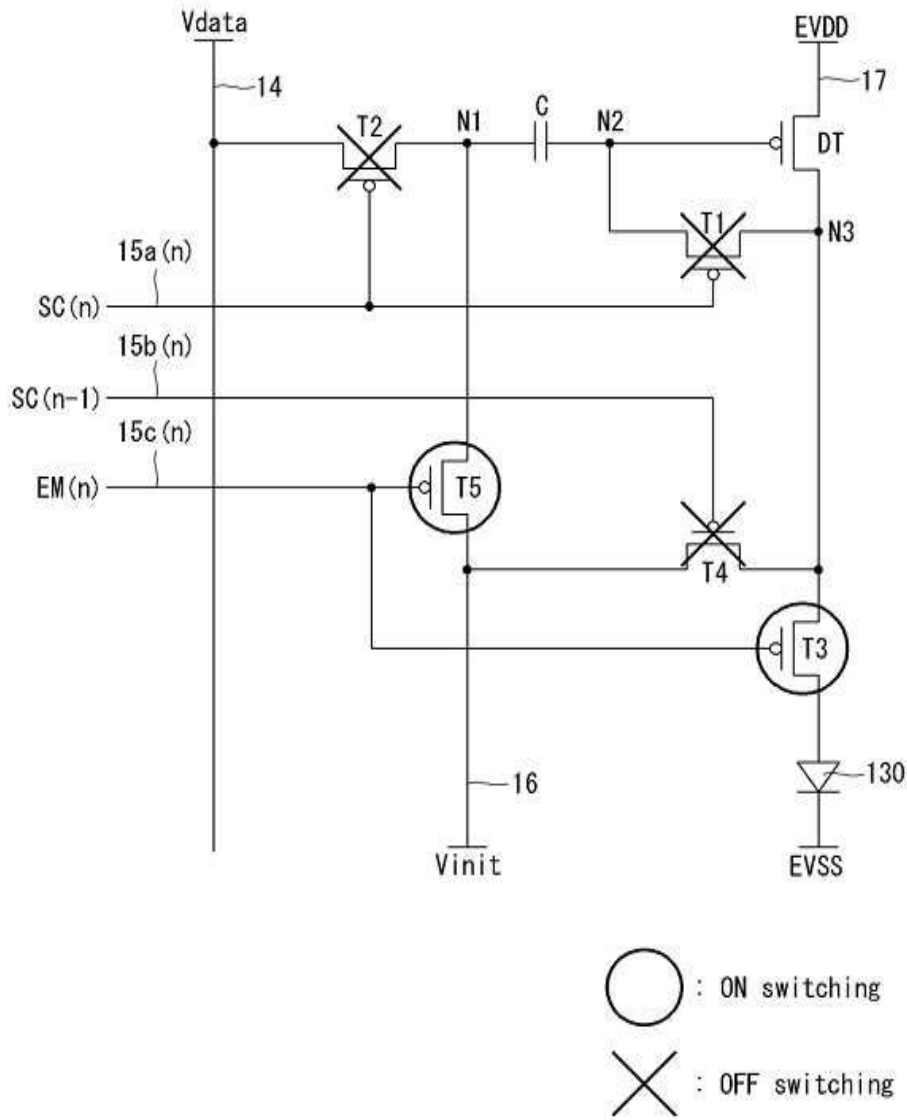
도면5



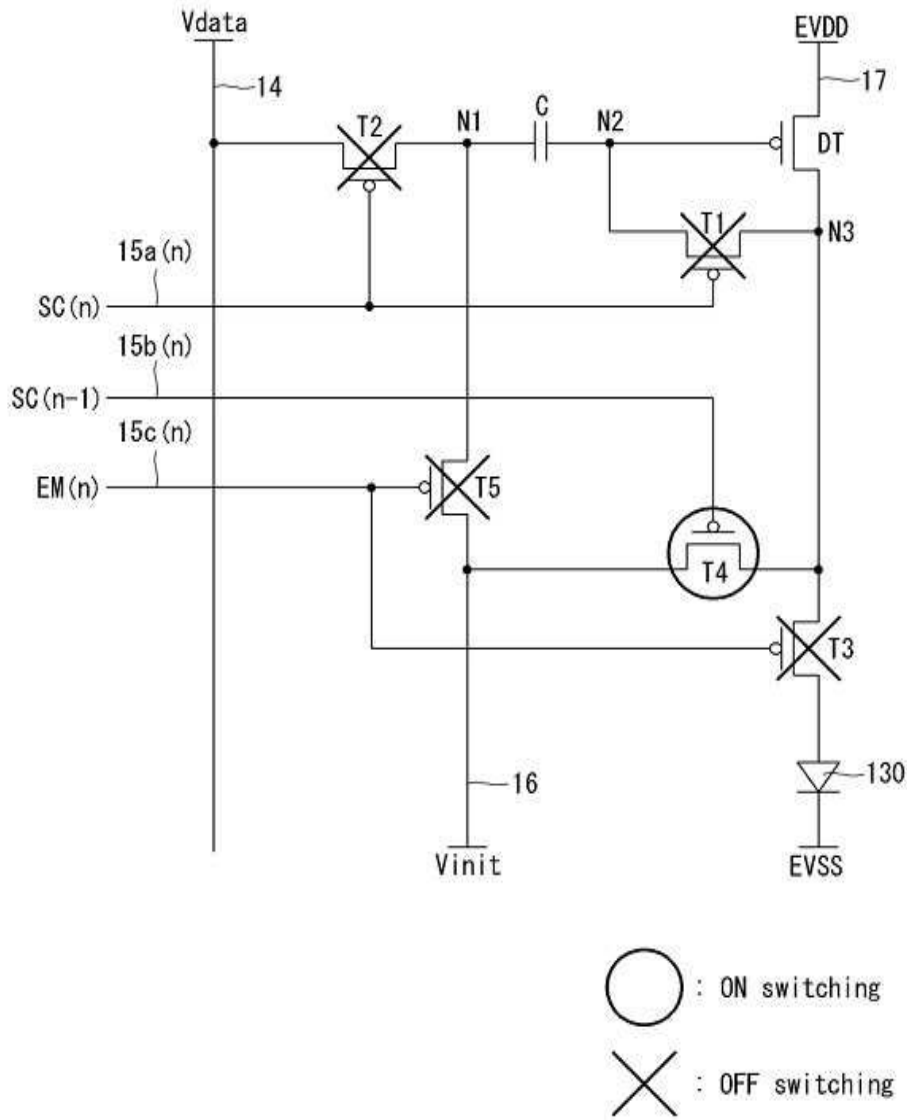
도면6



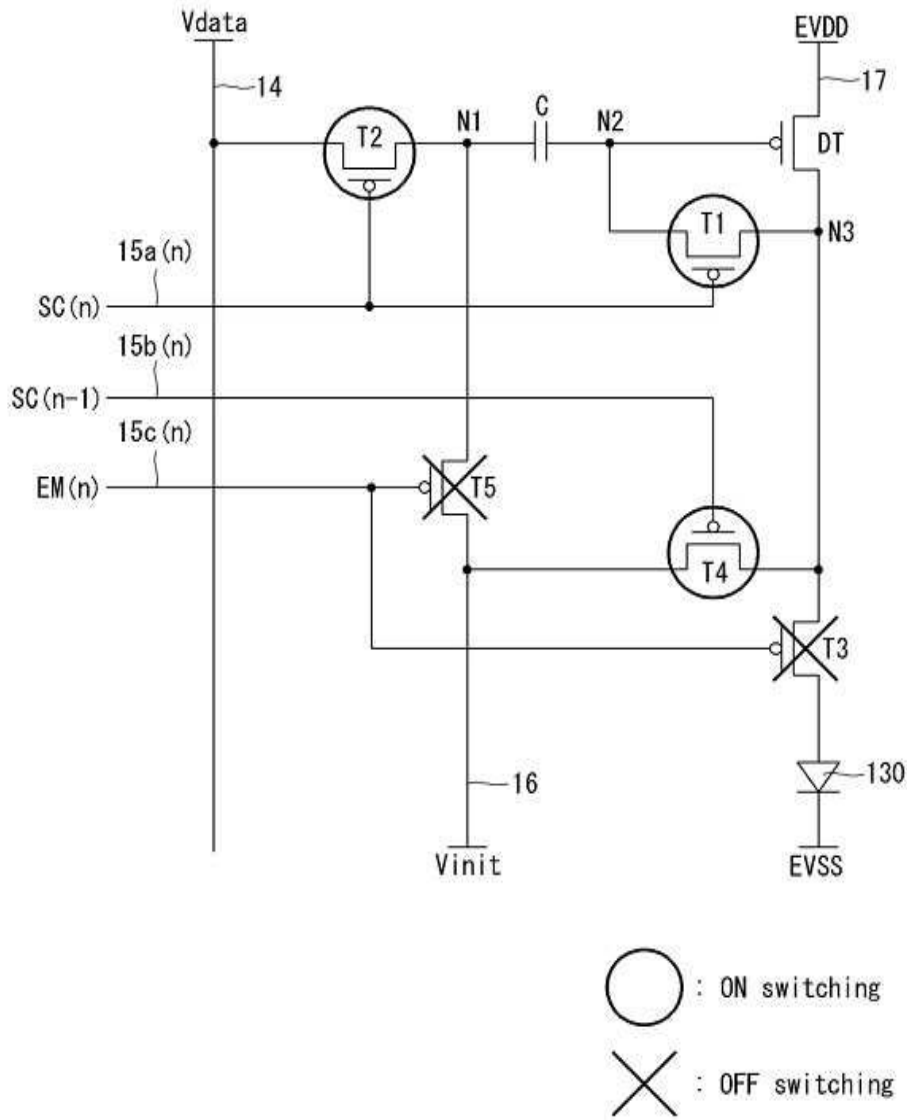
도면7a



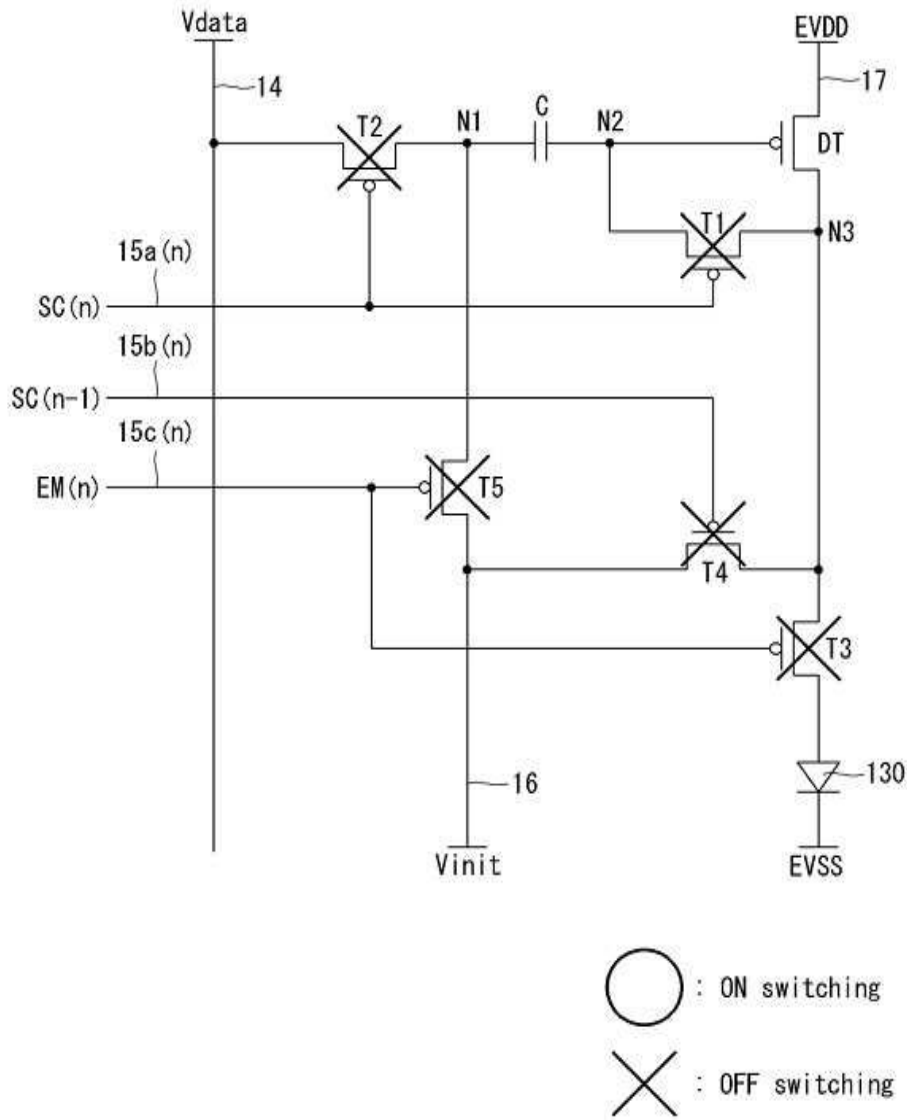
도면7b



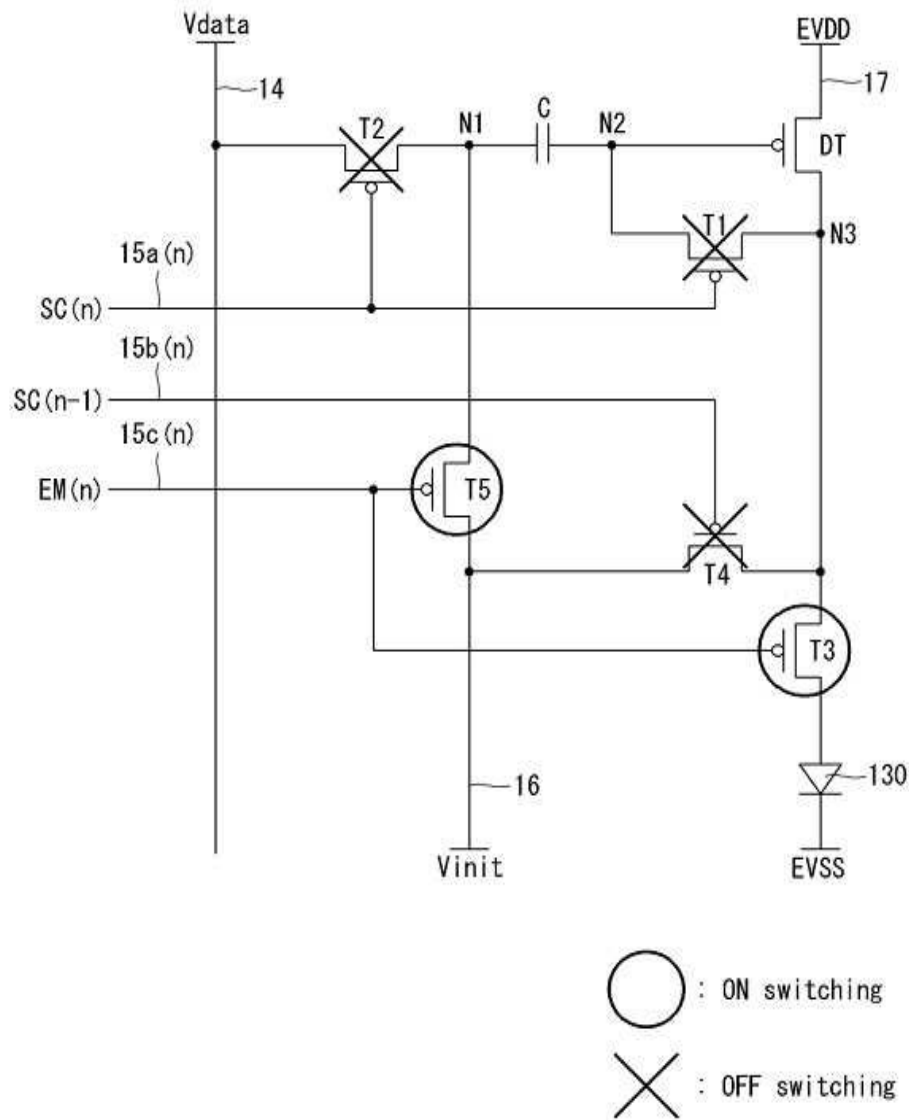
도면7c



도면7e



도면7f



专利名称(译)	电致发光显示器		
公开(公告)号	KR1020190057549A	公开(公告)日	2019-05-29
申请号	KR1020170154608	申请日	2017-11-20
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	주성환 손현호 김진영 손정은 박한철		
发明人	주성환 손현호 김진영 손정은 박한철		
IPC分类号	G09G3/32		
CPC分类号	G09G3/32 G09G2320/0233 G09G2320/0242 G09G2320/066		
外部链接	Espacenet		

摘要(译)

本发明包括电致发光显示器，该电致发光显示器连接到被提供有向多个像素提供数据电压的数据线，被提供有高电位电源电压的第一电源线以及被提供初始化电压的第二电源线。布置在第n个水平像素线上的每个像素包括：驱动晶体管，其具有分别连接至节点N2，第一电源线和节点N3的栅极，源极和漏极；第一晶体管T1连接在节点N2与节点N3之间，并根据第n扫描信号SC(n)进行切换；第二晶体管T2连接在数据线和节点N1之间，并根据第n扫描信号SC(n)进行切换；第四晶体管连接在节点N3和第二电源线之间，第四晶体管根据其相位早于第n扫描信号的n-1扫描信号进行切换；发光元件连接在节点N3和低电位电源电压之间；并且存储电容器连接在节点N1和节点N2之间。

