



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0028398
(43) 공개일자 2018년03월16일

(51) 국제특허분류(Int. Cl.)
G09G 3/3233 (2016.01)

(52) CPC특허분류
G09G 3/3233 (2013.01)
G09G 2300/043 (2013.01)

(21) 출원번호 10-2017-7029231

(22) 출원일자(국제) 2017년03월16일
심사청구일자 2017년10월12일

(85) 번역문제출일자 2017년10월12일

(86) 국제출원번호 PCT/CN2017/076917

(87) 국제공개번호 WO 2018/028198
국제공개일자 2018년02월15일

(30) 우선권주장
201610664473.0 2016년08월12일 중국(CN)

(71) 출원인

보에 테크놀로지 그룹 컴퍼니 리미티드

중국 베이징 100016, 차오양 디스트릭트, 지우시
양치아오 로드 10호

(72) 발명자

양, 성지

중국 100176 베이징 비디에이 디저 로드 넘버 9
동, 세

중국 100176 베이징 비디에이 디저 로드 넘버 9
(뒷면에 계속)

(74) 대리인

양영준, 김성운, 백만기

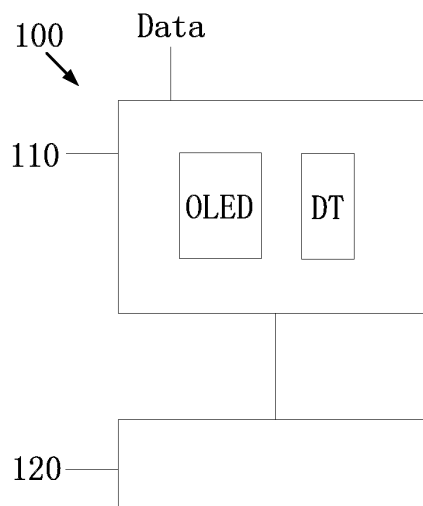
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 보상 화소 회로, 디스플레이 패널, 디스플레이 장치, 보상 방법 및 구동 방법

(57) 요약

보상 화소 회로, 디스플레이 패널, 디스플레이 장치, 지역적 보상 방법 및 구동 방법이 제공된다. 보상 화소 회로(100)는 보상 구동 회로(110)와 보상 구동 회로(110)에 접속되는 신호 취득 회로(120)를 포함한다. 보상 구동 회로(110)는 구동 트랜지스터와 유기 발광 다이오드를 포함한다. 보상 구동 회로(110)는 발광 데이터 신호를 수신하며, 구동 트랜지스터의 임계 전압을 보상하고, 발광 데이터 신호에 따라 유기 발광 다이오드를 구동하도록 구성된다. 신호 취득 회로(120)는 구동 트랜지스터의 게이트 전압을 취득하도록 구성된다. 임계 전압 보상은 보상 화소 회로에서 구동 트랜지스터의 게이트 전압을 수집하고 그 전압에 기초하여 주위의 비-보상 화소 회로들을 보상함으로써 실현될 수 있다. 이 배열체는 보상 구동 회로들의 수 및 그 구동 회로들에 의해 점유된 패널 상의 영역을 감소시켜, 디스플레이 패널의 해상도의 개선을 용이하게 한다.

대표도 - 도1a



(52) CPC특허분류

G09G 2300/0828 (2013.01)

G09G 2300/0842 (2013.01)

(72) 발명자

엘브이, 정

중국 100176 베이징 비디에이 디저 로드 넘버 9

천, 샤오환

중국 100176 베이징 비디에이 디저 로드 넘버 9

류, 둥니

중국 100176 베이징 비디에이 디저 로드 넘버 9

왕, 레이

중국 100176 베이징 비디에이 디저 로드 넘버 9

샤오, 리

중국 100176 베이징 비디에이 디저 로드 넘버 9

웨이, 한

중국 100176 베이징 비디에이 디저 로드 넘버 9

루, 평청

중국 100176 베이징 비디에이 디저 로드 넘버 9

푸, 제

중국 100176 베이징 비디에이 디저 로드 넘버 9

류, 잉밍

중국 100176 베이징 비디에이 디저 로드 넘버 9

장, 찬

중국 100176 베이징 비디에이 디저 로드 넘버 9

명세서

청구범위

청구항 1

보상 화소 회로로서,

구동 트랜지스터와 유기 발광 다이오드를 포함하는 보상 구동 회로 - 상기 보상 구동 회로는 발광 데이터 신호를 수신하며, 상기 구동 트랜지스터의 임계 전압을 보상하고, 상기 발광 데이터 신호에 따라 조명할 상기 유기 발광 다이오드를 구동하도록 구성됨; 및

상기 보상 구동 회로와 접속되고 상기 구동 트랜지스터의 게이트 전압을 취득하도록 구성되는 신호 취득 회로를 포함하는, 보상 화소 회로.

청구항 2

제1항에 있어서, 상기 신호 취득 회로는 상기 구동 트랜지스터에 전기적으로 접속되는, 보상 화소 회로.

청구항 3

제1항에 있어서, 상기 보상 구동 회로는 제1 트랜지스터, 제2 트랜지스터, 제3 트랜지스터, 제4 트랜지스터, 제5 트랜지스터, 및 저장 커패시터를 더 포함하는, 보상 화소 회로.

청구항 4

제3항에 있어서, 상기 제1 트랜지스터의 제1 전극이 제1 전력 라인에 전기적으로 접속되어 제1 전압을 수신하며, 상기 제1 트랜지스터의 게이트 및 상기 제5 트랜지스터의 게이트가 제2 스캐닝 신호 라인에 전기적으로 접속되어 제2 스캐닝 신호를 수신하고, 상기 제1 트랜지스터의 제2 전극이 제1 노드에 전기적으로 접속되며;

상기 제2 트랜지스터의 제1 전극이 발광 데이터 신호 라인에 전기적으로 접속되어 상기 발광 데이터 신호를 수신하며, 상기 제2 트랜지스터의 게이트 및 상기 제4 트랜지스터의 게이트가 제1 스캐닝 신호 라인에 전기적으로 접속되어 제1 스캐닝 신호를 수신하고, 상기 제2 트랜지스터의 제2 전극이 상기 제1 노드에 전기적으로 접속되며;

상기 제3 트랜지스터의 제1 전극이 제2 전력 라인에 전기적으로 접속되어 제2 전압을 수신하며, 상기 제3 트랜지스터의 게이트가 제어 신호 라인에 전기적으로 접속되어 제어 신호를 수신하고, 상기 제3 트랜지스터의 제2 전극이 제2 노드에 전기적으로 접속되며;

상기 제4 트랜지스터의 제1 전극이 상기 제2 노드에 전기적으로 접속되고, 상기 제4 트랜지스터의 제2 전극이 제3 노드에 전기적으로 접속되며;

상기 제5 트랜지스터의 제1 전극이 상기 제3 노드에 전기적으로 접속되고 상기 제5 트랜지스터의 제2 전극이 상기 유기 발광 다이오드의 제1 전극에 전기적으로 접속되며;

상기 유기 발광 다이오드의 제2 전극이 접지에 접속되며;

상기 구동 트랜지스터의 제1 전극이 상기 제1 노드에 전기적으로 접속되며, 상기 구동 트랜지스터의 게이트가 상기 제2 노드에 전기적으로 접속되고, 상기 구동 트랜지스터의 제2 전극이 상기 제3 노드에 전기적으로 접속되며; 그리고

상기 저장 커패시터의 제1 단자가 상기 제2 전력 라인에 전기적으로 접속되고 상기 저장 커패시터의 제2 단자가 상기 제2 노드에 전기적으로 접속되는, 보상 화소 회로.

청구항 5

제4항에 있어서, 상기 제2 전력 라인은 접지에 접속되는, 보상 화소 회로.

청구항 6

제3항 내지 제5항 중 어느 한 항에 있어서, 상기 제1 트랜지스터, 상기 제2 트랜지스터, 상기 제3 트랜지스터, 상기 제4 트랜지스터 및 상기 제5 트랜지스터는 모두 P-형 트랜지스터들인, 보상 화소 회로.

청구항 7

제3항 내지 제5항 중 어느 한 항에 있어서, 상기 제1 트랜지스터, 상기 제2 트랜지스터, 상기 제3 트랜지스터, 상기 제4 트랜지스터 및 상기 제5 트랜지스터는 모두 박막 트랜지스터들인, 보상 화소 회로.

청구항 8

제3항 내지 제5항 중 어느 한 항에 있어서, 보상 제어기를 더 포함하며, 상기 보상 제어기는 상기 신호 취득 회로에 의해 취득된 상기 구동 트랜지스터의 상기 게이트 전압을 수신하도록 구성되는, 보상 화소 회로.

청구항 9

제8항에 있어서, 상기 보상 제어기는,

상기 보상 구동 회로에 의해 수신된 상기 발광 데이터 신호를 수신하도록, 그리고

상기 구동 트랜지스터의 상기 임계 전압을 획득하기 위해 상기 구동 트랜지스터의 상기 게이트 전압으로부터 상기 보상 구동 회로에 의해 수신된 상기 발광 데이터 신호에서의 발광 전압을 감산하도록 추가로 구성되는, 보상 화소 회로.

청구항 10

제1항 내지 제9항 중 어느 한 항에 기재된 보상 화소 회로를 포함하는 디스플레이 패널.

청구항 11

제10항에 있어서, 복수의 보상 지역들을 더 포함하며,

상기 복수의 보상 지역들 중 각각의 보상 지역은 적어도 하나의 상기 보상 화소 회로를 포함하는, 디스플레이 패널.

청구항 12

제11항에 있어서, 상기 보상 지역들 중 각각의 보상 지역은 비-보상 화소 회로들을 더 포함하고, 상기 비-보상 화소 회로들에 의해 점유된 부-화소 영역들은 상기 보상 화소 회로에 의해 점유된 부-화소 영역에 인접하는, 디스플레이 패널.

청구항 13

제12항에 있어서, 보상 제어기를 더 포함하며, 상기 보상 제어기는 상기 신호 취득 회로에 의해 취득된 상기 구동 트랜지스터의 상기 게이트 전압을 수신하고 상기 구동 트랜지스터의 상기 게이트 전압에 따라 상기 비-보상 화소 회로들을 보상하도록 구성되는, 디스플레이 패널.

청구항 14

제13항에 있어서, 상기 보상 제어기는,

상기 보상 구동 회로에 의해 수신된 발광 데이터 신호를 수신하도록,

상기 구동 트랜지스터의 임계 전압을 얻기 위해 상기 구동 트랜지스터의 상기 게이트 전압으로부터 상기 보상 구동 회로에 의해 수신된 상기 발광 데이터 신호에서의 발광 전압을 감산하도록,

상기 비-보상 화소 회로들에 대한 발광 데이터 신호들을 수신하도록,

상기 비-보상 화소 회로들에 대한 업데이트된 발광 데이터 신호들의 발광 전압들을 얻기 위해 상기 비-보상 화소 회로들에 대한 상기 발광 데이터 신호들의 발광 전압들에 상기 임계 전압을 가산하도록, 그리고

상기 업데이트된 발광 데이터 신호들의 상기 발광 전압들을 상기 비-보상 화소 회로들로 전송하도록 추가로 구성되는, 디스플레이 패널.

청구항 15

제12항에 있어서, 상기 보상 지역들 중 각각의 보상 지역은 하나의 보상 화소 회로와 상기 하나의 보상 화소 회로 주위에 배치된 여덟 개의 비-보상 화소 회로들을 포함하는, 디스플레이 패널.

청구항 16

제10항 내지 제15항 중 어느 한 항에 기재된 상기 디스플레이 패널을 포함하는, 디스플레이 디바이스.

청구항 17

지역적 보상 방법으로서,

보상 화소 회로에서의 신호 취득 회로에 의해 취득된 구동 트랜지스터의 게이트 전압을 수신하는 단계; 및

상기 구동 트랜지스터의 상기 게이트 전압에 따라 비-보상 화소 회로들을 보상하는 단계를 포함하는, 지역적 보상 방법.

청구항 18

제17항에 있어서, 상기 구동 트랜지스터의 상기 게이트 전압에 따라 비-보상 화소 회로들을 보상하는 단계는,

상기 보상 구동 회로에 의해 수신된 발광 데이터 신호를 수신하는 단계;

상기 구동 트랜지스터의 임계 전압을 얻기 위해 상기 구동 트랜지스터의 상기 게이트 전압으로부터 상기 보상 구동 회로에 의해 수신된 상기 발광 데이터 신호에서의 발광 전압을 감산하는 단계;

상기 비-보상 화소 회로들에 대한 발광 데이터 신호들을 수신하는 단계;

상기 비-보상 화소 회로들에 대한 업데이트된 발광 데이터 신호들의 발광 전압들을 얻기 위해 상기 비-보상 화소 회로들에 대한 상기 발광 데이터 신호들의 발광 전압들에 상기 임계 전압을 가산하는 단계; 및

상기 업데이트된 발광 데이터 신호들의 상기 발광 전압들을 상기 비-보상 화소 회로들로 전송하는 단계를 포함하는, 지역적 보상 방법.

청구항 19

제1항 내지 제9항 중 어느 한 항에 기재된 보상 화소 회로를 구동하는 방법으로서,

리셋 기간, 보상 기간 및 발광 기간을 포함하며,

상기 리셋 기간에, 상기 제어 신호는 턴-온 전압으로 설정되며, 상기 제1 스캐닝 신호는 턴-오프 전압으로 설정되고, 상기 제2 스캐닝 신호는 턴-오프 전압으로 설정되며;

상기 보상 기간에, 상기 제어 신호는 턴-오프 전압으로 설정되며, 상기 제1 스캐닝 신호는 턴-온 전압으로 설정되고, 상기 제2 스캐닝 신호는 턴-오프 전압으로 설정되며; 그리고

상기 발광 기간에, 상기 제어 신호는 턴-오프 전압으로 설정되며, 상기 제1 스캐닝 신호는 턴-오프 전압으로 설정되고, 상기 제2 스캐닝 신호는 턴-온 전압으로 설정되는, 방법.

청구항 20

제19항에 있어서, 상기 제어 신호가 턴-오프 전압으로 설정되며 상기 제1 스캐닝 신호가 턴-오프 전압으로 설정되고 상기 제2 스캐닝 신호가 턴-오프 전압으로 설정되는 준비 기간을 상기 리셋 기간 전에 더 포함하는, 방법.

발명의 설명

기술 분야

[0001] 본 개시내용의 실시예들은 보상 화소 회로, 디스플레이 패널, 디스플레이 장치, 지역적 보상 방법 및 구동 방법에 관한 것이다.

배경 기술

[0002] 디스플레이 분야에서, 유기 발광 다이오드(organic light-emitting diode)(OLED) 디스플레이 패널들이 자체-조명, 높은 콘트라스트, 큰 시야 각, 빠른 응답, 가요성 패널로서의 가용성, 큰 가용 온도 범위, 단순한 제작 공정 등과 같은 장점들을 갖고, 넓은 발전 전망을 이끌어 냈다.

[0003] 위에서 언급된 특성들 때문에, 유기 발광 다이오드(OLED) 디스플레이 패널들은 모바일 폰들, 디스플레이들, 노트북 컴퓨터들, 디지털 카메라들, 기구들 및 계량기들, 또는 디스플레이 기능을 지닌 다른 디바이스들에 적용 가능할 수 있다.

발명의 내용

[0004] 본 개시내용의 일 실시예가 구동 트랜지스터와 유기 발광 다이오드를 포함하는 보상 구동 회로 - 보상 구동 회로는 발광 데이터 신호를 수신하며, 구동 트랜지스터의 임계 전압을 보상하고, 발광 데이터 신호에 따라 유기 발광 다이오드를 구동하도록 구성됨; 및 보상 구동 회로에 접속되고 구동 트랜지스터의 게이트 전압을 취득하도록 구성되는 신호 취득 회로를 포함하는 보상 화소 회로를 제공한다.

[0005] 예를 들어, 본 개시내용의 일 실시예의 보상 화소 회로에서, 신호 취득 회로는 구동 트랜지스터에 전기적으로 접속된다.

[0006] 예를 들어, 본 개시내용의 일 실시예의 보상 화소 회로에서, 보상 구동 회로는 제1 트랜지스터, 제2 트랜지스터, 제3 트랜지스터, 제4 트랜지스터, 제5 트랜지스터, 및 저장 커패시터를 더 포함한다.

[0007] 예를 들어, 본 개시내용의 일 실시예의 보상 화소 회로에서, 제1 트랜지스터의 제1 전극이 제1 전력 라인에 전기적으로 접속되어 제1 전압을 수신하며, 제1 트랜지스터의 게이트 및 제5 트랜지스터의 게이트가 제2 스캐닝 신호 라인에 전기적으로 접속되어 제2 스캐닝 신호를 수신하고, 제1 트랜지스터의 제2 전극이 제1 노드에 전기적으로 접속되며; 제2 트랜지스터의 제1 전극이 발광 데이터 신호 라인에 전기적으로 접속되어 발광 데이터 신호를 수신하며, 제2 트랜지스터의 게이트 및 제4 트랜지스터의 게이트가 제1 스캐닝 신호 라인에 전기적으로 접속되어 제1 스캐닝 신호를 수신하고, 제2 트랜지스터의 제2 전극이 제1 노드에 전기적으로 접속되며; 제3 트랜지스터의 제1 전극이 제2 전력 라인에 전기적으로 접속되어 제2 전압을 수신하며, 제3 트랜지스터의 게이트가 제어 신호 라인에 전기적으로 접속되어 제어 신호를 수신하고, 제3 트랜지스터의 제2 전극이 제2 노드에 전기적으로 접속되며; 제4 트랜지스터의 제1 전극이 제2 노드에 전기적으로 접속되고, 제4 트랜지스터의 제2 전극이 제3 노드에 전기적으로 접속되며; 제5 트랜지스터의 제1 전극이 제3 노드에 전기적으로 접속되고 제5 트랜지스터의 제2 전극이 유기 발광 다이오드의 제1 전극에 전기적으로 접속되며; 유기 발광 다이오드의 제2 전극이 접지에 접속되며; 구동 트랜지스터의 제1 전극이 제1 노드에 전기적으로 접속되며, 구동 트랜지스터의 게이트가 제2 노드에 전기적으로 접속되고, 구동 트랜지스터의 제2 전극이 제3 노드에 전기적으로 접속되며; 그리고 저장 커패시터의 제1 단자가 제2 전력 라인에 전기적으로 접속되고 저장 커패시터의 제2 단자가 제2 노드에 전기적으로 접속된다.

[0008] 예를 들어, 본 개시내용의 일 실시예의 보상 화소 회로에서, 제2 전력 라인은 접지에 접속된다.

[0009] 예를 들어, 본 개시내용의 일 실시예의 보상 화소 회로에서, 제1 트랜지스터, 제2 트랜지스터, 제3 트랜지스터, 제4 트랜지스터 및 제5 트랜지스터는 모두 P-형 트랜지스터들이다.

[0010] 예를 들어, 본 개시내용의 일 실시예의 보상 화소 회로에서, 제1 트랜지스터, 제2 트랜지스터, 제3 트랜지스터, 제4 트랜지스터 및 제5 트랜지스터는 모두 박막 트랜지스터들이다.

[0011] 예를 들어, 본 개시내용의 일 실시예의 보상 화소 회로는 보상 제어기를 더 포함하며, 보상 제어기는 신호 취득 회로에 의해 취득된 구동 트랜지스터의 게이트 전압을 수신하도록 구성된다.

[0012] 예를 들어, 본 개시내용의 일 실시예의 보상 화소 회로에서, 보상 제어기는 보상 구동 회로에 의해 수신된 발광 데이터 신호를 수신하며, 구동 트랜지스터의 임계 전압을 획득하기 위해 구동 트랜지스터의 게이트 전압으로부터 보상 구동 회로에 의해 수신된 발광 데이터 신호에서의 발광 전압을 감산하도록 추가로 구성된다.

[0013] 본 개시내용의 일 실시예가, 본 개시내용의 임의의 하나의 실시예의 보상 화소 회로를 포함하는 디스플레이 패널을 제공한다.

[0014] 예를 들어, 본 개시내용의 일 실시예의 디스플레이 패널은 복수의 보상 지역들을 더 포함하며, 복수의 보상 지역들 중 각각의 보상 지역은 적어도 하나의 보상 화소 회로를 포함한다.

- [0015] 예를 들어, 본 개시내용의 일 실시예의 디스플레이 패널에서, 보상 지역들 중 각각의 보상 지역은 비-보상 화소 회로들을 더 포함하고, 비-보상 화소 회로들에 의해 점유된 부-화소 영역들은 보상 화소 회로에 의해 점유된 부-화소 영역에 인접하다.
- [0016] 예를 들어, 본 개시내용의 일 실시예의 디스플레이 패널은 보상 제어기를 더 포함하며, 보상 제어기는 신호 취득 회로에 의해 취득된 구동 트랜지스터의 게이트 전압을 수신하고 구동 트랜지스터의 게이트 전압에 따라 비-보상 화소 회로들을 보상하도록 구성된다.
- [0017] 예를 들어, 본 개시내용의 일 실시예의 디스플레이 패널에서, 보상 제어기는, 보상 구동 회로에 의해 수신된 발광 데이터 신호를 수신하며, 구동 트랜지스터의 임계 전압을 얻기 위해 구동 트랜지스터의 게이트 전압으로부터 보상 구동 회로에 의해 수신된 발광 데이터 신호에서의 발광 전압을 감산하며, 비-보상 화소 회로들에 대한 발광 데이터 신호들을 수신하며, 비-보상 화소 회로들에 대한 업데이트된 발광 데이터 신호들의 발광 전압들을 얻기 위해 비-보상 화소 회로들에 대한 발광 데이터 신호들의 발광 전압들에 임계 전압을 가산하고, 업데이트된 발광 데이터 신호들의 발광 전압들을 비-보상 화소 회로들로 전송하도록 추가로 구성된다.
- [0018] 예를 들어, 본 개시내용의 일 실시예의 디스플레이 패널에서, 보상 지역들 중 각각의 보상 지역은 하나의 보상 화소 회로와 하나의 보상 화소 회로 주위에 배치된 여덟 개의 비-보상 화소 회로들을 포함한다.
- [0019] 본 개시내용의 일 실시예가 본 개시내용의 임의의 하나의 실시예의 디스플레이 패널을 포함하는 디스플레이 디바이스를 제공한다.
- [0020] 본 개시내용의 일 실시예가 지역적 보상 방법을 제공하며, 그 방법은, 보상 화소 회로에서의 신호 취득 회로에 의해 취득된 구동 트랜지스터의 게이트 전압을 수신하는 단계; 및 구동 트랜지스터의 게이트 전압에 따라 비-보상 화소 회로들을 보상하는 단계를 포함한다.
- [0021] 예를 들어, 본 개시내용의 일 실시예의 지역적 보상 방법에서, 구동 트랜지스터의 게이트 전압에 따라 비-보상 화소 회로들을 보상하는 단계는, 보상 구동 회로에 의해 수신된 발광 데이터 신호를 수신하는 단계; 구동 트랜지스터의 임계 전압을 얻기 위해 구동 트랜지스터의 게이트 전압으로부터 보상 구동 회로에 의해 수신된 발광 데이터 신호에서의 발광 전압을 감산하는 단계; 비-보상 화소 회로들에 대한 발광 데이터 신호들을 수신하는 단계; 비-보상 화소 회로들에 대한 업데이트된 발광 데이터 신호들의 발광 전압들을 얻기 위해 비-보상 화소 회로들에 대한 발광 데이터 신호들의 발광 전압들에 임계 전압을 가산하는 단계; 및 업데이트된 발광 데이터 신호들의 발광 전압들을 비-보상 화소 회로들로 전송하는 단계를 포함한다.
- [0022] 본 개시내용의 일 실시예가, 본 개시내용의 임의의 하나의 실시예의 보상 화소 회로를 구동하는 방법을 제공하며, 그 방법은 리셋 기간, 보상 기간 및 발광 기간을 포함하며, 리셋 기간에, 제어 신호가 턴-온 전압으로 설정되며, 제1 스캐닝 신호가 턴-오프 전압으로 설정되고, 제2 스캐닝 신호는 턴-오프 전압으로 설정되며; 보상 기간에, 제어 신호는 턴-오프 전압으로 설정되며, 제1 스캐닝 신호는 턴-온 전압으로 설정되고, 제2 스캐닝 신호는 턴-오프 전압으로 설정되며; 그리고 발광 기간에, 제어 신호는 턴-오프 전압으로 설정되며, 제1 스캐닝 신호는 턴-오프 전압으로 설정되고, 제2 스캐닝 신호는 턴-온 전압으로 설정된다.
- [0023] 예를 들어, 본 개시내용의 일 실시예의 구동 방법은, 리셋 기간 전에, 제어 신호가 턴-오프 전압으로 설정되며, 제1 스캐닝 신호가 턴-오프 전압으로 설정되고 제2 스캐닝 신호가 턴-오프 전압으로 설정되는 준비 기간을 더 포함한다.

도면의 간단한 설명

- [0024] 본 발명의 실시예들의 기술적 해법을 명확히 예시하기 위하여, 실시예들의 도면들이 다음에서 간략히 설명될 것이며; 설명되는 도면들은 본 발명의 일부 실시예들에만 관련되고 따라서 본 발명의 제한은 아닌 것이 명확하다.
- 도 1(a)는 본 개시내용의 일 실시예에서 제공되는 보상 화소 회로의 개략도이며;
- 도 1(b)는 본 개시내용의 일 실시예에서 제공되는 다른 보상 화소 회로의 개략도이며;
- 도 2(a)는 본 개시내용의 일 실시예에서 제공되는 또 다른 보상 화소 회로의 개략도이며;
- 도 2(b)는 본 개시내용의 일 실시예에서 제공되는 보상 화소 회로에서의 신호 취득 회로의 개략도이며;
- 도 3은 도 2(a)에 도시된 바와 같은 본 개시내용의 일 실시예에서 제공되는 보상 화소 회로를 구동하기 위한 개략적 타이밍도이며;

도 4는 본 개시내용의 일 실시예에서 제공되는 디스플레이 패널의 개략도이며;

도 5는 본 개시내용의 일 실시예에서 제공되는 디스플레이 패널에서의 보상 지역들의 일 예를 도시하는 개략도이며;

도 6은 본 개시내용의 일 실시예에서 제공되는 비-보상 화소 회로의 개략도이며;

도 7은 본 개시내용의 일 실시예에서 제공되는 디스플레이 장치의 개략도이며;

도 8은 본 개시내용의 일 실시예에서 제공되는 지역적 보상을 위한 방법의 흐름도이며;

도 9는 도 8에 도시된 바와 같은 본 개시내용의 일 실시예에서 제공되는 지역적 보상 방법에서의 단계 S20의 일 예를 도시하는 흐름도이며; 그리고

도 10(a) 및 도 10(b)는 각각 4T2C 보상 구동 회로 및 4T1C 보상 구동 회로를 도시한다.

발명을 실시하기 위한 구체적인 내용

[0025] 다음에서, 본 개시내용의 실시예들의 기술적 해법들이 도면들에 관련하여 명확히 그리고 충분히 이해 가능한 방식으로 설명될 것이며; 도면들에서 예시되고 다음에서 상세히 설명되는 비-제한의 예시적 실시예들을 참조하여, 본 개시내용의 예시적인 실시예들과 특징들 및 유망한 세부사항들이 더 철저히 설명될 것이다. 도면들에서의 특징들은 반드시 비율대로 예시되지는 않는다. 본 개시내용은 본 개시내용의 예시적인 실시예들에 대해 발생할 모호성을 피하기 위해 공지된 재료들, 컴포넌트들, 및 가공 기술들의 설명들을 생략한다. 예들은 본 개시내용의 실시예들의 구현 방법들의 이해를 돕기 위한 것이라서, 본 기술분야의 통상의 기술자들은 예시적인 실시예들을 구현할 수 있다. 그러므로, 이들 예들은 본 개시내용의 실시예의 범위의 제한은 아니다.

[0026] 달리 정의되지 않는 한, 본 명세서에서 사용되는 모든 기술적 및 과학적 용어들은 본 개시내용이 속하는 분야에서의 통상의 기술자가 통상적으로 이해하는 것과 동일한 의미를 갖는다. 개시를 위해 본 출원의 상세한 설명 및 청구범위에서 사용되는 "제1", "제2" 등의 용어들은 임의의 시퀀스, 양 또는 중요도를 나타내려는 의도는 아니고, 다양한 컴포넌트들을 구별하려는 의도이다. 덧붙여서, 본 개시내용의 실시예들에서, 동일하거나 또는 유사한 숫자들은 동일하거나 또는 유사한 컴포넌트들을 나타낸다.

[0027] 근년에, 증강 현실, 가상 현실 등을 위한 소비자 가전기기들의 증가로, 사용자들의 관람 경험을 개선하기 위해 고 해상도들의 디스플레이 패널들에 대해 점점 더 긴급한 요구가 존재한다.

[0028] OLED 디스플레이 패널의 해상도는 포토리소그래픽 공정의 수준과 미세 금속 마스크(fine metal mask)(FFM)의 사이즈에 주로 영향을 받는다. 포토리소그래픽 공정과 미세 금속 마스크의 제작이 특정한 수준에 도달할 때, OLED 디스플레이 패널의 해상도가 추가로 개선되는 것이 어렵다. 그러므로, 고 해상도에 관한 문제를 다루는 다른 방법이 필요하다.

[0029] OLED 디스플레이 패널이 어레이로 배열된 복수의 부-화소들을 포함하는 액티브 구동 방식을 보통 사용한다. 각각의 부-화소의 가장 기본적인 화소 회로는 두 개의 트랜지스터들(스캐닝 트랜지스터 및 구동 트랜지스터)과 저장 커패시터를 포함하는 2T1C 모드이며; 예를 들어, 도 6에 도시된 바와 같은 2T1C 화소 회로를 참조한다. 전체 패널의 디스플레이 균일성을 개선하기 위하여, 각각의 부-화소는 보상 화소 회로라고 지칭되고 위에서 언급된 2T1C 모드에 기초하여 획득될 수 있는 보상 기능을 갖는 화소 회로로 구성될 수 있다. 보상 화소 회로는, 그것의 보상 메커니즘에 의존하여, 전압 보상 유형, 전류 보상 유형 또는 하이브리드 보상 유형이 될 수 있다. 그러나, 비록 보상 화소 회로들을 사용하는 OLED 디스플레이 패널이 기본적인 2T1C 화소 회로들을 사용하는 것과 비교하여 양호한 밝기 균일성을 성취할 수 있지만, 각각의 부-화소의 구동 회로의 부분은 패널 상의 더 큰 영역을 차지하여, OLED 디스플레이 패널이 고 해상도를 획득하는 것을 방해한다.

[0030] 본 개시내용의 실시예들은 보상 화소 회로, 디스플레이 패널, 디스플레이 장치, 지역적 보상 방법 및 구동 방법을 제공하며, 이는 보상 화소 회로에서 구동 트랜지스터의 게이트 전압을 수집하고 그 전압에 기초하여 주위의 비-보상 화소 회로들을 보상함으로써 임계 전압 보상을 성취될 수 있다. 이 배열체는 보상 구동 회로들의 수 및 그 구동 회로들에 의해 점유된 패널 상의 영역을 감소시켜, 디스플레이 패널의 해상도의 개선을 용이하게 한다.

[0031] 예를 들어, 도 1(a)은 본 개시내용의 일 실시예에서 제공되는 보상 화소 회로의 개략도이다. 본 개시내용의 일 실시예가 보상 화소 회로(100)를 제공하는데, 그 보상 화소 회로는, 도 1(a)에 도시된 바와 같이, 보상 구동 회

로(110)와 보상 구동 회로(110)에 접속된 신호 취득 회로(120)를 포함한다. 보상 구동 회로(110)는 구동 트랜지스터(DT)와 유기 발광 다이오드(OLED)를 포함한다. 보상 구동 회로(110)는 발광 데이터 신호(Data)를 수신하며, 발광 데이터 신호(Data)에 기초하여 구동 트랜지스터(DT)의 임계 전압을 보상하고 조명할 유기 발광 다이오드(OLED)를 구동하도록 구성된다. 신호 취득 회로(120)는 구동 트랜지스터(DT)의 게이트에서 전압을 취득하도록 구성된다.

[0032] 예를 들어, 도 1(b)는 본 개시내용의 일 실시예에서 제공되는 다른 보상 화소 회로의 개략도이다. 보상 화소 회로(100)는, 보상 화소 회로(100)에서의 신호 취득 회로(120)에 의해 취득된 구동 트랜지스터(DT)의 게이트 전압을 수신하고 구동 트랜지스터(DT)의 게이트 전압에 기초하여 비-보상 화소 회로들을 보상하도록 구성되는 보상 제어기(130)를 더 포함할 수 있다. 비-보상 화소 회로들에 관한 설명에 대해 아래를 참조한다.

[0033] 예를 들어, 본 개시내용의 일 실시예에서 제공되는 디스플레이 패널(10)에서, 보상 제어기(130)는 구동 회로(110)에 의해 수신된 발광 데이터 신호(Data)를 수신하며, 구동 트랜지스터(DT)의 임계 전압(V_{th})을 획득하기 위해 구동 트랜지스터(DT)의 게이트 전압($V_{data}+V_{th}$)으로부터 구동 회로(110)에 의해 수신된 발광 데이터 신호(Data)에서의 발광 전압(V_{data})을 감산하며, 비-보상 화소 회로에 대한 발광 데이터 신호(Data1)를 수신하며, 비-보상 화소 회로에 대해 발광 전압($V_{data1}+V_{th}$)을 갖는 업데이트된 발광 데이터 신호를 얻기 위해 발광 데이터 신호(Data1)에서의 발광 전압(V_{data1})에 획득된 임계 전압(V_{th})을 가산하고, 업데이트된 발광 데이터 신호의 발광 전압($V_{data1}+V_{th}$)을 비-보상 화소 회로로 전송하도록 추가로 구성된다. 이런 식으로, 보상 화소 회로에서의 구동 트랜지스터의 임계 전압은 취득되고 주위의 비-보상 화소 회로들에서의 구동 트랜지스터들의 임계 전압들을 보상하는데 사용되는 것이 실현된다.

[0034] 예를 들어, 도 2(a)는 본 개시내용의 일 실시예에서 제공되는 다른 보상 화소 회로의 개략도이다. 도 2(a)에 도시된 바와 같이, 본 개시내용의 실시예에서 제공되는 보상 화소 회로(100)에서, 신호 취득 회로(120)는 구동 트랜지스터(DT)에 전기적으로 접속되어 구동 트랜지스터(DT)의 게이트 전압을 취득한다.

[0035] 예를 들어, 도 2(a)에 도시된 바와 같이, 본 개시내용의 실시예에서 제공되는 보상 화소 회로(100)는 제1 트랜지스터(T1), 제2 트랜지스터(T2), 제3 트랜지스터(T3), 제4 트랜지스터(T4), 제5 트랜지스터(T5), 및 저장 커패시터(C)를 더 포함한다.

[0036] 예를 들어, 도 2(a)에 도시된 바와 같이, 본 개시내용의 실시예에서 제공되는 보상 화소 회로(100)에서, 제1 트랜지스터(T1)의 제1 전극은 제1 전력 라인에 접속되어 제1 전압(V_{dd})을 수신하며, 제1 트랜지스터(T1)의 게이트 및 제5 트랜지스터(T5)의 게이트는 제2 스캐닝 신호 라인에 접속되어 제2 스캐닝 신호(Scan2)를 수신하고, 제1 트랜지스터(T1)의 제2 전극은 제1 노드(N1)에 접속된다. 제2 트랜지스터(T2)의 제1 전극은 발광 데이터 신호 라인에 접속되어 발광 데이터 신호(Data)를 수신하며, 제2 트랜지스터(T2)의 게이트 및 제4 트랜지스터(T4)의 게이트는 제1 스캐닝 신호 라인에 전기적으로 접속되어 제1 스캐닝 신호(Scan1)를 수신하고, 제2 트랜지스터의 제2 전극은 제1 노드(N1)에 전기적으로 접속된다. 제3 트랜지스터(T3)의 제1 전극은 제2 전력 라인에 전기적으로 접속되어 제2 전압(V_{int})을 수신하며, 제3 트랜지스터(T3)의 게이트는 제어 신호 라인에 전기적으로 접속되어 제어 신호(E_m)를 수신하고, 제3 트랜지스터(T3)의 제2 전극은 제2 노드(N2)에 전기적으로 접속된다. 제4 트랜지스터(T4)의 제1 전극은 제2 노드(N2)에 전기적으로 접속되고 제4 트랜지스터(T4)의 제2 전극은 제3 노드(N3)에 전기적으로 접속된다. 제5 트랜지스터(T5)의 제1 전극은 제3 노드(N3)에 전기적으로 접속되고 제5 트랜지스터(T5)의 제2 전극은 유기 발광 다이오드(OLED)의 제1 전극(예컨대, 애노드)에 전기적으로 접속된다. 유기 발광 다이오드(OLED)의 제2 전극(예컨대, 캐소드)은 접지에 접속된다. 구동 트랜지스터(DT)의 제1 전극은 제1 노드(N1)에 전기적으로 접속되며, 구동 트랜지스터(DT)의 게이트는 제2 노드(N2)에 전기적으로 접속되고, 구동 트랜지스터(DT)의 제2 전극은 제3 노드(N3)에 전기적으로 접속된다. 저장 커패시터(C)의 제1 단자는 제2 전력 라인에 전기적으로 접속되고 저장 커패시터(C)의 제2 단자는 제2 노드(N2)에 전기적으로 접속된다.

[0037] 예를 들어, 도 2(a)에 도시된 바와 같은 화소 회로(100)에서의 보상 구동 회로는 단순한 구조를 가지며, 제작이 용이하며, 안정적으로 동작하고, 구동 트랜지스터에 대한 양호한 임계 전압 보상을 성취한다.

[0038] 예를 들어, 도 2(a)에 도시된 바와 같은 보상 화소 회로(100)에서의 보상 구동 회로는 단지 일 예이다. 본 개시내용의 일 실시예에서, 그 화소 회로(100)에서의 보상 구동 회로는, 발광 데이터 신호(Data)에 기초하여 구동 트랜지스터(DT)의 임계 전압을 보상하는 기능과 조명할 유기 발광 다이오드(OLED)를 구동하는 기능을 갖는 임의의 다른 보상 구동 회로일 수 있다. 예를 들어, 도 10(a) 및 도 10(b)를 참조하여, 보상 구동 회로는 또한 도 10(a) 또는 도 10(b)에 도시된 회로일 수 있다. 예를 들어, 도 10(a)에 도시된 바와 같은 4T2C 회로는 구동 트랜지스터(M2)가 맨 먼저 턴 오프된 다음 그 구동 트랜지스터가 자신의 게이트에서의 전압이 임계 전압에 도달한

후에 턴 오프되기까지 저장 커패시터(Cst)를 충전하기 위해 ON 상태에 있는 다이오드로서 접속되어서, 임계 전압이 저장 커패시터(Cst)에 저장되는 그런 근본적인 원리로 동작한다. 예를 들어, 도 10(b)에 도시된 바와 같은 4T1C 회로에서, 트랜지스터(M1)는 트랜지스터(M2)를 턴 온하기 위해서 맨 먼저 턴 온되어 저장 커패시터(Cst)를 충전하고 트랜지스터(M3)는 다이오드로서 접속되어서, 구동 전류(I_{DATA})는 저장 커패시터(Cst) 상에 저장된 전압으로 변환된다.

- [0039] 예를 들어, 본 개시내용의 실시예에서 제공되는 보상 화소 회로(100)에서, 제2 전력 라인에 접지에 접속된다. 다시 말해서, 제2 전압(V_{int})은 접지 전압(예컨대, 0 V)이다.
- [0040] 본 개시내용의 실시예들은 제2 전압이 접지 전압인 경우로 제한되지 않고 대신에 제2 전압은 낮은 안정한 전압, 예를 들어, 1V일 수 있다는 것에 주의한다.
- [0041] 예를 들어, 본 개시내용의 실시예에서 제공되는 보상 화소 회로(100)에서, 제1 트랜지스터(T1), 제2 트랜지스터(T2), 제3 트랜지스터(T3), 제4 트랜지스터(T4) 및 제5 트랜지스터(T5)는 모두 P-형 트랜지스터들이다. 예를 들어, 동일한 유형의 트랜지스터들을 사용하여 제작 공정들을 일관되게 하고 제품 제조에 대한 편의를 제공할 수 있다.
- [0042] 예를 들어, 본 개시내용의 실시예에서 제공되는 보상 화소 회로(100)에서, 제1 트랜지스터(T1), 제2 트랜지스터(T2), 제3 트랜지스터(T3), 제4 트랜지스터(T4) 및 제5 트랜지스터(T5)는 모두 박막 트랜지스터들이다.
- [0043] 본 개시내용의 일 실시예에서, 트랜지스터들은 동일한 특성의 박막 트랜지스터들, 전계 효과 트랜지스터들 또는 다른 스위칭 디바이스들일 수 있다는 것에 주의한다. 본 명세서에서 사용되는 바와 같이, 트랜지스터의 소스 및 드레인은 대칭적일 수 있고 따라서 구조에서 차이가 없다. 본 개시내용의 실시예들에서, 트랜지스터의 게이트가 아닌 두 개의 전극들 간을 구별하기 위하여, 그 전극들 중 하나는 제1 전극으로서 직접적으로 그리고 다른 전극은 제2 전극으로서 직접적으로 설명되며; 그러므로 제1 전극들 및 제2 전극들은 본 개시내용의 실시예들에서의 일부 또는 모든 트랜지스터들에 대해 필요한 대로 교환 가능할 수 있다. 예를 들어, 본 개시내용의 실시예들에서, 트랜지스터의 제1 전극은 트랜지스터의 소스일 수 있는 한편 제2 전극은 드레인일 수 있거나; 또는 트랜지스터의 제1 전극이 드레인인 한편 제2 전극이 소스일 수 있다. 더욱이, 트랜지스터들은 그것들의 특성들의 측면에서 N-형 트랜지스터들 및 P-형 트랜지스터들로 분류될 수 있고 본 개시내용의 실시예들은 제1, 제2, 제3, 제4 및 제5 트랜지스터들이 모두 P-형 트랜지스터들인 경우로 설명된다. 본 개시내용의 구현예들에 관한 설명 및 교시에 기초하여, 본 기술분야의 통상의 기술자들에게는 임의의 창의적 노력 없이 본 개시내용의 실시예들이 N-형 트랜지스터들 또는 N-형 트랜지스터들 및 P-형 트랜지스터들의 조합들을 사용하여 구현될 수 있다는 생각이 쉽사리 떠오를 것이다. 그러므로, 그들 구현예들은 본 개시내용에 의해 청구된 범위 내에 또한 속한다.
- [0044] 예를 들어, 제1, 제2, 제3, 제4 및 제5 트랜지스터들은 모두 P-형 트랜지스터들이라서, 보상 구동 회로는 편리하게 구현되며, 쉽사리 제작되고 간단한 신호 설정을 가질 수 있다.
- [0045] 예를 들어, 본 개시내용의 일 실시예에서, 신호 취득 회로는, 시간 및 진폭에서 연속적인 아날로그 양을 시간 및 진폭에서 이산적인 디지털 신호로 변환하는 역할을 하는 아날로그 대 디지털(A/D) 컨버터를 사용하여 구현될 수 있다.
- [0046] 예를 들어, 신호 취득 회로는 집적 회로 칩에 의해 디스플레이 패널 상에 배치될 수 있다.
- [0047] 예를 들어, 도 2(b)는 본 개시내용의 일 실시예에서 제공되는 보상 화소 회로에서의 신호 취득 회로의 개략도이다. 도 2(b)에 도시된 신호 취득 회로는 연속하는 근사 아날로그-디지털 변환기를 사용하여 구현된다.
- [0048] 본 개시내용의 일 실시예에서, 보상 화소 회로에서의 신호 취득 회로는 도 2(b)에 도시된 바와 같은 것으로 제한되지 않고 전압 취득 기능을 갖는 임의의 다른 회로를 사용하여 또한 구현될 수 있다는 것에 주의한다.
- [0049] 예를 들어, 도 2(b)에 도시된 바와 같이, 신호 취득 기능은 보상 구동 회로(110)를 신호 취득 회로에서의 비교기의 "-" 단자에 접속하고 보상 제어기(130)를 신호 취득 회로에서의 버퍼 레지스터에 접속함으로써 성취될 수 있다.
- [0050] 예를 들어, 본 개시내용의 실시예들에서, 턴-온 전압이 트랜지스터의 제1 및 제2 전극들이 그것들 간에 전기 전도성 경로를 만들 수 있게 하는 전압을 지칭하는 한편, 턴-오프 전압이 트랜지스터의 제1 전극을 트랜지스터의 제2 전극으로부터 전기적으로 접속 해제하게 할 수 있는 전압을 지칭한다. 트랜지스터가 P-형 트랜지스터일

때, 턴-온 전압은 로우 전압(예컨대, 0V)이고 턴-오프 전압은 하이 전압(예컨대, 5V)이며; 트랜지스터가 N-형 트랜지스터일 때, 턴-온 전압은 하이 전압(예컨대, 5V)이고 턴-오프 전압은 로우 전압(예컨대, 0V)이다. 도 3에 도시된 바와 같은 구동 파형은 일 예로서 P-형 트랜지스터들과 함께 예시되어, 턴-온 전압이 로우 전압(예컨대, 0V)이고 턴-오프 전압이 하이 전압(예컨대, 5V)임을 의미한다.

[0051] 예를 들어, 도 3은 도 2(a)에 도시된 바와 같은 본 개시내용의 일 실시예에서 제공되는 보상 화소 회로를 구동하기 위한 개략적 타이밍도이다. 본 개시내용의 일 실시예가 본 개시내용의 임의의 실시예에서 제공되는 보상 화소 회로를 구동하기 위한 방법을 추가로 제공한다. 보상 화소 회로의 구동 방법 및 동작 프로세스는 다음에서 도 2(a) 및 도 3과 조합하여 설명될 것이다.

[0052] 준비 기간(t1) 동안, 제어 신호(Em)는 턴-오프 전압이며, 제1 스캐닝 신호(Scan1)는 턴-오프 전압이고, 제2 스캐닝 신호(Scan2)는 턴-오프 전압이다. 그러므로, 제1 트랜지스터(T1), 제2 트랜지스터(T2), 제3 트랜지스터(T3), 제4 트랜지스터(T4) 및 제5 트랜지스터(T5)는 모두 오프 상태에 있다. 준비 기간은 보상 화소 회로를 위한 안정화하려는 프로세스를 제공하여, 기생 커패시턴스의 불완전한 방전 등으로 인한 회로 이상(abnormality)을 방지한다.

[0053] 리셋 기간(t2) 동안, 제어 신호(Em)는 턴-온 전압이며, 제1 스캐닝 신호(Scan1)는 턴-오프 전압이고 제2 스캐닝 신호(Scan2)는 턴-오프 전압이다. 그러므로, 제3 트랜지스터(T3)는 턴 온되고, 제1 트랜지스터(T1), 제2 트랜지스터(T2), 제4 트랜지스터(T4) 및 제5 트랜지스터(T5)는 모두 턴 오프된다. 저장 커패시터에 걸리는 전압은 제2 전압(Vint)(예컨대, 로우의 안정한 전압 또는 접지 전압)으로 초기화되어, 보상 화소 회로의 초기화를 완료한다.

[0054] 보상 기간(t3) 동안, 제어 신호(Em)는 턴-오프 전압이며, 제1 스캐닝 신호(Scan1)는 턴-온 전압이고 제2 스캐닝 신호(Scan2)는 턴-오프 전압이다. 그러므로, 제2 트랜지스터(T2)와 제4 트랜지스터(T4)는 턴 온되고, 제1 트랜지스터(T1), 제3 트랜지스터(T3) 및 제5 트랜지스터(T5)는 모두 턴 오프된다. 제2 노드(N2)는 제2 노드(N2)에서의 전압이 Vdata+Vth - 여기서 Vdata는 발광 데이터 신호(Data)의 발광 전압이고 Vth는 구동 트랜지스터(DT)의 임계 전압임 - 에 도달하기까지 발광 데이터 신호(Data)에 의해 제2 트랜지스터(T2), 구동 트랜지스터(DT) 및 제4 트랜지스터(T4)를 통해 충전되는데, 이 때 구동 트랜지스터(DT)의 게이트 및 소스에서의 전압들 사이의 차이가 Vth라는 것이 충족되기 때문이다. 충전의 완료 시, 저장 커패시터(C)에 걸리는 전압은 Vdata+Vth이다. 덧붙여서, 제5 트랜지스터(T5)가 OFF 상태에 있으므로, 전류는 OLED를 통해 흐르지 않고 OLED는 조명이 방지되며, 이는 디스플레이 효과를 개선하고 OLED의 노화를 감소시킨다. 예를 들어, 충전의 완료 후 및 발광 기간(t4) 전에, 신호 취득 회로(120)는 구동 트랜지스터(DT)의 게이트에서의 전압(Vdata+Vth)을 취득하고 그 전압을 사용하여 보상 화소 회로 주위의 비-보상 화소 회로들을 보상한다.

[0055] 발광 기간(t4) 동안, 제어 신호(Em)는 턴-오프 전압이며, 제1 스캐닝 신호(Scan1)는 턴-오프 전압이고 제2 스캐닝 신호(Scan2)는 턴-온 전압이다. 그러므로, 제1 트랜지스터(T1)와 제5 트랜지스터(T5)는 턴 온되고, 제2 트랜지스터(T2), 제3 트랜지스터(T3) 및 제4 트랜지스터(T4)는 모두 턴 오프된다. 발광 기간 동안, 저장 커패시터(C)의 기능 덕분에, 제3 노드(N3)에서의 전압은 Vdata+Vth로 유지되고, 발광 전류(IOLED)는 제1 트랜지스터(T1), 구동 트랜지스터(DT), 제5 트랜지스터(T5) 및 유기 발광 다이오드(OLED)를 통해 흘러, 유기 발광 다이오드(OLED)가 조명하게 한다. 발광 전류(IOLED)는 다음의 포화 전류 방정식을 충족시키며:

[0056]
$$IOLED = K(VGS - Vth)^2$$

[0057]
$$= K(Vdata + Vth - Vdd - Vth)^2$$

[0058]
$$= K(Vdata - Vdd)^2$$

[0059] 여기서 $K = 0.5 \mu_n C_{ox} W / L$ 이며, μ_n 은 구동 트랜지스터의 채널 이동도이며, C_{ox} 는 구동 트랜지스터의 단위 면적 당 채널 커패시턴스이며, W 및 L 은 각각 구동 트랜지스터의 폭 및 길이이고, VGS 는 게이트-소스 전압(구동 트랜지스터의 게이트 및 소스에서의 전압들 사이의 차이)이다.

[0060] 발광 전류(IOLED)는 구동 트랜지스터의 임계 전압(Vth)에 의해 더 이상 영향을 받지 않고 발광 데이터 신호의 전압(Vdata) 및 제1 전압(Vdd)에만 관련된다는 것을 알 수 있다. 그 결과, 구동 트랜지스터의 임계 전압 드리프트의 문제는 해소되고 OLED 디스플레이 패널은 적절히 동작하는 것이 보장된다.

[0061] 본 개시내용의 실시예에서 제공되는 구동 방법은 준비 기간(t1) 없이, 리셋 기간(t2), 보상 기간(t3) 및 발광

기간(t4)만을 포함할 수 있다는 것에 주의한다. 이에 관한 제한을 본 명세서에서 정하려는 것은 아니다.

- [0062] 예를 들어, 도 4는 본 개시내용의 일 실시예에서 제공되는 디스플레이 패널의 개략도이다. 본 개시내용의 일 실시예가 디스플레이 패널(10)을 더 제공하는데, 그 디스플레이 패널은, 도 4에 도시된 바와 같이, 본 개시내용의 임의의 실시예에서 제공되는 보상 화소 회로(100)를 포함한다.
- [0063] 예를 들어, 본 개시내용의 실시예에서 제공되는 디스플레이 패널(10)은 복수의 보상 지역들(11)을 포함하며, 각각의 보상 지역(11)은 적어도 하나의 보상 화소 회로(100)를 포함한다.
- [0064] 예를 들어, 도 4에 도시된 바와 같이, 본 개시내용의 실시예에서 제공되는 디스플레이 패널(10)에서, 각각의 보상 지역(11)은 비-보상 화소 회로들(200)을 더 포함하고, 비-보상 화소 회로들(200)에 의해 점유된 부-화소 영역들은 보상 화소 회로(100)에 의해 점유된 부-화소 영역에 인접한다.
- [0065] 예를 들어, 도 4에 도시된 바와 같이, 보상 제어기(130)는 또한 디스플레이 패널(10) 내에 배치되고, 보상 화소 회로(100)에서의 신호 취득 회로(120)에 의해 취득된 구동 트랜지스터(DT)의 게이트 전압을 수신하고 구동 트랜지스터(DT)의 게이트 전압에 기초하여 비-보상 화소 회로들(200)(예컨대, 동일한 보상 지역에서의 비-보상 화소 회로들)을 보상하도록 구성될 수 있다.
- [0066] 예를 들어, 도 4에 도시된 바와 같이, 본 개시내용의 실시예에서 제공되는 디스플레이 패널(10)은 스캐닝 드라이버(13), 데이터 드라이버(14), 타이밍 시퀀스 제어기(15), 발광 데이터 신호 라인들, 제1 스캐닝 신호 라인들, 제2 스캐닝 신호 라인들 및 제어 신호 라인들(발광 데이터 신호 라인들, 제1 스캐닝 신호 라인들, 제2 스캐닝 신호 라인들, 및 제어 라인들은 도 4에 도시되지 않음)을 더 포함한다. 데이터 드라이버(14)는 발광 데이터 신호 라인을 통해 보상 화소 회로(100) 및 비-보상 화소 회로들(200)에 발광 데이터 신호들을 제공하도록 구성되며; 스캐닝 드라이버(13)는 제1 스캐닝 신호(Scan1), 제2 스캐닝 신호(Scan2) 및 제어 신호(Em)를 제1 스캐닝 신호 라인들, 제2 스캐닝 신호 라인들, 및 제어 신호 라인들로 각각 제공하도록 구성되며; 타이밍 시퀀스 제어기(15)는 시스템의 동작들을 조정하기 위해 클럭 신호를 제공하도록 구성된다.
- [0067] 예를 들어, 본 개시내용의 실시예에서 제공되는 디스플레이 패널(10)에서, 보상 제어기(130)는 구동 회로(110)에 의해 수신된 발광 데이터 신호(Data)를 수신하며, 구동 트랜지스터(DT)의 임계 전압(Vth)을 획득하기 위해 구동 트랜지스터(DT)의 게이트 전압(Vdata+Vth)으로부터 구동 회로(110)에 의해 수신된 발광 데이터 신호(Data)에서의 발광 전압(Vdata)을 감산하며, 비-보상 화소 회로에 대한 발광 데이터 신호(Data1)를 수신하고, 비-보상 화소 회로에 대한 발광 전압(Vdata1+Vth)을 갖는 업데이트된 발광 데이터 신호를 얻기 위해 발광 데이터 신호(Data1)에서의 발광 전압(Vdata1)에 획득된 임계 전압(Vth)을 가산하고, 업데이트된 발광 데이터 신호의 발광 전압(Vdata1+Vth)을 비-보상 화소 회로로 전송하도록 추가로 구성된다. 이런 식으로, 보상 화소 회로에서의 구동 트랜지스터의 임계 전압은 주위의 비-보상 화소 회로들에서의 구동 트랜지스터들의 임계 전압들을 보상하기 위해 취득되고 사용되는 것이 실현된다.
- [0068] 디스플레이 패널에서 이웃에 위치한 지역들의 공정 특성들이 서로 상대적으로 근사하기 때문에, 그들 지역들에서의 구동 트랜지스터들의 임계 전압들 및 드리프트 특성들이 또한 서로 근사하다는 것에 주의한다. 그러므로, 보상 화소 회로에서의 구동 트랜지스터의 임계 전압은 주위의 비-보상 화소 회로들에서의 구동 트랜지스터들의 임계 전압들을 보상하기 위해 취득 및 사용될 수 있다. 예를 들어, 보상 제어기는 비-보상 회로들에 대해 발광 데이터 신호들 상에 임계 전압을 중첩시켜 임계 전압 보상을 성취한다. 동시에, 비-보상 화소 회로들과 협력하여 보상 화소 회로를 사용하는 설계는 화소 회로에서 구동 회로의 부분에 의해 점유된 영역을 감소시키고 결국 디스플레이 패널의 해상도를 개선할 수 있다.
- [0069] 예를 들어, 도 4에 도시된 바와 같이, 본 개시내용의 일 실시예에서의 디스플레이 패널(10)에서, 각각의 보상 지역(11)은 하나의 보상 화소 회로(100)와 보상 화소 회로(100)를 둘러싸는 여덟 개의 비-보상 화소 회로들(200)을 포함한다.
- [0070] 보상 지역(11)은 도 4에 도시된 바와 같은 방식의 배열체로 제한되지 않고 임의의 다른 방식으로 배열될 수 있다는 것에 주의한다.
- [0071] 예를 들어, 도 5는 본 개시내용의 일 실시예에서 제공되는 디스플레이 패널에서의 보상 지역의 일 예의 개략도이다. 도 5에 도시된 바와 같이, 보상 지역(11)은 하나의 보상 화소 회로(100)와 스물네 개의 비-보상 화소 회로들(200)을 포함한다. 다시 말해서, 하나의 보상 화소 회로로부터 취득된 임계 전압은 주위의 스물네 개의 비-보상 화소 회로들을 보상하는데 사용될 수 있다.

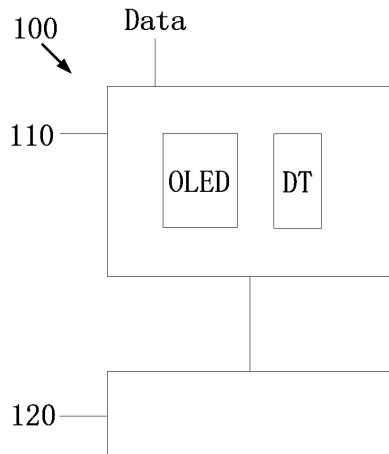
- [0072] 예를 들어, 보상 지역(11)이 배열되는 방식은 구동 트랜지스터들의 임계 전압들의 일관성, 화소 회로에 의해 점유될 랜딩 영역, 및 다른 인자에 관한 포괄적인 고려사항들에 기초하여 선택될 수 있다. 예를 들어, 구동 트랜지스터들의 임계 전압들의 일관성이 높을 때, 보상 지역은 더 크게 설정될 수 있으며, 즉, 하나의 보상 화소 회로로부터 취득되는 임계 전압은 더 많은 주위의 비-보상 화소 회로들을 보상하는데 사용될 수 있다.
- [0073] 예를 들어, 도 6은 본 개시내용의 일 실시예에서 제공되는 비-보상 화소 회로의 개략도이다. 비-보상 화소 회로(200)는 2T1C 회로(즉, 두 개의 트랜지스터들(스캐닝 트랜지스터(ST) 및 구동 트랜지스터(DT'))과 저장 커패시터(C)를 포함함)이다. 비-보상 화소 회로(200)는 임계 보상 기능을 갖지 않지만, 상대적으로 작은 영역을 점유한다. 비-보상 화소 회로(200)는 디스플레이 패널의 해상도를 개선하기 위해 보상 화소 회로와 협력하여 사용된다. 도 7에 도시된 바와 같은 비-보상 화소 회로는 단지 일 예이고 본 개시내용의 실시예들은 그것을 비제한적으로 포함할 수 있다는 것에 주의한다.
- [0074] 도 7은 본 개시내용의 일 실시예에서 제공되는 디스플레이 장치의 개략도이다. 본 발명의 일 실시예는 도 7에 도시된 바와 같은 본 개시내용의 일 실시예에서 제공되는 디스플레이 패널(10)을 포함하는 디스플레이 장치(1)를 더 제공한다.
- [0075] 예를 들어, 본 개시내용의 실시예에서 제공되는 디스플레이 장치는 디스플레이 기능을 갖는 임의의 제품 또는 컴포넌트, 이를테면 셀폰, 태블릿 컴퓨터, TV 세트, 디스플레이, 노트북 컴퓨터, 디지털 화상 프레임, 내비게이터 등을 포함할 수 있다.
- [0076] 예를 들어, 도 8은 본 개시내용의 일 실시예에서 제공되는 지역적 보상 방법을 예시하는 흐름도이다. 본 개시내용의 일 실시예는 도 8에 도시된 바와 같이, 다음의 동작들을 포함하는 지역적 보상 방법을 제공한다:
- [0077] 단계 S10: 보상 화소 회로에서의 신호 취득 회로에 의해 취득된 구동 트랜지스터의 게이트 전압을 수신하는 동작; 및
- [0078] 단계 S20: 구동 트랜지스터의 게이트 전압에 기초하여 비-보상 화소 회로들을 보상하는 동작.
- [0079] 예를 들어, 도 9는 도 8에 도시된 본 개시내용의 실시예에서 제공되는 지역적 보상 방법의 단계 S20의 일 예를 도시하는 흐름도이다. 도 9에 도시된 바와 같이, 본 개시내용의 일 실시예에서 제공되는 지역적 보상 방법에서, 구동 트랜지스터의 게이트 전압에 기초하여 비-보상 화소 회로들을 보상하는 동작(즉, 위에서 언급된 단계 S20)은 다음의 동작들을 더 포함한다:
- [0080] 단계 S21: 보상 구동 회로에 의해 수신된 발광 데이터 신호를 수신하는 동작;
- [0081] 단계 S22: 구동 트랜지스터의 임계 전압을 획득하기 위해 구동 트랜지스터의 게이트 전압으로부터 구동 회로에 의해 수신된 발광 데이터 신호에서의 발광 전압을 감산하는 동작;
- [0082] 단계 S23: 비-보상 화소 회로들에 대한 발광 데이터 신호들을 수신하는 동작;
- [0083] 단계 S24: 비-보상 화소 회로들에 대한 업데이트된 발광 데이터 신호들의 발광 전압들을 얻기 위해 비-보상 화소 회로들에 대한 발광 데이터 신호들의 발광 전압들에 임계 전압을 가산하는 동작; 및
- [0084] 단계 S25: 업데이트된 발광 데이터 신호들의 발광 전압들을 비-보상 화소 회로들로 전송하는 동작.
- [0085] 예를 들어, 위의 단계들의 시퀀스는 본 개시내용을 제한하는 방식으로 아니고 본 개시내용의 실시예들에 대한 단지 일 예이고; 일부 단계들의 시퀀스는 본 개시내용의 실시예들에서 제공되는 지역적 보상 방법의 구현에 영향을 미치는 일 없이 변경될 수 있다. 예를 들어, 단계 S22 및 단계 S23은 순서적으로 교환 가능할 수 있다.
- [0086] 본 개시내용의 실시예들은, 보상 화소 회로에서의 구동 트랜지스터의 게이트 전압을 수집하고 그 전압에 기초하여 주위의 비-보상 화소 회로들을 보상함으로써 임계 전압 보상을 성취하는 보상 화소 회로, 디스플레이 패널, 디스플레이 장치, 지역적 보상 방법 및 구동 방법을 제공한다. 이 배열체는 보상 구동 회로들의 수 및 그 구동 회로들에 의해 점유된 패널 상의 영역을 감소시켜, 디스플레이 패널의 물리적 해상도를 개선시키는 것을 용이하게 한다.
- [0087] 비록 본 개시내용이 일반적인 구체적인 설명 및 특정 실시예들을 통해 상세히 안내되었지만, 본 개시내용의 설명된 실시예들에 기초하여, 본 기술분야의 통상의 기술자들에게 명확할 수정들 또는 개선들이 임의의 창의적 작업 없이 수행될 수 있다. 본 개시내용의 정신으로부터 벗어남 없이 이루어지는 이들 수정들 또는 개선들은 본 개시내용에서의 보호를 위해 청구되는 범위 내에 있어야 한다.

[0088]

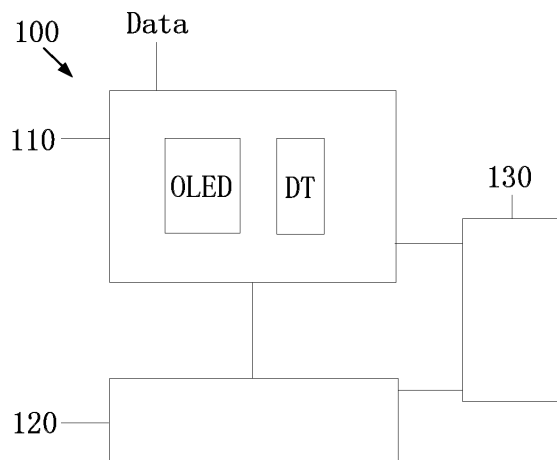
본 출원은 2016년 8월 12일자로 출원된 중국 특허 출원 No. 201610664473.0을 우선권 주장하며, 그것의 전체 개시내용은 본 출원의 부분으로서 참조에 의해 본 명세서에 포함된다.

도면

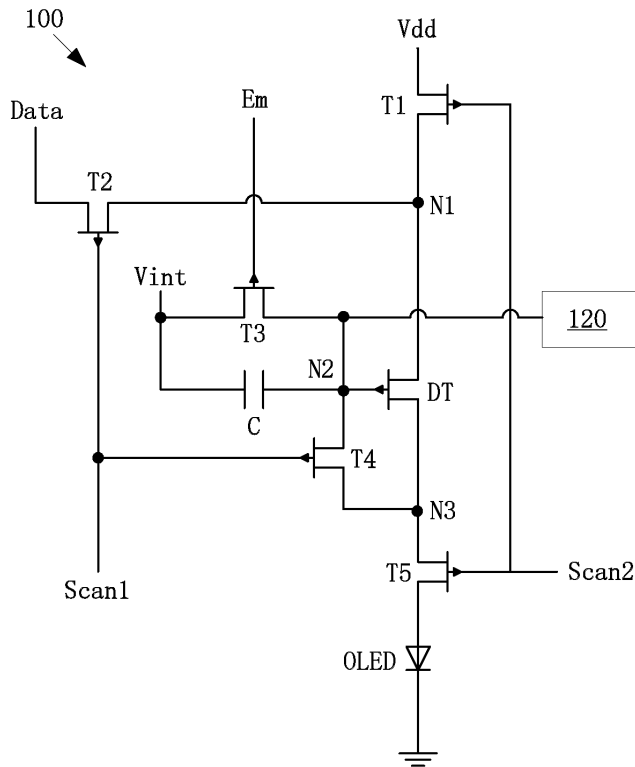
도면1a



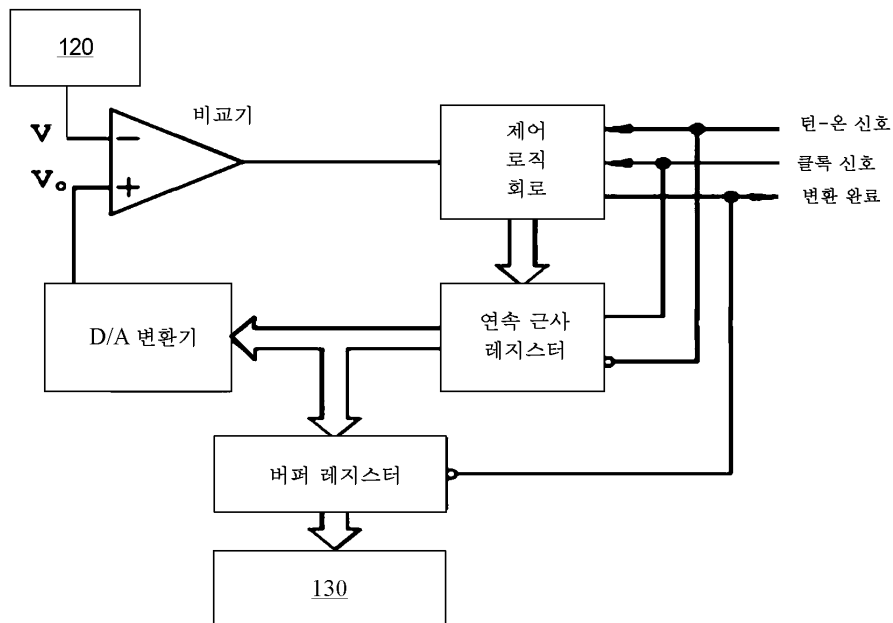
도면1b



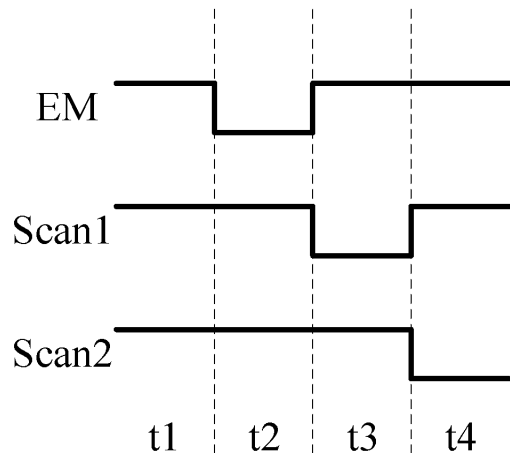
도면2a



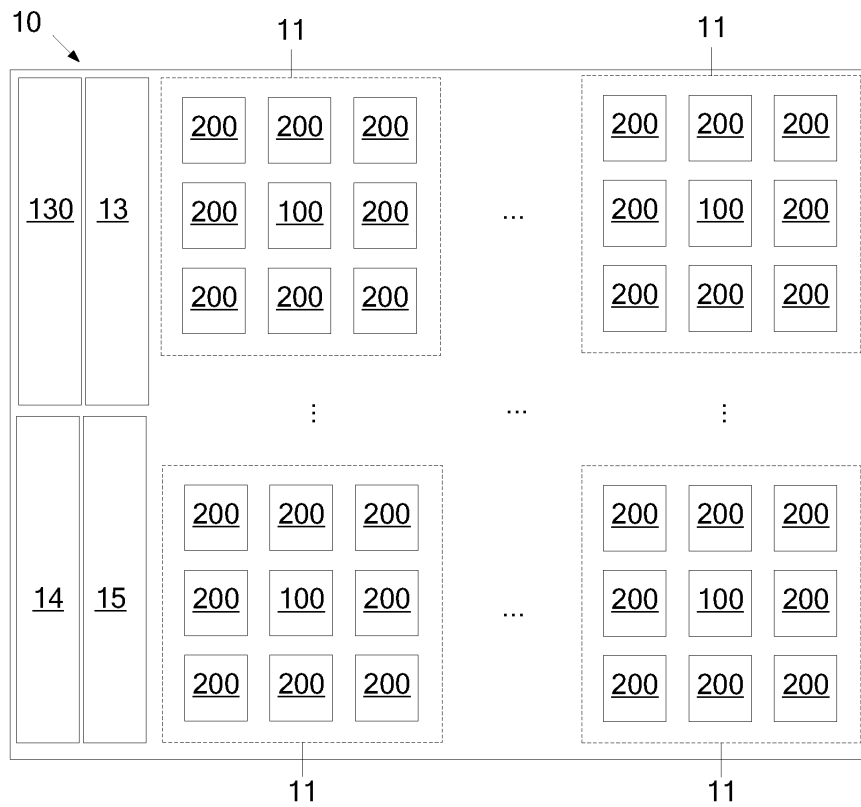
도면2b



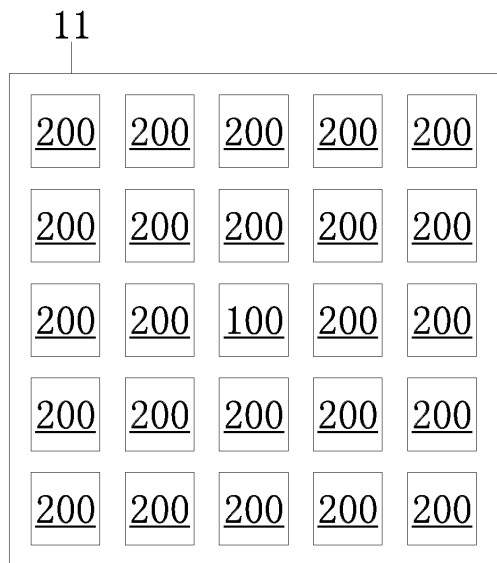
도면3



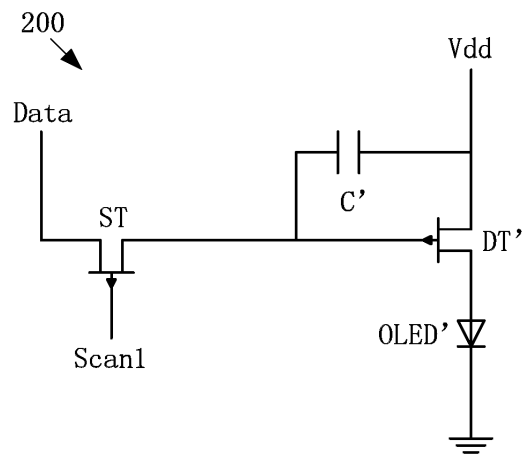
도면4



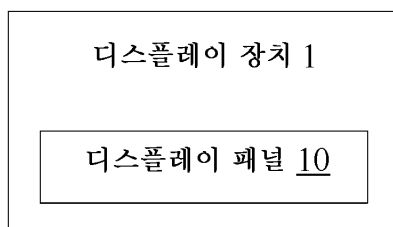
도면5



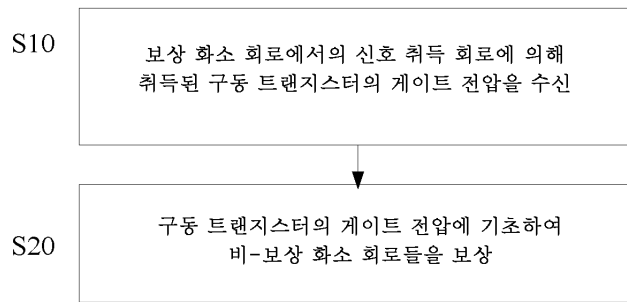
도면6



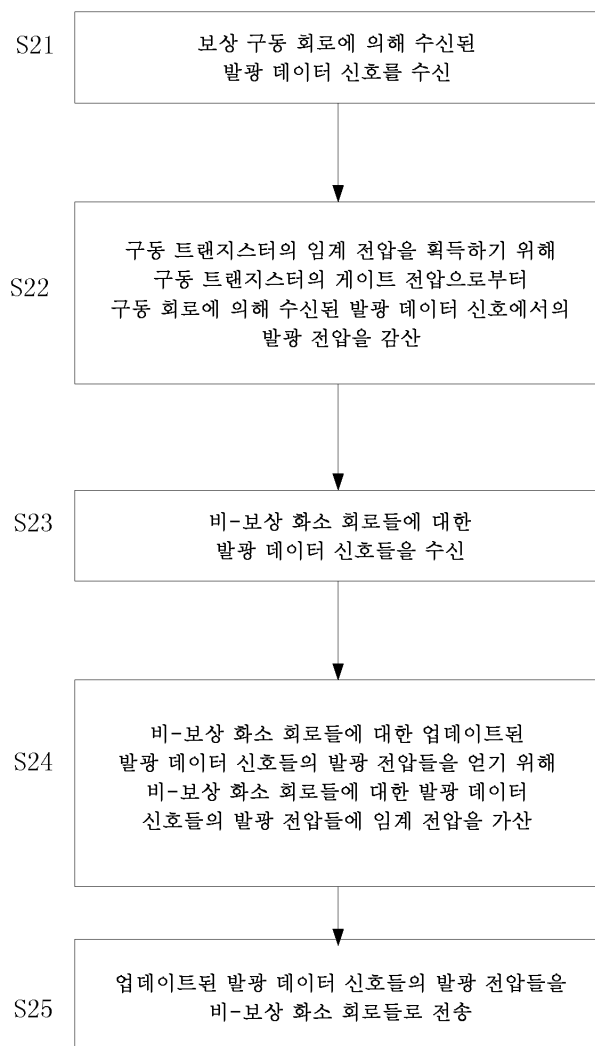
도면7



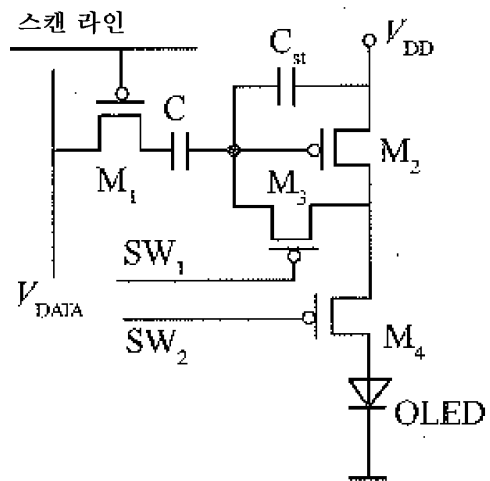
도면8



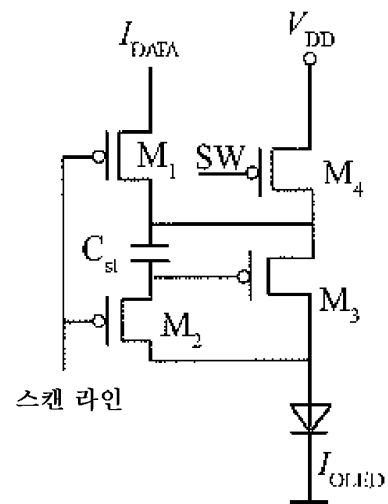
도면9



도면10a



도면10b



专利名称(译)	补偿像素电路，显示面板，显示装置，补偿方法和驱动方法		
公开(公告)号	KR1020180028398A	公开(公告)日	2018-03-16
申请号	KR1020177029231	申请日	2017-03-16
[标]申请(专利权)人(译)	京东方科技集团股份有限公司		
申请(专利权)人(译)	博科技集团股份有限公司		
[标]发明人	YANG SHENGJI 양성지 DONG XUE 동쉐 LV JING 엘브이징 CHEN XIAOCHUAN 천샤오환 LIU DONGNI 류둥니 WANG LEI 왕레이 XIAO LI 샤오리 YUE HAN 웨한 LU PENGCHENG 루평청 FU JIE 푸제 LIU YINGMING 류잉밍 ZHANG CAN 장찬		
发明人	양,성지 동,쉐 엘브이,징 천,샤오환 류,둥니 왕,레이 샤오,리 웨,한 루,평청 푸,제 류,잉밍 장,찬		
IPC分类号	G09G3/3233		
CPC分类号	G09G3/3233 G09G2300/0828 G09G2300/0842 G09G2300/043 G09G3/3208 G09G3/3266 G09G2300/0819 G09G2300/0861 G09G2310/0251 G09G3/3258 G09G2300/0426		
代理人(译)	Yangyoungjun Gimseongun Baekmangi		

优先权	201610664473.0 2016-08-12 CN
其他公开文献	KR101998174B1
外部链接	Espacenet

摘要(译)

提供了补偿像素电路，显示面板，显示装置，局部补偿方法和驱动方法。补偿像素电路（100）包括补偿驱动电路（110）和连接到补偿驱动电路（110）的信号获取电路（120）。补偿驱动电路110包括驱动晶体管和有机发光二极管。补偿驱动电路110用于接收发光数据信号，补偿驱动晶体管的阈值电压，并根据发光数据信号驱动有机发光二极管。信号采集电路120用于采集驱动晶体管的栅极电压。可以通过在补偿像素电路中收集驱动晶体管的栅极电压并基于该电压补偿周围的非补偿像素电路来实现阈值电压补偿。这种布置减少了补偿驱动电路的数量和由驱动电路占据的面板上的区域，从而有助于提高显示面板的分辨率。

