



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0056078
(43) 공개일자 2017년05월23일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) H01L 51/56 (2006.01)
(52) CPC특허분류
H01L 27/3248 (2013.01)
H01L 27/3246 (2013.01)
(21) 출원번호 10-2015-0159001
(22) 출원일자 2015년11월12일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
조승환
경기도 용인시 기흥구 삼성로 1 (농서동)
이승민
경기도 용인시 기흥구 삼성로 1 (농서동)
(뒷면에 계속)
(74) 대리인
리앤목특허법인

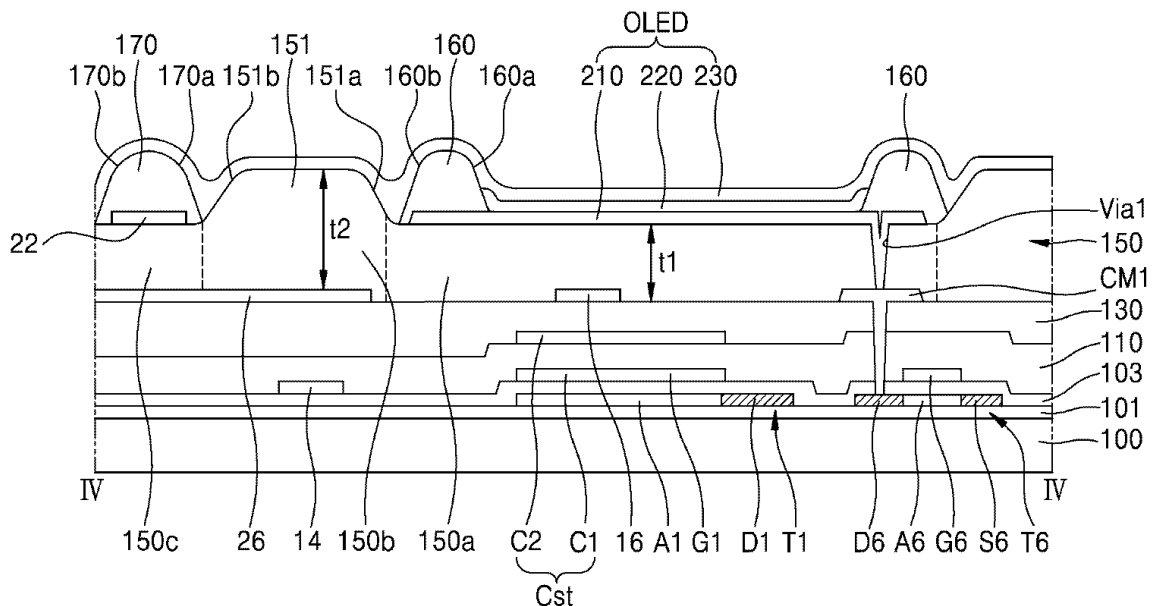
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 유기 발광 표시 장치 및 그 제조 방법

(57) 요약

본 발명의 일 실시예는 화소영역을 구비하는 기관과, 기관의 화소영역 상에 배치된 박막트랜지스터와, 기관의 화소영역을 지나 배선과, 박막트랜지스터 및 배선을 덮는 절연층과, 절연층 상에 배치되고, 박막트랜지스터와 전기적으로 연결된 화소전극과, 화소전극을 노출시키는 개구, 개구를 향하는 내측면, 및 내측면의 반대편에 위치하며 화소전극의 단부를 덮는 외측면을 구비한 화소정의막과, 화소전극과 마주보는 대향전극, 및 화소전극과 대향전극 사이에 개재되는 유기 발광층을 포함하고, 절연층은 화소전극과 중첩하는 제1영역 및 화소전극과 비중첩하는 제2영역을 포함하며, 제2영역의 두께는 상기 제1영역의 두께보다 큰 유기 발광 표시 장치를 개시한다.

대표도



(52) CPC특허분류

H01L 27/3258 (2013.01)

H01L 27/326 (2013.01)

H01L 27/3262 (2013.01)

H01L 27/3276 (2013.01)

H01L 51/56 (2013.01)

H01L 2227/32 (2013.01)

H01L 2251/56 (2013.01)

(72) 발명자

박상호

경기도 용인시 기흥구 삼성로 1 (농서동)

심동환

경기도 용인시 기흥구 삼성로 1 (농서동)

심수연

경기도 용인시 기흥구 삼성로 1 (농서동)

윤주선

경기도 용인시 기흥구 삼성로 1 (농서동)

명세서

청구범위

청구항 1

화소영역을 구비하는 기관;

상기 기관의 화소영역 상에 배치된 박막트랜지스터;

상기 기관의 화소영역을 지나는 배선;

상기 박막트랜지스터 및 상기 배선을 덮는 절연층;

상기 절연층 상에 배치되고, 상기 박막트랜지스터와 전기적으로 연결된 화소전극;

상기 화소전극을 노출시키는 개구, 상기 개구를 향하는 내측면, 및 상기 내측면의 반대편에 위치하며 상기 화소전극의 단부를 덮는 외측면을 구비한 화소정의막

상기 화소전극과 마주보는 대향전극; 및

상기 화소전극과 상기 대향전극 사이에 개재되는 유기 발광층;을 포함하고,

상기 절연층은 상기 화소전극과 중첩하는 제1영역 및 상기 화소전극과 비중첩하는 제2영역을 포함하며,

상기 제2영역의 두께는 상기 제1영역의 두께보다 큰, 유기 발광 표시 장치.

청구항 2

제1항에 있어서,

상기 배선의 적어도 일부는 상기 절연층의 상기 제2영역과 중첩하는, 유기 발광 표시 장치.

청구항 3

제1항에 있어서,

상기 절연층의 상기 제2영역은, 상기 대향전극을 향해 돌출되고 경사면을 구비한 돌출부를 포함하는, 유기 발광 표시 장치.

청구항 4

제3항에 있어서,

상기 돌출부의 경사면은 상기 화소전극의 단부를 향해 연장된, 유기 발광 표시 장치.

청구항 5

제3항에 있어서,

상기 돌출부는 상기 절연층과 일체를 이루며 상기 절연층과 동일한 물질을 포함하는, 유기 발광 표시 장치.

청구항 6

제1항에 있어서,

상기 박막트랜지스터는 활성층, 게이트전극, 소스전극 및 드레인전극을 포함하고,

상기 배선은 상기 게이트전극과 상기 화소전극 사이의 층에 배치되는, 유기 발광 표시 장치.

청구항 7

제6항에 있어서,

상기 배선의 상면은 상기 절연층과 직접 접촉하는, 유기 발광 표시 장치.

청구항 8

제1항에 있어서,

상기 박막트랜지스터는 구동 박막트랜지스터 스위칭 박막트랜지스터를 포함하고,

상기 구동 박막트랜지스터 및 상기 스위칭 박막트랜지스터와 전기적으로 연결된 스토리지 커패시터를 더 포함하며,

상기 배선은,

데이터선, 구동 전압선 및 상기 스위칭 박막트랜지스터와 상기 스토리지 커패시터를 연결하는 연결선 중 적어도 어느 하나를 포함하는, 유기 발광 표시 장치.

청구항 9

제1항에 있어서,

상기 화소전극의 단부를 덮는 상기 화소정의막의 일 단부와 상기 화소전극의 단부 사이에 구비된 공동(cavity)을 더 포함하는, 유기 발광 표시 장치.

청구항 10

기판의 화소영역 상에 구동 박막트랜지스터, 스위칭 박막트랜지스터 및 배선을 형성하는 단계;

제1두께를 갖는 제1영역 및 상기 제1두께 보다 큰 제2두께를 갖는 제2영역을 포함하고, 상기 박막트랜지스터 및 상기 배선을 덮는 절연층을 형성하는 단계;

상기 절연층 상에 도전성 물질층을 형성하는 단계;

상기 도전성 물질층 상에 상기 절연층의 상기 제1영역과 중첩하는 제1절연패턴층을 형성하는 단계;

상기 제1절연패턴층을 마스크로 상기 도전성 물질층을 패터닝하여 화소전극을 형성하는 단계;

상기 화소전극 상에 상기 화소전극의 단부와 대응하는 제2절연패턴층을 형성하는 단계;

제2절연패턴층을 리플로우하여 상기 화소전극의 단부를 덮는 화소정의막을 형성하는 단계;

상기 화소전극 상에 유기 발광층을 형성하는 단계; 및

상기 유기 발광층 상에 대향전극을 형성하는 단계;를 포함하는 유기 발광 표시 장치의 제조 방법.

청구항 11

제10항에 있어서,

상기 제1절연패턴층은, 제1부분 및 제1부분의 두께보다 두꺼운 제2부분을 포함하는, 유기 발광 표시 장치의 제조 방법.

청구항 12

제11항에 있어서,

상기 제2절연패턴층은 상기 제1절연패턴층의 상기 제1부분과 대응하는 개구를 포함하고, 상기 제1절연패턴층의 상기 제2부분과 대응하는, 유기 발광 표시 장치의 제조 방법.

청구항 13

제10항에 있어서,

상기 제2절연패턴층은 상기 제1절연패턴층의 일부를 제거하여 형성되는, 유기 발광 표시 장치의 제조 방법.

청구항 14

제13항에 있어서,

상기 제2절연패턴층은 상기 제1절연패턴층의 일부를 애싱하거나 현상하여 형성되는, 유기 발광 표시 장치의 제조 방법.

청구항 15

제10항에 있어서,

상기 절연층의 상기 제2영역이 상기 제2두께보다 작은 제3두께를 가지도록 상기 절연층의 상기 제2영역의 상부를 제거하는 단계를 더 포함하는, 유기 발광 표시 장치의 제조 방법.

청구항 16

제15항에 있어서,

상기 제2영역의 상부를 제거하는 단계는 상기 제2절연패턴층을 형성하는 단계와 동일 공정에서 수행되는, 유기 발광 표시 장치의 제조 방법.

청구항 17

제10항에 있어서,

리플로우에 의해 상기 절연층의 상기 제2영역에 경사면을 갖는 돌출부를 형성하는 단계:를 더 포함하는, 유기 발광 표시 장치의 제조 방법.

청구항 18

제17항에 있어서,

상기 화소정의막을 형성하는 단계와 상기 경사면을 갖는 돌출부를 형성하는 단계는 동일한 리플로우 공정에서 수행되는, 유기 발광 표시 장치의 제조 방법.

청구항 19

제17항에 있어서,

상기 돌출부의 상기 경사면은 상기 화소전극의 단부를 향해 연장된, 유기 발광 표시 장치의 제조 방법.

청구항 20

제10항에 있어서,

상기 구동 박막트랜지스터 및 상기 스위칭 박막트랜지스터와 전기적으로 연결된 스토리지 커패시터를 형성하는 단계를 더 포함하며,

상기 배선은,

데이터선, 구동 전압선 및 상기 스위칭 박막트랜지스터와 상기 스토리지 커패시터를 연결하는 연결선 중 적어도 어느 하나를 포함하는, 유기 발광 표시 장치의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명의 실시예들은 유기 발광 표시 장치 및 그 제조 방법에 관한 것이다.

배경 기술

[0002] 유기 발광 표시 장치는 화소들 각각이 유기발광소자를 구비하는 표시 장치이다. 유기발광소자는 화소전극과, 이에 대향하는 대향전극과, 화소전극과 대향전극 사이에 개재되며 발광층을 포함한다. 이러한 유기발광 표시 장치의 경우, 화소전극들은 각 화소별로 패터닝된 아일랜드 형상이고 대향전극은 복수개의 화소들에 있어서 일체(一體)인 형태를 갖는다.

발명의 내용

해결하려는 과제

- [0003] 그러나, 이와 같은 종래의 유기발광 디스플레이 장치에는, 각 화소에 구비된 배선과 대향전극 간 기생 커패시턴스가 발생하여, 화질이 저하되는 문제점이 있었다.
- [0004] 본 발명의 실시예들은, 전술한 문제점을 포함하여 여러 문제점들을 해결하기 위한 것으로서, 대향전극과 배선간 기생 커패시턴스의 방지 및 그에 따른 화질 저하를 방지할 수 있는 구조를 구비한 유기 발광 표시 장치 및 그 제조 방법을 제공하는 것을 목적으로 한다. 그러나 이러한 과제는 예시적인 것으로, 이에 의해 본 발명의 범위가 한정되는 것은 아니다.

과제의 해결 수단

- [0005] 본 발명의 일 실시예는, 화소영역을 구비하는 기관; 상기 기관의 화소영역 상에 배치된 박막트랜지스터; 상기 기관의 화소영역을 지나는 배선; 상기 박막트랜지스터 및 상기 배선을 덮는 절연층; 상기 절연층 상에 배치되고, 상기 박막트랜지스터와 전기적으로 연결된 화소전극; 상기 화소전극을 노출시키는 개구, 상기 개구를 향하는 내측면, 및 상기 내측면의 반대편에 위치하며 상기 화소전극의 단부를 덮는 외측면을 구비한 화소정의막; 상기 화소전극과 마주보는 대향전극; 및 상기 화소전극과 대향전극 사이에 개재되는 유기 발광층; 을 포함하고, 상기 절연층은 상기 화소전극과 중첩하는 제1영역 및 상기 화소전극과 비중첩하는 제2영역을 포함하며, 상기 제2영역의 두께는 상기 제1영역의 두께보다 큰, 유기 발광 표시 장치를 개시한다.
- [0006] 본 실시예에 있어서, 상기 배선의 적어도 일부는 상기 절연층의 상기 제2영역과 중첩할 수 있다.
- [0007] 본 실시예에 있어서, 상기 절연층의 상기 제2영역은, 상기 대향전극을 향해 돌출되고 경사면을 구비한 돌출부를 포함할 수 있다.
- [0008] 본 실시예에 있어서, 상기 돌출부의 경사면은 상기 화소전극의 단부를 향해 연장될 수 있다.
- [0009] 본 실시예에 있어서, 상기 돌출부는 상기 절연층과 일체를 이루며 상기 절연층과 동일한 물질을 포함할 수 있다.
- [0010] 본 실시예에 있어서, 상기 박막트랜지스터는 활성층, 게이트전극, 소스전극 및 드레인전극을 포함하고, 상기 배선은 상기 게이트전극과 상기 화소전극 사이의 층에 배치될 수 있다.
- [0011] 본 실시예에 있어서, 상기 배선의 상면은 상기 절연층과 직접 접촉할 수 있다.
- [0012] 본 실시예에 있어서, 상기 박막트랜지스터는 구동 박막트랜지스터 스위칭 박막트랜지스터를 포함하고, 상기 구동 박막트랜지스터 및 상기 스위칭 박막트랜지스터와 전기적으로 연결된 스토리지 커패시터를 더 포함하며, 상기 배선은, 데이터선, 구동 전압선 및 상기 스위칭 박막트랜지스터와 상기 스토리지 커패시터를 연결하는 연결선 중 적어도 어느 하나를 포함할 수 있다.
- [0013] 본 실시예에 있어서, 상기 화소전극의 단부를 덮는 상기 화소정의막의 일 단부와 상기 화소전극의 단부 사이에 구비된 공동(cavity)을 더 포함할 수 있다.
- [0014] 본 발명의 또 다른 실시예는, 기관의 화소영역 상에 구동 박막트랜지스터, 스위칭 박막트랜지스터 및 배선을 형성하는 단계; 제1두께를 갖는 제1영역 및 상기 제1두께 보다 큰 제2두께를 갖는 제2영역을 포함하고, 상기 박막트랜지스터 및 상기 배선을 덮는 절연층을 형성하는 단계; 상기 절연층 상에 도전성 물질층을 형성하는 단계; 상기 도전성 물질층 상에 상기 절연층의 상기 제1영역과 중첩하는 제1절연패턴층을 형성하는 단계; 상기 제1절연패턴층을 마스크로 상기 도전성 물질층을 패터닝하여 화소전극을 형성하는 단계; 상기 화소전극 상에 상기 화소전극의 단부와 대응하는 제2절연패턴층을 형성하는 단계; 제2절연패턴층을 리플로우하여 상기 화소전극의 단부를 덮는 화소정의막을 형성하는 단계; 상기 화소전극 상에 유기 발광층을 형성하는 단계; 및 상기 유기 발광층 상에 대향전극을 형성하는 단계;를 포함하는 유기 발광 표시 장치의 제조 방법을 개시한다.
- [0015] 본 실시예에 있어서, 상기 제1절연패턴층은, 제1부분 및 제1부분의 두께보다 두꺼운 제2부분을 포함할 수 있다.
- [0016] 본 실시예에 있어서, 상기 제2절연패턴층은 상기 제1절연패턴층의 상기 제1부분과 대응하는 개구를 포함하고, 상기 제1절연패턴층의 상기 제2부분과 대응할 수 있다.

- [0017] 본 실시예에 있어서, 상기 제2절연패턴층은 상기 제1절연패턴층의 일부를 제거하여 형성될 수 있다.
- [0018] 본 실시예에 있어서, 상기 제2절연패턴층은 상기 제1절연패턴층의 일부를 애싱하거나 현상하여 형성될 수 있다.
- [0019] 본 실시예에 있어서, 상기 절연층의 상기 제2영역이 상기 제2두께보다 작은 제3두께를 가지도록 상기 절연층의 상기 제2영역의 상부를 제거하는 단계를 더 포함할 수 있다.
- [0020] 본 실시예에 있어서, 상기 제2영역의 상부를 제거하는 단계는 상기 제2절연패턴층을 형성하는 단계와 동일 공정에서 수행될 수 있다.
- [0021] 본 실시예에 있어서, 리플로우에 의해 상기 절연층의 상기 제2영역에 경사면을 갖는 돌출부를 형성하는 단계:를 더 포함할 수 있다.
- [0022] 본 실시예에 있어서, 상기 화소정의막을 형성하는 단계와 상기 경사면을 갖는 돌출부를 형성하는 단계는 동일한 리플로우 공정에서 수행될 수 있다.
- [0023] 본 실시예에 있어서, 상기 돌출부의 상기 경사면은 상기 화소전극의 단부를 향해 연장될 수 있다.
- [0024] 본 실시예에 있어서, 상기 구동 박막트랜지스터 및 상기 스위칭 박막트랜지스터와 전기적으로 연결된 스토리지 커패시터를 형성하는 단계를 더 포함하며, 상기 배선은, 데이터선, 구동 전압선 및 상기 스위칭 박막트랜지스터와 상기 스토리지 커패시터를 연결하는 연결선 중 적어도 어느 하나를 포함할 수 있다.
- [0025] 전술한 것 외의 다른 측면, 특징, 이점이 이하의 도면, 특허청구범위 및 발명의 상세한 설명으로부터 명확해질 것이다.

발명의 효과

- [0026] 본 발명의 실시예들에 제조 마스크의 수를 최소화하면서도 화질이 우수한 유기 발광 디스플레이 장치 및 그 제조 방법을 구현할 수 있다. 그러나, 이러한 효과에 의해 본 발명의 범위가 한정되는 것은 아니다.

도면의 간단한 설명

- [0027] 도 1은 본 발명의 일 실시예에 관한 유기 발광 표시 장치를 개략적으로 나타낸 평면도이다.
- 도 2는 본 발명의 일 실시예에 따른 유기 표시 장치의 화소영역에 구비된 화소를 개략적으로 나타낸 등가회로도이다.
- 도 3은 발명의 일 실시예에 따른 유기 표시 장치의 화소영역에 구비된 화소를 개략적으로 나타낸 평면도이다.
- 도 4는 도 3의 IV-IV선을 따라 취한 단면도이다.
- 도 5 내지 도 10은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 제조 방법에 따른 단면도들이다.

발명을 실시하기 위한 구체적인 내용

- [0028] 본 발명은 다양한 변환을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 상세한 설명에 상세하게 설명하고자 한다. 본 발명의 효과 및 특징, 그리고 그것들을 달성하는 방법은 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 다양한 형태로 구현될 수 있다.
- [0029] 이하, 첨부된 도면을 참조하여 본 발명의 실시예들을 상세히 설명하기로 하며, 도면을 참조하여 설명할 때 동일하거나 대응하는 구성 요소는 동일한 도면부호를 부여하고 이에 대한 중복되는 설명은 생략하기로 한다.
- [0030] 이하의 실시예에서, 제1, 제2 등의 용어는 한정적인 의미가 아니라 하나의 구성 요소를 다른 구성 요소와 구별하는 목적으로 사용되었다.
- [0031] 이하의 실시예에서, 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.
- [0032] 이하의 실시예에서, 포함하다 또는 가지다 등의 용어는 명세서상에 기재된 특징, 또는 구성요소가 존재함을 의미하는 것이고, 하나 이상의 다른 특징들 또는 구성요소가 부가될 가능성을 미리 배제하는 것은 아니다.
- [0033] 이하의 실시예에서, 막, 영역, 구성 요소 등의 부분이 다른 부분 위에 또는 상에 있다고 할 때, 다른 부분의 바로 위에 있는 경우뿐만 아니라, 그 중간에 다른 막, 영역, 구성 요소 등이 개재되어 있는 경우도 포함한다.

- [0034] 도면에서는 설명의 편의를 위하여 구성 요소들이 그 크기가 과장 또는 축소될 수 있다. 예컨대, 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로, 본 발명이 반드시 도시된 바에 한정되지 않는다.
- [0035] 어떤 실시예가 달리 구현 가능한 경우에 특정한 공정 순서는 설명되는 순서와 다르게 수행될 수도 있다. 예를 들어, 연속하여 설명되는 두 공정이 실질적으로 동시에 수행될 수도 있고, 설명되는 순서와 반대의 순서로 진행될 수 있다.
- [0036] 이하의 실시예에서, 막, 영역, 구성 요소 등이 연결되었다고 할 때, 막, 영역, 구성 요소들이 직접적으로 연결된 경우뿐만 아니라 막, 영역, 구성요소들 중간에 다른 막, 영역, 구성 요소들이 개재되어 간접적으로 연결된 경우도 포함한다. 예컨대, 본 명세서에서 막, 영역, 구성 요소 등이 전기적으로 연결되었다고 할 때, 막, 영역, 구성 요소 등이 직접 전기적으로 연결된 경우뿐만 아니라, 그 중간에 다른 막, 영역, 구성 요소 등이 개재되어 간접적으로 전기적 연결된 경우도 포함한다.
- [0037] 도 1은 본 발명의 일 실시예에 관한 유기 발광 표시 장치를 개략적으로 나타낸 평면도이다.
- [0038] 도 1을 참조하면, 유기 발광 표시 장치는 화상을 표시하는 표시영역(DA) 및 표시영역(DA)과 인접한 비표시영역(NDA)을 포함한다. 표시영역(DA)은 복수의 화소영역(PA)을 포함하며, 각 화소영역(PA)마다 소정의 빛을 방출하는 화소가 형성된다. 표시영역(DA)에 구비된 복수의 화소들이 방출하는 빛을 통해 화상이 제공된다.
- [0039] 비표시영역(NDA)은 표시영역(DA)을 둘러싸도록 배치될 수 있으며, 표시영역(DA)에 구비된 복수의 화소에 소정의 신호를 전달하기 위한 주사 구동부(미도시) 및 데이터 구동부(미도시)와 같은 구동부를 포함할 수 있다.
- [0040] 도 1에서는 비표시영역(NDA)이 표시영역을 둘러싸는 경우를 도시하였으나, 본 발명은 이에 한정되지 않는다. 또 다른 실시예로서, 비표시영역(NDA)은 표시영역의 일측에 배치되어 화상이 표시되지 않는 영역, 즉 데드영역을 감소시킬 수 있다.
- [0041] 도 2는 본 발명의 일 실시예에 따른 유기 표시 장치의 화소영역에 구비된 화소를 개략적으로 나타낸 등가회로도이다.
- [0042] 화소영역(PA)에 구비된 화소(1)는 화소회로(2) 및 화소회로(2)를 통해 구동전압을 전달받아 발광하는 유기발광소자(organic light emitting diode, OLED)를 포함한다. 화소회로(2)는 복수의 박막트랜지스터(T1 내지 T7) 및 스토리지 커패시터(storage capacitor, Cst)를 포함할 수 있다.
- [0043] 일 실시예에 따르면, 복수의 박막트랜지스터(T1 내지 T7)는 구동 박막트랜지스터(T1), 및 스위칭 박막트랜지스터(T2 내지 T7)를 포함할 수 있다. 스위칭 박막트랜지스터(T2 내지 T7)는, 예컨대 데이터 전달 박막트랜지스터(T2), 보상 박막트랜지스터(T3), 제1 초기화 박막트랜지스터(T4), 제1 발광 제어 박막트랜지스터(T5), 제2 발광 제어 박막트랜지스터(T6) 및 제2 초기화 박막트랜지스터(T7)를 포함할 수 있다.
- [0044] 화소회로(2)는 데이터 전달 박막트랜지스터(T2) 및 보상 박막트랜지스터(T3)에 제1주사신호(Sn)를 전달하는 제1 주사선(14), 제1 초기화 박막트랜지스터(T4) 및 제2 초기화 박막트랜지스터(T7)에 제2주사신호(Sn-1)를 전달하는 제2주사선(24), 제1 발광 제어 박막트랜지스터(T5) 및 제2 발광 제어 박막트랜지스터(T6)에 발광 제어 신호(En)를 전달하는 발광 제어선(15), 데이터 신호(Dm)를 전달하는 데이터선(16), 제1원원전압(ELVDD)을 전달하는 구동 전압선(26), 및 구동 박막트랜지스터(T1)를 초기화하는 초기화 전압(VINT)을 전달하는 초기화 전압선(22)을 포함할 수 있다.
- [0045] 구동 박막트랜지스터(T1)의 게이트전극(G1)은 스토리지 커패시터(Cst)의 제1 전극(51)과 연결되고, 구동 박막트랜지스터(T1)의 소스전극(S1)은 제1 발광 제어 박막트랜지스터(T5)를 경유하여 구동 전압선(26)과 연결된다. 구동 박막트랜지스터(T1)의 드레인전극(D1)은 제2 발광 제어 박막트랜지스터(T6)를 경유하여 유기발광소자(OLED)의 화소전극과 전기적으로 연결된다. 구동 박막트랜지스터(T1)는 데이터 전달 박막트랜지스터(T2)의 스위칭 동작에 따라 데이터 신호(Dm)를 전달받아 유기발광소자(OLED)에 구동 전류(Id)를 공급한다.
- [0046] 데이터 전달 박막트랜지스터(T2)의 게이트전극(G2)은 제1주사선(14)과 연결되고, 데이터 전달 박막트랜지스터(T2)의 소스전극(S2)은 데이터선(16)과 연결된다. 데이터 전달 박막트랜지스터(T2)는 제1주사선(14)을 통해 전달받은 제1주사신호(Sn)에 따라 턴 온되어 데이터선(16)으로 전달된 데이터 신호(Dm)를 구동 박막트랜지스터(T1)의 소스전극(S1)으로 전달하는 스위칭 동작을 수행한다.
- [0047] 보상 박막트랜지스터(T3)의 게이트전극(G3)은 제1주사선(14)에 연결된다. 보상 박막트랜지스터(T3)의 소스전극

(S3)은 구동 박막트랜지스터(T1)의 드레인전극(D1)과 연결되어 있으면서 제2 발광 제어 박막트랜지스터(T6)를 경유하여 유기발광소자(OLED)의 화소전극과 연결된다. 보상 박막트랜지스터(T3)의 드레인전극(D3)은 스토리지 커패시터(Cst)의 제1전극(C1), 제1 초기화 박막트랜지스터(T4)의 소스전극(S4) 및 구동 박막트랜지스터(T1)의 게이트전극(G1)과 함께 연결된다. 보상 박막트랜지스터(T3)는 제1주사선(14)을 통해 전달받은 제1주사신호(Sn)에 따라 턴 온(turn on)되고 구동 박막트랜지스터(T1)는 다이오드 연결된다.

[0048] 제1 초기화 박막트랜지스터(T4)의 게이트전극(G4)은 제2주사선(24)과 연결되어 있다. 제1 초기화 박막트랜지스터(T4)의 드레인전극(D4)은 초기화 전압선(22)과 연결된다. 제1 초기화 박막트랜지스터(T4)의 소스전극(S4)은 스토리지 커패시터(Cst)의 제1 전극(51), 보상 박막트랜지스터(T3)의 드레인전극(D3) 및 구동 박막트랜지스터(T1)의 게이트전극(G1)과 함께 연결된다. 제1 초기화 박막트랜지스터(T4)는 제2주사선(24)을 통해 전달받은 제2 주사신호(Sn-1)에 따라 턴 온되어 초기화 전압(VINT)을 구동 박막트랜지스터(T1)의 게이트전극(G1)에 전달하여 구동 박막트랜지스터(T1)의 게이트전극(G1)의 전압을 초기화시키는 초기화 동작을 수행한다.

[0049] 제1 발광 제어 박막트랜지스터(T5)의 게이트전극(G5)은 발광 제어선(15)과 연결되어 있다. 제1 발광 제어 박막트랜지스터(T5)의 소스전극(S5)은 구동 전압선(26)과 연결되어 있다. 제1 발광 제어 박막트랜지스터(T5)의 드레인전극(D5)은 구동 박막트랜지스터(T1)의 소스전극(S1) 및 데이터 전달 박막트랜지스터(T2)의 드레인전극(D2)과 연결되어 있다.

[0050] 제2 발광 제어 박막트랜지스터(T6)의 게이트전극(G6)은 발광 제어선(15)과 연결되어 있다. 제2 발광 제어 박막트랜지스터(T6)의 소스전극(S6)은 구동 박막트랜지스터(T1)의 드레인전극(D1) 및 보상 박막트랜지스터(T3)의 소스전극(S3)과 연결되어 있다. 제2 발광 제어 박막트랜지스터(T6)의 드레인전극(D6)은 유기발광소자(OLED)의 화소전극과 연결되어 있다. 제1 발광 제어 박막트랜지스터(T5) 및 제2 발광 제어 박막트랜지스터(T6)가 발광 제어선(15)을 통해 전달받은 발광 제어 신호(En)에 따라 동시에 턴 온되면 제1 전원전압(ELVDD)이 유기발광소자(OLED)에 전달되어 유기발광소자(OLED)에 구동 전류(Id)가 흐르게 된다.

[0051] 제2 초기화 박막트랜지스터(T7)의 게이트전극(G7)은 제2주사선(24)에 연결되어 있다. 제2 초기화 박막트랜지스터(T7)의 소스전극(S7)은 유기발광소자(OLED)의 화소전극과 연결되어 있다. 제2 초기화 박막트랜지스터(T7)의 드레인전극(D7)은 초기화 전압선(22)과 연결되어 있다. 제2 초기화 박막트랜지스터(T7)는 제2주사선(24)을 통해 전달받은 제2주사신호(Sn-1)에 따라 턴 온되어 유기발광소자(OLED)의 화소전극을 초기화시킨다.

[0052] 스토리지 커패시터(Cst)의 제2 전극(52)은 구동 전압선(26)과 연결되어 있다. 스토리지 커패시터(Cst)의 제1 전극(51)은 구동 박막트랜지스터(T1)의 구동 게이트전극(G1), 보상 박막트랜지스터(T3)의 보상 드레인전극(D3) 및, 제1 초기화 박막트랜지스터(T4)의 제1 초기화 소스전극(S4)에 함께 연결되어 있다.

[0053] 유기발광소자(OLED)의 대향전극은 제2 전원전압(ELVSS)에 연결된다. 유기발광소자(OLED)는 구동 박막트랜지스터(T1)로부터 구동 전류(Id)를 전달받아 발광함으로써 화상을 표시한다.

[0054] 본 실시예에서는, 박막트랜지스터가 7개인 경우를 도시하였으나, 본 발명은 이에 제한되지 않는다. 박막트랜지스터의 개수는 화소회로의 설계에 따라 변경 가능하다.

[0055] 도 3은 발명의 일 실시예에 따른 유기 표시 장치의 화소영역에 구비된 화소를 개략적으로 나타낸 평면도이고, 도 4는 도 3의 IV-IV선을 따라 취한 단면도이다.

[0056] 도 3 및 도 4를 참조하면, 화소영역(PA)에는 도 2를 참조하여 설명한 구동 박막트랜지스터(T1), 복수의 스위칭 박막트랜지스터(T2 내지 T7), 스토리지 커패시터(Cst) 및 유기발광소자(OLED)가 배치된다. 또한, 화소영역(PA)에는 제1방향을 따라 연장된 제1주사선(14), 제2주사선(24), 발광 제어선(15)과 초기화 전압선(22), 및 제2방향을 따라 연장되는 데이터선(16) 및 구동 전압선(26)이 배치된다.

[0057] 구동 박막트랜지스터(T1) 및 스위칭 박막트랜지스터(T2 내지 T7)의 활성층들(A1 내지 A7)은 동일층에 형성된다. 활성층들(A1 내지 A7)은 버퍼층(101)이 형성된 기판(100) 상에 배치된다. 활성층들(A1 내지 A7)은 불순물이 도핑된 소스영역 및 드레인영역을 포함하며, 소스영역 및 드레인영역 각각은 소스전극(S1 내지 S7) 및 드레인전극(D1 내지 D7)에 해당한다.

[0058] 구동 박막트랜지스터(T1)의 게이트전극(G1)은 게이트절연막(103)을 가운데 두고 활성층(A1)의 일부와 중첩한다. 게이트절연막(103)은 SiO₂ 및/또는 SiNx으로 단일층 또는 복수의 층으로 형성될 수 있다.

[0059] 일 실시예에 따르면, 구동 박막트랜지스터(T1)의 게이트전극(G1)은 플로팅전극으로 형성될 수 있다. 플로팅전극

인 구동 박막트랜지스터(T1)의 게이트전극(G1)은 연결선(27)에 의해 제1 초기화 박막트랜지스터(T4)와 전기적으로 연결될 수 있다. 구동 박막트랜지스터(T1)의 게이트전극(G1), 제1주사선(14), 제2주사선(24), 및 발광 제어선(15)은 동일층에 형성된다.

[0060] 제1주사선(14)의 일부는 데이터 전달 박막트랜지스터(T2) 및 보상 박막트랜지스터(T3)의 게이트전극(G2, G3)을 형성한다. 제2주사선(24)의 일부는 제1 초기화 박막트랜지스터(T4) 및 제2 초기화 박막트랜지스터(T7)의 게이트전극(G4, G7)을 형성한다. 발광 제어선(15)의 일부는 제1 발광 제어 박막트랜지스터(T5) 및 제2 발광 제어 박막트랜지스터(T6)의 게이트전극(G5, G6)을 형성한다.

[0061] 스토리지 커패시터(Cst)의 제1전극(C1)은 구동 박막트랜지스터(T1)의 게이트전극(G1)과 연결되고, 제2전극(C2)은 제1층간절연막(110)을 가운데 두고 제1전극(C1)과 중첩하도록 배치된다. 제1층간절연막(110)은 SiO₂ 및/또는 SiNx으로 단일층 또는 복수의 층으로 형성될 수 있다. 스토리지 커패시터(Cst)의 제1전극(C1)은 연결선(27)에 의해 제1 초기화 박막트랜지스터(T4)와 연결되고, 스토리지 커패시터(Cst)의 제2전극(C2)은 구동 전압선(26)과 연결된다.

[0062] 스토리지 커패시터(Cst)는 구동 박막트랜지스터(T1)와 중첩할 수 있다. 일 실시예에 따르면, 스토리지 커패시터(Cst)의 제1전극(C1)은 구동 박막트랜지스터(T1)의 게이트전극(G1)과 일체로 형성될 수 있다. 즉, 구동 박막트랜지스터(T1)의 게이트전극(G1)은 게이트전극으로서의 기능뿐만 아니라 스토리지 커패시터(Cst)의 제1전극(C1)의 기능을 수행할 수 있다.

[0063] 본 실시예에서는 스토리지 커패시터(Cst)가 구동 박막트랜지스터(T1)와 중첩하게 배치된 경우를 설명하였으나, 본 발명은 이에 한정되지 않는다. 또 다른 실시예에서, 스토리지 커패시터(Cst)는 구동 박막트랜지스터(T1)와 비중첩하도록 형성될 수 있다.

[0064] 데이터선(16), 구동 전압선(26) 및 연결선(27)은 동일층에 형성되며, 제2층간절연막(130)을 가운데 두고 스토리지 커패시터(Cst)의 위에 형성될 수 있다. 제2층간절연막(130)은 SiO₂ 및/또는 SiNx으로 단일층 또는 복수의 층으로 형성될 수 있다. 데이터선(16)은 제1접속부(Cnt1)를 통해 데이터 전달 박막트랜지스터(T2)와 연결되며, 구동 전압선(26)은 제2접속부(Cnt2) 및 제3접속부(Cnt3)에 의해 각각 스토리지 커패시터(Cst) 및 제1 발광 제어 박막트랜지스터(T5)와 연결된다.

[0065] 화소전극(210)은 비아 절연층(150)을 가운데 두고 데이터선(16), 구동 전압선(26) 및 연결선(27)의 위에 형성된다. 비아 절연층(150)은 데이터선(16), 구동 전압선(26) 및 연결선(27)의 상면과 접촉하도록 데이터선(16), 구동 전압선(26) 및 연결선(27)의 바로 위에 배치된다. 비아 절연층(150)은 감광성 유기물을 포함할 수 있으며, 감광성 유기물은 올레핀(olefin) 계열의 유기물이나, 아크릴 계열 유기물 또는 이미드 계열 유기물 등을 포함할 수 있다.

[0066] 화소전극(210)은 비아 절연층(150)에 형성된 제1비아홀(Via1)을 통해 제2 발광 제어 박막트랜지스터(T6)의 드레인전극(D6)과 연결된 제1연결금속(CM1)에 접속될 수 있다. 화소전극(210)은 제1연결금속(CM1)에 의해 제2 발광 제어 박막트랜지스터(T6)에 전기적으로 연결되고, 제2 발광 제어 박막트랜지스터(T6)를 경유하여 구동 박막트랜지스터(T1)와 전기적으로 연결될 수 있다.

[0067] 화소전극(210)은 (반)투명전극이거나 반사전극일 수 있다. (반)투명전극인 경우, 예컨대 인듐틴옥사이드(ITO; indium tin oxide), 인듐징크옥사이드(IZO; indium zinc oxide), 징크옥사이드(ZnO; zinc oxide), 인듐옥사이드(In₂O₃ indium oxide), 인듐갈륨옥사이드(IGO; indium gallium oxide) 또는 알루미늄징크옥사이드(AZO; aluminium zinc oxide)를 포함할 수 있다. 반사전극인 경우, 은(Ag), 마그네슘(Mg), 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr) 또는 이들의 화합물 등으로 형성된 반사막 및, 반사막의 위/아래에 위치하며 ITO, IZO, ZnO 또는 In₂O₃로 형성된 막을 포함할 수 있다.

[0068] 화소전극(210) 상에는 화소정의막(160)이 형성된다. 화소정의막(160)은 화소전극(210)이 노출되도록 화소전극(210)의 단부를 따라 배치된다. 화소정의막(160)은 평면도 상에서 도넛 형상 또는 프레임 형상일 수 있다. 화소정의막(160)은 화소전극(210)의 단부를 덮어 화소전극(210)과 대향전극(230)과 사이를 절연시킨다.

[0069] 화소정의막(160)은 화소전극(210)의 상면으로부터 연장되며 화소전극(210)을 노출시키는 개구(OP, 도 9참조)와 인접한 내측면(160a) 및 내측면(160a)의 반대편에 위치하고 화소전극(210)의 단부를 덮는 외측면(160b)을 포함한다. 화소정의막(160)의 내측면(160a) 및 외측면(160b)은 경사면일 수 있다. 화소정의막(160)은 감광성 유기물을 포함할 수 있으며, 감광성 유기물은 올레핀 계열의 유기물이나, 아크릴 계열 유기물 또는 이미드 계열 유기

물 등을 포함할 수 있다

- [0070] 일 실시예에 따르면, 초기화 전압선(22)은 화소전극(210)과 동일층에 형성될 수 있다. 초기화 전압선(22)이 화소전극(210)과 동일층에 형성되는 경우, 초기화 전압선(22)은 절연층(170)으로 덮일 수 있다. 절연층(170)은 화소정의막(160)과 동일층에 형성되며, 절연층(170)의 측면들(170a, 170b)은 초기화 전압선(22)의 단부를 덮는 경사면일 수 있다.
- [0071] 화소정의막(160)에 의해 노출된 화소전극(210) 상에는 유기 발광층(220)이 배치되고, 유기 발광층(220) 상에는 대향전극(230)이 배치된다.
- [0072] 유기 발광층(220)은 저분자 유기물 또는 고분자 유기물을 포함한다. 화소전극(210)과 대향전극(230) 상에는 유기 발광층(220) 이외에 정공 주입층(hole injection layer), 정공 수송층(hole transport layer), 전자 수송층(electron transport layer) 및 전자 주입층(electron injection layer) 중 적어도 하나가 더 배치될 수 있다.
- [0073] 대향전극(230)은 복수의 화소영역들(PA) 상에 있어서 일체(一體)로 형성되어 표시영역(DA)을 덮을 수 있다. 대향전극(230)은 비표시영역(NDA)에 구비된 전원공급선(미도시)에 접촉하여 제2전원전압(ELVSS)을 공급받는다.
- [0074] 대향전극(230)은 (반)투명전극이거나 반사전극일 수 있다. (반)투명전극인 경우에는 Ag/Mg, Li, Ca, LiF/Ca, LiF/Al, Al, Mg 또는 이들의 화합물로 된 층을 포함할 수 있으며, 이 층 상에 위치하는 ITO, IZO, ZnO 또는 In₂O₃ 등의 (반)투명물질로 형성된 층을 더 포함할 수 있다. 반사전극인 경우에는 예컨대 Li, Ca, LiF/Ca, LiF/Al, Al, Ag 및 Mg 중 하나 이상의 물질을 포함하는 층을 포함할 수 있다. 대향전극(230)의 구성 및 재료가 이에 한정되는 것은 아니며 다른 물질로 형성될 수도 있고 다층구조를 가질 수 있는 등, 다양한 변형이 가능하다.
- [0075] 비아 절연층(150)은 기판(100)의 전면(全面)을 덮도록 기판(100) 상에 배치되며, 화소전극(210)과 중첩하는 제1영역(150a) 및 화소전극(210)과 비중첩하는 제2영역(150b)을 포함한다. 화소정의막(160)이 화소전극(210)과 대응하는 도넛 형상 또는 프레임 형상을 갖도록 비아 절연층(150)의 제1영역(150a) 상에 배치되므로, 비아 절연층(150)의 일부 영역, 예컨대 제2영역(150b)은 화소정의막(160)과 중첩하지 않는다.
- [0076] 비아 절연층(150)의 제2영역(150b)은 돌출부(151)를 구비하며 돌출부(151)의 측면은 경사면을 포함한다. 돌출부(151)의 측면(151a, 151b) 중 어느 하나의 측면(151a)은 화소전극(210)의 단부를 향해 연장될 수 있다. 일 실시예에 따르면, 돌출부(151)의 일 단부는 화소전극(210)의 단부와 접촉하면서 화소전극(210)의 단부를 절연시킬 수 있다.
- [0077] 돌출부(151)를 구비한 제2영역(150b)의 두께(t₂)는 제1영역(150a)의 두께(t₁) 보다 크다. 비아 절연층(150)의 제2영역(150b)의 두께(t₂)가 크기 때문에, 비아 절연층(150)의 제2영역(150b) 위에 배치된 대향전극(230)의 일 영역과 비아 절연층(150)의 제2영역(150b)의 아래에 배치된 배선, 예컨대 데이터선(16), 구동 전압선(26) 및/또는 연결선(27) 사이의 기생 커패시턴스의 발생이 억제된다. 따라서, 기생 커패시턴스에 의한 화질 저하를 방지할 수 있다.
- [0078] 초기화 전압선(22)이 화소전극(210)과 동일층에 형성되는 경우, 비아 절연층(150)은 초기화 전압선(22)과 중첩되는 제3영역(150c)을 더 포함할 수 있다. 제3영역(150c)의 두께는 제1영역의 두께(t₁)와 실질적으로 동일하게 형성된다.
- [0079] 도 4에서는 비아 절연층(150)의 제2영역(150b)의 위와 아래에 대향전극(230)과 구동 전압선(26)이 배치된 경우를 도시하고 있으나 본 발명이 도 4의 도시된 내용으로 한정되는 것은 아니다. 도 3을 참조하면, 기판(100)의 전면(全面)을 덮는 비아 절연층(150) 중 화소전극(210) 및 초기화 전압선(22)과 비중첩되는 영역이 제2영역(150b)에 해당할 수 있다. 그러므로, 구동 전압선(26)뿐만 아니라 데이터선(16)과 대향전극(230) 사이 및/또는 연결선(27)과 대향전극(230) 사이의 기생 커패시턴스 발생도 억제될 수 있다.
- [0080] 도 3 및 도 4에서는 화소전극(210)이 화소영역(PA)에서 구동 박막트랜지스터(T1)과 중첩되게 형성된 경우를 도시하고 있으나, 본 발명은 이에 한정되지 않는다. 예컨대, 화소전극(210)이 두개의 화소영역(PA)에 걸쳐 배치되는 것과 같이 화소전극(210)의 위치는 다양하게 변경 가능하다.
- [0081] 도 5 내지 도 10은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 제조 방법에 따른 단면도이다.
- [0082] 도 3 및 도 5를 참조하면, 기판(100)의 화소영역(PA) 상에 구동 박막트랜지스터(T1), 스위칭 박막트랜지스터(T2 내지 T7), 스토리지 커패시터(Cst) 및 배선(14, 15, 24, 16, 26, 27)을 형성한다.
- [0083] 기판(100)은 글라스재, 금속재, 또는 PET(Polyethylen terephthalate), PEN(Polyethylen naphthalate), 폴리이

미드(Polyimide) 등과 같은 플라스틱재 등, 다양한 재료로 형성된 것일 수 있다. 기관(100) 상에는 불순물이 활성화층(A1 내지 A7)으로 침투하는 것을 방지하기 위해 형성된 버퍼층(101), 박막트랜지스터(T1 내지 T7)의 활성화층(A1 내지 A7)과 게이트전극(G1 내지 G7)을 절연시키기 위한 게이트절연막(103), 스토리지 커패시터(Cst)의 제1전극(C1)과 제2전극(C2) 사이에 개재되는 제1층간절연막(110), 스토리지 커패시터(Cst)의 제2전극(C2)을 덮는 제2층간절연막(130), 및 제2층간절연막(130) 위에 형성된 데이터선(16), 구동 전압선(26) 및 연결선(27)과 제1연결금속(CM1)을 덮는 비아 절연층(150)을 형성한다.

- [0084] 도 5에서는, 스토리지 커패시터(Cst)가 구동 박막트랜지스터(T1)와 중첩되게 배치된 경우를 설명하였으나, 본 발명은 이에 한정되지 않는다. 또 다른 실시예에서, 스토리지 커패시터(Cst)는 구동 박막트랜지스터(T1)와 비중첩되도록 형성될 수 있다. 예컨대, 스토리지 커패시터(Cst)의 제1 및 제2전극(C1, C2)이 각각 활성화층(A1 내지 A7)과 게이트전극(G1 내지 G7)과 동일층에 형성되는 경우, 제2층간절연막(130)은 생략될 수 있다.
- [0085] 다음으로, 기관(100)의 전면 상에 감광성 유기물을 포함하는 절연물질(미도시)을 형성하고, 하프톤 마스크(400)를 이용하여 비아 절연층(150)을 형성한다. 감광성 유기물은 올레핀(olefin) 계열의 유기막이나, 아크릴 계열 유기막 또는 이미드 계열 유기막 등을 포함할 수 있다.
- [0086] 일 실시예로, 하프톤 마스크(400)를 이용하여 노광하고 노광영역을 제거함으로써 비아 절연층(150)을 형성할 수 있다.
- [0087] 비아 절연층(150)은 제1연결금속(CM1)을 노출하는 제1비아홀(Via1), 제1두께(T1')를 갖는 제1영역(150a) 및 제2두께(T2')를 갖는 제2영역(150b)을 포함한다. 제2영역(150b)의 상부는 제1영역(150a)에 비하여 두께 방향을 향해 돌출되어 돌출부(151)를 형성할 수 있다.
- [0088] 비아 절연층(150)은 제1두께(T1')와 같은 두께를 갖는 제3영역(150c)을 더 포함할 수 있다. 비아 절연층(150)의 제1영역(150a) 상에는 후술하는 공정에서 형성되는 화소전극(210)이 배치되고 제3영역(150c)은 후술하는 공정에서 형성되는 초기화 전압선(22)이 배치된다.
- [0089] 하프톤 마스크(400)의 투과영역(401)은 비아 절연층(150)의 제1비아홀(Via1)과 대응되고, 반투과영역(402)은 비아 절연층(150)의 제1영역(150a) 및 제3영역(150c)과 대응되며, 차광영역(403)은 비아 절연층(150)의 제2영역(150b)과 대응될 수 있다. 본 실시예에서는 하프톤 마스크(400)를 사용하는 경우를 설명하였으나, 슬릿 마스크를 사용할 수 있음은 물론이다.
- [0090] 도 3 및 도 6을 참조하면, 비아 절연층(150) 상에 도전성 물질층(210') 및 절연물질층(160'')을 형성한다. 절연물질층(160'')은 감광성 유기물을 포함하고, 감광성 유기물은 올레핀 계열의 유기물이나, 아크릴 계열 유기물 또는 이미드 계열 유기물 등을 포함할 수 있다.
- [0091] 이 후, 하프톤 마스크(500)를 이용하여 절연물질층(160'')을 노광하고 노광영역을 제거함으로써 도전성 물질층(210') 상에 제1절연패턴층(160'')을 형성한다.
- [0092] 제1절연패턴층(160'')은 비아 절연층(150)의 제1영역(150a) 상에 위치하며, 제1부분(160a'') 및 제1부분(160a'') 보다 두께가 두꺼운 제2부분(160b'')을 포함할 수 있다. 제2부분(160b'')은 제1부분(160a'')을 둘러싸도록 형성된다. 도전성 물질층(210') 중 제1절연패턴층(160'')과 비중첩되는 영역은 외부로 노출된다.
- [0093] 하프톤 마스크(500)의 투과영역(501)은 비아 절연층(150)의 제2영역(150b)과 대응한다. 하프톤 마스크(500)의 반투과영역(502)은 제1절연패턴층(160'')의 제1부분(160a'')과 대응하며, 차광영역(503)은 제1절연패턴층(160'')의 제2부분(160b'')과 대응될 수 있다.
- [0094] 일 실시예에 따르면, 비아 절연층(150)의 제3영역(150c) 상에 제1절연패층(170'')이 형성될 수 있다. 제1절연패층(170'')은 제1절연패턴층(160'')의 패터닝 공정과 동일 공정에서 형성될 수 있다. 제1절연패층(170'')은 하프톤 마스크(500)의 차광영역(503)과 대응될 수 있다.
- [0095] 본 실시예에서는 하프톤 마스크(500)를 사용하는 경우를 설명하였으나, 슬릿 마스크를 사용할 수 있음은 물론이다.
- [0096] 도 3 및 도 7을 참조하면, 제1절연패턴층(160'')을 마스크로 도전성 물질층(210')을 패터닝하여 화소전극(210)을 형성한다. 일 실시예에 따르면, 도전성 물질층(210')은 습식 식각(wet etching)에 의해 제거될 수 있다. 습식 식각 공정에 의해 화소전극(210)의 폭은 제1절연패턴층(160'')의 폭보다 작게 형성될 수 있다.
- [0097] 일부 실시예에 따르면, 화소전극(210)의 형성공정과 동일 공정에서 초기화 전압선(22)이 형성될 수 있다. 일 실

시에에 따르면, 제1절연패턴층(170'')을 마스크로 도전성 물질층(210')을 패터닝하여 초기화 전압선(22)을 형성할 수 있다. 예컨대, 습식 식각에 의해 초기화 전압선(22)이 형성될 수 있으며, 초기화 전압선(22)의 폭은 제1절연패턴층(170'')의 폭 보다 작게 형성될 수 있다.

- [0098] 도 3 및 도 8을 참조하면, 제1절연패턴층(160'')을 일부 제거하여 제2절연패턴층(160')을 형성한다. 제2절연패턴층(160')은 제1절연패턴층(160'')을 애싱 또는 현상하여 형성할 수 있다.
- [0099] 제2절연패턴층(160')은 제1절연패턴층(160'')의 제2부분(160b'')과 대응된다. 애싱 또는 현상 공정에 의해 제2절연패턴층(160')의 폭과 높이는 제1절연패턴층(160'')의 제2부분(160b'')의 폭과 높이 보다 작아지고, 제1절연패턴층(160'')의 제1부분(160a'')은 모두 제거되어 개구(OP)를 형성한다.
- [0100] 제2절연패턴층(160')은 화소전극(210)의 위에 배치되며 화소전극(210)의 단부와 대응되게 위치하고, 제2절연패턴층(160')의 개구(OP)를 통해 화소전극(210)이 노출된다.
- [0101] 제1절연패턴층(160'')의 애싱 또는 현상 공정에서 비아 절연층(150)의 일부가 제거될 수 있다. 예컨대, 비아 절연층(150) 중 외부로 노출된 영역, 즉 제2영역(150b)의 상부가 제1절연패턴층(160'')의 애싱 또는 현상시 제거될 수 있다. 그러므로, 비아 절연층(150)의 돌출부(151)의 높이가 낮아지고, 비아 절연층(150)의 제2영역(150b)은 도 5를 참조하여 설명한 제2두께(T2') 보다 작은 제3두께(T3')를 가진다. 제3두께(T3')는 제1두께(T1') 보다 크다.
- [0102] 일부 실시예에 따르면, 제1절연패턴층(160'')의 애싱 또는 현상 공정과 동일 공정에서 제1절연패턴층(170'')도 일부 제거되어 제2절연패턴층(170')이 형성될 수 있다. 애싱 또는 현상 공정에 의해 제2절연패턴층(170')의 폭과 높이는 제1절연패턴층(170'')의 폭과 높이 보다 작아진다.
- [0103] 도 3 및 도 9를 참조하면, 제2절연패턴층(160')을 리플로우시켜 화소전극(210)의 단부를 덮는 화소정의막(160)을 형성한다. 예컨대, 제2절연패턴층(160')은 썬열 리플로우(thermal reflow) 공정을 통해 흘러내려 화소전극(210)의 단부를 덮을 수 있다. 화소정의막(160)의 내측면(160a) 및 외측면(160b)은 모두 경사면을 가질 수 있으며, 외측면(160b)은 화소전극(210)의 단부를 덮는다.
- [0104] 도 9의 확대도를 참조하면, 리플로우에 공정에 의해 화소정의막(160)은 화소전극(210)의 단부를 덮는다. 이 때, 화소전극(210)의 단부를 덮는 화소정의막(160)의 일 단부와 화소전극(210)의 단부 사이에는 공동(ps, cavity)이 위치할 수 있다. 일 실시예에 따르면, 도 7을 참조하여 설명한 화소전극(210)의 형성 공정에서 화소전극(210)의 단부는 도 9의 확대도에 도시된 바와 같이 요철면을 가질 수 있다. 이와 같은 상태에서 리플로우 공정이 진행되면, 화소정의막(160)과 화소전극(210)의 단부 사이에 공동(ps)이 개재된 채로 화소정의막(160)이 화소전극(210)의 단부를 덮을 수 있다.
- [0105] 리플로우 공정시, 비아 절연층(150)의 제2영역(150b)의 돌출부(151)도 화소전극(210)을 향해 흘러내려, 돌출부(151)의 측면(151a, 151b)은 경사면을 포함할 수 있다. 비아 절연층(150)의 돌출부(151)의 경사면(151a)은 화소전극(210)의 단부를 향해 연장될 수 있다. 도시되지는 않았으나 일부 실시예에 따르면, 돌출부(151)의 일 단부는 화소전극(210)의 단부와 직접 접촉하면서 화소전극(210)의 단부를 절연시킬 수 있다.
- [0106] 일 실시예에 따르면, 제2절연패턴층(170')이 리플로우되어 절연패턴(170)을 형성할 수 있다. 예컨대, 제2절연패턴층(170')은 썬열 리플로우(thermal reflow) 공정을 통해 흘러내려 초기화 전압선(22)의 단부를 덮을 수 있다. 절연패턴(170)의 측면들(170a, 170b)은 경사면을 가질 수 있다.
- [0107] 도 3 및 도 10을 참조하면, 화소전극(210) 상에 유기 발광층(220)을 형성하고, 유기 발광층(220) 상에 대향전극(230)을 형성한다.
- [0108] 유기 발광층(220)은 화소정의막(160)에 의해 노출된 화소전극(210) 위에 배치되며, 저분자 유기물 또는 고분자 유기물을 포함할 수 있다. 유기 발광층(220)과 대향전극(230) 사이에는, 유기 발광층(220)뿐만 이외에 정공 주입층(hole injection layer), 정공 수송층(hole transport layer), 전자 수송층(electron transport layer) 및 전자 주입층(electron injection layer) 중 적어도 하나가 더 배치될 수 있다.
- [0109] 대향전극(230)은 기판(100)의 전면(全面)에 걸쳐서 일체로 형성된다. 화소정의막(160)이 화소전극(210)의 단부를 덮고 있으므로, 화소전극(210)과 대향전극(230) 사이의 단락이 방지된다.
- [0110] 또한, 비아 절연층(150)의 제2영역(150b)이 돌출부(151)를 구비하도록 제3두께(T3')를 가지므로, 제2영역(150b)의 아래에 구비된 배선, 예컨대 데이터선(16), 구동 전압선(26) 및/또는 연결선(27)과 대향전극(230) 사이의

기생 커패시턴스의 발생이 억제될 수 있고, 따라서 화질을 개선할 수 있다.

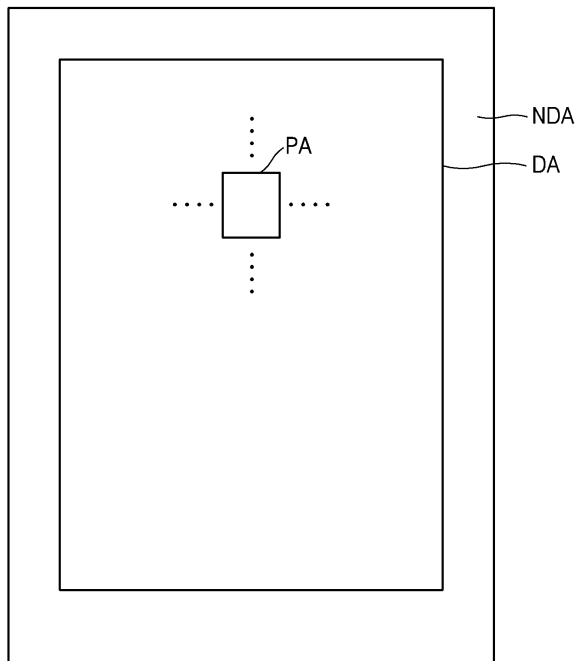
- [0111] 도 8 내지 도 10에서의 비아 절연층(150)의 제1영역(150a)의 제1두께(T1')는 도 4에 도시된 비아 절연층(150)의 제1영역(150a)의 두께(t1)와 같고, 도 8 내지 도 10에서의 비아 절연층(150)의 제2영역(150b)의 제3두께(T3')는 도 4에 도시된 비아 절연층(150)의 제2영역(150b)의 두께(t2)와 같다.
- [0112] 전술한 바와 같은 본 발명의 실시예에 따르면, 하프톤 마스크(500) 1매를 이용하여 화소전극(210) 및 화소정의막(160)이 형성되므로, 제조 공정에서 사용되는 마스크의 수가 저감되는 효과가 있다.
- [0113] 본 발명의 실시예에 따르면, 비아 절연층(150)의 제1영역(150a) 및 제2영역(150b)의 두께가 다르게 형성되므로, 비아 절연층(150)의 위와 아래에 구비된 대향전극(230) 및 배선(예, 데이터선(16), 구동 전압선(26), 연결선(27)) 간 기생 커패시턴스의 발생을 억제할 수 있다.
- [0114] 전술한 바와 같이 애싱 또는 현상 공정에서 비아 절연층(150) 중 노출된 영역, 즉 제2영역(150b)도 제거되므로, 만약 비아 절연층(150)이 균일한 제1두께(T1')를 갖는다면, 애싱 또는 현상 공정 이후에 비아 절연층(150)의 제2영역(150b)의 두께는 제1두께(T1') 보다 작아진다. 그러므로, 제2영역(150b)을 중심으로 위와 아래에 각각 배치된 대향전극(230)과 배선 간 기생커패시턴스가 형성되어, 화질 저하를 야기시킨다.
- [0115] 그러나, 본 발명의 실시예들에 따르면, 전술한 바와 같이 비아 절연층(150)의 제2영역(150b)의 두께를 크게 형성하므로, 기생 커패시턴스의 발생 및 그에 따른 화질저하를 방지할 수 있다.
- [0116] 또한, 본 발명의 실시예들에 따르면, 애싱 또는 현상 공정에 의해 비아 절연층(150)의 제2영역(150b)이 일부 제거되는 공정 마진을 고려하여, 비아 절연층(150)의 형성 공정 시 제2영역(150b)이 제2두께(T2', T2'>T3')를 갖도록 형성하므로 전술한 바와 같은 기생 커패시턴스의 문제를 최소화할 수 있다.
- [0117] 이와 같이 본 발명은 도면에 도시된 일 실시예를 참고로 하여 설명하였으나 이는 예시적인 것에 불과하며 당해 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 실시예의 변형이 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

부호의 설명

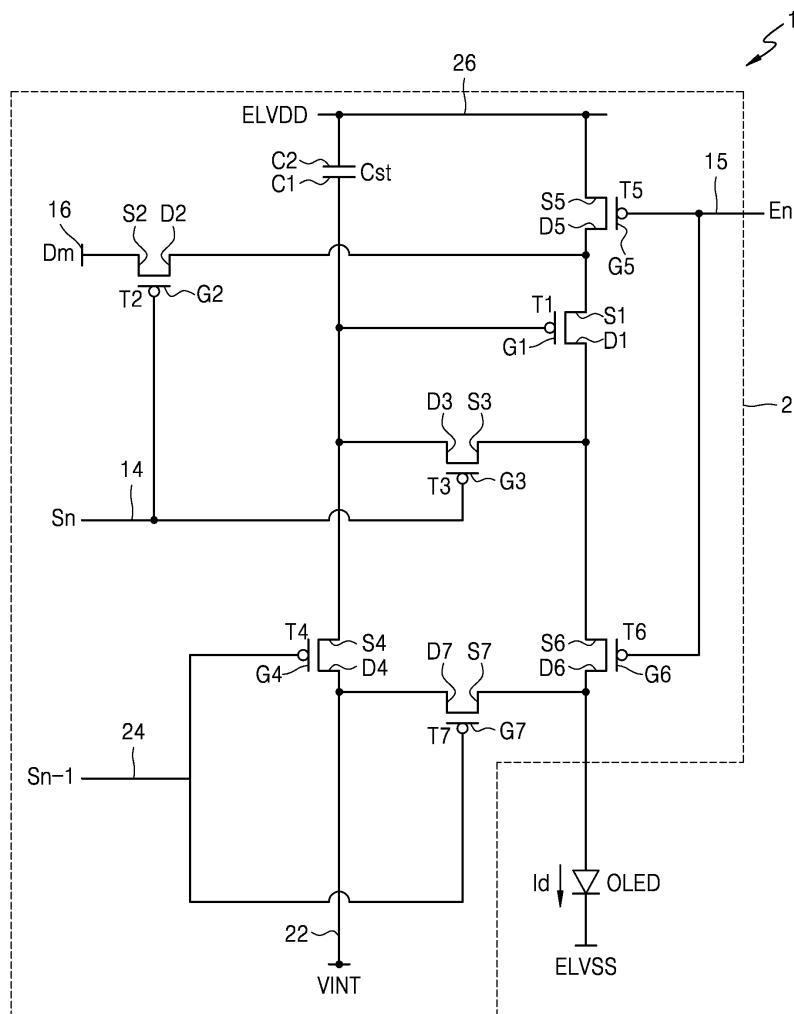
- [0118] 16: 데이터선
26: 구동 전압선
27: 연결선
150: 비아 절연막
160: 화소정의막
170: 절연담
210: 화소전극
220: 유기 발광층
230: 대향전극

도면

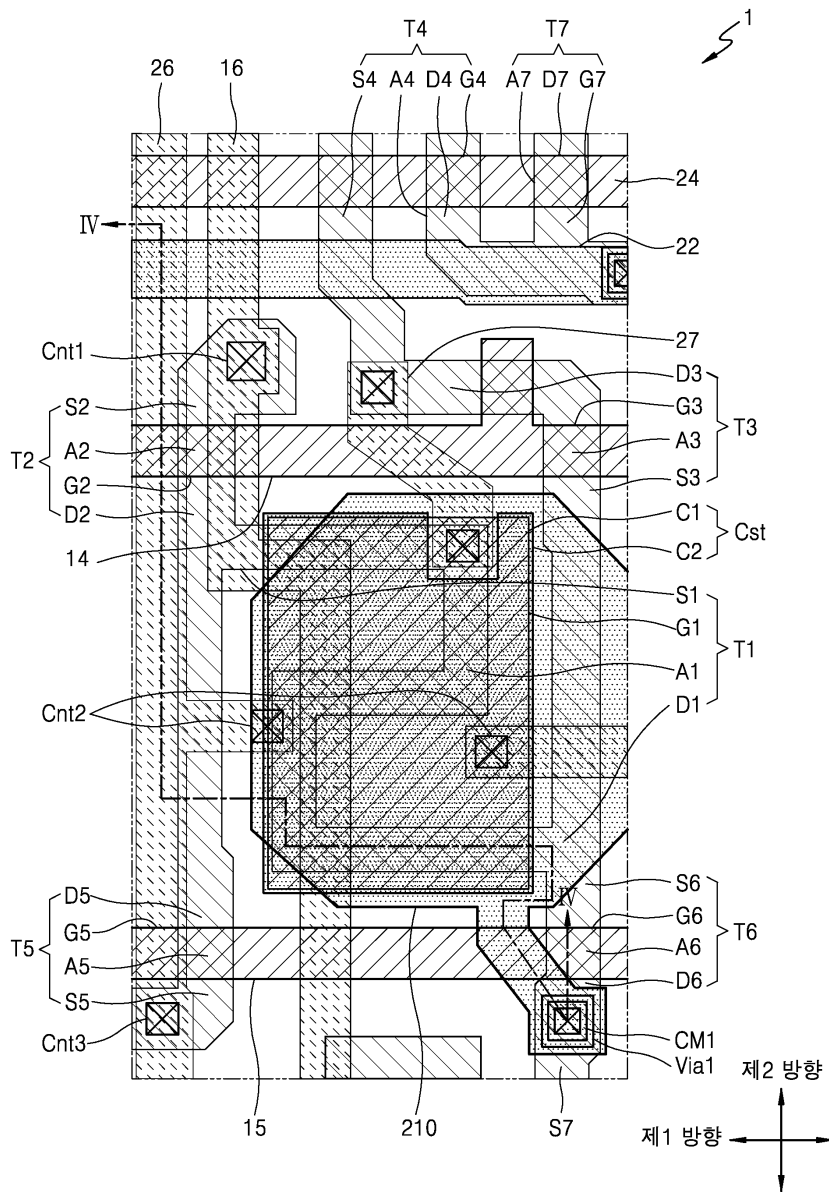
도면1



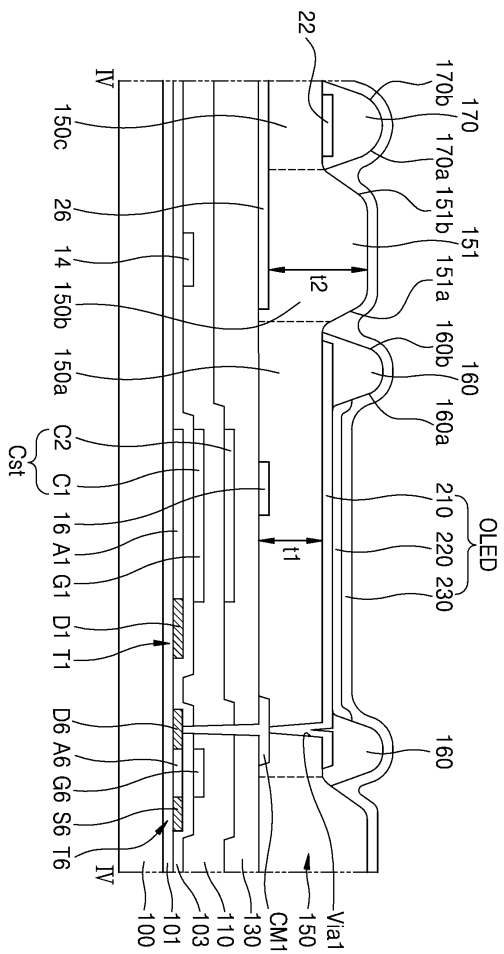
도면2



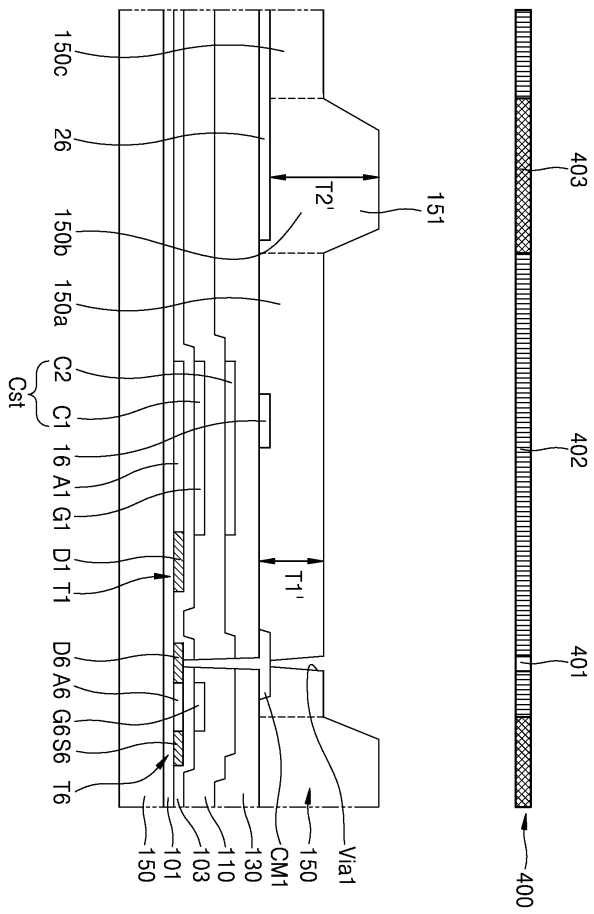
도면3



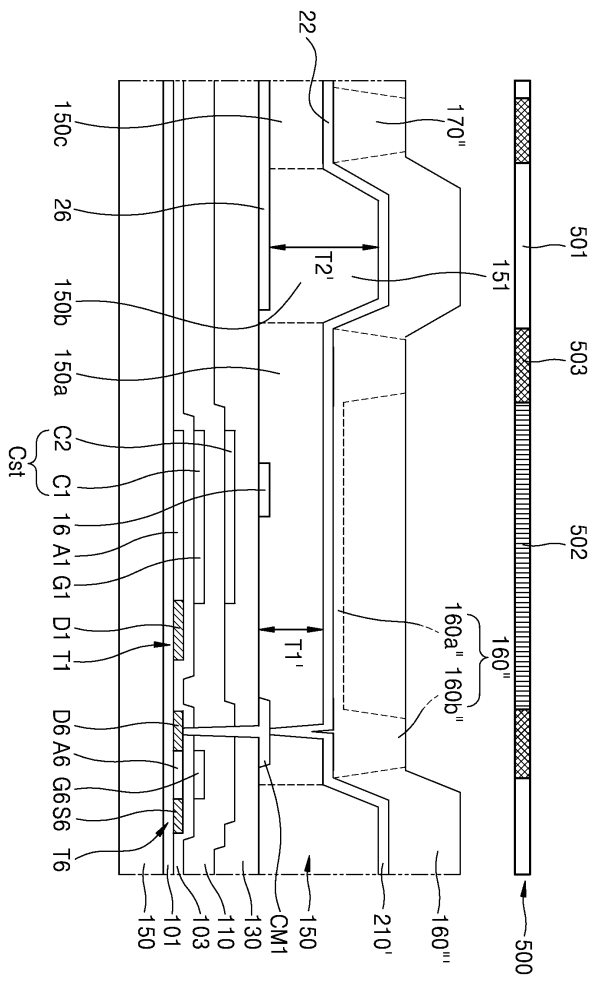
도면4



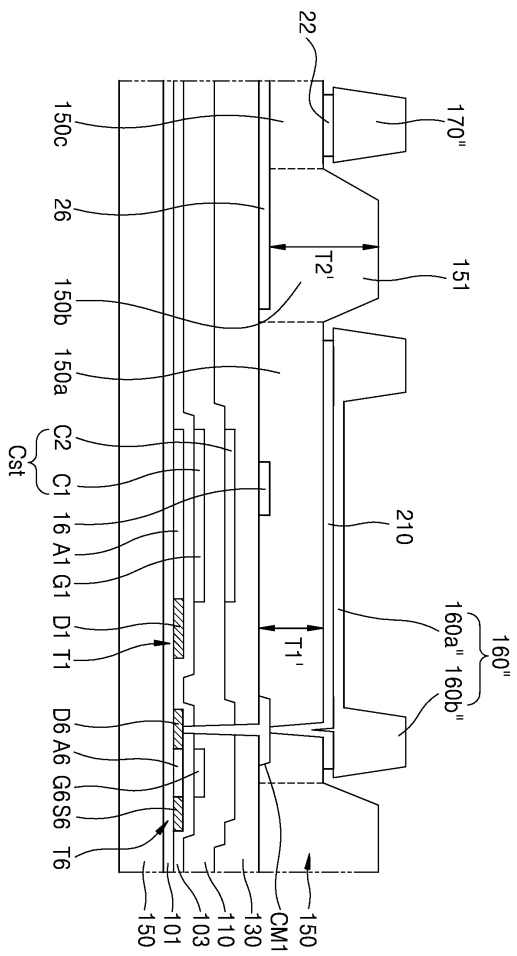
도면5



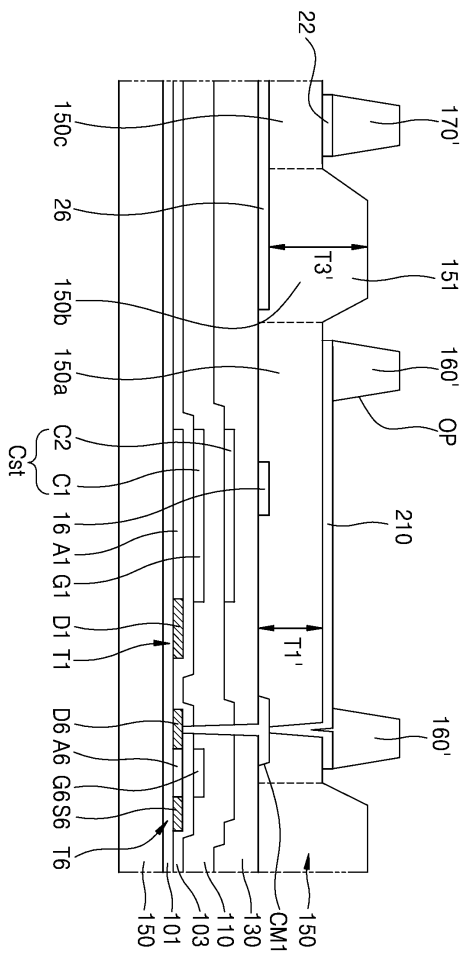
도면6



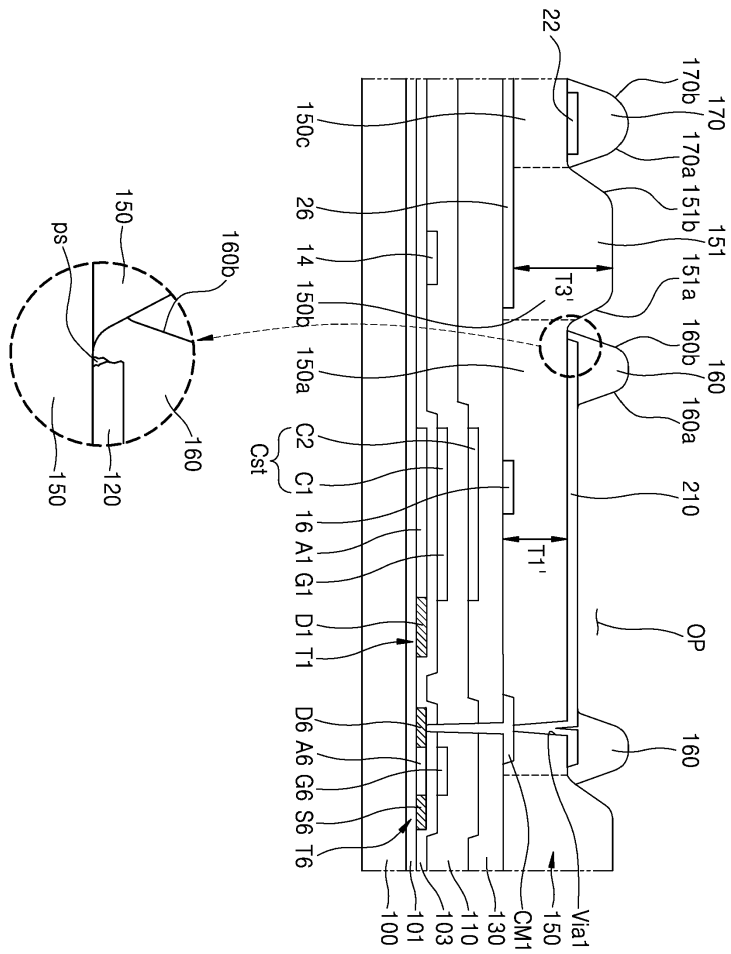
도면7



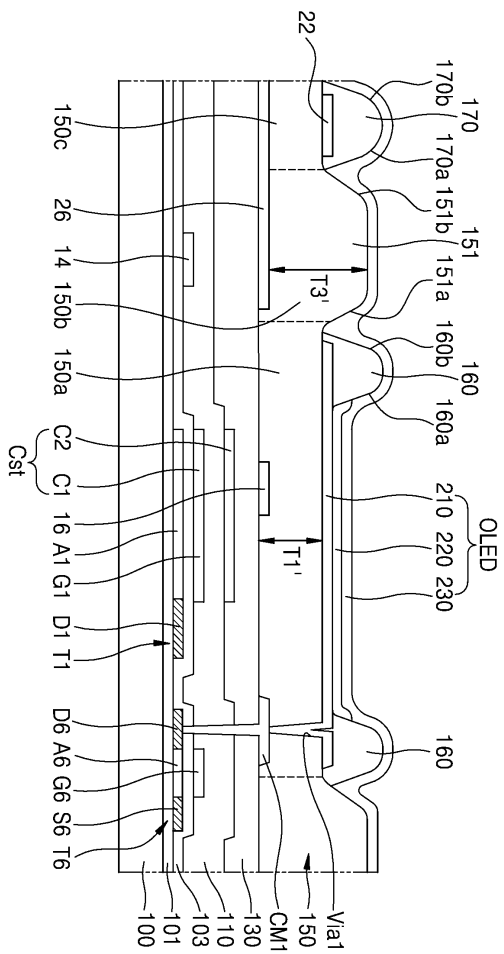
도면8



도면9



도면10



专利名称(译)	标题：OLED显示器及其制造方法		
公开(公告)号	KR1020170056078A	公开(公告)日	2017-05-23
申请号	KR1020150159001	申请日	2015-11-12
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	CHO SEUNG HWAN 조승환 LEE SEUNG MIN 이승민 PARK SANG HO 박상호 SHIM DONG HWAN 심동환 SIM SU YEON 심수연 YOON JOO SUN 윤주선		
发明人	조승환 이승민 박상호 심동환 심수연 윤주선		
IPC分类号	H01L27/32 H01L51/56		
CPC分类号	H01L27/3248 H01L27/3246 H01L27/3262 H01L27/3258 H01L27/326 H01L27/3276 H01L2227/32 H01L51/56 H01L2251/56 H01L27/124 H01L27/1248 H01L27/1255 H01L27/1259 H01L27/3265 H01L2227/323		
外部链接	Espacenet		

摘要(译)

本发明的优选实施方案包括插入在相对电极之间的有机发光层，面向配备有基板的像素限定层，设置在基板的像素区域上的薄膜晶体管，通过像素区域的配线基板，覆盖薄膜晶体管和布线的绝缘层，像素电极和外侧表面以及面对像素电极的像素电极和包括像素区域和绝缘层的相对电极公开了像素电极和有机电极发光显示装置，其中，第一区域重叠，第二部分不与像素电极重复，第二部分的厚度大于第一区域的厚度。像素电极设置在绝缘层上并与薄膜晶体管电连接。外侧表面覆盖像素电极的端部，同时位于暴露像素电极的开口处，并且内侧的相对侧和面向开口的内侧。

