



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0050726  
(43) 공개일자 2017년05월11일

(51) 국제특허분류(Int. Cl.)  
*G09G 3/32* (2016.01) *H01L 27/32* (2006.01)

*H01L 51/56* (2006.01)

(52) CPC특허분류  
*G09G 3/3233* (2013.01)

*H01L 27/32* (2013.01)

(21) 출원번호 10-2015-0152616

(22) 출원일자 2015년10월30일

심사청구일자 없음

(71) 출원인  
엘지디스플레이 주식회사  
서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자  
권희용  
부산광역시 동래구 명륜로 185 삼덕건재 (명륜동)

이미름

경상남도 김해시 금관대로1180번길 63 (외동)

김도진

경기도 고양시 일산동구 고봉로 424, 108동 507  
호(중산동, 중산마을1단지아파트)

(74) 대리인  
특허법인천문

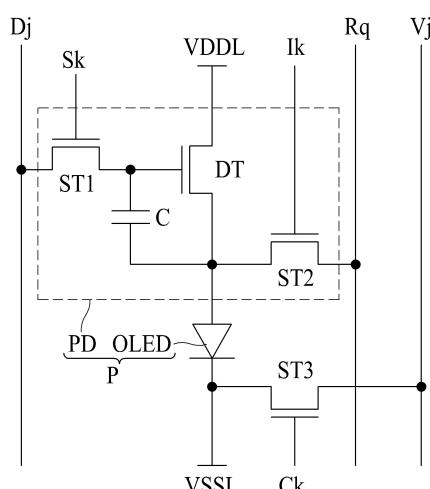
전체 청구항 수 : 총 14 항

(54) 발명의 명칭 유기발광표시장치 및 그의 제조방법

### (57) 요 약

본 발명의 실시예는 캐소드 전극의 저전위 전압 상승으로 인한 표시패널의 휘도 불균일을 최소화할 수 있는 유기 발광표시장치 및 그의 제조방법에 관한 것이다. 본 발명의 실시예에 따른 유기발광표시장치는 데이터라인들, 상기 데이터라인들과 나란한 기준전압 라인들과 전원전압 보상라인들, 상기 데이터라인들과 교차하는 스캔라인들, 초기화라인들, 및 전원전압 제어라인들에 접속된 화소들을 포함하는 표시패널을 구비하고, 상기 화소는 상기 전원전압 제어라인의 제어 신호가 공급되는 경우 상기 전원전압 보상라인의 보상 전원전압을 상기 유기발광다이오드의 캐소드 전극에 공급한다.

**대 표 도** - 도4



(52) CPC특허분류

*H01L 51/56* (2013.01)  
*G09G 2300/0842* (2013.01)  
*G09G 2320/0233* (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

데이터라인들, 상기 데이터라인들과 나란한 전원전압 보상라인들, 상기 데이터라인들과 교차하는 스캔라인들, 및 전원전압 제어라인들에 접속된 화소들을 포함하는 표시패널을 구비하고,

상기 화소는 상기 전원전압 제어라인의 제어 신호가 공급되는 경우 상기 전원전압 보상라인의 보상 전원전압을 상기 유기발광다이오드의 캐소드 전극에 공급하는 유기발광표시장치.

#### 청구항 2

제 1 항에 있어서,

상기 표시패널에는 상기 데이터 라인들과 나란한 기준전압 라인들, 및 상기 데이터 라인들과 교차하는 초기화라인들이 배치되어,

상기 화소는,

애노드 전극과 전원전압 라인에 접속된 캐소드 전극을 포함하는 유기발광다이오드;

게이트전압과 소스전압 간의 전압 차에 따라 상기 유기발광다이오드로 흐르는 전류량을 조정하는 구동 트랜지스터;

상기 스캔라인의 스캔 신호에 의해 턴-온되어 상기 구동 트랜지스터의 게이트 전극에 상기 데이터라인의 데이터전압을 공급하는 제1 트랜지스터;

상기 초기화라인의 초기화신호에 의해 턴-온되어 상기 구동 트랜지스터의 소스 전극을 상기 기준전압 라인과 접속시키는 제2 트랜지스터; 및

상기 전원전압 제어라인의 전원전압 제어 신호에 의해 턴-온되어 상기 유기발광다이오드의 캐소드 전극을 상기 전원전압 보상라인에 접속시키는 제3 트랜지스터를 포함하는 유기발광표시장치.

#### 청구항 3

제 2 항에 있어서,

상기 유기발광다이오드가 발광하는 표시 모드에서,

상기 스캔 신호와 상기 초기화신호는 제1 기간 동안 게이트 온 전압으로 공급되고, 제2 내지 제3 기간들 동안 게이트 오프 전압으로 공급되며,

상기 전원전압 제어 신호는 상기 제2 기간 동안 게이트 온 전압으로 공급되고, 상기 제1 및 제3 기간들 동안 게이트 오프 전압으로 공급되는 유기발광표시장치.

#### 청구항 4

제 2 항에 있어서,

상기 캐소드 전극의 전원전압을 센싱하는 제1 센싱 모드에서,

상기 스캔 신호와 상기 초기화신호는 제1 및 제2 기간들 동안 게이트 오프 전압으로 공급되며,

상기 전원전압 제어 신호는 상기 제1 기간 동안 게이트 온 전압으로 공급되고, 상기 제2 기간 동안 게이트 오프 전압으로 공급되는 유기발광표시장치.

#### 청구항 5

제 2 항에 있어서,

상기 애노드 전극에 기준전압이 인가되는 경우 상기 캐소드 전극의 전원전압을 센싱하는 제2 센싱 모드에서, 상기 스캔 신호는 제1 및 제2 기간들 동안 게이트 오프 전압으로 공급되며, 상기 초기화신호와 상기 전원전압 제어 신호는 상기 제1 기간 동안 게이트 온 전압으로 공급되고, 상기 제2 기간 동안 게이트 오프 전압으로 공급되는 유기발광표시장치.

#### 청구항 6

제 2 항에 있어서,  
 상기 데이터라인들에 데이터 전압들을 공급하는 데이터전압 공급부;  
 상기 기준전압 라인들에 기준전압을 공급하는 기준전압 공급부;  
 상기 전원전압 보상라인들에 보상 전원전압들을 공급하거나 상기 전원전압 보상라인들의 전압들을 센싱하는 보상 전원전압 공급부;  
 상기 스캔라인들에 스캔 신호들을 공급하는 스캔 신호 공급부;  
 상기 초기화라인들에 초기화신호들을 공급하는 초기화신호 공급부; 및  
 상기 저전위 전압 제어라인들에 제어 신호들을 공급하는 제어 신호 공급부를 더 구비하는 유기발광표시장치.

#### 청구항 7

하부 기판;  
 상기 하부 기판 상에 형성되며, 액티브층, 게이트 전극, 소스 전극, 및 드레인 전극을 각각 포함하는 구동 트랜지스터와 스위칭 트랜지스터들;  
 상기 구동 트랜지스터의 드레인 전극에 전기적으로 연결된 애노드 전극;  
 상기 스위칭 트랜지스터들 중 어느 하나의 드레인 전극에 전기적으로 연결된 연결 전극;  
 상기 애노드 전극과 상기 연결 전극을 구획하는 뱅크들;  
 상기 애노드 전극과 상기 뱅크들을 덮는 유기발광층; 및  
 상기 유기발광층을 덮는 캐소드 전극을 포함하고,  
 상기 캐소드 전극은 상기 연결 전극과 전기적으로 연결된 유기발광표시장치.

#### 청구항 8

제 7 항에 있어서,  
 상기 애노드 전극과 상기 연결 전극은 동일한 물질을 가지며 동일한 층에 배치되는 유기발광표시장치.

#### 청구항 9

제 8 항에 있어서,  
 충간 절연막 상에 배치되며, 상기 충간 절연막을 관통하는 콘택홀을 통해 상기 구동 트랜지스터의 드레인 전극에 접속되는 제1 보조 전극; 및  
 상기 충간 절연막 상에 배치되며, 상기 충간 절연막을 관통하는 또 다른 콘택홀을 통해 상기 스위칭 트랜지스터들 중 어느 하나의 드레인 전극에 접속되는 제2 보조 전극을 더 포함하는 유기발광표시장치.

#### 청구항 10

제 9 항에 있어서,  
 상기 애노드 전극은 상기 제1 및 제2 보조 전극들을 덮는 평탄화막 상에 배치되고, 상기 평탄화막을 관통하는 콘택홀을 통해 상기 제1 보조 전극과 접속되는 유기발광표시장치.

**청구항 11**

제 10 항에 있어서,

상기 연결 전극은 상기 평탄화막 상에 배치되고, 상기 평탄화막을 관통하는 또 다른 콘택홀을 통해 상기 제2 보조 전극과 접속되는 유기발광표시장치.

**청구항 12**

하부 기판 상에 구동 트랜지스터와 스위칭 트랜지스터들을 형성하는 단계;

상기 구동 트랜지스터의 드레인 전극에 전기적으로 연결되는 애노드 전극과 상기 스위칭 트랜지스터들 중 어느 하나의 드레인 전극에 전기적으로 연결되는 연결 전극을 형성하는 단계;

상기 애노드 전극과 상기 연결 전극을 구획하는 뱅크들을 형성하는 단계;

상기 애노드 전극, 상기 연결 전극, 및 상기 뱅크들 상에 유기발광층을 형성하는 단계;

상기 유기발광층 상에 캐소드 전극을 형성하는 단계; 및

상기 연결 전극과 상기 캐소드 전극에 역 바이어스 전압을 인가하는 단계를 포함하는 유기발광표시장치의 제조 방법.

**청구항 13**

제 12 항에 있어서,

상기 연결 전극과 상기 캐소드 전극에 역 바이어스 전압을 인가하는 단계는,

상기 캐소드 전극에 제1 전압을 인가하고, 상기 연결 전극에 제1 전압보다 낮은 제2 전압을 인가하는 유기발광표시장치의 제조방법.

**청구항 14**

제 12 항에 있어서,

상기 구동 트랜지스터의 드레인 전극에 전기적으로 연결되는 애노드 전극과 상기 스위칭 트랜지스터들 중 어느 하나의 드레인 전극에 전기적으로 연결되는 연결 전극을 형성하는 단계는,

평탄화막 상에 상기 애노드 전극과 상기 연결 전극을 동일한 물질로 동시에 형성하는 유기발광표시장치의 제조 방법.

**발명의 설명****기술 분야**

[0001]

본 발명의 실시예는 유기발광표시장치 및 그의 제조방법에 관한 것이다.

**배경기술**

[0002]

정보화 사회가 발전함에 따라 화상을 표시하기 위한 표시장치에 대한 요구가 다양한 형태로 증가하고 있다. 이에 따라, 최근에는 액정표시장치(LCD: Liquid Crystal Display), 플라즈마표시장치(PDP: Plasma Display Panel), 유기발광표시장치(OLED: Organic Light Emitting Display)와 같은 여러가지 표시장치가 활용되고 있다.

[0003]

표시장치들 중에서 유기발광표시장치는 자체발광형으로서, 액정표시장치(LCD)에 비해 시야각, 대조비 등이 우수하며, 별도의 백라이트가 필요하지 않아 경량 박형이 가능하며, 소비전력이 유리한 장점이 있다. 또한, 유기발광표시장치는 직류저전압 구동이 가능하고, 응답속도가 빠르며, 특히 제조비용이 저렴한 장점이 있다.

[0004]

유기발광표시장치는 화상을 표시하는 화소들이 형성된 표시영역과 표시영역의 주변부인 비표시영역을 포함하는 표시패널을 구비한다. 화소들 각각은 애노드 전극, 정공 수송층(hole transporting layer), 유기발광층(organic light emitting layer), 전자 수송층(electron transporting layer), 및 캐소드 전극을 포함한다.

이 경우, 애노드 전극에 고전위 전압이 인가되고 캐소드 전극에 저전위 전압이 인가되면 정공과 전자가 각각 정공 수송층과 전자 수송층을 통해 유기발광층으로 이동되며, 유기발광층에서 서로 결합하여 발광하게 된다.

[0005] 유기발광표시장치는 발광 방향에 따라 전면(前面) 발광(top emission) 방식과 배면(背面) 발광(bottom emission) 방식으로 구분된다. 전면 발광 방식의 경우 유기발광층이 캐소드 전극 방향으로 발광하므로, 캐소드 전극을 투명 금속으로 형성하거나 반투과 금속으로 얇게 형성한다. 하지만, 이 경우 캐소드 전극의 저항이 높아지게 되어 캐소드 전극의 저전위 전압이 상승하는 문제가 있다. 업계에서는 이를 "캐소드 라이징(cathode rising)"으로 칭하기도 한다. 캐소드 전극의 저전위 전압 상승으로 인해 표시패널의 위치에 따라 캐소드 전압의 저전위 전압이 달라질 수 있으며, 이로 인해 표시패널의 휘도가 불균일한 문제가 발생할 수 있다.

## 발명의 내용

### 해결하려는 과제

[0006] 본 발명의 실시예는 캐소드 전극의 저전위 전압 상승으로 인한 표시패널의 휘도 불균일을 최소화할 수 있는 유기발광표시장치 및 그의 제조방법을 제공한다.

### 과제의 해결 수단

[0007] 본 발명의 실시예에 따른 유기발광표시장치는 데이터라인들, 상기 데이터라인들과 나란한 기준전압 라인들과 전원전압 보상라인들, 상기 데이터라인들과 교차하는 스캔라인들, 초기화라인들, 및 전원전압 제어라인들에 접속된 화소들을 포함하는 표시패널을 구비하고, 상기 화소는 상기 전원전압 제어라인의 제어 신호가 공급되는 경우 상기 전원전압 보상라인의 보상 전원전압을 상기 유기발광다이오드의 캐소드 전극에 공급한다.

[0008] 본 발명의 실시예에 따른 유기발광표시장치는 하부 기판, 상기 하부 기판 상에 형성되며, 액티브층, 게이트 전극, 소스 전극, 및 드레인 전극을 각각 포함하는 구동 트랜지스터와 스위칭 트랜지스터들, 상기 구동 트랜지스터의 드레인 전극에 전기적으로 연결된 애노드 전극, 상기 스위칭 트랜지스터들 중 어느 하나의 드레인 전극에 전기적으로 연결된 연결 전극, 상기 애노드 전극과 상기 연결 전극을 구획하는 뱅크들, 상기 애노드 전극과 상기 뱅크들을 덮는 유기발광층, 및 상기 유기발광층을 덮는 캐소드 전극을 포함하고, 상기 캐소드 전극은 상기 연결 전극과 전기적으로 연결된다.

[0009] 본 발명의 실시예에 따른 유기발광표시장치의 제조방법은 하부 기판 상에 구동 트랜지스터와 스위칭 트랜지스터들을 형성하는 단계, 상기 구동 트랜지스터의 드레인 전극에 전기적으로 연결되는 애노드 전극과 상기 스위칭 트랜지스터들 중 어느 하나의 드레인 전극에 전기적으로 연결되는 연결 전극을 형성하는 단계, 상기 애노드 전극과 상기 연결 전극을 구획하는 뱅크들을 형성하는 단계, 상기 애노드 전극, 상기 연결 전극, 및 상기 뱅크들 상에 유기발광층을 형성하는 단계, 상기 유기발광층 상에 캐소드 전극을 형성하는 단계, 및 상기 연결 전극과 상기 캐소드 전극에 역 바이어스 전압을 인가하는 단계를 포함한다.

## 발명의 효과

[0010] 본 발명의 실시예는 표시모드에서 제3 트랜지스터를 이용하여 유기발광다이오드의 캐소드 전극에 보상 전원전압을 공급한다. 그 결과, 본 발명의 실시예는 유기발광다이오드의 캐소드 전극에 공급되는 전원전압이 상승하는 것을 방지할 수 있다. 따라서, 본 발명의 실시예는 캐소드 전극에 공급되는 전원전압의 상승으로 인한 화소들의 휘도 균일도가 낮아지는 것을 방지할 수 있다.

[0011] 또한, 본 발명의 실시예는 제3 트랜지스터의 드레인 전극에 전기적으로 연결된 연결 전극과 캐소드 전극에 역 바이어스 전압을 인가하여 연결 전극과 캐소드 전극 사이의 유기발광층을 파괴함으로써 캐소드 전극과 연결 전극을 연결한다. 그 결과, 본 발명의 실시예는 캐소드 전극과 연결 전극을 연결하기 위한 별도의 제조 공정이 추가되지 않으므로, 제조 비용과 시간을 절약할 수 있다.

[0012] 또한, 본 발명의 실시예는 제1 및 제2 센싱 모드들을 통해 화소들 각각의 캐소드 전극의 전압을 센싱하여 보상 전원전압을 캐소드 전극에 공급한다. 그 결과, 본 발명의 실시예는 유기발광층의 파괴 정도에 따라 달라지는 캐소드 전극과 연결 전극 사이의 저항값을 보상할 수 있다.

## 도면의 간단한 설명

[0013] 도 1은 본 발명의 일 실시예에 따른 유기발광표시장치를 보여주는 블록도이다.

도 2는 도 1의 스캔 구동부를 상세히 보여주는 블록도이다.

도 3은 도 1의 데이터 구동부를 상세히 보여주는 블록도이다.

도 4는 도 1의 화소의 일 예를 보여주는 회로도이다.

도 5는 표시 모드에서 화소에 공급되는 제k 스캔 신호, 제k 초기화신호, 및 제k 제어신호를 보여주는 과정도이다.

도 6a 내지 도 6c는 도 5의 제1 내지 제3 기간들 동안 화소의 동작을 보여주는 회로도들이다.

도 7은 제1 센싱 모드에서 화소에 공급되는 제k 스캔 신호, 제k 초기화신호, 및 제k 제어신호를 보여주는 과정도이다.

도 8은 제1 센싱 모드에서 제1 기간 동안 화소의 동작을 보여주는 회로도이다.

도 9는 제2 센싱 모드에서 화소에 공급되는 제k 스캔 신호, 제k 초기화신호, 및 제k 제어신호를 보여주는 과정도이다.

도 10은 제2 센싱 모드에서 제1 기간 동안 화소의 동작을 보여주는 회로도이다.

도 11은 도 2의 화소의 일 예를 보여주는 평면도이다.

도 12는 도 11의 I-I'와 II-II'의 단면도이다.

도 13은 본 발명의 일 실시예에 따른 유기발광표시장치의 제조방법을 보여주는 흐름도이다.

도 14a 내지 도 14f는 도 13의 유기발광표시장치의 제조방법을 설명하기 위한 단면도들이다.

### 발명을 실시하기 위한 구체적인 내용

[0014]

이하 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다. 또한, 이하의 설명에서 사용되는 구성요소 명칭은 명세서 작성의 용이함을 고려하여 선택된 것일 수 있는 것으로서, 실제 제품의 부품 명칭과는 상이할 수 있다.

[0015]

도 1은 본 발명의 일 실시예에 따른 유기발광표시장치를 보여주는 블록도이다. 도 1을 참조하면, 본 발명의 실시예에 따른 유기발광표시장치는 표시패널(10), 데이터 구동부(20), 스캔 구동부(30), 타이밍 제어부(40), 및 전원전압 보상부(50)를 포함한다.

[0016]

표시패널(10)은 데이터라인들(D1~Dm, m은 2 이상의 정수), 전원전압 보상라인들(V1~Vm), 기준전압 라인들(R1~Rp, p는 2 이상의 정수), 스캔라인들(S1~Sn, n은 2 이상의 정수), 초기화라인들(I1~In), 및 전원전압 제어라인들(C1~Cn)이 마련된다. 데이터라인들(D1~Dm), 전원전압 보상라인들(V1~Vm), 및 기준전압 라인들(R1~Rp)은 서로 나란할 수 있다. 스캔라인들(S1~Sn), 초기화라인들(I1~In), 및 전원전압 제어라인들(C1~Cn)은 서로 나란할 수 있다. 데이터라인들(D1~Dm), 전원전압 보상라인들(V1~Vm), 및 기준전압 라인들(R1~Rp)은 스캔라인들(S1~Sn), 초기화라인들(I1~In), 및 전원전압 제어라인들(C1~Cn)과 교차될 수 있다.

[0017]

화소(P)들 각각은 데이터라인들(D1~Dm) 중 어느 하나, 전원전압 보상라인들(V1~Vm) 중 어느 하나, 기준전압 라인들(R1~Rp) 중 어느 하나, 스캔라인들(S1~Sn) 중 어느 하나, 초기화라인들(I1~In) 중 어느 하나, 및 전원전압 제어라인들(C1~Cn) 중 어느 하나에 접속될 수 있다. 도 1에서는 설명의 편의를 위해 하나의 전원전압 보상라인이 동일한 스캔라인에 접속된 화소(P)들 중 하나의 화소(P)에 접속된 것을 예시하였으나, 이에 한정되지 않는다. 즉, 하나의 전원전압 보상라인은 동일한 스캔라인에 접속된 화소(P)들 중 두 개 이상의 화소(P)들에 접속될 수도 있다. 또한, 도 1에서는 설명의 편의를 위해 하나의 기준전압 라인이 동일한 스캔라인에 접속된 화소(P)들 중 두 개의 화소(P)들에 접속된 것으로 도시하였으나, 이에 한정되지 않는다. 즉, 하나의 기준전압 라인은 동일한 스캔라인에 접속된 화소(P)들 중 하나의 화소(P)에 접속될 수도 있으며, 또는 동일한 스캔라인에 접속된 화소(P)들 중 세 개 이상의 화소(P)들에 접속될 수도 있다.

[0018]

표시패널(10)의 화소(P)들 각각은 도 4와 같이 유기발광다이오드(organic light emitting diode, OLED)와 유기발광다이오드(OLED)에 전류를 공급하는 화소 구동부(PD)를 포함한다. 화소 구동부(PD)는 도 4와 같이 구동 트랜지스터(transistor)(DT), 스캔라인의 스캔 신호에 의해 제어되는 제1 트랜지스터(ST1), 초기화라인의 초기화

신호에 의해 제어되는 제2 트랜지스터(ST2), 전원전압 제어라인의 제어 신호에 의해 제어되는 제3 트랜지스터(ST3), 및 커패시터(capacitor, C)를 포함할 수 있다. 화소(P)에 대한 자세한 설명은 도 4를 결부하여 후술한다.

[0019] 화소 구동부(PD)는 표시 모드에서 화소(P)에 접속된 스캔라인으로부터 스캔 신호가 공급될 때 화소(P)에 접속된 데이터라인의 데이터 전압을 공급받고, 데이터 전압에 따라 유기발광다이오드(OLED)에 전류를 공급한다. 이로 인해, 표시 모드에서 유기발광다이오드(OLED)는 발광한다. 화소 구동부(PD)는 제1 센싱모드에서 유기발광다이오드(OLED)의 캐소드 전극의 전압을 전원전압 보상라인을 통해 센싱한다. 화소 구동부(PD)는 제2 센싱모드에서 유기발광다이오드(OLED)의 애노드 전극에 소정의 전압을 공급하고 유기발광다이오드(OLED)의 캐소드 전극의 전압을 전원전압 보상라인을 통해 센싱한다.

[0020] 본 발명의 실시예는 표시 모드와 제1 내지 제3 센싱모드들을 포함한다. 표시 모드에서 화소(P)의 동작에 대한 자세한 설명은 도 5, 도 6a 내지 도 6c를 결부하여 후술하고, 제1 센싱모드에서 화소(P)의 동작에 대한 자세한 설명은 도 7과 도 8을 결부하여 후술하며, 제2 센싱모드에서 화소(P)의 동작에 대한 자세한 설명은 도 9 및 도 10을 결부하여 후술한다. 제3 센싱모드에서 화소(P)의 동작은 도면을 결부하지 않고 간단히 후술한다.

[0021] 데이터 구동부(20)는 도 3과 같이 데이터전압 공급부(21), 보상 전원전압 공급부(22), 및 기준전압 공급부(23)를 포함한다.

[0022] 데이터전압 공급부(21)는 데이터라인들(D1~Dm)에 접속되어 데이터전압들을 공급한다. 데이터전압 공급부(21)는 타이밍 제어부(40)로부터 디지털 비디오 데이터(DATA)와 데이터 타이밍 제어신호(DCS)를 입력받는다.

[0023] 데이터전압 공급부(21)는 표시 모드에서 데이터 타이밍 제어신호(DCS)에 따라 디지털 비디오 데이터(DATA)를 데이터전압들로 변환하여 데이터라인들(D1~Dm)에 공급한다. 데이터전압은 화소(P)의 유기발광다이오드(OLED)를 소정의 회도로 발광하기 위한 전압이다. 데이터 구동부(20)에 공급되는 디지털 비디오 데이터(DATA)가 8 비트인 경우, 데이터전압은 256 개의 전압들 중 어느 하나일 수 있다.

[0024] 데이터전압 공급부(21)는 제1 및 제2 센싱 모드에서 데이터 전압들을 데이터라인들(D1~Dm)에 공급하지 않는다.

[0025] 데이터전압 공급부(21)는 제3 센싱 모드에서 데이터 타이밍 제어신호(DCS)에 따라 센싱용 데이터(SDATA)를 데이터전압들로 변환하여 데이터라인들(D1~Dm)에 공급한다. 센싱용 데이터(SDATA)는 센싱용 데이터(SDATA)가 구동 트랜지스터(DT)의 게이트 전극에 공급되었을 때, 기준전압 라인을 통해 유기발광다이오드(OLED)에 흐르는 전류 또는 애노드 전압을 측정하기 위한 데이터이다.

[0026] 보상 전원전압 공급부(22)는 전원전압 보상라인들(V1~Vm)에 접속되어 보상 전원전압들을 공급한다. 보상 전원전압 공급부(22)는 타이밍 제어부(40)로부터 보상 데이터(CDATA)와 보상 타이밍 제어신호(VCS)를 입력받는다.

[0027] 보상 전원전압 공급부(22)는 표시 모드에서 보상 타이밍 제어신호(VCS)에 따라 보상 데이터(CDATA)를 보상 전원전압들로 변환하여 전원전압 보상라인들(V1~Vm)에 공급한다. 보상 전원전압은 유기발광다이오드(OLED)의 캐소드 전극에 공급되는 전원전압이 상승하는 것을 보상하기 위한 전압이다. 즉, 보상 전원전압은 캐소드 라이징(cathode rising)을 보상하기 위한 전압이다.

[0028] 보상 전원전압 공급부(22)는 제1 내지 제3 센싱 모드에서 보상 전원전압들을 전원전압 보상라인들(V1~Vm)에 공급하지 않는다. 보상 전원전압 공급부(22)는 제1 및 제2 센싱 모드에서 화소들(P) 각각의 유기발광다이오드(OLED)의 캐소드 전극에 접속된 전원전압 보상라인의 전압을 센싱한다. 보상 전원전압 공급부(22)는 제1 센싱 모드에서 센싱된 전압들을 디지털 데이터인 제1 센싱 데이터(SD1)로 변환하여 전원전압 보상부(50)로 출력한다. 보상 전원전압 공급부(22)는 제2 센싱 모드에서 센싱된 전압들을 디지털 데이터인 제2 센싱 데이터(SD2)로 변환하여 전원전압 보상부(50)로 출력한다.

[0029] 기준전압 공급부(23)는 기준전압 라인들(R1~Rp)에 접속되어 제1 기준전압(VREF1) 또는 제2 기준전압(VREF2)을 공급한다. 기준전압 공급부(23)는 전원 공급부(미도시)로부터 제1 및 제2 기준전압들(VREF1, VREF2)을 입력받는다.

[0030] 기준전압 공급부(23)는 표시 모드에서 기준전압 라인들(R1~Rp)에 제1 기준전압(VREF1)을 공급한다. 기준전압 공급부(23)는 제1 센싱 모드에서 기준전압 라인들(R1~Rp)에 제1 기준전압(VREF1) 또는 제2 기준전압(VREF2)을 공급하지 않는다. 기준전압 공급부(23)는 제2 센싱 모드에서 기준전압 라인들(R1~Rp)에 제2 기준전압(VREF2)을 공급한다. 기준전압 공급부(23)는 제3 센싱 모드에서 제1 기준전압(VREF1) 또는 제2 기준전압(VREF2)을 공급하지 않는다. 기준전압 공급부(23)는 제3 센싱 모드에서 화소(P)들 각각의 유기발광다이오드(OLED)의 애노드 전

극에 접속된 기준전압 라인의 전류 또는 전압을 센싱한다. 기준전압 공급부(23)는 제3 센싱 모드에서 센싱된 전류들 또는 전압들을 디지털 데이터인 제3 센싱 데이터(SD3)로 변환하여 타이밍 제어부(40)로 공급한다. 제1 및 제2 기준전압(VREF1, VREF2)는 사전 실험을 통해 미리 결정될 수 있으며, 동일한 전압일 수도 있고, 서로 다른 전압일 수도 있다.

- [0031] 스캔 구동부(30)는 도 3과 같이 스캔신호 공급부(31), 초기화신호 공급부(32), 및 제어신호 공급부(33)를 포함한다.
- [0032] 스캔신호 공급부(31)는 타이밍 제어부(40)로부터 스캔 타이밍 제어신호(SCS)를 입력받는다. 스캔신호 공급부(31)는 스캔신호 공급부(31)는 타이밍 제어부(40)로부터 입력되는 스캔 타이밍 제어신호(SCS)에 따라 스캔라인들(S1~Sn)에 스캔신호들을 공급한다. 스캔신호 공급부(31)는 스캔라인들(S1~Sn)에 스캔신호들을 순차적으로 공급할 수 있다.
- [0033] 초기화신호 공급부(32)는 타이밍 제어부(50)로부터 초기화 타이밍 제어신호(ICS)를 입력받는다. 초기화신호 공급부(32)는 초기화 타이밍 제어신호(ICS)에 따라 초기화라인들(I1~In)에 초기화신호들을 공급한다. 초기화신호 공급부(32)는 초기화라인들(I1~In)에 초기화신호들을 순차적으로 공급할 수 있다.
- [0034] 제어신호 공급부(33)는 타이밍 제어부(50)로부터 제어 타이밍 제어신호(CCS)를 입력받는다. 제어신호 공급부(33)는 제어 타이밍 제어신호(CCS)에 따라 전원전압 제어라인들(C1~Cn)에 제어신호들을 공급한다. 제어신호 공급부(32)는 전원전압 제어라인들(C1~Cn)에 제어신호들을 순차적으로 공급할 수 있다.
- [0035] 표시 모드, 제1 및 제2 센싱 모드에서 스캔신호, 초기화신호, 및 제어신호 파형에 대한 자세한 설명은 도 5, 도 7 및 도 9를 결부하여 후술한다.
- [0036] 스캔 구동부(30)는 구동 칩(chip) 형태로 형성되어 표시패널(10)에 접속되는 연성필름상에 실장되거나, 다수의 트랜지스터들을 포함하여 GIP(Gate driver In Panel) 방식으로 표시패널(10)의 비표시영역에 직접 형성될 수 있다. 비표시영역은 화소들이 배치되지 않는 영역으로 화상을 표시하지 않는 영역을 가리킨다.
- [0037] 또한, 스캔 구동부(30)는 표시패널(10)의 일측에 마련되거나, 양측에 마련될 수 있다. 스캔 구동부(30)가 양측에 마련되는 경우, 양측에서 스캔신호들, 초기화신호들, 및 제어신호들을 동시에 공급함으로써, RC 딜레이로 인한 스캔신호, 초기화신호, 및 제어신호의 지연을 줄일 수 있다.
- [0038] 타이밍 제어부(40)는 외부의 호스트 시스템으로부터 디지털 비디오 데이터(DATA)와 타이밍 신호들을 입력받고, 전원전압 보상부(50)로부터 보상 데이터(CDATA)를 입력받는다. 타이밍 신호들은 수직동기신호(vertical sync signal), 수평동기신호(horizontal sync signal), 데이터 인에이블 신호(data enable signal), 및 도트 클럭(dot clock)을 포함할 수 있다.
- [0039] 타이밍 제어부(40)는 데이터 구동부(20)와 스캔 구동부(30)의 동작 타이밍을 제어하기 위한 타이밍 제어신호들을 생성한다. 타이밍 제어신호들은 데이터 구동부(20)의 데이터신호 공급부(21)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호(DCS), 보상 전원전압 공급부(22)의 동작 타이밍을 제어하기 위한 보상 타이밍 제어신호(VCS), 스캔 구동부(30)의 스캔신호 공급부(31)의 동작 타이밍을 제어하기 위한 스캔 타이밍 제어신호(SCS), 초기화신호 공급부(32)의 동작 타이밍을 제어하기 위한 초기화 타이밍 제어신호(ICS), 및 제어신호 공급부(33)의 동작 타이밍을 제어하기 위한 제어 타이밍 제어신호(CCS)를 포함한다.
- [0040] 타이밍 제어부(40)는 메모리에 미리 저장된 설정에 따라 모드 신호(MODE)를 생성할 수 있다. 타이밍 제어부(40)는 모드 신호(MODE)에 따라 표시모드, 제1 내지 제3 센싱모드들 중 어느 하나의 모드로 데이터 구동부(20)와 스캔 구동부(30)를 동작시킨다. 표시모드는 표시패널(10)의 화소(P)들이 화상을 표시하는 모드이고, 제1 및 제2 센싱모드들은 표시패널(10)의 화소(P)들 각각의 유기발광다이오드(OLED)의 캐소드 전극의 전압을 센싱하는 모드이다. 특히, 제1 센싱모드는 유기발광다이오드(OLED)에 전류가 흐르지 않을 때 유기발광다이오드(OLED)의 캐소드 전극의 전압을 센싱하는 모드이고, 제2 센싱모드는 유기발광다이오드(OLED)의 애노드 전극에 제2 기준전압(VREF2)을 공급하여, 유기발광다이오드(OLED)에 소정의 전류가 흐를 때 캐소드 전극의 전압을 센싱하는 모드이다. 제3 센싱모드는 표시패널(10)의 화소(P)들 각각의 소정의 데이터전압을 인가하고 유기발광다이오드(OLED)에 흐르는 전류 또는 유기발광다이오드(OLED)의 애노드 전압을 센싱하는 모드이다. 타이밍 제어부(50)는 표시모드, 제1 내지 제3 센싱모드에 따라 데이터 타이밍 제어신호(DCS), 보상 타이밍 제어신호(VCS), 스캔 타이밍 제어신호(SCS), 초기화 타이밍 제어신호(ICS), 및 제어 타이밍 제어신호(CCS)를 생성한다.
- [0041] 타이밍 제어부(40)는 기준전압 공급부(23)으로부터 제3 센싱 데이터(SD3)를 입력받고, 제3 센싱 데이터(SD3)를

내장 메모리에 저장할 수 있다. 타이밍 제어부(40)는 제3 센싱 데이터(SD3)에 따라 디지털 비디오 데이터(DATA)를 보상할 수 있다. 제3 센싱 데이터(SD3)는 화소(P)들 각각의 유기발광다이오드(OLED)에 흐르는 전류 또는 유기발광다이오드(OLED)의 애노드 전압에 대한 정보이므로, 타이밍 제어부(40)는 제3 센싱 데이터(SD3)에 기초하여 구동 트랜지스터(DT)의 문턱전압을 보상하기 위한 문턱전압 보상 데이터를 산출할 수 있다. 따라서, 타이밍 제어부(40)는 디지털 비디오 데이터(DATA)에 문턱전압 보상 데이터를 적용함으로써, 화소(P)들 각각의 구동 트랜지스터(DT)의 문턱전압을 반영한 디지털 비디오 데이터(DATA)를 출력할 수 있다.

[0042] 타이밍 제어부(40)는 디지털 비디오 데이터(DATA)와 데이터 타이밍 제어신호(DCS)를 데이터 구동부(20)의 데이터전압 공급부(21)로 출력하고, 보상 데이터(CDATA)와 보상 타이밍 제어신호(VCS)를 보상 전원전압 공급부(22)로 출력한다. 타이밍 제어부(50)는 스캔 타이밍 제어신호(SCS)를 스캔 구동부(30)의 스캔신호 공급부(31)로 출력하고, 초기화 타이밍 제어신호(ICS)를 초기화신호 공급부(32)로 출력하며, 제어 타이밍 제어신호(CCS)를 제어 신호 구동부(33)로 출력한다.

[0043] 전원전압 보상부(50)는 데이터 구동부(20)의 보상 전원전압 공급부(22)로부터 제1 및 제2 센싱 데이터(SD1, SD2)를 입력받는다. 전원전압 보상부(50)는 제1 및 제2 센싱 데이터(SD1, SD2)를 내부 메모리에 저장할 수 있다.

[0044] 제1 센싱 데이터(SD1)는 화소(P)들 각각의 유기발광다이오드(OLED)에 전류가 흐르지 않을 때 센싱된 유기발광다이오드(OLED)의 캐소드 전압에 대한 정보이고, 제2 센싱 데이터(SD2)는 화소(P)들 각각의 유기발광다이오드(OLED)에 소정의 전류가 흐를 때 센싱된 유기발광다이오드(OLED)의 캐소드 전압에 대한 정보이다. 전원전압 보상부(50)는 제1 및 제2 센싱 데이터(SD1, SD2)를 이용하여 소정의 알고리즘을 처리함으로써, 유기발광다이오드(OLED)의 캐소드 전극의 전압 상승을 보상하기 위한 보상 데이터(CDATA)를 생성할 수 있다. 즉, 전원전압 보상부(50)는 캐소드 라이징(cathode rising)을 보상하기 위한 보상 데이터(CDATA)를 생성할 수 있다.

[0045] 전원전압 보상부(50)는 표시 모드에서 보상 데이터(CDATA)를 타이밍 제어부(40)에 공급한다. 전원전압 보상부(50)는 타이밍 제어부(40)에 내장될 수 있다.

[0046] 도 4는 도 1의 화소의 일 예를 보여주는 회로도이다. 도 4에서는 설명의 편의를 위해 제j(j는  $1 \leq j \leq m$ 을 만족하는 정수) 데이터라인(Dj), 제j 전원전압 보상라인(Vj), 제q(q는  $1 \leq q \leq p$ 을 만족하는 정수) 기준전압 라인(Rq), 제k(k는  $1 \leq k \leq n$ 을 만족하는 정수) 스캔라인(Sk), 제k 초기화라인(Ik), 및 제k 전원전압 제어라인(Ck)에 접속된 화소(P)만을 도시하였다.

[0047] 도 4를 참조하면, 화소(P)는 유기발광다이오드(OLED)와 화소 구동부(PD)를 포함한다. 화소 구동부(PD)는 도 4와 같이 구동 트랜지스터(DT)와 복수의 스위칭 트랜지스터들, 및 커패시터(C)를 포함할 수 있다. 스위칭 트랜지스터들은 제1 내지 제3 트랜지스터들(ST1, ST2, ST3)을 포함한다.

[0048] 유기발광다이오드(OLED)는 구동 트랜지스터(DT)를 통해 공급되는 전류에 따라 발광한다. 유기발광다이오드(OLED)의 애노드 전극은 구동 트랜지스터(DT)의 소스 전극에 접속되고, 캐소드 전극은 고전위전압보다 낮은 저전위전압이 공급되는 저전위전압라인(VSSL)에 접속될 수 있다.

[0049] 유기발광다이오드(OLED)는 애노드 전극(anode electrode), 정공 수송층(hole transporting layer), 유기발광층(organic light emitting layer), 전자 수송층(electron transporting layer), 및 캐소드 전극(cathode electrode)을 포함할 수 있다. 유기발광다이오드(OLED)는 애노드전극과 캐소드전극에 전압이 인가되면 정공과 전자가 각각 정공 수송층과 전자 수송층을 통해 유기발광층으로 이동되며, 유기발광층에서 서로 결합하여 발광하게 된다. 유기발광다이오드(OLED)의 애노드 전극은 구동 트랜지스터(DT)의 소스 전극에 접속되고, 캐소드 전극은 제1 전원전압이 공급되는 제1 전원전압라인(VSSL)에 접속될 수 있다.

[0050] 구동 트랜지스터(DT)는 제2 전원전압이 공급되는 제2 전원전압라인(VDDL)과 유기발광다이오드(OLED) 사이에 배치된다. 구동 트랜지스터(DT)는 게이트 전극과 소스 전극의 전압 차에 따라 제2 전원전압라인(VDDL)으로부터 유기발광다이오드(OLED)로 흐르는 전류를 조정한다. 구동 트랜지스터(DT)의 게이트 전극은 제1 트랜지스터(ST1)의 제1 전극에 접속되고, 소스 전극은 유기발광다이오드(OLED)의 애노드 전극에 접속되며, 드레인 전극은 제2 전원전압라인(VDDL)에 접속될 수 있다.

[0051] 제1 트랜지스터(ST1)는 제k 스캔라인(Sk)의 제k 스캔신호에 의해 턴-온되어 제j 데이터라인(Dj)의 전압을 구동 트랜지스터(DT)의 게이트 전극에 공급한다. 제1 트랜지스터(ST1)의 게이트 전극은 제k 스캔라인(Sk)에 접속되고, 제1 전극은 구동 트랜지스터(DT)의 게이트 전극에 접속되며, 제2 전극은 제j 데이터라인(Dj)에 접속될 수

있다. 제1 트랜지스터(ST1)는 스캔 트랜지스터로 통칭될 수 있다.

[0052] 제2 트랜지스터(ST2)는 제k 초기화라인(Ik)의 제k 초기화신호에 의해 턴-온되어 제q 기준전압 라인(Rq)을 구동 트랜지스터(DT)의 소스 전극에 접속시킨다. 제2 트랜지스터(ST2)의 게이트 전극은 제k 초기화라인(Ik)에 접속되고, 제1 전극은 제q 기준전압 라인(Rq)에 접속되며, 제2 전극은 구동 트랜지스터(DT)의 소스 전극에 접속될 수 있다.

[0053] 제3 트랜지스터(ST3)는 제k 전원전압 제어라인(Ck)의 제k 제어신호에 의해 턴-온되어 제j 전원전압 보상라인(Vj)을 유기발광다이오드(OLED)의 캐소드 전극에 접속시킨다. 제3 트랜지스터(ST3)의 게이트 전극은 제k 전원전압 제어라인(Ck)에 접속되고, 제1 전극은 제j 전원전압 보상라인(Vj)에 접속되며, 제2 전극은 유기발광다이오드(OLED)의 캐소드 전극에 접속된다.

[0054] 제1 내지 제3 트랜지스터들(ST1, ST2, ST3) 각각의 제1 전극은 소스 전극이고, 제2 전극은 드레인 전극일 수 있으나, 이에 한정되지 않음에 주의하여야 한다. 즉, 제1 내지 제3 트랜지스터들(ST1, ST2, ST3) 각각의 제1 전극은 드레인 전극이고, 제2 전극은 소스 전극일 수 있다.

[0055] 커패시터(C)는 구동 트랜지스터(DT)의 게이트 전극과 소스 전극 사이에 형성된다. 커패시터(C)는 구동 트랜지스터(DT)의 게이트전압과 소스전압 간의 차전압을 저장한다.

[0056] 도 4에서는 구동 트랜지스터(DT)와 제1 내지 제3 트랜지스터들(ST1, ST2, ST3)이 N 타입 MOSFET(Metal Oxide Semiconductor Field Effect Transistor)으로 형성된 것을 중심으로 설명하였으나, 이에 한정되지 않는 것에 주의하여야 한다. 구동 트랜지스터(DT)와 제1 및 제2 트랜지스터들(ST1, ST2)은 P 타입 MOSFET으로 형성될 수도 있으며, 이 경우 도 5, 도 7 및 도 9의 타이밍도는 P 타입 MOSFET의 특성에 맞게 적절하게 수정될 수 있다.

[0057] 본 발명의 실시예에 따른 유기발광표시장치는 표시모드, 및 제1 내지 제3 센싱모드들로 구동되며, 표시모드, 및 제1 내지 제3 센싱모드들 중 어느 모드인지에 따라 화소(P)에 공급되는 스캔신호, 초기화신호, 및 제어신호의 파형들이 달라진다. 이로 인해, 화소(P)의 동작이 달라진다. 이하에서는, 도 5, 도 6a 내지 도 6c를 결부하여 표시 모드에서 화소(P)의 동작을 살펴보고, 도 7 및 도 8을 결부하여 제1 센싱모드에서 화소(P)의 동작을 살펴보며, 도 9 및 도 10을 결부하여 제2 센싱모드에서 화소(P)의 동작을 살펴본다.

[0058] 한편, 제3 센싱모드에서 화소(P)는 제1 트랜지스터(ST1)를 턴-온시켜 구동 트랜지스터(DT)의 게이트 전극에 센싱용 데이터전압을 공급하고 제2 트랜지스터(ST2)를 턴-온시켜 구동 트랜지스터(DT)의 소스 전극에 제1 기준전압을 공급한 후, 제2 트랜지스터(ST2)만을 턴-온시켜 유기발광다이오드(OLED)로 흐르는 전류 또는 유기발광다이오드(OLED)의 애노드 전압을 센싱하는 것이며, 이에 대한 자세한 설명은 생략한다.

[0059] 도 5는 표시 모드에서 화소에 공급되는 제k 스캔 신호, 제k 초기화신호, 및 제k 제어신호를 보여주는 파형도이다. 도 5에서는 설명의 편의를 위해 도 4의 화소(P)에 접속된 제k 스캔라인(Sk)에 공급되는 제k 스캔신호(SCANk), 제k 초기화라인(Ik)에 공급되는 제k 초기화신호(INIk), 및 제k 전원전압 제어라인(Ck)에 공급되는 제k 제어신호(CSk)만을 예시하였다.

[0060] 도 5를 참조하면, 표시 모드에서 1 프레임 기간은 제1 내지 제3 기간들(t1~t3)로 구분될 수 있다. 1 프레임 기간은 표시패널(10)의 모든 화소(P)들에 데이터전압들이 공급되는 기간을 가리킨다.

[0061] 제1 기간(ST1)은 구동 트랜지스터(DT)의 소스전극을 제1 초기화전압(VREF1)으로 초기화하고, 구동 트랜지스터(DT)의 게이트전극에 데이터전압(Vdata)을 공급하는 기간이다. 제1 기간(ST1)은 1 수평기간일 수 있다. 1 수평기간은 1 수평라인의 화소(P)들에 데이터전압들이 공급되는 기간을 지시하고, 1 수평라인의 화소(P)들은 동일한 스캔라인에 접속될 수 있다. 제2 기간(ST2)은 유기발광다이오드(OLED)의 캐소드 전극에 보상 전원전압을 공급하는 기간이다. 제2 및 제3 기간들(t2, t3)은 구동 트랜지스터(DT)의 전류에 따라 유기발광다이오드(OLED)를 발광하는 기간이다.

[0062] 스캔신호 공급부(31)는 표시 모드에서 제k 스캔라인(Sk)에 제1 기간(ST1) 동안 게이트 온 전압(VGH)의 제k 스캔신호(SCANk)를 공급하고, 제2 및 제3 기간들(t2, t3) 동안 게이트 오프 전압(VGL)의 제k 스캔신호(SCANk)를 공급한다. 초기화신호 공급부(32)는 표시 모드에서 제k 초기화라인(Ik)에 제1 기간(ST1) 동안 게이트 온 전압(VGH)의 제k 초기화신호(INIk)를 공급하고, 제2 및 제3 기간들(t2, t3) 동안 게이트 오프 전압(VGL)의 제k 초기화신호(INIk)를 공급한다. 제어신호 공급부(33)는 표시 모드에서 제k 전원전압 제어라인(Ck)에 제1 및 제3 기간들(t1, t3) 동안 게이트 오프 전압(VGL)의 제k 제어신호(CSk)를 공급하고, 제2 기간(ST2) 동안 게이트 온 전압(VGH)의 제k 제어신호(CSk)를 공급한다.

- [0063] 화소(P)들 각각의 제1 내지 제3 트랜지스터들(T1~T3)이 도 4와 같이 N 탑입 MOSFET으로 형성되는 경우, 게이트 온 전압(VGH)은 화소(P)들 각각의 제1 내지 제3 트랜지스터들(T1~T3)을 턴-온시킬 수 있는 게이트하이전압이고, 게이트 오프 전압(VGL)은 화소(P)들 각각의 제1 내지 제3 트랜지스터들(T1~T3)을 턴-오프시킬 수 있는 게이트로 우전압일 수 있다. 예를 들어, 게이트하이전압은 15V 이상의 전압일 수 있고, 게이트로우전압은 0V 이하의 전압일 수 있다.
- [0064] 데이터전압 공급부(21)는 표시 모드에서 제k 스캔라인(Sk)과 제j 데이터라인(Dj)에 접속된 화소(P)에 공급될 데이터전압을 제1 기간(ST1) 동안 제j 데이터라인(Dj)에 공급한다. 보상 전원전압 공급부(22)는 표시 모드에서 제k 스캔라인(Sk)과 제j 데이터라인(Dj)에 접속된 화소(P)에 공급될 보상 전원전압을 제2 기간(ST2) 동안 제j 전원전압 보상라인(Vj)에 공급한다. 기준전압 공급부(23)는 표시 모드에서 제1 내지 제3 기간들(t1~t3) 동안 제q 기준전압 라인(Rq)에 제1 기준전압(VREF1)을 공급한다.
- [0065] 이하에서는, 도 6a 내지 도 6c를 결부하여, 표시 모드에서 화소(P)의 동작을 상세히 살펴본다.
- [0066] 도 6a 내지 도 6c는 도 5의 제1 내지 제3 기간들 동안 화소의 동작을 보여주는 회로도들이다. 도 6a 내지 도 6c에서는 설명의 편의를 위해 턴-오프된 트랜지스터를 점선으로 도시하였다. 이하에서는 도 5 및 도 6a 내지 도 6c를 결부하여 본 발명의 실시예에 따른 표시모드에서 화소의 구동방법을 상세히 살펴본다.
- [0067] 도 6a를 참조하면, 제1 기간(ST1) 동안 제1 트랜지스터(ST1)는 제k 스캔라인(Sk)으로 공급되는 게이트 온 전압(VGH)의 제k 스캔신호(SCANk)에 의해 턴-온되고, 제2 트랜지스터(ST2)는 제k 초기화라인(Ik)에 공급되는 게이트 온 전압(VGH)의 제k 초기화신호(INIk)에 의해 턴-온된다. 제1 기간(ST1) 동안 제3 트랜지스터(ST3)는 제k 전원전압 제어라인(Ck)에 공급되는 게이트 오프 전압(VGL)의 제k 제어신호(CSk)에 의해 턴-오프된다.
- [0068] 제1 기간(ST1) 동안 제1 트랜지스터(ST1)의 턴-온으로 인해 제j 데이터라인(Dj)의 데이터전압(Vdata)이 구동 트랜지스터(DT)의 게이트 전극에 공급된다. 또한, 제1 기간(ST1) 동안 제2 트랜지스터(ST2)의 턴-온으로 인해 구동 트랜지스터(DT)의 소스 전극에는 제q 기준전압 라인(Rq)의 제1 초기화전압(VREF1)이 공급된다. 즉, 제1 기간(ST1) 동안 구동 트랜지스터(DT)의 소스 전극은 제1 초기화전압(VREF1)으로 초기화된다. 구동 트랜지스터(DT)의 게이트 전극과 소스 전극 간의 전압 차(Vdata-VREF1)가 커패시터(C)에 저장된다.
- [0069] 도 6b를 참조하면, 제2 기간(ST2) 동안 제1 트랜지스터(ST1)는 제k 스캔라인(Sk)으로 공급되는 게이트 오프 전압(VGL)의 제k 스캔신호(SCANk)에 의해 턴-오프되며, 제2 트랜지스터(ST2)는 제k 초기화라인(Ik)으로 공급되는 게이트 오프 전압(VGL)의 제k 초기화신호(INIk)에 의해 턴-오프된다. 제2 기간(ST2) 동안 제3 트랜지스터(ST3)는 제k 전원전압 제어라인(Ck)에 공급되는 게이트 온 전압(VGH)의 제k 제어신호(CSk)에 의해 턴-온된다.
- [0070] 제2 기간(ST2) 동안 제3 트랜지스터(ST3)의 턴-온으로 인해 제j 전원전압 보상라인(Vj)의 보상 전원전압(CV)이 유기발광다이오드(OLED)의 캐소드 전극에 공급된다. 보상 전원전압(CV)은 유기발광다이오드(OLED)의 캐소드 전극에 공급되는 전원전압이 상승하는 것을 보상하기 위한 전압이다. 따라서, 제2 기간(ST2) 동안 유기발광다이오드(OLED)의 캐소드 전극에 보상 전원전압(CV)을 공급함으로써, 유기발광다이오드(OLED)의 캐소드 전극에 공급되는 전원전압이 상승하는 것을 방지할 수 있다.
- [0071] 도 6c를 참조하면, 제3 기간(ST3) 동안 제1 트랜지스터(ST1)는 제k 스캔라인(Sk)으로 공급되는 게이트 오프 전압(VGL)의 제k 스캔신호(SCANk)에 의해 턴-오프되며, 제2 트랜지스터(ST2)는 제k 초기화라인(Ik)으로 공급되는 게이트 오프 전압(VGL)의 제k 초기화신호(INIk)에 의해 턴-오프되고, 제3 트랜지스터(ST3)는 제k 전원전압 제어라인(Ck)에 공급되는 게이트 오프 전압(VGL)의 제k 제어신호(CSk)에 의해 턴-오프된다.
- [0072] 제2 및 제3 기간들(t2, t3) 동안 커패시터(C)에 의해 구동 트랜지스터(DT)의 게이트 전극과 소스 전극 간의 전압 차(Vdata-VREF1)가 유지된다. 이로 인해, 구동 트랜지스터(DT)의 게이트 전극과 소스 전극 간의 전압 차(Vdata-VREF1)에 따른 전류(Ids)가 유기발광다이오드(OLED)로 흐른다. 이로 인해, 유기발광다이오드(OLED)는 발광한다. 이하에서는, 설명의 편의를 위해 "구동 트랜지스터(DT)의 게이트 전극과 소스 전극 간의 전압 차(Vdata-VREF1)에 따른 전류(Ids)"를 "구동 트랜지스터의 전류(Ids)"로 정의한다.
- [0073] 데이터전압(Vdata)은 구동 트랜지스터(DT)의 문턱전압이 보상된 전압이기 때문에, 제2 기간(ST2) 동안 유기발광다이오드(OLED)로 흐르는 구동 트랜지스터(DT)의 전류(Ids)는 구동 트랜지스터(DT)의 문턱전압에 의존하지 않는다.
- [0074] 이상에서 살펴본 바와 같이, 본 발명의 실시예는 표시모드에서 유기발광다이오드(OLED)의 캐소드 전극에 보상 전원전압(CV)을 공급한다. 그 결과, 본 발명의 실시예는 유기발광다이오드(OLED)의 캐소드 전극에 공급되는 전

원전압이 상승하는 것을 방지할 수 있다. 따라서, 본 발명의 실시예는 캐소드 전극에 공급되는 전원전압의 상승으로 인한 화소들의 휘도 균일도가 낮아지는 것을 방지할 수 있다.

[0075] 또한, 본 발명의 실시예는 표시모드에서 구동 트랜지스터(DT)의 문턱전압이 보상된 데이터전압(Vdata)을 화소(P)에 공급한다. 그 결과, 본 발명의 실시예는 화소(P)의 유기발광다이오드(OLED)는 구동 트랜지스터(DT)의 문턱전압에 의존하지 않는 구동 트랜지스터(DT)의 전류(Ids)에 따라 발광할 수 있다. 따라서, 본 발명의 실시예는 구동 트랜지스터(DT)의 문턱전압에 따라 화소(P)들의 휘도 균일도가 낮아지는 것을 방지할 수 있다.

[0076] 도 7은 제1 센싱 모드에서 화소에 공급되는 제k 스캔 신호, 제k 초기화신호, 및 제k 제어신호를 보여주는 파형도이다. 도 7에서는 설명의 편의를 위해 도 4의 화소(P)에 접속된 제k 스캔라인(Sk)에 공급되는 제k 스캔신호(SCAN<sub>k</sub>), 제k 초기화라인(I<sub>k</sub>)에 공급되는 제k 초기화신호(INI<sub>k</sub>), 및 제k 전원전압 제어라인(C<sub>k</sub>)에 공급되는 제k 제어신호(CS<sub>k</sub>)만을 예시하였다.

[0077] 도 7을 참조하면, 제1 센싱 모드에서 1 프레임 기간은 제1 및 제2 기간들(t<sub>1'</sub>, t<sub>2'</sub>)로 구분될 수 있다. 한편, 1 프레임 기간은 화소(P)들에 데이터전압들이 공급되는 액티브 기간과 휴지 기간인 버티컬 블랭크 기간을 포함할 수 있으며, 제1 센싱 모드의 화소(P)는 버티컬 블랭크 기간 동안 동작할 수 있다. 이 경우, 제1 센싱 모드에서 버티컬 블랭크 기간이 제1 및 제2 기간들(t<sub>1'</sub>, t<sub>2'</sub>)로 구분될 수 있다.

[0078] 제1 기간(t<sub>1'</sub>)은 유기발광다이오드(OLED)에 전류가 흐르지 않을 때 유기발광다이오드(OLED)의 캐소드 전극의 전압을 센싱하는 기간이다. 제2 기간(t<sub>2'</sub>)은 센싱된 전압을 디지털 데이터인 제1 센싱 데이터(SD1)로 변환하는 기간이다.

[0079] 스캔신호 공급부(31)는 제1 센싱 모드에서 제k 스캔라인(Sk)에 제1 및 제2 기간들(t<sub>1'</sub>, t<sub>2'</sub>) 동안 게이트 오프 전압(VGL)의 제k 스캔신호(SCAN<sub>k</sub>)를 공급한다. 초기화신호 공급부(32)는 제1 센싱 모드에서 제k 초기화라인(I<sub>k</sub>)에 제1 및 제2 기간들(t<sub>1'</sub>, t<sub>2'</sub>) 동안 게이트 오프 전압(VGL)의 제k 초기화신호(INI<sub>k</sub>)를 공급한다. 제어신호 공급부(33)는 제1 센싱 모드에서 제k 전원전압 제어라인(C<sub>k</sub>)에 제1 기간(t<sub>1'</sub>) 동안 게이트 온 전압(VGH)의 제k 제어신호(CS<sub>k</sub>)를 공급하고, 제2 기간(t<sub>2'</sub>) 동안 게이트 오프 전압(VGL)의 제k 제어신호(CS<sub>k</sub>)를 공급한다.

[0080] 데이터전압 공급부(21)는 제1 센싱 모드에서 데이터전압(Vdata)을 제j 데이터라인(D<sub>j</sub>)에 공급하지 않는다. 보상 전원전압 공급부(22)는 제1 센싱 모드에서 보상 전원전압을 제j 전원전압 보상라인(V<sub>j</sub>)에 공급하지 않는다. 보상 전원전압 공급부(22)는 제1 센싱 모드에서 유기발광다이오드(OLED)의 캐소드 전극에 접속된 제j 전원전압 보상라인(V<sub>j</sub>)의 전압을 센싱함으로써, 유기발광다이오드(OLED)의 캐소드 전극의 전압을 센싱한다. 기준전압 공급부(23)는 제1 센싱 모드에서 제q 기준전압 라인(R<sub>q</sub>)에 제1 기준전압(VREF1) 또는 제2 기준전압(VREF2)을 공급하지 않는다.

[0081] 이하에서는, 도 8을 결부하여, 제1 센싱모드에서 화소(P)의 동작을 상세히 살펴본다.

[0082] 도 8은 제1 센싱모드에서 제1 기간 동안 화소의 동작을 보여주는 회로도이다. 도 8에서는 설명의 편의를 위해 턴-오프된 트랜지스터를 점선으로 도시하였다. 이하에서는 도 7 및 도 8을 결부하여 본 발명의 실시예에 따른 제1 센싱모드에서 화소의 구동방법을 상세히 살펴본다.

[0083] 도 8을 참조하면, 제1 기간(t<sub>1'</sub>) 동안 제1 트랜지스터(ST1)는 제k 스캔라인(Sk)으로 공급되는 게이트 오프 전압(VGL)의 제k 스캔신호(SCAN<sub>k</sub>)에 의해 턴-오프되고, 제2 트랜지스터(ST2)는 제k 초기화라인(I<sub>k</sub>)에 공급되는 게이트 오프 전압(VGL)의 제k 초기화신호(INI<sub>k</sub>)에 의해 턴-오프된다. 제1 기간(t<sub>1'</sub>) 동안 제3 트랜지스터(ST3)는 제k 전원전압 제어라인(C<sub>k</sub>)에 공급되는 게이트 온 전압(VGH)의 제k 제어신호(CS<sub>k</sub>)에 의해 턴-온된다.

[0084] 제1 기간(t<sub>1'</sub>) 동안 제1 및 제2 트랜지스터들(ST1, ST2)의 턴-오프로 인해 구동 트랜지스터(DT)의 게이트 전극과 소스 전극에는 어떠한 전압도 공급되지 않는다. 따라서, 구동 트랜지스터(DT)의 전류(Ids)는 유기발광다이오드(OLED)로 흐르지 않는다.

[0085] 제1 기간(t<sub>1'</sub>) 동안 제3 트랜지스터(ST3)의 턴-온으로 인해 제j 전원전압 보상라인(V<sub>j</sub>)이 유기발광다이오드(OLED)의 캐소드 전극에 접속된다. 따라서, 유기발광다이오드(OLED)의 캐소드 전극의 전압이 제j 전원전압 보상라인(V<sub>j</sub>)을 통해 전원전압 공급부(22)에 센싱될 수 있다.

[0086] 그리고 나서, 제2 기간(t<sub>2'</sub>) 동안 전원전압 공급부(22)는 제1 내지 제m 전원전압 보상라인들(V<sub>1</sub>~V<sub>m</sub>)을 통해 센싱된 전압들을 디지털 데이터인 제1 센싱 데이터(SD1)로 변환한다. 전원전압 공급부(22)는 제1 센싱 데이터(SD1)를 전원전압 보상부(50)로 출력한다.

- [0087] 도 9는 제2 센싱 모드에서 화소에 공급되는 제k 스캔 신호, 제k 초기화신호, 및 제k 제어신호를 보여주는 파형 도이다. 도 9에서는 설명의 편의를 위해 도 4의 화소(P)에 접속된 제k 스캔라인(Sk)에 공급되는 제k 스캔신호(SCAN<sub>k</sub>), 제k 초기화라인(I<sub>k</sub>)에 공급되는 제k 초기화신호(INI<sub>k</sub>), 및 제k 전원전압 제어라인(C<sub>k</sub>)에 공급되는 제k 제어신호(CS<sub>k</sub>)만을 예시하였다.
- [0088] 도 9를 참조하면, 제2 센싱 모드에서 1 프레임 기간은 제1 및 제2 기간들(t1", t2")로 구분될 수 있다. 한편, 제2 센싱 모드의 화소(P)는 버티컬 블랭크 기간 동안 동작할 수 있으며, 이 경우 제2 센싱 모드에서 버티컬 블랭크 기간이 제1 및 제2 기간들(t1", t2")로 구분될 수 있다.
- [0089] 제1 기간(t1")은 유기발광다이오드(OLED)에 소정의 전류가 흐를 때 유기발광다이오드(OLED)의 캐소드 전극의 전압을 센싱하는 기간이다. 제2 기간(t2")은 센싱된 전압을 디지털 데이터인 제2 센싱 데이터(SD2)로 변환하는 기간이다.
- [0090] 스캔신호 공급부(31)는 제2 센싱 모드에서 제k 스캔라인(Sk)에 제1 및 제2 기간들(t1", t2") 동안 게이트 오프 전압(VGL)의 제k 스캔신호(SCAN<sub>k</sub>)를 공급한다. 초기화신호 공급부(32)는 제1 센싱 모드에서 제k 초기화라인(I<sub>k</sub>)에 제1 기간 동안 게이트 온 전압(VGH)의 제k 초기화신호(INI<sub>k</sub>)를 공급하고, 제2 기간(t2") 동안 게이트 오프 전압(VGL)의 제k 초기화신호(INI<sub>k</sub>)를 공급한다. 제어신호 공급부(33)는 제1 센싱 모드에서 제k 전원전압 제어라인(C<sub>k</sub>)에 제1 기간(t1") 동안 게이트 온 전압(VGH)의 제k 제어신호(CS<sub>k</sub>)를 공급하고, 제2 기간(t2") 동안 게이트 오프 전압(VGL)의 제k 제어신호(CS<sub>k</sub>)를 공급한다.
- [0091] 데이터전압 공급부(21)는 제2 센싱 모드에서 데이터전압(Vdata)을 제j 데이터라인(D<sub>j</sub>)에 공급하지 않는다. 보상 전원전압 공급부(22)는 제2 센싱 모드에서 보상 전원전압을 제j 전원전압 보상라인(V<sub>j</sub>)에 공급하지 않는다. 보상 전원전압 공급부(22)는 제2 센싱 모드에서 유기발광다이오드(OLED)의 캐소드 전극에 접속된 제j 전원전압 보상라인(V<sub>j</sub>)의 전압을 센싱함으로써, 유기발광다이오드(OLED)의 캐소드 전극의 전압을 센싱한다. 기준전압 공급부(23)는 제2 센싱 모드에서 제q 기준전압 라인(R<sub>q</sub>)에 제2 기준전압(VREF2)을 공급한다.
- [0092] 이하에서는, 도 10을 결부하여, 제2 센싱모드에서 화소(P)의 동작을 상세히 살펴본다.
- [0093] 도 10은 제2 센싱 모드에서 제1 기간 동안 화소의 동작을 보여주는 회로도이다. 도 10에서는 설명의 편의를 위해 턴-오프된 트랜지스터를 점선으로 도시하였다. 이하에서는 도 9 및 도 10을 결부하여 본 발명의 실시예에 따른 제2 센싱모드에서 화소의 구동방법을 상세히 살펴본다.
- [0094] 도 10을 참조하면, 제1 기간(t1") 동안 제1 트랜지스터(ST1)는 제k 스캔라인(Sk)으로 공급되는 게이트 오프 전압(VGL)의 제k 스캔신호(SCAN<sub>k</sub>)에 의해 턴-오프된다. 제2 트랜지스터(ST2)는 제k 초기화라인(I<sub>k</sub>)에 공급되는 게이트 온 전압(VGH)의 제k 초기화신호(INI<sub>k</sub>)에 의해 턴-온된다. 제1 기간(t1") 동안 제3 트랜지스터(ST3)는 제k 전원전압 제어라인(C<sub>k</sub>)에 공급되는 게이트 온 전압(VGH)의 제k 제어신호(CS<sub>k</sub>)에 의해 턴-온된다.
- [0095] 제1 기간(t1") 동안 제2 트랜지스터(ST2)의 턴-온으로 인해 구동 트랜지스터(DT)의 소스 전극에는 제2 기준전압(VREF2)이 공급된다. 따라서, 구동 트랜지스터(DT)의 애노드 전극에는 제2 기준전압(VREF2)이 인가되므로, 유기발광다이오드(OLED)에는 소정의 전류가 흐른다.
- [0096] 제1 기간(t1") 동안 제3 트랜지스터(ST3)의 턴-온으로 인해 제j 전원전압 보상라인(V<sub>j</sub>)이 유기발광다이오드(OLED)의 캐소드 전극에 접속된다. 따라서, 유기발광다이오드(OLED)의 캐소드 전극의 전압이 제j 전원전압 보상라인(V<sub>j</sub>)을 통해 전원전압 공급부(22)에 센싱될 수 있다.
- [0097] 그리고 나서, 제2 기간(t2') 동안 전원전압 공급부(22)는 제1 내지 제m 전원전압 보상라인들(V1~V<sub>m</sub>)을 통해 센싱된 전압들을 디지털 데이터인 제1 센싱 데이터(SD1)로 변환한다. 전원전압 공급부(22)는 제1 센싱 데이터(SD1)를 전원전압 보상부(50)로 출력한다.
- [0098] 이상에서 살펴본 바와 같이, 본 발명의 실시예는 제1 센싱모드에서 유기발광다이오드(OLED)에 전류가 흐르지 않을 때 제j 전원전압 보상라인(V<sub>j</sub>)을 통해 유기발광다이오드(OLED)의 캐소드 전극의 전압을 센싱하고, 이를 제1 센싱 데이터(SD1)로 전원전압 보상부(50)로 출력할 수 있다. 또한, 본 발명의 실시예는 제2 센싱모드에서 유기발광다이오드(OLED)의 애노드 전극에 제2 기준전압(VREF2)이 공급되어 유기발광다이오드(OLED)에 전류가 흐를 때 제j 전원전압 보상라인(V<sub>j</sub>)을 통해 유기발광다이오드(OLED)의 캐소드 전극의 전압을 센싱하고, 이를 제2 센싱 데이터(SD2)로 전원전압 보상부(50)로 출력할 수 있다. 이로 인해, 본 발명의 실시예는 제1 및 제2 센싱 데이터들(SD1, SD2)을 이용하여 화소(P)들 간의 유기발광다이오드의 캐소드 전극의 전압이 얼마나 불균일한지를 산출할 수 있으며, 이를 보상하기 위한 보상 데이터(CDATA)를 산출할 수 있다. 그 결과, 본 발명의 실시예는

유기발광다이오드(OLED)의 캐소드 전극에 공급된 전원전압이 상승하는 것을 보상할 수 있다. 따라서, 본 발명의 실시예는 유기발광다이오드(OLED)의 캐소드 전극에 공급된 전원전압 상승으로 인한 표시패널의 휘도 불균일을 방지할 수 있다.

[0099] 도 11은 도 2의 화소의 일 예를 보여주는 평면도이다. 도 12는 도 11의 I-I'와 II-II'의 단면도이다. 도 11 및 도 12를 결부하여 본 발명의 일 실시예에 따른 화소의 구조에 대하여 상세히 설명한다.

[0100] 도 11 및 도 12를 참조하면, 하부 기판(SUB)상에 베퍼층(BF)이 배치된다. 베퍼층(BF)은 구동 트랜지스터(DT)와 제1 내지 제3 트랜지스터들(T1~T3)의 액티브층들(AD, A3)로 수분과 산소가 침투하는 것을 방지하기 위한 복수의 무기막들을 포함할 수 있다. 무기막들은 두 가지 종류 이상의 무기막들을 포함할 수 있다. 예를 들어, 베퍼층(BF)은 산화 실리콘(SiO<sub>2</sub>)과 질화 실리콘(SiNx)의 복합막으로 형성될 수 있다. 베퍼층(BF)은 생략될 수도 있다.

[0101] 베퍼층(BF) 상에는 액티브층들(AD, A3)이 패터닝된다. 액티브층들(AD, A3) 각각에는 불순물이 선택적으로 도핑될 수 있다. 액티브층들(AD, A3) 상에는 게이트 절연막(GI)이 배치될 수 있다. 게이트 절연막(GI)은 산화 실리콘(SiO<sub>2</sub>) 또는 질화 실리콘(SiNx)의 단일막으로 형성되거나 산화 실리콘(SiO<sub>2</sub>)과 질화 실리콘(SiNx)의 복합막으로 형성될 수 있다.

[0102] 게이트 절연막(GI) 상에는 스캔라인(Sk)들, 초기화라인(Ik)들, 전원전압 제어라인(Ck)들, 및 구동 트랜지스터(DT)와 제1 내지 제3 트랜지스터들(T1~T3)의 게이트 전극들(GED, GE3)을 포함하는 제1 금속 패턴이 패터닝된다. 제1 금속 패턴은 게이트 금속 패턴일 수 있으며, 예를 들어 몰리브덴(Mo), 티타늄(Ti), 알루미늄(Al) 또는 구리(Cu)를 재료로 이용하여 단일층(single layer) 또는 몰리브덴(Mo), 티타늄(Ti), 알루미늄(Al) 또는 구리(Cu)의 재료 중 적어도 2개의 금속을 포함한 복층(multi layer) 구조로 형성될 수도 있다.

[0103] 도 11 및 도 12에서는 구동 트랜지스터(DT)와 제1 내지 제3 트랜지스터들(T1~T3) 각각의 게이트 전극이 액티브층의 상부에 위치하는 상부 게이트(탑 게이트, top gate) 방식으로 형성된 것을 예시하였으나, 이에 한정되지 않음에 주의하여야 한다. 즉, 구동 트랜지스터(DT)와 제1 내지 제3 트랜지스터들(T1~T3) 각각의 게이트 전극은 액티브층의 하부에 위치하는 하부 게이트(보텀 게이트, bottom gate) 방식으로 형성될 수 있다.

[0104] 제1 금속 패턴, 액티브층들(AD, A3), 게이트 절연막(GI), 및 베퍼층(BF) 상에는 그들을 덮는 제1 층간 절연막(ILD1)이 배치된다. 제1 층간 절연막(ILD1) 상에는 데이터라인(Dj)들, 전원전압 보상라인(Vj)들, 기준전압 라인(Rq)들, 제2 전원전압 라인(VDDL)들, 및 구동 트랜지스터(DT)와 제1 내지 제3 트랜지스터들(T1~T3)의 소스 전극들(SED, SE3)과 드레인 전극들(DED, DE3)을 포함하는 제2 금속 패턴이 패터닝된다. 제2 금속 패턴은 소스 드레인 금속 패턴일 수 있으며, 예를 들어 몰리브덴(Mo), 티타늄(Ti), 알루미늄(Al) 또는 구리(Cu)를 재료로 이용하여 단일층(single layer) 또는 몰리브덴(Mo), 티타늄(Ti), 알루미늄(Al) 또는 구리(Cu)의 재료 중 적어도 2개의 금속을 포함한 복층(multi layer) 구조로 형성될 수도 있다. 구동 트랜지스터(DT)와 제1 내지 제3 트랜지스터들(T1~T3)의 소스 전극들(SED, SE3)과 드레인 전극들(DED, DE3) 각각은 제1 층간 절연막(ILD1)을 관통하는 콘택홀(contact hole)을 통해 액티브층에 접속될 수 있다.

[0105] 제2 금속 패턴 상에는 제2 금속 패턴을 덮는 제2 층간 절연막(ILD2)이 배치된다. 제2 층간 절연막(ILD2) 상에는 제1 보조 전극(AE1)들과 제2 보조 전극(AE2)들을 포함하는 제3 금속 패턴이 패터닝된다. 제3 금속 패턴은 몰리브덴(Mo), 티타늄(Ti), 알루미늄(Al) 또는 구리(Cu)를 재료로 이용하여 단일층(single layer) 또는 몰리브덴(Mo), 티타늄(Ti), 알루미늄(Al) 또는 구리(Cu)의 재료 중 적어도 2개의 금속을 포함한 복층(multi layer) 구조로 형성될 수도 있다. 제1 보조 전극(AE1)은 제2 층간 절연막(ILD2)을 관통하는 콘택홀을 통해 구동 트랜지스터(DT)의 드레인 전극(DED)에 접속될 수 있다. 제2 보조 전극(AE2)은 제2 층간 절연막(ILD2)을 관통하는 또 다른 콘택홀을 통해 제3 트랜지스터(ST3)의 드레인 전극(DED)에 접속될 수 있다.

[0106] 제3 금속 패턴 상에는 제3 금속 패턴을 덮는 제3 층간 절연막(ILD3)이 배치된다. 제3 층간 절연막(ILD3) 상에는 애노드 전극(AND)들과 연결 전극(CE)들을 포함하는 제4 금속 패턴이 패터닝된다. 전면 발광(top emission) 방식 구조에서는 유기발광층(OL)이 캐소드 전극(CAT) 방향으로 발광하기 때문에, 제4 금속 패턴은 반사율이 높은 금속 물질로 형성되는 것이 바람직하다.

[0107] 애노드 전극(AND)은 제3 층간 절연막(ILD3)을 관통하는 콘택홀을 통해 제1 보조 전극(AE1)에 접속될 수 있다. 이로 인해, 애노드 전극(AND)은 구동 트랜지스터(DT)의 드레인 전극(DED)에 전기적으로 연결될 수 있다. 연결 전극(CE)은 제3 층간 절연막(ILD3)을 관통하는 또 다른 콘택홀을 통해 제2 보조 전극(AE2)에 접속될 수 있다.

이로 인해, 연결 전극(CE)은 제3 트랜지스터(ST3)의 드레인 전극(DE3)에 전기적으로 연결될 수 있다. 한편, 제3 금속 패턴과 제2 층간 절연막(ILD2)은 공정 설계에 따라 생략될 수도 있으며, 이 경우 애노드 전극(AND)은 구동 트랜지스터(DT)의 드레인 전극(DED)에 직접 접속되고, 연결 전극(CE)은 제3 트랜지스터(ST3)의 드레인 전극(DE3)에 직접 접속될 수 있다.

[0108] 애노드 전극(AND)들과 연결 전극(CE)들 상에는 그들을 구획하는 뱅크(BANK)들이 배치된다. 뱅크(BANK)들은 포토 레지스트 또는 포토 아크릴로 형성될 수 있으며, 이에 한정되지 않는다.

[0109] 애노드 전극(AND)들과 뱅크(BANK)들 상에는 유기발광층(OL)이 배치된다. 유기발광층(OL)은 정공 수송층(hole transporting layer), 유기층(organic layer), 및 전자 수송층(electron transporting layer)을 포함할 수 있다. 이 경우, 애노드 전극(AND)과 캐소드 전극(CAT) 각각에 전압이 인가되면 정공과 전자가 각각 정공 수송층과 전자 수송층을 통해 유기층으로 이동되며, 유기층에서 서로 결합하여 발광하게 된다.

[0110] 한편, 유기발광층(OL)은 연결 전극(CE) 상에서 파괴되나, 연결 전극(CE) 상에 일부가 남아있을 수 있다. 유기발광층(OL)의 파괴에 대한 자세한 설명은 도 14f를 결부하여 상세히 설명한다.

[0111] 유기발광층(OL) 상에는 캐소드 전극(CAT)이 배치된다. 또한, 연결 전극(CE)과 캐소드 전극(CAT) 사이의 유기발광층(OL)은 파괴되며, 파괴된 유기발광층(OLD)은 절연층으로 역할을 하지 못하므로, 캐소드 전극(CAT)은 연결 전극(CE)에 접속될 수 있다. 그러므로, 캐소드 전극(CAT)은 연결 전극(CE)과 전기적으로 연결될 수 있다. 즉, 캐소드 전극(CAT)은 제j 전원전압 보상라인(Vj)으로부터 제3 트랜지스터(ST3), 제2 보조 전극(AE2), 및 연결 전극(CE)을 통해 보상 전원전압을 공급받을 수 있다.

[0112] 또한, 유기발광층(OL)의 파괴 정도에 따라 캐소드 전극(CAT)과 연결 전극(CE) 사이의 전도성이 달라질 수 있다. 예를 들어, 유기발광층(OL)이 연결 전극(CE) 상에 많이 남아 있을수록 캐소드 전극(CAT)과 연결 전극(CE) 사이에 전기적인 저항이 커지게 된다. 본 발명의 실시예는 도 7 내지 도 10에서 설명한 바와 같이 제1 및 제2 센싱모드들을 통해 화소(P)들 각각의 캐소드 전극(CAT)의 전압을 센싱하여 보상 전원전압을 캐소드 전극(CAT)에 공급한다. 그 결과, 본 발명의 실시예는 유기발광층(OL)의 파괴 정도에 따라 캐소드 전극(CAT)과 연결 전극(CE) 사이의 전도성이 달라지는 것 역시 보상할 수 있다.

[0113] 전면 발광(top emission) 방식 구조에서는 유기발광층(OL)이 캐소드 전극(CAT) 방향으로 발광한다. 그러므로, 캐소드 전극(CAT)은 ITO(indium tin oxide)와 IZO(indium zinc oxide)와 같은 투명 금속 물질 또는 마그네슘(Mg) 또는 은(Ag)과 같은 반투과막으로 형성되는 것이 바람직하다.

[0114] 도 13은 본 발명의 일 실시예에 따른 유기발광표시장치의 제조방법을 보여주는 흐름도이다. 도 14a 내지 도 14f는 도 13의 유기발광표시장치의 제조방법을 설명하기 위한 단면도들이다. 이하에서는 도 13 및 도 14a 내지 도 14f를 결부하여 본 발명의 일 실시예에 따른 유기발광표시장치의 제조방법을 상세히 설명한다.

[0115] 도 14a 내지 도 14f에서는 구동 트랜지스터(DT)와 제1 내지 제3 트랜지스터들(T1~T3) 각각의 게이트 전극이 액티브층의 상부에 위치하는 상부 게이트(탑 게이트, top gate) 방식으로 형성된 것을 예시하였으나, 이에 한정되지 않음에 주의하여야 한다. 즉, 구동 트랜지스터(DT)와 제1 내지 제3 트랜지스터들(T1~T3) 각각의 게이트 전극은 액티브층의 하부에 위치하는 하부 게이트(보텀 게이트, bottom gate) 방식으로 형성될 수 있다.

[0116] 첫 번째로, 도 14a와 같이 하부 기판(SUB) 상에 구동 트랜지스터(DT)와 제1 내지 제3 트랜지스터들(T1~T3)과 같은 박막 트랜지스터들을 형성한다. 하부 기판(SUB)은 유리(glass) 또는 플라스틱 필름(plastic film)일 수 있다. 구동 트랜지스터(DT)와 제1 내지 제3 트랜지스터들(T1~T3) 각각은 액티브층(AD, A3), 게이트 전극(GED, GE3), 소스 전극(SED, SE3), 및 드레인 전극(DED, DE3)을 포함한다.

[0117] 구체적으로, 하부 기판(SUB)상에 베퍼층(BF)을 형성한다. 베퍼층(BF)은 구동 트랜지스터(DT)와 제1 내지 제3 트랜지스터들(T1~T3)의 액티브층들(AD, A3)로 수분과 산소가 침투하는 것을 방지하기 위한 복수의 무기막들을 포함할 수 있다. 무기막들은 두 가지 종류 이상의 무기막들을 포함할 수 있다. 예를 들어, 베퍼층(BF)은 산화 실리콘(SiO<sub>2</sub>)과 질화 실리콘(SiNx)의 복합막으로 형성될 수 있다. 베퍼층(BF)은 생략될 수도 있다.

[0118] 그리고 나서, 베퍼층(BF) 상에는 액티브층들(AD, A3)을 패터닝한다. 액티브층들(AD, A3) 각각에는 불순물이 선택적으로 도핑될 수 있다.

[0119] 그리고 나서, 액티브층들(AD, A3) 상에 게이트 절연막(GI)을 형성한다. 게이트 절연막(GI)은 산화 실리콘(SiO<sub>2</sub>) 또는 질화 실리콘(SiNx)의 단일막으로 형성되거나 산화 실리콘(SiO<sub>2</sub>)과 질화 실리콘(SiNx)의 복합막으로

형성될 수 있다.

[0120] 그리고 나서, 게이트 절연막(GI) 상에는 스캔라인(Sk)들, 초기화라인(Ik)들, 전원전압 제어라인(Ck)들, 및 구동 트랜지스터(DT)와 제1 내지 제3 트랜지스터들(T1~T3)의 게이트 전극들(GED, GE3)을 포함하는 제1 금속 패턴을 패터닝한다. 제1 금속 패턴은 게이트 금속 패턴일 수 있으며, 예를 들어 몰리브덴(Mo), 티타늄(Ti), 알루미늄(Al) 또는 구리(Cu)를 재료로 이용하여 단일층(single layer) 또는 몰리브덴(Mo), 티타늄(Ti), 알루미늄(Al) 또는 구리(Cu)의 재료 중 적어도 2개의 금속을 포함한 복층(multi layer) 구조로 형성될 수도 있다.

[0121] 제1 금속 패턴, 액티브층들(AD, A3), 게이트 절연막(GI), 및 베퍼층(BF) 상에는 그들을 덮는 제1 층간 절연막(ILD1)을 형성한다. 제1 층간 절연막(ILD1) 상에는 데이터라인(Dj)들, 전원전압 보상라인(Vj)들, 기준전압 라인(Rq)들, 제2 전원전압 라인(VDDL)들, 및 구동 트랜지스터(DT)와 제1 내지 제3 트랜지스터들(T1~T3)의 소스 전극들(SED, SE3)과 드레인 전극들(DED, DE3)을 포함하는 제2 금속 패턴을 패터닝한다. 제2 금속 패턴은 소스 드레인 금속 패턴일 수 있으며, 예를 들어 몰리브덴(Mo), 티타늄(Ti), 알루미늄(Al) 또는 구리(Cu)를 재료로 이용하여 단일층(single layer) 또는 몰리브덴(Mo), 티타늄(Ti), 알루미늄(Al) 또는 구리(Cu)의 재료 중 적어도 2개의 금속을 포함한 복층(multi layer) 구조로 형성될 수도 있다. 구동 트랜지스터(DT)와 제1 내지 제3 트랜지스터들(T1~T3)의 소스 전극들(SED, SE3)과 드레인 전극들(DED, DE3) 각각은 제1 층간 절연막(ILD1)을 관통하는 콘택홀(contact hole)을 통해 액티브층에 접속될 수 있다. (도 13의 S101)

[0122] 두 번째로, 도 14b와 같이 구동 트랜지스터(DT)와 제1 내지 제3 트랜지스터들(T1~T3)과 같은 박막 트랜지스터들 상에 보조 전극들(AE1, AE2)을 형성한다.

[0123] 구체적으로, 제2 금속 패턴 상에는 제2 금속 패턴을 덮는 제2 층간 절연막(ILD2)을 형성한다. 그리고 나서, 제2 층간 절연막(ILD2) 상에는 제1 보조 전극(AE1)들과 제2 보조 전극(AE2)들을 포함하는 제3 금속 패턴을 패터닝한다. 제3 금속 패턴은 몰리브덴(Mo), 티타늄(Ti), 알루미늄(Al) 또는 구리(Cu)를 재료로 이용하여 단일층(single layer) 또는 몰리브덴(Mo), 티타늄(Ti), 알루미늄(Al) 또는 구리(Cu)의 재료 중 적어도 2개의 금속을 포함한 복층(multi layer) 구조로 형성될 수도 있다. 제1 보조 전극(AE1)은 제2 층간 절연막(ILD2)을 관통하는 콘택홀을 통해 구동 트랜지스터(DT)의 드레인 전극(DED)에 접속될 수 있다. 제2 보조 전극(AE2)은 제2 층간 절연막(ILD2)을 관통하는 또 다른 콘택홀을 통해 제3 트랜지스터(ST3)의 드레인 전극(DED)에 접속될 수 있다. (도 13의 S102)

[0124] 세 번째로, 도 14c와 같이 보조 전극들(AE1, AE2) 상에 애노드 전극(AND)들과 연결 전극(CE)들을 형성한다.

[0125] 구체적으로, 제3 금속 패턴 상에는 제3 금속 패턴을 덮는 제3 층간 절연막(ILD3)을 형성한다. 그리고 나서, 제3 층간 절연막(ILD3) 상에는 애노드 전극(AND)들과 연결 전극(CE)들을 포함하는 제4 금속 패턴을 패터닝한다. 전면 발광(top emission) 방식 구조에서는 유기발광층(OL)이 캐소드 전극(CAT) 방향으로 발광하기 때문에, 제4 금속 패턴은 반사율이 높은 금속 물질로 형성되는 것이 바람직하다.

[0126] 애노드 전극(AND)은 제3 층간 절연막(ILD3)을 관통하는 콘택홀을 통해 제1 보조 전극(AE1)에 접속될 수 있다. 이로 인해, 애노드 전극(AND)은 구동 트랜지스터(DT)의 드레인 전극(DED)에 전기적으로 연결될 수 있다. 연결 전극(CE)은 제3 층간 절연막(ILD3)을 관통하는 또 다른 콘택홀을 통해 제2 보조 전극(AE2)에 접속될 수 있다. 이로 인해, 연결 전극(CE)은 제3 트랜지스터(ST3)의 드레인 전극(DED)에 전기적으로 연결될 수 있다.

[0127] 한편, 제3 금속 패턴과 제2 층간 절연막(ILD2)은 공정 설계에 따라 생략될 수도 있으며, 이 경우 애노드 전극(AND)은 구동 트랜지스터(DT)의 드레인 전극(DED)에 직접 접속되고, 연결 전극(CE)은 제3 트랜지스터(ST3)의 드레인 전극(DE3)에 직접 접속될 수 있다. (도 13의 S103)

[0128] 네 번째로, 도 14d와 같이 애노드 전극(AND)들과 연결 전극(CE)들 상에는 그들을 구획하는 뱅크(BANK)들을 형성한다. 이를 위해, 뱅크(BANK)들은 애노드 전극(AND)들과 연결 전극(CE)들보다 높은 높이로 형성될 수 있다. 뱅크(BANK)들은 포토 레지스트 또는 포토 아크릴로 형성될 수 있으며, 이에 한정되지 않는다. (도 13의 S104)

[0129] 다섯 번째로, 도 14e와 같이 애노드 전극(AND)들, 연결 전극(CE)들, 및 뱅크(BANK)들 상에 유기발광층(OL)을 형성한다. 유기발광층(OL)은 정공 수송층(hole transporting layer), 유기층(organic layer), 및 전자 수송층(electron transporting layer)을 포함할 수 있다. 이 경우, 애노드 전극(AND)과 캐소드 전극(CAT) 각각에 전압이 인가되면 정공과 전자가 각각 정공 수송층과 전자 수송층을 통해 유기층으로 이동되며, 유기층에서 서로 결합하여 발광하게 된다.

[0130] 또한, 유기발광층(OL) 상에 캐소드 전극(CAT)을 형성한다. 전면 발광(top emission) 방식 구조에서는 유기발광

층(OL)이 캐소드 전극(CAT) 방향으로 발광한다. 그러므로, 캐소드 전극(CAT)은 ITO(indium tin oxide)와 IZO(indium zinc oxide)와 같은 투명 금속 물질 또는 마그네슘(Mg) 또는 은(Ag)과 같은 반투과막으로 형성되는 것이 바람직하다. (도 13의 S105)

[0131] 여섯 번째로, 도 14f와 같이 연결 전극(CE)과 캐소드 전극(CAT)에 역 바이어스 전압을 인가하여 연결 전극(CE)과 캐소드 전극(CAT) 사이의 유기발광층(OL)을 파괴한다. 유기발광다이오드는 애노드 전극(AND), 유기발광층(OL), 및 캐소드 전극(CAT) 방향으로 전류가 흐르는 구조이므로, 소정의 전압보다 큰 전압이 역 방향으로 인가되는 경우, 유기발광층(OL)이 파괴될 수 밖에 없다. 따라서, 캐소드 전극(CAT)에 제1 전압을 인가하고, 연결 전극(CE)에 제1 전압보다 낮은 제2 전압을 인가하는 경우, 유기발광층(OL)은 파괴될 수 있다. 또한, 유기발광층(OL)이 파괴됨으로써 캐소드 전극(CAT)과 연결 전극(CE) 사이에 절연층이 제거되므로, 캐소드 전극(CAT)과 연결 전극(CE)은 전기적으로 연결될 수 있다. (도 13의 S106)

[0132] 이상에서 살펴본 바와 같이, 본 발명의 실시예는 연결 전극(CE)과 캐소드 전극(CAT)에 역 바이어스 전압을 인가하여 연결 전극(CE)과 캐소드 전극(CAT) 사이의 유기발광층(OL)을 파괴함으로써 캐소드 전극(CAT)과 연결 전극(CE)을 연결한다. 그 결과, 본 발명의 실시예는 캐소드 전극(CAT)과 연결 전극(CE)을 연결하기 위한 별도의 제조 공정이 추가되지 않으므로, 제조 비용과 시간을 절약할 수 있다.

[0133] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사항을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

### 부호의 설명

10: 표시패널 20: 데이터 구동부

21: 데이터전압 공급부 22: 보상 전원전압 공급부

23: 기준전압 공급부 30: 스캔 구동부

31: 스캔신호 공급부 32: 초기화신호 공급부

33: 제어신호 공급부 40: 타이밍 제어부

50: 전원전압 보상부 P: 화소

DT: 구동 트랜지스터 ST1: 제1 트랜지스터

ST2: 제2 트랜지스터 ST3: 제3 트랜지스터

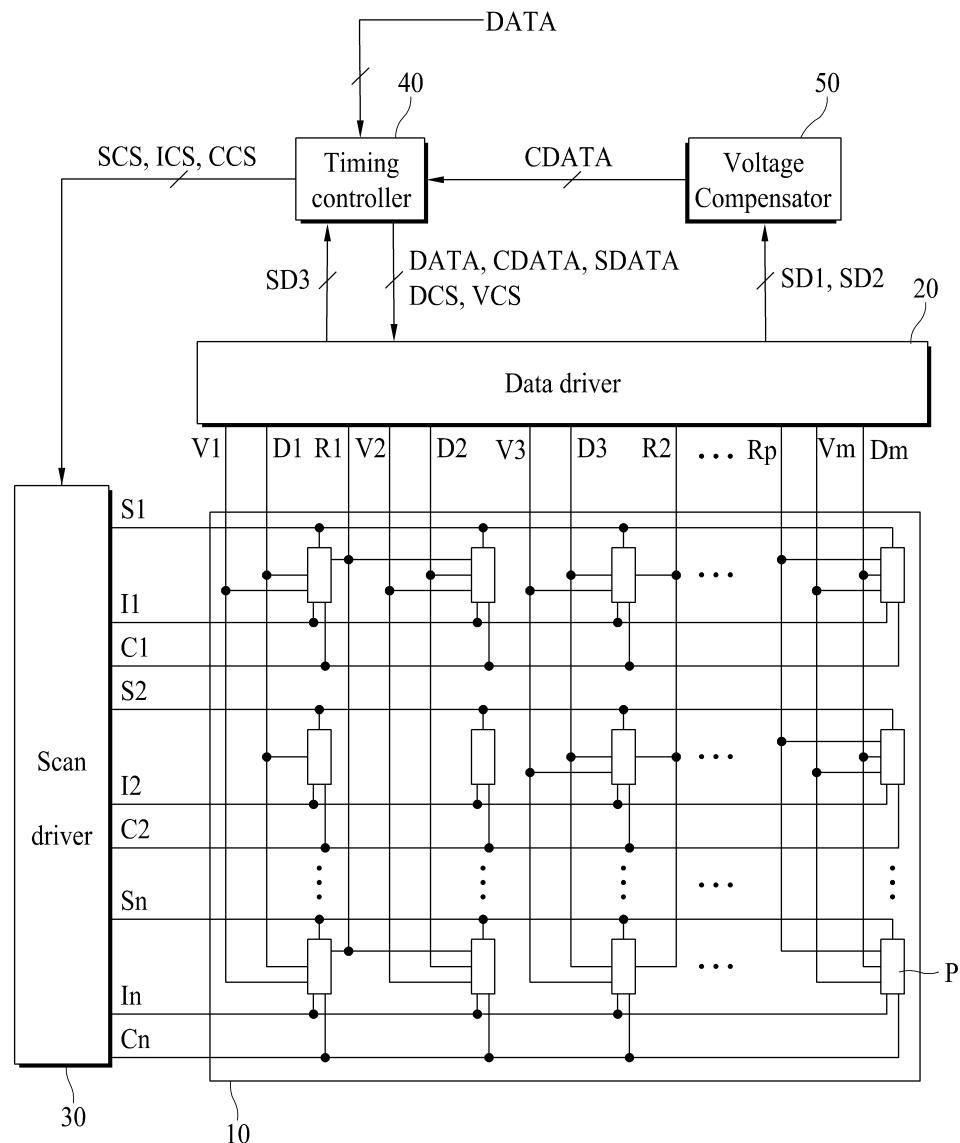
C: 커패시터 OLED: 유기발광다이오드

CE: 연결 전극 CAT: 캐소드 전극

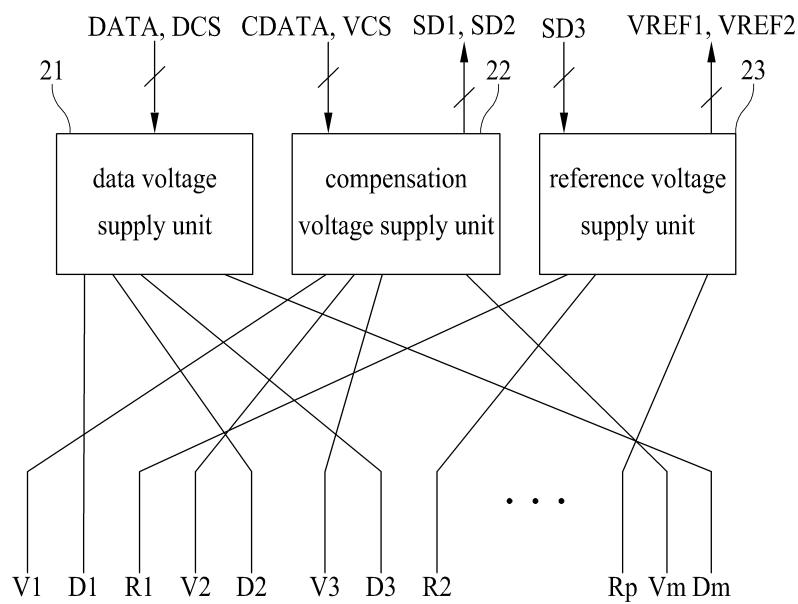
OL: 유기발광층 AND: 애노드 전극

## 도면

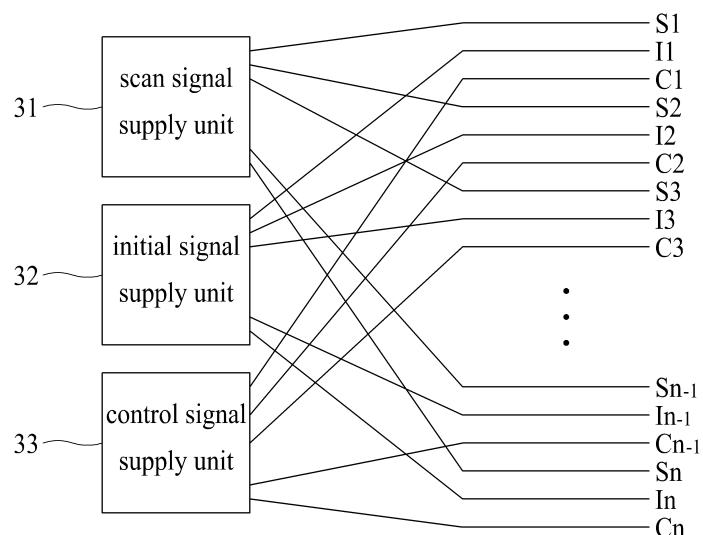
## 도면1



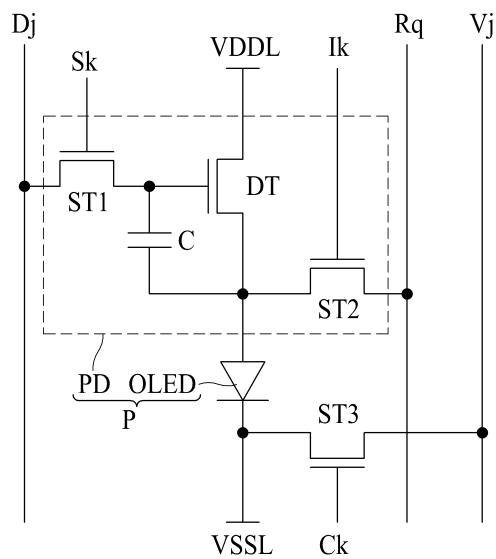
## 도면2



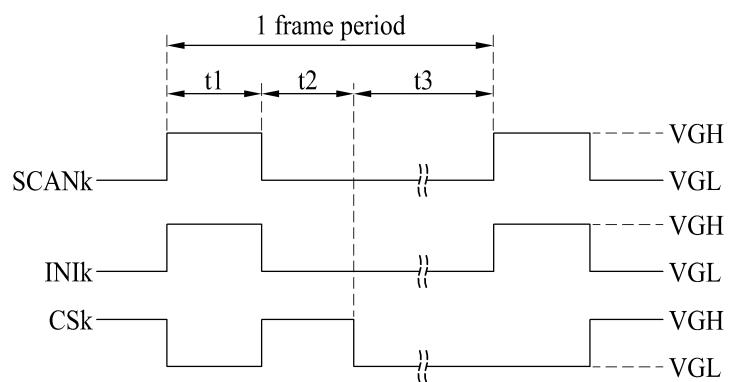
## 도면3



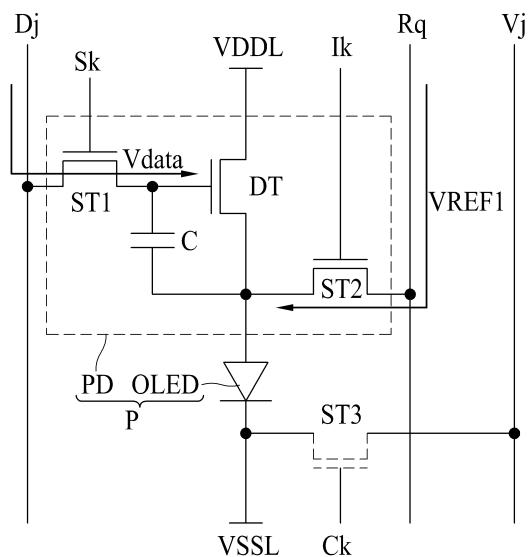
## 도면4



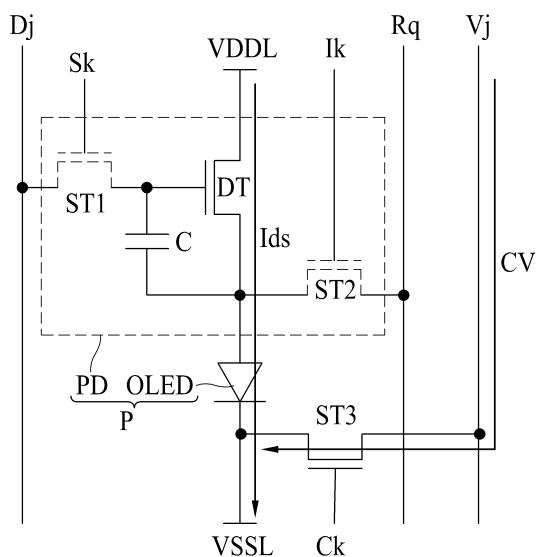
## 도면5



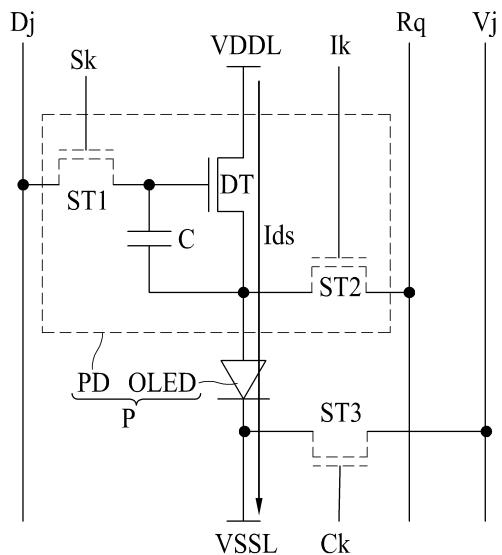
도면6a



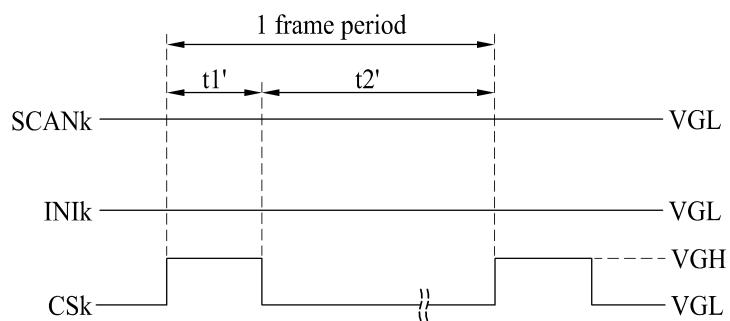
도면6b



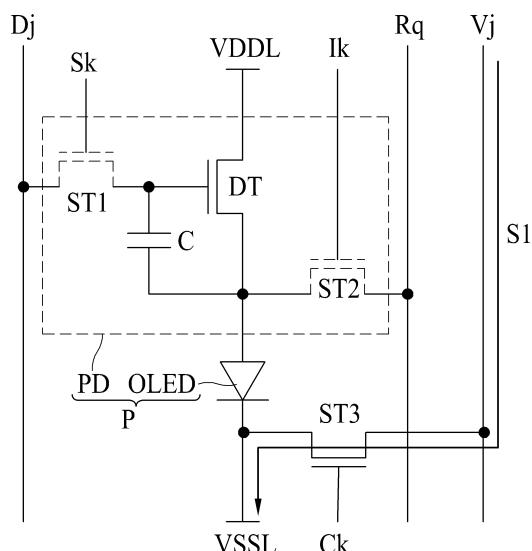
도면6c



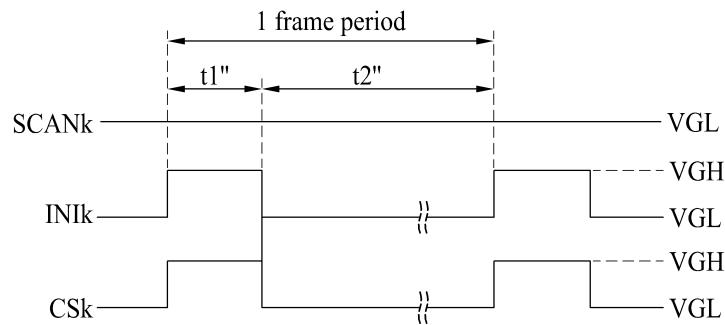
도면7



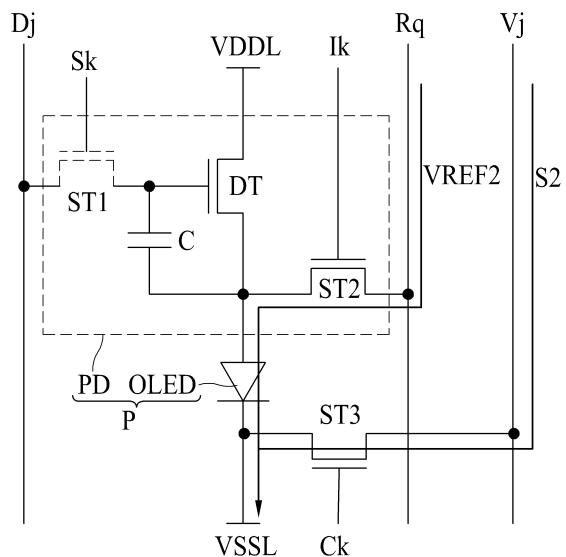
도면8



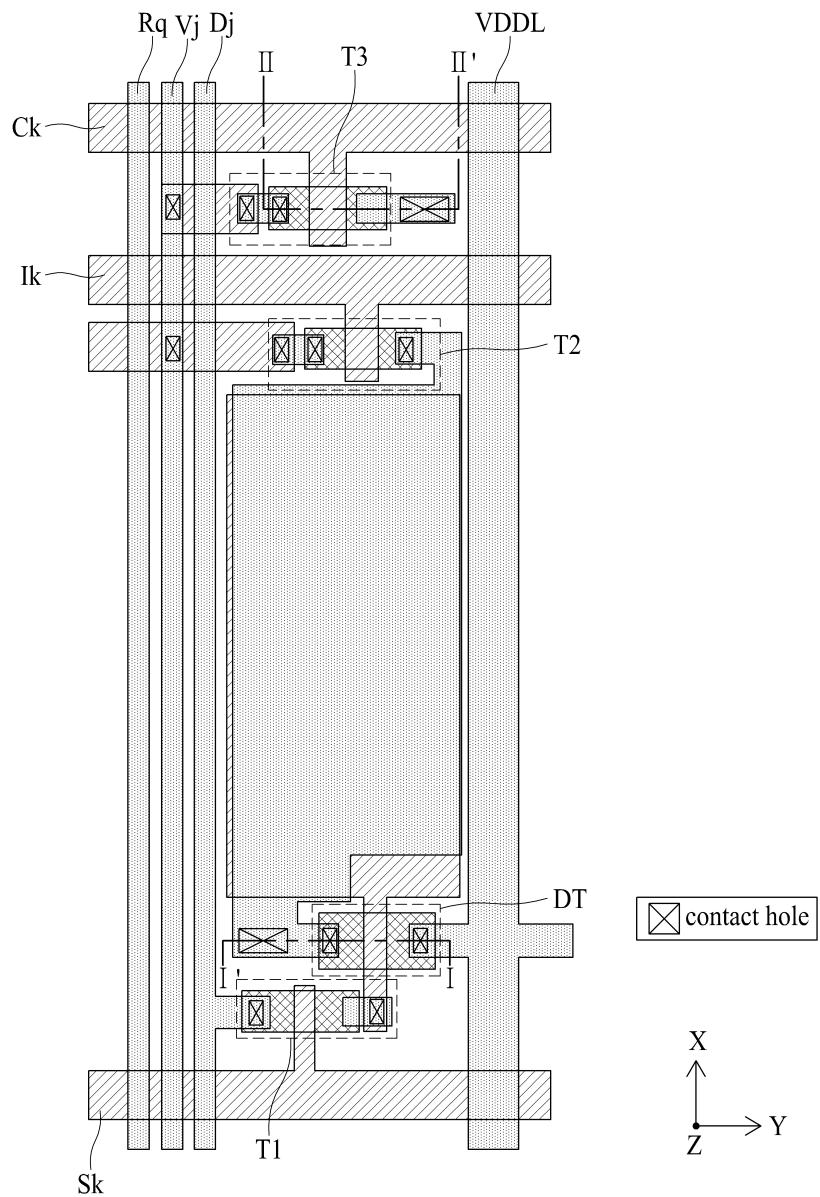
## 도면9



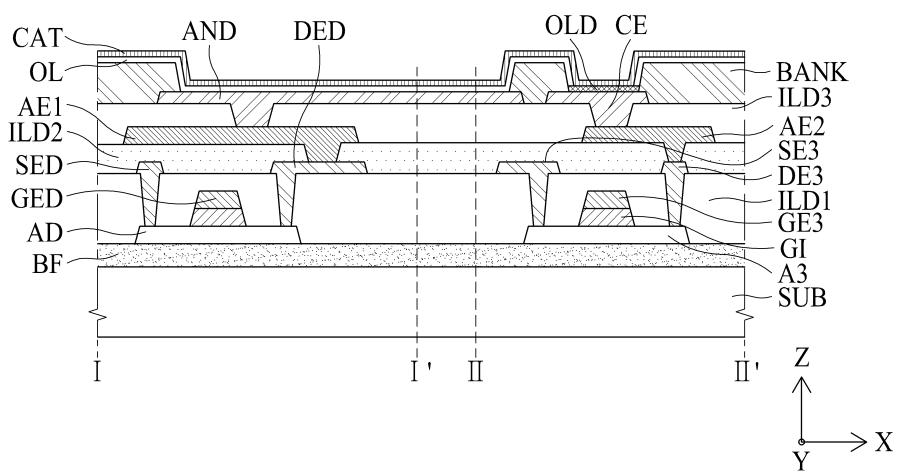
## 도면10



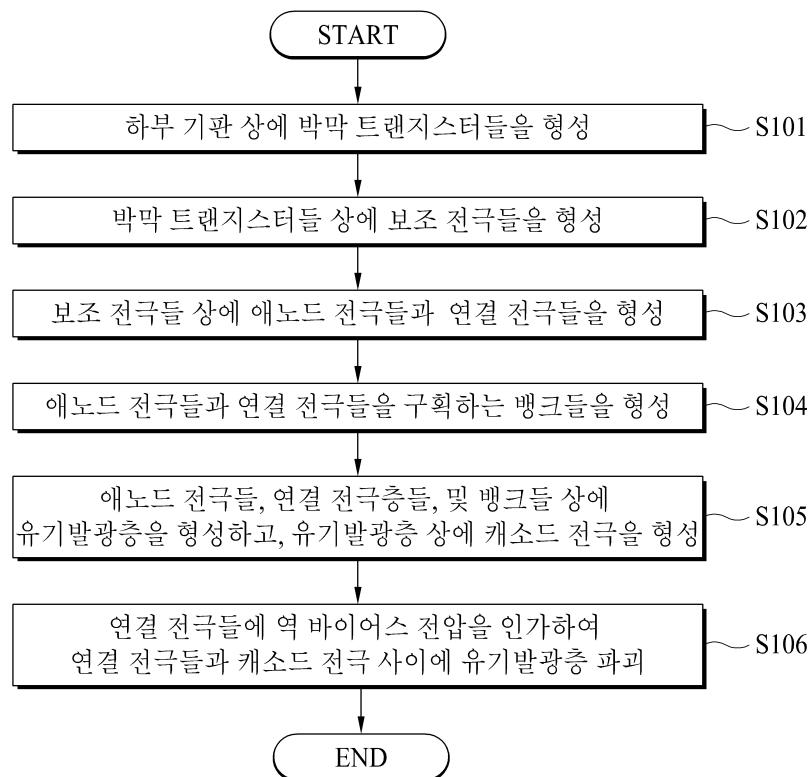
도면11



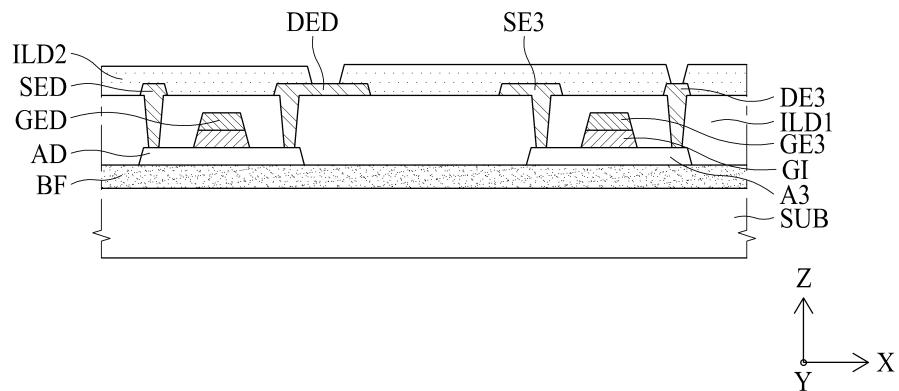
도면12



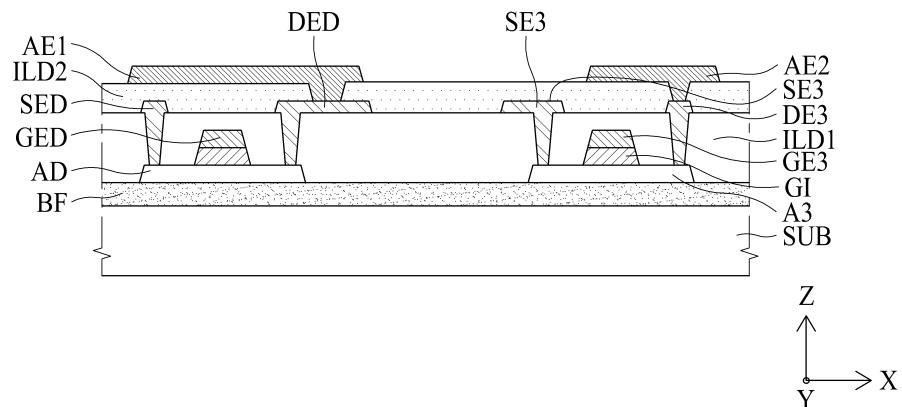
## 도면13



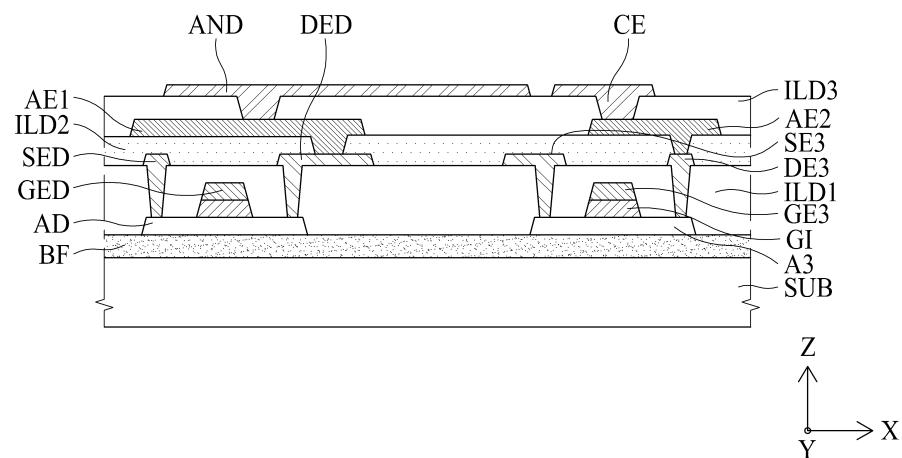
## 도면14a



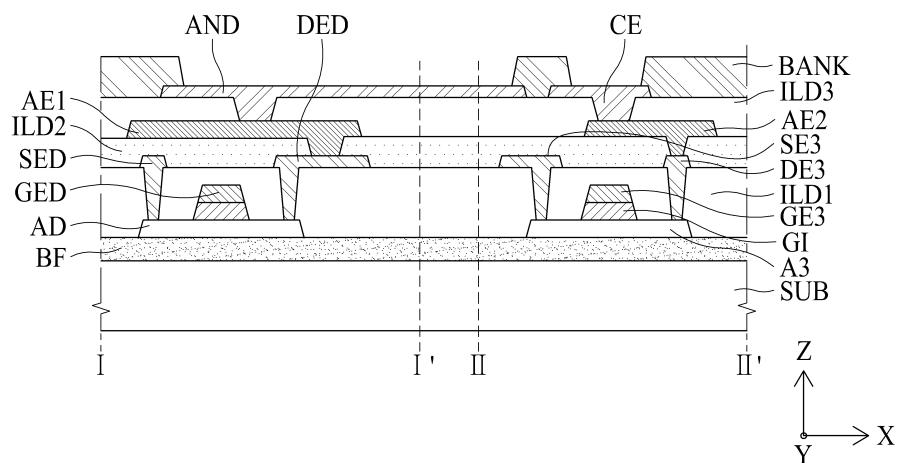
도면14b



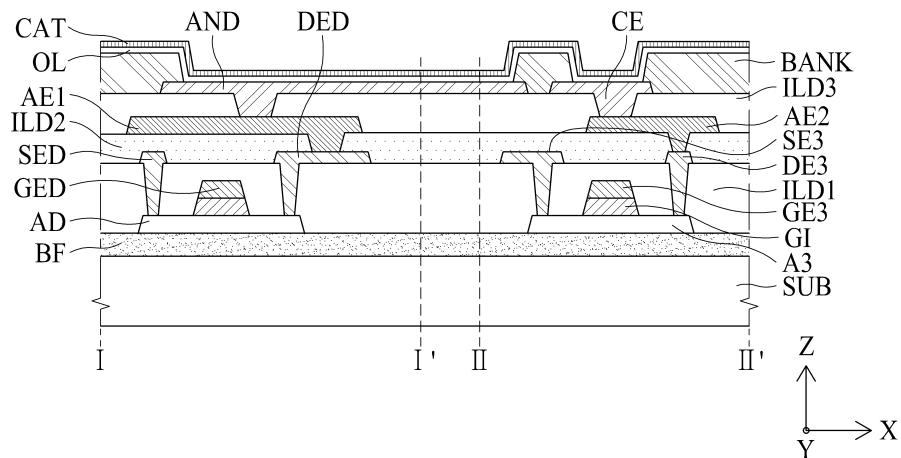
도면14c



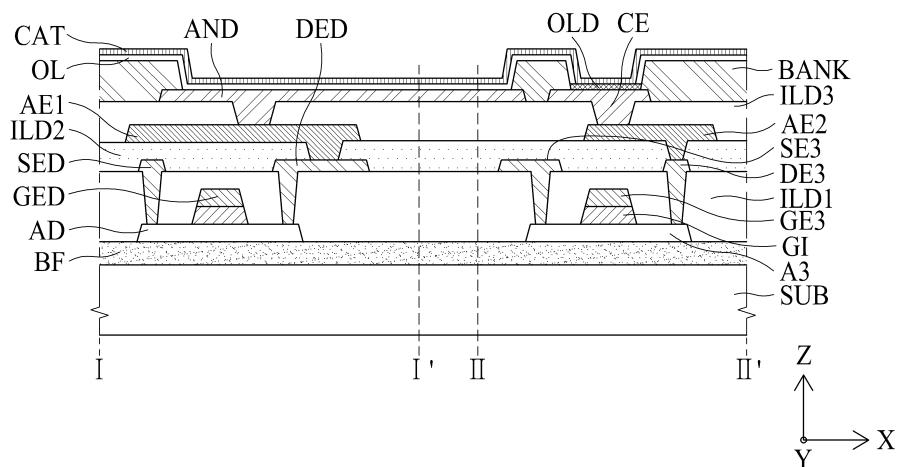
도면14d



도면14e



도면14f



专利名称(译)	标题 : OLED显示器及其制造方法		
公开(公告)号	<a href="#">KR1020170050726A</a>	公开(公告)日	2017-05-11
申请号	KR1020150152616	申请日	2015-10-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	HOIYONG KWON 권희용 MIREUM LEE 이미룸 DOJIN KIM 김도진		
发明人	권희용 이미룸 김도진		
IPC分类号	G09G3/32 H01L27/32 H01L51/56		
CPC分类号	G09G3/3233 H01L27/32 H01L51/56 G09G2320/0233 G09G2300/0842		
外部链接	<a href="#">Espacenet</a>		

## 摘要(译)

本发明的实施方式涉及能够使由于阴极电位的低电位上升而导致的显示面板的亮度不均匀性最小化的有机发光显示器及其制造方法。根据本发明示例性实施例的有机发光二极管显示器包括与数据线平行布置的数据线，参考电压线和电源电压补偿线，与数据线交叉的扫描线，并且显示面板包括连接到电压控制线的像素，其中当电源电压控制线的控制信号被提供给像素时，电源电压补偿线的补偿电源电压被提供给有机发光二极管的阴极电极。耗材。

