



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0005945  
(43) 공개일자 2017년01월17일

(51) 국제특허분류(Int. Cl.)  
*G09G 3/32* (2016.01)  
(52) CPC특허분류  
*G09G 3/3233* (2013.01)  
*G09G 2300/0852* (2013.01)  
(21) 출원번호 10-2015-0095973  
(22) 출원일자 2015년07월06일  
심사청구일자 없음

(71) 출원인  
삼성디스플레이 주식회사  
경기도 용인시 기흥구 삼성로 1 (농서동)  
(72) 발명자  
김현웅  
경기도 용인시 기흥구 삼성2로 95 (농서동)  
김동휘  
경기도 용인시 기흥구 삼성2로 95 (농서동)  
(74) 대리인  
장신섭, 문용호, 이용우

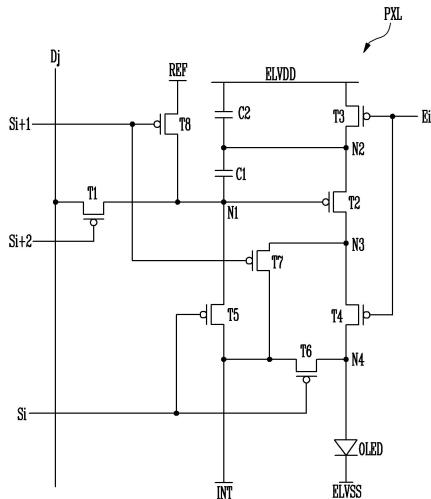
전체 청구항 수 : 총 18 항

(54) 발명의 명칭 화소 및 이를 포함하는 유기발광 표시장치

### (57) 요 약

본 발명은 데이터선과 제1 노드 사이에 연결되는 제1 트랜지스터; 제2 노드와 제3 노드 사이에 연결되며, 상기 제1 노드에 연결되는 게이트 전극을 포함하는 제2 트랜지스터; 상기 제2 노드와 제1 전원 사이에 연결되는 제3 트랜지스터; 상기 제3 노드와 제4 노드 사이에 연결되는 제4 트랜지스터; 상기 제1 노드와 초기화 전원 사이에 연결되는 제5 트랜지스터; 및 상기 제4 노드와 제2 전원 사이에 연결되는 유기 발광 다이오드를 포함하는 화소 및 이를 포함하는 유기발광 표시장치에 관한 것이다.

### 대 표 도 - 도2



(52) CPC특허분류  
G09G 2320/0233 (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

데이터선과 제1 노드 사이에 연결되는 제1 트랜지스터;  
제2 노드와 제3 노드 사이에 연결되며, 상기 제1 노드에 연결되는 게이트 전극을 포함하는 제2 트랜지스터;  
상기 제2 노드와 제1 전원 사이에 연결되는 제3 트랜지스터;  
상기 제3 노드와 제4 노드 사이에 연결되는 제4 트랜지스터;  
상기 제1 노드와 초기화 전원 사이에 연결되는 제5 트랜지스터; 및  
상기 제4 노드와 제2 전원 사이에 연결되는 유기 발광 다이오드를 포함하는 화소.

#### 청구항 2

제1항에 있어서,  
상기 제4 노드와 상기 초기화 전원 사이에 연결되는 제6 트랜지스터; 및  
상기 제3 노드와 상기 초기화 전원 사이에 연결되는 제7 트랜지스터를 더 포함하는 화소.

#### 청구항 3

제2항에 있어서,  
상기 제1 노드와 기준 전원 사이에 연결되는 제8 트랜지스터를 더 포함하는 화소.

#### 청구항 4

제3항에 있어서,  
상기 제1 노드와 상기 제2 노드 사이에 연결되는 제1 커패시터; 및  
상기 제2 노드와 상기 제1 전원 사이에 연결되는 제2 커패시터를 더 포함하는 화소.

#### 청구항 5

제1항에 있어서,  
상기 제3 트랜지스터와 상기 제4 트랜지스터는, 제*i* 제어선에 연결되는 게이트 전극을 각각 포함하는 화소.

#### 청구항 6

제2항에 있어서,  
상기 제5 트랜지스터와 상기 제6 트랜지스터는, 제*i* 주사선에 연결되는 게이트 전극을 각각 포함하는 화소.

#### 청구항 7

제3항에 있어서,  
상기 제7 트랜지스터와 상기 제8 트랜지스터는, 제*i+1* 주사선에 연결되는 게이트 전극을 각각 포함하는 화소.

#### 청구항 8

제3항에 있어서,  
상기 기준 전원은, 상기 제1 전원과 동일한 전압 레벨을 갖는 화소.

**청구항 9**

제3항에 있어서,

상기 제1 내지 제8 트랜지스터 각각은, p 채널형 트랜지스터인 화소.

**청구항 10**

제3항에 있어서,

상기 제5 트랜지스터와 상기 제6 트랜지스터는, 제1 기간 동안 온 상태를 유지하고,

상기 제7 트랜지스터와 상기 제8 트랜지스터는, 제2 기간 동안 온 상태를 유지하며,

상기 제1 트랜지스터는, 제3 기간 동안 온 상태를 유지하고,

상기 제3 트랜지스터와 상기 제4 트랜지스터는, 상기 제1 기간의 일부 기간, 상기 제2 기간 및 상기 제3 기간 동안 계속적으로 오프 상태를 유지하는 화소.

**청구항 11**

$n+2$ ( $n$ 은 2 이상의 자연수)개의 주사선들,  $m$ ( $m$ 은 2 이상의 자연수)개의 데이터선들 및  $n$ 개의 제어선들과 연결되는 다수의 화소들;

상기 주사선들로 주사 신호를 공급하는 주사 구동부;

상기 데이터선들로 데이터 신호를 공급하는 데이터 구동부; 및

상기 제어선들로 제어 신호를 공급하는 제어 구동부를 포함하고,

제 $i$ ( $i$ 는  $n$  이하의 자연수) 주사선, 제 $i+1$  주사선, 제 $i+2$  주사선, 제 $i$  제어선 및 제 $j$ ( $j$ 는  $m$  이하의 자연수) 데이터선과 연결되는 화소는,

상기 제 $j$  데이터선과 제1 노드 사이에 연결되며, 상기 제 $i+2$  주사선으로 공급되는 주사 신호에 대응하여 턴-온되는 제1 트랜지스터;

제2 노드와 제3 노드 사이에 연결되며, 상기 제1 노드에 연결되는 게이트 전극을 포함하는 제2 트랜지스터;

상기 제2 노드와 제1 전원 사이에 연결되며, 상기 제 $i$  제어선에 공급되는 제어 신호에 대응하여 턴-오프되는 제3 트랜지스터;

상기 제3 노드와 제4 노드 사이에 연결되며, 상기 제 $i$  제어선에 공급되는 제어 신호에 대응하여 턴-오프되는 제4 트랜지스터;

상기 제1 노드와 초기화 전원 사이에 연결되며, 상기 제 $i$  주사선에 공급되는 주사 신호에 대응하여 턴-온되는 제5 트랜지스터; 및

상기 제4 노드와 제2 전원 사이에 연결되는 유기 발광 다이오드를 포함하는 유기발광 표시장치.

**청구항 12**

제11항에 있어서,

상기 제4 노드와 상기 초기화 전원 사이에 연결되며, 상기 제 $i$  주사선에 공급되는 주사 신호에 대응하여 턴-온되는 제6 트랜지스터; 및

상기 제3 노드와 상기 초기화 전원 사이에 연결되며, 상기 제 $i+1$  주사선에 공급되는 주사 신호에 대응하여 턴-온되는 제7 트랜지스터를 더 포함하는 유기발광 표시장치.

**청구항 13**

제12항에 있어서,

상기 제1 노드와 기준 전원 사이에 연결되며, 상기 제 $i+1$  주사선에 공급되는 주사 신호에 대응하여 턴-온되는 제8 트랜지스터를 더 포함하는 유기발광 표시장치.

**청구항 14**

제13항에 있어서,

상기 제1 노드와 상기 제2 노드 사이에 연결되는 제1 커패시터; 및

상기 제2 노드와 상기 제1 전원 사이에 연결되는 제2 커패시터를 더 포함하는 유기발광 표시장치.

**청구항 15**

제13항에 있어서,

상기 기준 전원은, 상기 제1 전원과 동일한 전압 레벨을 갖는 유기발광 표시장치.

**청구항 16**

제13항에 있어서,

상기 제1 내지 제8 트랜지스터 각각은, p 채널형 트랜지스터인 유기발광 표시장치.

**청구항 17**

제13항에 있어서,

상기 제i 주사선은, 제1 기간 동안 주사 신호를 공급받고,

상기 제i+1 주사선은, 제2 기간 동안 주사 신호를 공급받고,

상기 제i+2 주사선은, 제3 기간 동안 주사 신호를 공급받는 유기발광 표시장치.

**청구항 18**

제17항에 있어서,

상기 제i 제어선은, 상기 제1 기간의 일부 기간, 상기 제2 기간 및 상기 제3 기간 동안 계속적으로 제어 신호를 공급받는 유기발광 표시장치.

**발명의 설명****기술 분야**

[0001] 본 발명의 실시예는 화소 및 상기 화소를 포함하는 유기발광 표시장치에 관한 것이다.

**배경 기술**

[0002] 유기발광 표시장치는 전자와 정공의 재결합에 의하여 빛을 발생하는 유기 발광 다이오드를 이용하여 영상을 표시하는 것으로, 이는 빠른 응답속도를 가짐과 동시에 선명한 영상을 표시할 수 있다는 장점이 있다.

[0003] 일반적으로, 유기발광 표시장치는 구동 트랜지스터와 유기 발광 다이오드를 포함하는 다수의 화소들을 구비하며, 각 화소는 구동 트랜지스터를 이용하여 유기 발광 다이오드로 공급되는 전류량을 제어함으로써 해당 계조를 표현할 수 있다.

**발명의 내용****해결하려는 과제**

[0004] 본 발명의 실시예는 화질 개선이 가능한 화소 및 이를 포함하는 유기발광 표시장치를 제공하기 위함이다.

**과제의 해결 수단**

[0005] 본 발명의 실시예에 의한 화소는, 데이터선과 제1 노드 사이에 연결되는 제1 트랜지스터, 제2 노드와 제3 노드 사이에 연결되며, 상기 제1 노드에 연결되는 게이트 전극을 포함하는 제2 트랜지스터, 상기 제2 노드와 제1 전원 사이에 연결되는 제3 트랜지스터, 상기 제3 노드와 제4 노드 사이에 연결되는 제4 트랜지스터, 상기 제1 노

드와 초기화 전원 사이에 연결되는 제5 트랜지스터 및 상기 제4 노드와 제2 전원 사이에 연결되는 유기 발광 다이오드를 포함할 수 있다.

[0006] 또한, 상기 제4 노드와 상기 초기화 전원 사이에 연결되는 제6 트랜지스터 및 상기 제3 노드와 상기 초기화 전원 사이에 연결되는 제7 트랜지스터를 더 포함할 수 있다.

[0007] 또한, 상기 제1 노드와 기준 전원 사이에 연결되는 제8 트랜지스터를 더 포함할 수 있다.

[0008] 또한, 상기 제1 노드와 상기 제2 노드 사이에 연결되는 제1 커패시터 및 상기 제2 노드와 상기 제1 전원 사이에 연결되는 제2 커패시터를 더 포함할 수 있다.

[0009] 또한, 상기 제3 트랜지스터와 상기 제4 트랜지스터는, 제i 제어선에 연결되는 게이트 전극을 각각 포함할 수 있다.

[0010] 또한, 상기 제5 트랜지스터와 상기 제6 트랜지스터는, 제i 주사선에 연결되는 게이트 전극을 각각 포함할 수 있다.

[0011] 또한, 상기 제7 트랜지스터와 상기 제8 트랜지스터는, 제i+1 주사선에 연결되는 게이트 전극을 각각 포함할 수 있다.

[0012] 또한, 상기 기준 전원은, 상기 제1 전원과 동일한 전압 레벨을 가질 수 있다.

[0013] 또한, 상기 제1 내지 제8 트랜지스터 각각은, p 채널형 트랜지스터일 수 있다.

[0014] 또한, 상기 제5 트랜지스터와 상기 제6 트랜지스터는, 제1 기간 동안 온 상태를 유지하고, 상기 제7 트랜지스터와 상기 제8 트랜지스터는, 제2 기간 동안 온 상태를 유지하며, 상기 제1 트랜지스터는, 제3 기간 동안 온 상태를 유지하고, 상기 제3 트랜지스터와 상기 제4 트랜지스터는, 상기 제1 기간의 일부 기간, 상기 제2 기간 및 상기 제3 기간 동안 계속적으로 오프 상태를 유지할 수 있다.

[0015] 본 발명의 실시예에 의한 유기발광 표시장치는,  $n+2$ ( $n$ 은 2 이상의 자연수)개의 주사선들,  $m$ ( $m$ 은 2 이상의 자연수)개의 데이터선들 및  $n$ 개의 제어선들과 연결되는 다수의 화소들, 상기 주사선들로 주사 신호를 공급하는 주사 구동부, 상기 데이터선들로 데이터 신호를 공급하는 데이터 구동부 및 상기 제어선들로 제어 신호를 공급하는 제어 구동부를 포함하고, 제i( $i$ 는  $n$  이하의 자연수) 주사선, 제i+1 주사선, 제i+2 주사선, 제i 제어선 및 제j( $j$ 는  $m$  이하의 자연수) 데이터선과 연결되는 화소는, 상기 제j 데이터선과 제1 노드 사이에 연결되며, 상기 제i+2 주사선으로 공급되는 주사 신호에 대응하여 턴-온되는 제1 트랜지스터, 제2 노드와 제3 노드 사이에 연결되며, 상기 제1 노드에 연결되는 게이트 전극을 포함하는 제2 트랜지스터, 상기 제2 노드와 제1 전원 사이에 연결되며, 상기 제i 제어선에 공급되는 제어 신호에 대응하여 턴-오프되는 제3 트랜지스터, 상기 제3 노드와 제4 노드 사이에 연결되며, 상기 제i 제어선에 공급되는 제어 신호에 대응하여 턴-오프되는 제4 트랜지스터, 상기 제1 노드와 초기화 전원 사이에 연결되며, 상기 제i 주사선에 공급되는 주사 신호에 대응하여 턴-온되는 제5 트랜지스터 및 상기 제4 노드와 제2 전원 사이에 연결되는 유기 발광 다이오드를 포함할 수 있다.

[0016] 또한, 상기 제4 노드와 상기 초기화 전원 사이에 연결되며, 상기 제i 주사선에 공급되는 주사 신호에 대응하여 턴-온되는 제6 트랜지스터 및 상기 제3 노드와 상기 초기화 전원 사이에 연결되며, 상기 제i+1 주사선에 공급되는 주사 신호에 대응하여 턴-온되는 제7 트랜지스터를 더 포함할 수 있다.

[0017] 또한, 상기 제1 노드와 기준 전원 사이에 연결되며, 상기 제i+1 주사선에 공급되는 주사 신호에 대응하여 턴-온되는 제8 트랜지스터를 더 포함할 수 있다.

[0018] 또한, 상기 제1 노드와 상기 제2 노드 사이에 연결되는 제1 커패시터 및 상기 제2 노드와 상기 제1 전원 사이에 연결되는 제2 커패시터를 더 포함할 수 있다.

[0019] 또한, 상기 기준 전원은, 상기 제1 전원과 동일한 전압 레벨을 가질 수 있다.

[0020] 또한, 상기 제1 내지 제8 트랜지스터 각각은, p 채널형 트랜지스터일 수 있다.

[0021] 또한, 상기 제i 주사선은, 제1 기간 동안 주사 신호를 공급받고, 상기 제i+1 주사선은, 제2 기간 동안 주사 신호를 공급받고, 상기 제i+2 주사선은, 제3 기간 동안 주사 신호를 공급받을 수 있다.

[0022] 또한, 상기 제i 제어선은, 상기 제1 기간의 일부 기간, 상기 제2 기간 및 상기 제3 기간 동안 계속적으로 제어 신호를 공급받을 수 있다.

## 발명의 효과

[0023]

본 발명의 실시예에 따르면, 유기 발광 다이오드로 공급되는 구동 전류가 구동 트랜지스터의 문턱 전압과 무관하게 결정되므로, 구동 트랜지스터들의 문턱 전압 편차로 인한 휘도 불균일 현상을 제거할 수 있는 화소 및 이를 포함하는 유기발광 표시장치를 제공할 수 있다.

## 도면의 간단한 설명

[0024]

도 1은 본 발명의 실시예에 의한 유기발광 표시장치를 나타낸 도면이다.

도 2는 본 발명의 실시예에 의한 화소를 나타낸 도면이다.

도 3은 본 발명의 실시예에 의한 화소의 구동방법을 나타낸 과정도이다.

도 4는 본 발명의 다른 실시예에 의한 화소를 나타낸 도면이다.

## 발명을 실시하기 위한 구체적인 내용

[0025]

기타 실시예들의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

[0026]

본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 이하의 설명에서 어떤 부분이 다른 부분과 연결되어 있다고 할 때, 이는 직접적으로 연결되어 있는 경우뿐 아니라 그 중간에 다른 소자를 사이에 두고 전기적으로 연결되어 있는 경우도 포함한다. 또한, 도면에서 본 발명과 관계없는 부분은 본 발명의 설명을 명확하게 하기 위하여 생략하였으며, 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다.

[0027]

이하, 본 발명의 실시예들과 관련된 도면들을 참고하여, 본 발명의 실시예에 의한 화소 및 이를 포함하는 유기발광 표시장치에 대해 설명하도록 한다.

[0028]

도 1은 본 발명의 실시예에 의한 유기발광 표시장치를 나타낸 도면이다.

[0029]

도 1을 참조하면, 본 발명의 실시예에 의한 유기발광 표시장치는, 다수의 화소들(PXL)을 포함하는 화소부(10), 주사 구동부(20), 데이터 구동부(30), 제어 구동부(40) 및 타이밍 제어부(50)를 포함할 수 있다.

[0030]

또한, 본 발명의 실시예에 의한 유기발광 표시장치는 주사 구동부(20)와 화소들(PXL) 사이에 연결되는  $n+2$ 개의 주사선들(S1 내지 Sn+2)과, 데이터 구동부(30)와 화소들(PXL) 사이에 연결되는  $m$ 개의 데이터선들(D1 내지 Dm), 및 제어 구동부(40)와 화소들(PXL) 사이에 연결되는  $n$ 개의 제어선들(E1 내지 En)을 더 포함할 수 있다. (여기서, n과 m은 2 이상의 자연수이다.)

[0031]

화소들(PXL)은  $n+2$ 개의 주사선들(S1 내지 Sn+2),  $m$ 개의 데이터선들(D1 내지 Dm) 및  $n$ 개의 제어선들(E1 내지 En)과 연결될 수 있다.

[0032]

예를 들어, 각 화소(PXL)는 데이터선, 제어선 및 세 개의 주사선들과 연결될 수 있다.

[0033]

즉,  $h$  번째 라인에 위치하는 화소들(PXL)은 제 $h$  주사선(Sh), 제 $h+1$  주사선(Sh+1), 제 $h+2$  주사선(Sh+2) 및 제 $h$  제어선(Eh)과 연결될 수 있다. (여기서, h는 n 이하의 자연수이다.)

[0034]

화소들(PXL)은 전원 공급부(미도시)로부터 제1 전원(ELVDD), 제2 전원(ELVSS), 기준 전원(REF) 및 초기화 전원(INT)를 공급받을 수 있다.

[0035]

또한, 화소들(PXL) 각각은 제1 전원(ELVDD)으로부터 유기 발광 다이오드를 경유하여 제2 전원(ELVSS)으로 흐르는 전류에 의해, 데이터 신호에 대응하는 빛을 생성할 수 있다.

[0036]

주사 구동부(20)는 타이밍 제어부(50)의 제어에 의해 주사 신호를 생성하고, 생성된 주사 신호를 주사선들(S1 내지 Sn+2)로 공급할 수 있다.

[0037]

따라서, 화소들(PXL)을 주사선들(S1 내지 Sn+2)을 통해 주사 신호를 공급받을 수 있다.

[0038]

또한, 주사 구동부(20)는 주사선들(S1 내지 Sn+2)에 대하여 순차적으로 주사 신호를 출력할 수 있다.

[0039]

예를 들어, 연속적으로 위치하는 제 $h$  주사선(Sh), 제 $h+1$  주사선(Sh+1) 및 제 $h+2$  주사선(Sh+2)은 순차적으로 주

사 신호를 공급받을 수 있다.

[0040] 이 때, 주사 신호는 로우 레벨의 전압으로 설정될 수 있다.

[0041] 데이터 구동부(30)는 타이밍 제어부(50)의 제어에 의해 데이터 신호를 생성하고, 생성된 데이터 신호를 데이터 선들(D1 내지 Dm)로 공급할 수 있다.

[0042] 따라서, 화소들(PXL)은 데이터선들(D1 내지 Dm)을 통해 데이터 신호를 공급받을 수 있다.

[0043] 제어 구동부(40)는 타이밍 제어부(50)의 제어에 의해 제어 신호를 생성하고, 생성된 제어 신호를 제어선들(E1 내지 En)로 공급할 수 있다.

[0044] 따라서, 화소들(PXL)은 제어선들(E1 내지 En)을 통해 제어 신호를 공급받을 수 있다.

[0045] 또한, 제어 구동부(40)는 제어선들(E1 내지 En)에 대하여 순차적으로 제어 신호를 공급할 수 있다.

[0046] 이 때, 제어 신호는 하이 레벨의 전압으로 설정될 수 있다.

[0047] 도 1에서는 설명의 편의를 위하여 주사 구동부(20), 데이터 구동부(30), 제어 구동부(40) 및 타이밍 제어부(50)를 개별적으로 도시하였으나, 상기 구성요소들 중 적어도 일부는 통합될 수 있다.

[0048] 도 2는 본 발명의 실시예에 의한 화소를 나타낸 도면이다. 특히, 도 1에서는 설명의 편의를 위하여 제i 주사선(Si), 제i+1 주사선(Si+1), 제i+2 주사선(Si+2), 제j 데이터선(Dj), 및 제i 제어선(Ei)과 연결된 화소(PXL)를 도시하기로 한다. (여기서, i는 n 이하의 자연수이고, j는 m 이하의 자연수이다.)

[0049] 도 2를 참조하면, 본 발명의 실시예에 의한 화소(PXL)는, 제1 트랜지스터(T1), 제2 트랜지스터(T2), 제3 트랜지스터(T3), 제4 트랜지스터(T4), 제5 트랜지스터(T5), 제6 트랜지스터(T6), 제7 트랜지스터(T7), 제8 트랜지스터(T8), 제1 커패시터(C1), 제2 커패시터(C2) 및 유기발광 다이오드(Organic Light Emitting Diode, OLED)를 포함할 수 있다.

[0050] 제1 트랜지스터(T1)는 제j 데이터선(Dj)과 제1 노드(N1) 사이에 연결될 수 있다.

[0051] 예를 들어, 제1 트랜지스터(T1)의 제1 전극은 제j 데이터선(Dj)에 연결되고, 제1 트랜지스터(T1)의 제2 전극은 제1 노드(N1)에 연결되며, 제1 트랜지스터(T1)의 게이트 전극은 제i+2 주사선(Si+2)에 연결될 수 있다.

[0052] 따라서, 제1 트랜지스터(T1)는 제i+2 주사선(Si+2)으로 공급되는 주사 신호에 대응하여 턴-온될 수 있다.

[0053] 제1 트랜지스터(T1)가 턴-온되는 경우, 제j 데이터선(Dj)의 데이터 신호는 제1 노드(N1)로 전달될 수 있다.

[0054] 제2 트랜지스터(T2)는 제2 노드(N2)와 제3 노드(N3) 사이에 연결될 수 있다.

[0055] 예를 들어, 제2 트랜지스터(T2)의 제1 전극은 제2 노드(N2)에 연결되고, 제2 트랜지스터(T2)의 제2 전극은 제3 노드(N3)에 연결되며, 제2 트랜지스터(T2)의 게이트 전극은 제1 노드(N1)에 연결될 수 있다.

[0056] 제2 트랜지스터(T2)는 유기 발광 다이오드(OLED)로 구동 전류를 공급하는 구동 트랜지스터의 역할을 수행할 수 있다.

[0057] 예를 들어, 제2 트랜지스터(T2)는 제1 커패시터(C1)에 저장된 전압에 대응하는 구동 전류를 유기 발광 다이오드(OLED)로 공급할 수 있다.

[0058] 제3 트랜지스터(T3)는 제2 노드(N2)와 제1 전원(ELVDD) 사이에 연결될 수 있다.

[0059] 예를 들어, 제3 트랜지스터(T3)의 제1 전극은 제1 전원(ELVDD)에 연결되고, 제3 트랜지스터(T3)의 제2 전극은 제2 노드(N2)에 연결되며, 제3 트랜지스터(T3)의 게이트 전극은 제i 제어선(Ei)에 연결될 수 있다.

[0060] 따라서, 제3 트랜지스터(T3)는 제i 제어선(Ei)으로 공급되는 제어 신호에 대응하여 턴-오프될 수 있다.

[0061] 제4 트랜지스터(T4)는 제3 노드(N3)와 제4 노드(N4) 사이에 연결될 수 있다.

[0062] 예를 들어, 제4 트랜지스터(T4)의 제1 전극은 제3 노드(N3)에 연결되고, 제4 트랜지스터(T4)의 제2 전극은 제4 노드(N4)에 연결되며, 제4 트랜지스터(T4)의 게이트 전극은 제i 제어선(Ei)에 연결될 수 있다.

[0063] 따라서, 제4 트랜지스터(T4)는 제i 제어선(Ei)으로 공급되는 제어 신호에 대응하여 턴-오프될 수 있다.

- [0064] 결국, 제3 트랜지스터(T3)와 제4 트랜지스터(T4)는 동일한 제어선(Ei)에 연결되므로, 동일한 온-오프 기간을 가질 수 있다.
- [0065] 제5 트랜지스터(T5)는 제1 노드(N1)와 초기화 전원(INT) 사이에 연결될 수 있다.
- [0066] 예를 들어, 제5 트랜지스터(T5)의 제1 전극은 제1 노드(N1)에 연결되고, 제5 트랜지스터(T5)의 제2 전극은 초기화 전원(INT)에 연결되며, 제5 트랜지스터(T5)의 게이트 전극은 제i 주사선(Si)에 연결될 수 있다.
- [0067] 따라서, 제5 트랜지스터(T5)는 제i 주사선(Si)으로 공급되는 주사 신호에 대응하여 턴-온될 수 있다.
- [0068] 제5 트랜지스터(T5)가 턴-온되는 경우, 초기화 전원(INT)의 전압이 제1 노드(N1)로 공급될 수 있다.
- [0069] 제6 트랜지스터(T6)는 제4 노드(N4)와 초기화 전원(INT) 사이에 연결될 수 있다.
- [0070] 예를 들어, 제6 트랜지스터(T6)의 제1 전극은 초기화 전원(INT)에 연결되고, 제6 트랜지스터(T6)의 제2 전극은 제4 노드(N4)에 연결되며, 제6 트랜지스터(T6)의 게이트 전극은 제i 주사선(Si)에 연결될 수 있다.
- [0071] 따라서, 제6 트랜지스터(T6)는 제i 주사선(Si)으로 공급되는 주사 신호에 대응하여 턴-온될 수 있다.
- [0072] 제6 트랜지스터(T6)가 턴-온되는 경우, 초기화 전원(INT)의 전압이 제4 노드(N4)로 공급될 수 있다.
- [0073] 결국, 제5 트랜지스터(T5)와 제6 트랜지스터(T6)는 동일한 주사선(Si)에 연결되므로, 동일한 온-오프 기간을 가질 수 있다.
- [0074] 제7 트랜지스터(T7)는 제3 노드(N3)와 초기화 전원(INT) 사이에 연결될 수 있다.
- [0075] 예를 들어, 제7 트랜지스터(T7)의 제1 전극은 제3 노드(N3)에 연결되고, 제7 트랜지스터(T7)의 제2 전극은 초기화 전원(INT)에 연결되며, 제7 트랜지스터(T7)의 게이트 전극은 제i+1 주사선(Si+1)에 연결될 수 있다.
- [0076] 따라서, 제7 트랜지스터(T7)는 제i+1 주사선(Si+1)으로 공급되는 주사 신호에 대응하여 턴-온될 수 있다.
- [0077] 제7 트랜지스터(T7)가 턴-온되는 경우, 초기화 전원(INT)의 전압이 제3 노드(N3)로 공급될 수 있다.
- [0078] 제8 트랜지스터(T8)는 제1 노드(N1)와 기준 전원(REF) 사이에 연결될 수 있다.
- [0079] 예를 들어, 제8 트랜지스터(T8)의 제1 전극은 기준 전원(REF)에 연결되고, 제8 트랜지스터(T8)의 제2 전극은 제1 노드(N1)에 연결되며, 제8 트랜지스터(T8)의 게이트 전극은 제i+1 주사선(Si+1)에 연결될 수 있다.
- [0080] 따라서, 제8 트랜지스터(T8)는 제i+1 주사선(Si+1)으로 공급되는 주사 신호에 대응하여 턴-온될 수 있다.
- [0081] 결국, 제7 트랜지스터(T7)와 제8 트랜지스터(T8)는 동일한 주사선(Si+1)에 연결되므로, 동일한 온-오프 기간을 가질 수 있다.
- [0082] 제8 트랜지스터(T8)가 턴-온되는 경우, 기준 전원(REF)의 전압이 제1 노드(N1)로 공급될 수 있다.
- [0083] 여기서, 각 트랜지스터(T1, T2, T3, T4, T5, T6, T7, T8)의 제1 전극은 소스 전극 또는 드레인 전극으로 설정되고, 제2 전극은 제1 전극과 다른 전극으로 설정될 수 있다.
- [0084] 예를 들어, 제1 전극이 소스 전극으로 설정되면, 제2 전극은 드레인 전극으로 설정될 수 있다.
- [0085] 또한, 화소(PXL)에 포함된 트랜지스터들(T1, T2, T3, T4, T5, T6, T7, T8)은 모두 동일한 채널형을 가질 수 있다.
- [0086] 예를 들어, 제1 내지 제8 트랜지스터(T1~T8) 각각은 p 채널형으로 설정될 수 있다.
- [0087] 제1 커패시터(C1)는 제1 노드(N1)와 제2 노드(N2) 사이에 연결될 수 있다.
- [0088] 예를 들어, 제1 커패시터(C1)의 제1 전극은 제2 노드(N2)에 연결되고, 제1 커패시터(C1)의 제2 전극은 제1 노드(N1)에 연결될 수 있다.
- [0089] 제2 커패시터(C2)는 제2 노드(N2)와 제1 전원(ELVDD) 사이에 연결될 수 있다.
- [0090] 예를 들어, 제2 커패시터(C2)의 제1 전극은 제1 전원(ELVDD)에 연결되고, 제2 커패시터(C2)의 제2 전극은 제2 노드(N2)에 연결될 수 있다.
- [0091] 유기 발광 다이오드(OLED)는 제4 노드(N4)와 제2 전원(ELVSS) 사이에 연결될 수 있다.

- [0092] 예를 들어, 유기 발광 다이오드(OLED)의 애노드 전극은 제4 노드(N4)에 연결되고, 유기 발광 다이오드(OLED)의 캐소드 전극은 제2 전원(ELVSS)에 연결될 수 있다.
- [0093] 유기 발광 다이오드(OLED)는 제2 트랜지스터(T2)로부터 구동 전류를 공급받고, 상기 구동 전류에 대응하는 휘도로 발광할 수 있다.
- [0094] 제1 노드(N1)는 제1 트랜지스터(T1), 제2 트랜지스터(T2), 제5 트랜지스터(T5), 제8 트랜지스터(T8), 및 제1 커페시터(C1)가 공통적으로 접속되는 노드이다.
- [0095] 예를 들어, 제1 트랜지스터(T1)의 제2 전극, 제2 트랜지스터(T2)의 게이트 전극, 제5 트랜지스터(T5)의 제1 전극, 제8 트랜지스터(T8)의 제2 전극, 및 제1 커페시터(C1)의 제2 전극은 제1 노드(N1)에 공통적으로 연결될 수 있다.
- [0096] 제2 노드(N2)는 제2 트랜지스터(T2), 제3 트랜지스터(T3), 제1 커페시터(C1), 및 제2 커페시터(C2)가 공통적으로 접속되는 노드이다.
- [0097] 예를 들어, 제2 트랜지스터(T2)의 제1 전극, 제3 트랜지스터(T3)의 제2 전극, 제1 커페시터(C1)의 제1 전극, 및 제2 커페시터(C2)의 제2 전극은 제2 노드(N2)에 공통적으로 연결될 수 있다.
- [0098] 제3 노드(N3)는 제2 트랜지스터(T2), 제4 트랜지스터(T4), 및 제7 트랜지스터(T7)가 공통적으로 접속되는 노드이다.
- [0099] 예를 들어, 제2 트랜지스터(T2)의 제2 전극, 제4 트랜지스터(T4)의 제1 전극, 및 제7 트랜지스터(T7)의 제1 전극은 제3 노드(N3)에 공통적으로 연결될 수 있다.
- [0100] 제4 노드(N4)는 제4 트랜지스터(T4), 제6 트랜지스터(T6), 및 유기 발광 다이오드(OLED)가 공통적으로 접속되는 노드이다.
- [0101] 예를 들어, 제4 트랜지스터(T4)의 제2 전극, 제6 트랜지스터(T6)의 제2 전극, 및 유기 발광 다이오드(OLED)의 애노드 전극은 제4 노드(N4)에 공통적으로 연결될 수 있다.
- [0102] 제1 전원(ELVDD)은 고전위 전원이고, 제2 전원(ELVSS)은 저전위 전원일 수 있다.
- [0103] 예를 들어, 제1 전원(ELVDD)은 양전압으로 설정되고, 제2 전원(ELVSS)은 음전압 또는 그라운드 전압으로 설정될 수 있다.
- [0104] 초기화 전원(INT)는 제2 전원(ELVSS)과 동일하거나 유사한 전압 레벨을 가질 수 있다.
- [0105] 예를 들어, 초기화 전원(INT)는 제4 노드(N4)로 공급될 때, 유기 발광 다이오드(OLED)를 비발광 상태로 설정할 수 있는 전압 레벨을 가질 수 있다.
- [0106] 예를 들어, 초기화 전압은 제2 전원(ELVSS)의 전압에 유기 발광 다이오드(OLED)의 문턱 전압을 더한 값 이하의 전압 레벨을 가질 수 있다.
- [0107] 기준 전원(REF)은 제1 전원(ELVDD)과 동일하거나 낮은 전압 레벨을 가질 수 있다.
- [0108] 도 3은 본 발명의 실시예에 의한 화소의 구동방법을 나타낸 과정도이다. 도 2 및 도 3을 참조하여, 단위 기간(Pu) 동안의 화소(PXL)의 구동 동작을 설명하도록 한다.
- [0109] 도 2를 참조하면, 단위 기간(Pu)은 제1 기간(P1), 제2 기간(P2), 제3 기간(P3), 및 제4 기간(P4)을 포함할 수 있으며, 상기 제1 기간(P1)은 제1 서브 기간(Ps1)과 제2 서브 기간(Ps2)을 포함할 수 있다.
- [0110] 제1 기간(P1)에는 제i 주사선(Si)으로 주사 신호가 공급될 수 있다. 이 때, 제i+1 주사선(Si+1)과 제i+2 주사선(Si+2)으로는 주사 신호가 공급되지 않는다.
- [0111] 제1 기간(P1)의 일부 기간에는 제i 제어선(Ei)으로 제어 신호가 공급될 수 있다.
- [0112] 예를 들어, 제어 신호는 제2 서브 기간(Ps2) 동안 제i 제어선(Ei)으로 공급될 수 있다.
- [0113] 또한, 제i 제어선(Ei)은 제1 기간(P1)의 일부 기간, 제2 기간(P2), 및 제3 기간(P3) 동안 계속적으로 제어 신호를 공급받을 수 있다.

- [0114] 따라서, 제1 기간(P1) 동안 제5 트랜지스터(T5)와 제6 트랜지스터(T6)는 온(On) 상태를 유지할 수 있고, 제1 트랜지스터(T1), 제7 트랜지스터(T7), 및 제8 트랜지스터(T8)는 오프(Off) 상태를 유지할 수 있다.
- [0115] 또한, 제1 서브 기간(Ps1) 동안 제3 트랜지스터(T3)와 제4 트랜지스터(T4)는 온 상태를 유지할 수 있고, 제2 서브 기간(Ps2) 동안 제3 트랜지스터(T3)와 제4 트랜지스터(T4)는 오프 상태를 유지할 수 있다.
- [0116] 제1 서브 기간(Ps1)에는, 제3 트랜지스터(T3)가 턴-온됨으로써 제1 전원(ELVDD)의 전압이 제2 노드(N2)에 공급되고, 제4 트랜지스터(T4), 제5 트랜지스터(T5), 및 제6 트랜지스터(T6)가 턴-온됨으로써, 초기화 전원(INT)의 전압이 제1 노드(N1), 제3 노드(N3), 및 제4 노드(N4)로 공급될 수 있다.
- [0117] 특히, 제1 서브 기간(Ps1)을 통해 제2 트랜지스터(T2)가 일정 전류를 먼저 출력하게 되므로, 제2 트랜지스터(T2)의 히스테리시스(hysteresis) 특성이 개선될 수 있다.
- [0118] 제2 서브 기간(Ps1)에는 제3 트랜지스터(T3)와 제4 트랜지스터(T4)가 턴-오프되므로, 초기화 전원(INT)의 전압은 제1 노드(N1)와 제4 노드(N4)로 공급될 수 있다.
- [0119] 제1 기간(P1)에는 제2 트랜지스터(T2)의 게이트 전극과 유기 발광 다이오드(OLED)의 애노드 전극이 각각 초기화 전원(INT)의 전압으로 초기화되므로, 이전 단위 기간의 영향을 받지 않게 된다.
- [0120] 제2 기간(P2)에는 제*i*+1 주사선(S*i*+1)으로 주사 신호가 공급될 수 있다. 이 때, 제*i* 제어선(E*i*)으로는 제어 신호가 공급되고, 제*i* 주사선(S*i*)과 제*i*+2 주사선(S*i*+2)으로는 주사 신호가 공급되지 않는다.
- [0121] 따라서, 제2 기간(P2) 동안 제7 트랜지스터(T7)와 제8 트랜지스터(T8)는 온 상태를 유지할 수 있고, 제1 트랜지스터(T1), 제3 트랜지스터(T3), 제4 트랜지스터(T4), 제5 트랜지스터(T5), 및 제6 트랜지스터(T6)는 오프 상태를 유지할 수 있다.
- [0122] 제2 기간(P2)에는, 제7 트랜지스터(T7)가 턴-온됨으로써 초기화 전원(INT)의 전압이 제3 노드(N3)로 공급되고, 제8 트랜지스터(T8)가 턴-온됨으로써 기준 전원(REF)의 전압이 제1 노드(N1)로 공급될 수 있다.
- [0123] 따라서, 제2 기간(P2)이 진행되는 동안 제2 노드(N2)의 전압은 하기 수식 (1)에 따른 값으로 변경될 수 있다.

$$VN2 = Vref + Vth \quad --- (1)$$

- [0124] [0125] VN2는 제2 노드(N2)의 전압, Vref는 기준 전원(REF)의 전압, Vth는 제2 트랜지스터(T2)의 문턱 전압)
- [0126] 제3 기간(P3)에는 제*i*+2 주사선(S*i*+2)으로 주사 신호가 공급될 수 있다. 이 때, 제*i* 제어선(E*i*)으로는 제어 신호가 공급되고, 제*i* 주사선(S*i*)과 제*i*+1 주사선(S*i*+1)으로는 주사 신호가 공급되지 않는다.
- [0127] 따라서, 제3 기간(P3) 동안 제1 트랜지스터(T1)가 온 상태를 유지할 수 있고, 제3 트랜지스터(T3), 제4 트랜지스터(T4), 제5 트랜지스터(T5), 제6 트랜지스터(T6), 제7 트랜지스터(T7), 및 제8 트랜지스터(T8)가 오프 상태를 유지할 수 있다.
- [0128] 제3 기간(P3)에는 제1 트랜지스터(T1)가 턴-온됨으로써, 제j 데이터 신호가 제1 노드(N1)로 전달될 수 있다.
- [0129] 따라서, 제3 기간(P3) 동안 제1 노드(N1)의 전압은 데이터 신호의 전압(이하, 데이터 전압)으로 유지되며, 제3 기간(P3) 동안 제2 노드(N2)의 전압은 하기 수식 (2)에 따른 값으로 변경될 수 있다.

$$VN2 = Vref + Vth + \left( \frac{Cv1}{Cv1 + Cv2} \times Vdata \right) \quad --- (2)$$

- [0130] [0131] VN2는 제2 노드(N2)의 전압, Vref는 기준 전원(REF)의 전압, Vth는 제2 트랜지스터(T2)의 문턱 전압, Cv1은 제1 커패시터(C1)의 용량, Cv2는 제2 커패시터(C2)의 용량, Vdata는 데이터 전압)
- [0132] 제4 기간(P4)에는 제*i* 주사선(S*i*), 제*i*+1 주사선(S*i*+1), 및 제*i*+2 주사선(S*i*+2)으로 주사 신호가 공급되지 않고, 제*i* 제어선(E*i*)으로 제어 신호가 공급되지 않는다.
- [0133] 따라서, 제4 기간(P4) 동안 제1 트랜지스터(T1), 제5 트랜지스터(T5), 제6 트랜지스터(T6), 제7 트랜지스터(T7), 및 제8 트랜지스터(T8)가 오프 상태를 유지할 수 있고, 제3 트랜지스터(T3)와 제4 트랜지스터(T4)가 온

상태를 유지할 수 있다.

[0134] 제4 기간(P4)에는, 제3 트랜지스터(T3)가 턴-온됨으로써 제1 전원(ELVDD)의 전압이 제2 노드(N2)로 공급될 수 있다.

[0135] 이 때, 제1 커패시터(C1)에는 하기 수식 (3), (4)에 따른 전압이 저장될 수 있다.

$$V_{sg} = V_{N2} - V_{N1} \quad \text{--- (3)}$$

$$V_{sg} = V_{ELVDD} - V_{data} - V_{th} - A \quad \text{--- (4)}$$

[0138] ( $V_{sg}$ 는 제1 커패시터(C1)에 저장된 전압,  $V_{N2}$ 는 제2 노드(N2)의 전압,  $V_{N1}$ 은 제1 노드(N1)의 전압,  $VELVDD$ 는 제1 전원(ELVDD)의 전압,  $V_{data}$ 는 데이터 전압,  $V_{th}$ 는 제2 트랜지스터(T2)의 문턱 전압,  $A$ 는 하기 수식 (5)에 의해 정의되는 값)

$$A = \left( \frac{C_{v1}}{C_{v1} + C_{v2}} \times V_{data} \right) \quad \text{--- (5)}$$

[0140] 제3 트랜지스터(T3)와 제4 트랜지스터(T4)가 온 상태를 유지하므로, 제2 트랜지스터(T2)는 제4 기간(P4) 동안 하기 수식 (6), (7)에 따른 구동 전류를 유기 발광 다이오드(OLED)로 공급할 수 있다.

$$I_d = K(V_{sg} + V_{th})^2 \quad \text{--- (6)}$$

$$I_d = K(V_{ELVDD} - V_{data} - A)^2 \quad \text{--- (7)}$$

[0143] ( $V_{sg}$ 는 제1 커패시터(C1)에 저장된 전압,  $VELVDD$ 는 제1 전원(ELVDD)의 전압,  $V_{data}$ 는 데이터 전압,  $V_{th}$ 는 제2 트랜지스터(T2)의 문턱 전압,  $A$ 는 상기 수식 (5)에 의해 정의되는 값)

[0144] 따라서, 유기 발광 다이오드(OLED)는 제4 기간(P4) 동안 구동 전류( $I_d$ )에 대응하는 휘도로 발광할 수 있다.

[0145] 이 때, 제2 트랜지스터(T2)로부터 출력되는 구동 전류( $I_d$ )는 문턱 전압( $V_{th}$ )과 무관하게 결정되므로, 각 화소에 포함된 구동 트랜지스터(T2)의 문턱 전압 편차로 인한 휘도 불균일 현상을 제거할 수 있다.

[0146] 또한, 2 트랜지스터(T2)로부터 출력되는 구동 전류( $I_d$ )는 제1 커패시터(C1)와 제2 커패시터(C2)의 용량 비에 따라 그 범위가 결정될 수 있다.

[0147] 한편, 종래 구동 트랜지스터를 다이오드 연결(Diode Connection)함으로써 상기 구동 트랜지스터의 문턱 전압을 보상하는 구조에서는 킥백 전압(Kickback Voltage)이 발생하게 되므로, 화질에 영향을 주는 문제가 있었다.

[0148] 본 발명의 실시예에서는 다이오드 연결(Diode Connection) 동작을 수행하지 않고 구동 트랜지스터의 문턱 전압을 보상하므로, 화질 저하가 발생하지 않게 된다.

[0149] 도 4는 본 발명의 다른 실시예에 의한 화소를 나타낸 도면이다.

[0150] 본 발명의 다른 실시예에 있어서, 기준 전원(REF)은 제1 전원(ELVDD)과 동일한 전압 레벨을 가질 수 있다.

[0151] 따라서, 본 발명의 다른 실시예에 의한 화소(PXL')에서는, 제8 트랜지스터(T8)가 제1 노드(N1)와 제1 전원(ELVDD) 사이에 연결될 수 있다.

[0152] 예를 들어, 제8 트랜지스터(T8)의 제1 전극은 제1 전원(ELVDD)에 연결되고, 제8 트랜지스터(T8)의 제2 전극은 제1 노드(N1)에 연결되며, 제8 트랜지스터(T8)의 게이트 전극은 제*i*+1 주사선(S*i*+1)에 연결될 수 있다.

[0153] 본 실시예에 의한 화소(PXL')의 경우, 도 2에 도시된 화소(PXL)에 비해 보다 적은 수의 전원을 이용하므로, 제조 편의와 제조 비용의 절감을 도모할 수 있다.

[0154]

본 발명이 속하는 기술분야의 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다. 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구의 범위에 의하여 나타내어지며, 특허청구의 범위의 의미 및 범위 그리고 그 균등 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

### 부호의 설명

[0155]

PXL: 화소

10: 화소부

20: 주사 구동부

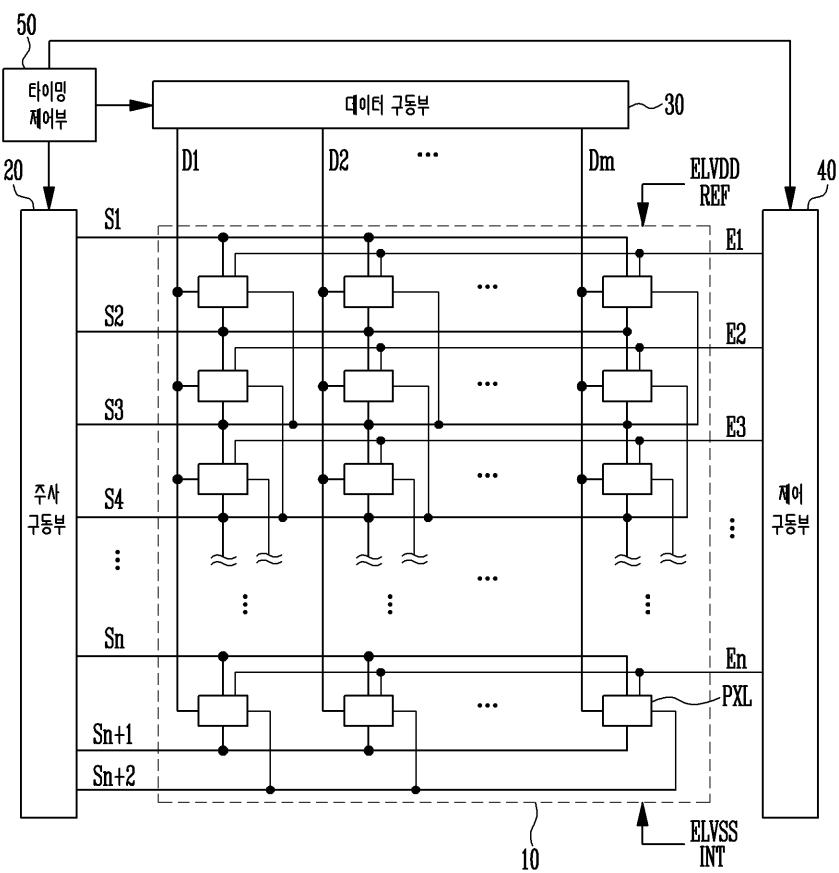
30: 데이터 구동부

40: 제어 구동부

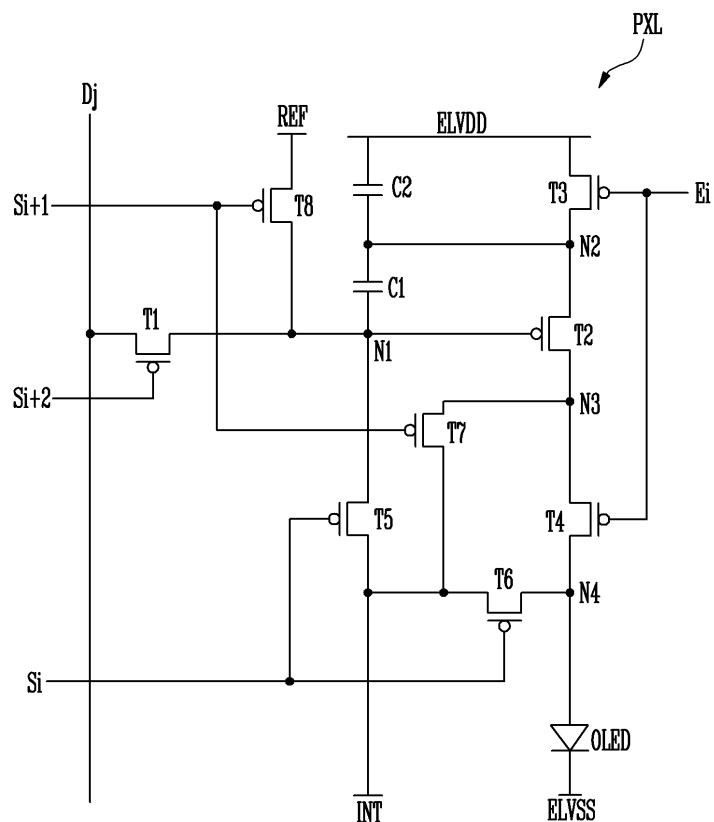
50: 타이밍 제어부

### 도면

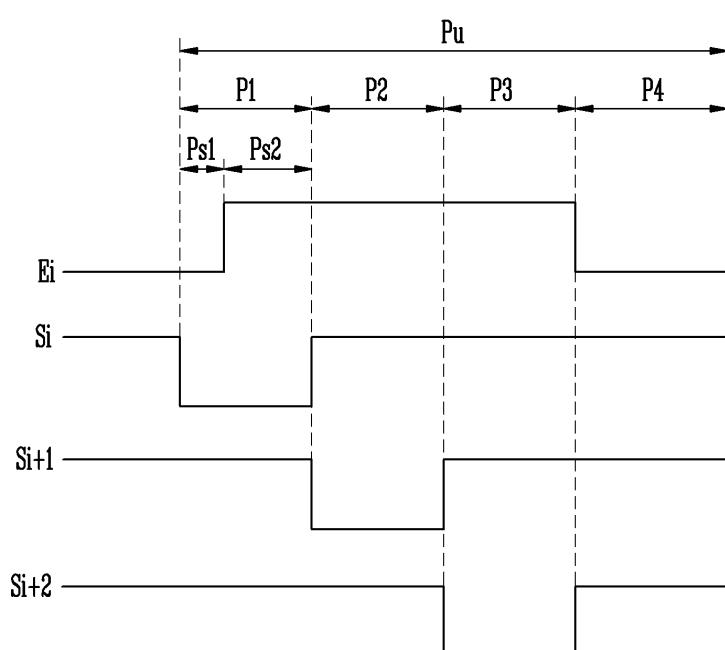
#### 도면1



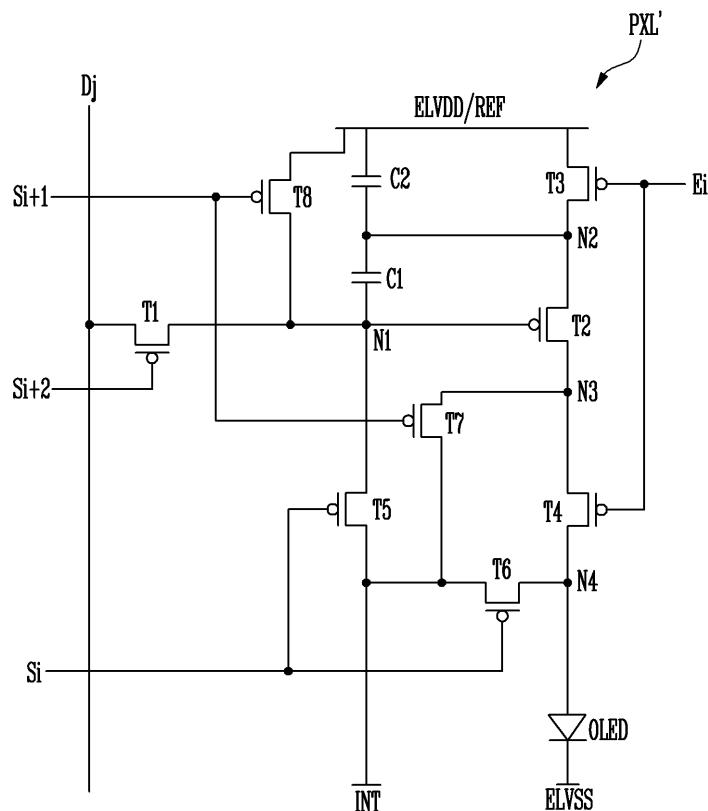
## 도면2



## 도면3



도면4



专利名称(译)	标题像素和包括其的有机发光显示器		
公开(公告)号	<a href="#">KR1020170005945A</a>	公开(公告)日	2017-01-17
申请号	KR1020150095973	申请日	2015-07-06
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	KIM HYUN WOONG 김현웅 KIM DONG HWI 김동휘		
发明人	김현웅 김동휘		
IPC分类号	G09G3/32		
CPC分类号	G09G3/3233 G09G2320/0233 G09G2300/0852		
代理人(译)	강신섭 Munyongho Yiyongwoo		
外部链接	<a href="#">Espacenet</a>		

## 摘要(译)

本发明涉及包括第二晶体管的像素，连接在第二节点和第一电源之间的第三晶体管，连接在第四节点之间的第三节点和第四晶体管，连接在第一节点和初始化电源之间的第五晶体管，连接到第四节点的有机发光二极管和连接到第四节点的有机发光二极管和包括该有机发光二极管的有机发光显示装置包括连接在第一晶体管之间的栅电极：连接在数据线和第一节点之间的第二节点第三个节点;并连接到第一个节点。

