



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0148104
(43) 공개일자 2016년12월26일

(51) 국제특허분류(Int. Cl.)

G09G 3/32 (2016.01)

(52) CPC특허분류

G09G 3/3266 (2013.01)

G09G 2330/021 (2013.01)

(21) 출원번호 10-2015-0084128

(22) 출원일자 2015년06월15일

심사청구일자 없음

(71) 출원인

삼성디스플레이 주식회사

경기도 용인시 기흥구 삼성로 1 (농서동)

(72) 발명자

박수형

경상북도 경주시 황성로 35-6, 105동 104호

(74) 대리인

박영우

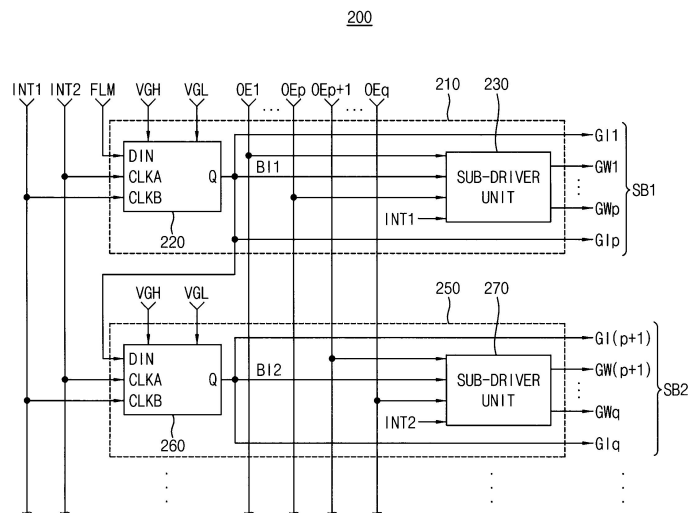
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 유기발광 디스플레이 장치의 스캔 드라이버, 유기발광 디스플레이 장치 및 이를 포함하는 디스플레이 시스템

(57) 요약

복수의 유기발광 디스플레이 장치의 스캔 드라이버는 복수의 스테이지들을 포함한다. 상기 복수의 스테이지들은 제1 그룹의 스캔 라인들 및 제2 그룹의 스캔 라인들을 통하여 복수의 픽셀들에 연결되며, 순차적으로 배치된다. 상기 복수의 스테이지들 각각은 공통 드라이버 및 서브-드라이버부를 포함한다. 상기 공통 드라이버는 적어도 제1 초기화 신호 및 제2 초기화 신호에 응답하여 복수의 스캔 블록들 각각의 제1 스캔 라인들에 공통으로 블록 초기화 신호를 제1 스캔 신호들로서 제공한다. 상기 서브-드라이버부는 복수의 출력 인에이블 신호들, 상기 블록 초기화 신호 및 상기 제1 초기화 신호 및 제2 초기화 신호 중 하나에 응답하여 상기 복수의 스캔 블록들 각각의 제2 스캔 라인들 각각에 제2 스캔 신호들 각각을 제공하여 상기 스캔 블록들 각각에 연결되는 픽셀들에 제공되는 데이터 전압의 천이 횟수가 최소가 되도록한다.

대표도 - 도4



명세서

청구범위

청구항 1

제1 그룹의 스캔 라인들 및 제2 그룹의 스캔 라인들을 통하여 복수의 픽셀들에 연결되며, 순차적으로 배치되는 복수의 스테이지들을 포함하고,

상기 복수의 스테이지들 각각은,

적어도 제1 초기화 신호 및 제2 초기화 신호에 응답하여 복수의 스캔 블록들 각각의 제1 스캔 라인들에 공통으로 블록 초기화 신호를 제1 스캔 신호들로서 제공하는 공통 드라이버; 및

복수의 출력 인에이블 신호들, 상기 블록 초기화 신호 및 상기 제1 초기화 신호 및 제2 초기화 신호 중 하나에 응답하여 상기 복수의 스캔 블록들 각각의 제2 스캔 라인들 각각에 제2 스캔 신호들 각각을 제공하여 상기 스캔 블록들 각각에 연결되는 픽셀들에 제공되는 데이터 전압의 천이 횟수가 최소가 되도록하는 서브-드라이버부를 포함하는 스캔 드라이버.

청구항 2

제1항에 있어서,

상기 제1 그룹의 스캔 라인들 및 상기 제2 그룹의 스캔 라인들은 상기 복수의 스캔 블록들로 그룹핑되는 것을 특징으로 하는 스캔 드라이버.

청구항 3

제1항에 있어서,

상기 서브-드라이버부는 상기 스캔 블록에 포함되는 제2 스캔 라인들의 수에 상응하는 복수의 서브-드라이버들을 포함하는 것을 특징으로 하는 스캔 드라이버.

청구항 4

제3항에 있어서,

상기 복수의 서브 드라이버들 각각은

상기 제1 스캔 신호, 상기 복수의 출력 인에이블 신호들 중 하나 및 상기 제1 초기화 신호 및 상기 제2 초기화 신호 중 하나에 응답하여 상기 제2 스캔 라인들 중 상응하는 제2 스캔 라인에 상응하는 제2 스캔 신호를 제공하는 것을 특징으로 하는 스캔 드라이버.

청구항 5

제4항에 있어서,

상기 상응하는 제2 스캔 신호는 상기 복수의 출력 인에이블 신호들 중 상기 상응하는 서브 드라이버에 인가되는 출력 인에이블 신호에 동기되는 것을 특징으로 하는 스캔 드라이버.

청구항 6

복수의 픽셀들을 구비하는 디스플레이 패널;

제1 그룹의 스캔 라인들, 제2 그룹의 스캔 라인들 및 복수의 데이터 라인들을 통하여 상기 복수의 픽셀들에 연결되고, 스캔 블록들 각각에 연결되는 픽셀들에 제공되는 데이터 전압의 천이 횟수가 최소가 되도록 상기 스캔 블록들 각각의 제1 스캔 라인들에 제1 스캔 신호들을 제공하고, 상기 스캔 블록들 각각의 제2 스캔 라인들에 제2 스캔 신호들을 제공하고, 상기 데이터 라인들에 상기 데이터 전압을 제공하는 구동 회로; 및

상기 디스플레이 패널에 고전원 전압, 저전원 전압 및 초기화 전압을 제공하고, 상기 구동 회로에 제1 전압 및

제2 전압을 제공하는 파워 서플라이를 포함하고,

상기 제1 그룹의 스캔 라인들 및 상기 제2 그룹의 스캔 라인들은 상기 복수의 스캔 블록들로 그룹핑되는 유기 발광 디스플레이 장치.

청구항 7

제6항에 있어서, 상기 구동 회로는

상기 복수의 픽셀들에 상기 스캔 블록 단위로 상기 제1 스캔 신호들과 상기 제2 스캔 신호들을 제공하는 스캔 드라이버;

데이터 신호에 상응하는 상기 데이터 전압을 상기 픽셀들 각각에 연결되는 상기 데이터 라인들에 출력하는 데이터 드라이버;

상기 픽셀들 각각에 연결되는 복수의 발광 제어 라인들에 발광 제어 신호를 제공하는 발광 드라이버; 및

상기 스캔 드라이버, 상기 데이터 드라이버, 상기 발광 드라이버 및 상기 파워 서플라이를 제어하고, 입력 이미지 데이터를 처리하여 상기 데이터 신호를 생성하는 타이밍 컨트롤러를 포함하는 것을 특징으로 하는 유기발광 디스플레이 장치.

청구항 8

제7항에 있어서, 상기 타이밍 컨트롤러는

상기 입력 이미지 데이터를 상기 스캔 블록들 각각에 연결되는 픽셀들에 제공되는 적어도 하나의 스캔 블록 단위로 저장하는 블록 메모리;

상기 블록 메모리에 저장된 상기 스캔 블록 단위의 제1 이미지 데이터의 천이를 분석하여 상기 제1 이미지 데이터의 천이 횟수가 최소가 되도록 스캔 순서 신호와 스캔 순서 제어 신호를 생성하는 데이터 분석기;

상기 제1 이미지 데이터를 저장하고, 상기 스캔 순서 신호에 응답하여 상기 제1 이미지 데이터의 천이 횟수가 최소가 되는 순서대로 상기 제1 이미지 데이터를 배열하는 데이터 정렬부; 및

제어 신호와 상기 스캔 순서 제어 신호에 기초하여 적어도 상기 데이터 드라이버를 제어하는 제1 구동 제어 신호 및 상기 스캔 드라이버를 제어하는 제2 구동 제어 신호를 생성하는 신호 생성기를 포함하는 것을 특징으로 하는 유기 발광 디스플레이 장치.

청구항 9

제8항에 있어서,

상기 스캔 드라이버는 상기 제1 그룹의 스캔 라인들 및 상기 제2 그룹의 스캔 라인들을 통하여 상기 복수의 픽셀들에 연결되며, 순차적으로 배치되는 복수의 스테이지들을 포함하고,

상기 복수의 스테이지들 각각은,

적어도 제1 초기화 신호 및 제2 초기화 신호에 응답하여 상기 제1 스캔 라인들에 공통으로 블록 초기화 신호를 상기 제1 스캔 신호들로서 제공하는 공통 드라이버; 및

복수의 출력 인에이블 신호들, 상기 블록 초기화 신호 및 상기 제1 초기화 신호 및 제2 초기화 신호 중 하나에 응답하여 상기 제2 스캔 라인들 각각에 상기 제2 스캔 신호들 각각을 개별적으로 제공하는 서브-드라이버부를 포함하는 것을 특징으로 하는 유기 발광 디스플레이 장치.

청구항 10

제9항에 있어서, 상기 공통 드라이버는

데이터 단자에 연결되는 소스, 제1 클럭 단자가 연결되는 제1 노드에 연결되는 게이트 및 제2 노드에 연결되는 드레인을 구비하는 제1 피모스 트랜지스터;

제2 클럭 단자에 연결되는 게이트 및 상기 제2 노드에 연결되는 드레인을 구비하는 제2 피모스 트랜지스터;

상기 제2 피모스 트랜지스터의 소스에 연결되는 드레인, 제1 전압이 인가되는 제3 노드에 연결되는 소스 및 제4

노드에 연결되는 게이트를 구비하는 제3 피모스 트랜지스터;

상기 제3 노드와 상기 제4 노드 사이에 연결되는 제1 커패시터;

상기 제2 노드에 연결되는 게이트, 상기 제1 노드에 연결되는 드레인 및 상기 제4 노드에 연결되는 소스를 구비하는 제4 피모스 트랜지스터;

상기 제4 노드에 연결되는 소스, 상기 제1 노드에 연결되는 게이트 및 제2 전압이 인가되는 드레인을 구비하는 제5 피모스 트랜지스터;

상기 제3 노드에 연결되는 소스, 상기 제4 노드에 연결되는 게이트 및 출력 단자인 제5 노드에 연결되는 드레인을 구비하는 제6 피모스 트랜지스터;

상기 제5 노드와 상기 제2 노드 사이에 연결되는 제2 커패시터; 및

상기 제5 노드에 연결되는 소스, 상기 제2 노드에 연결되는 게이트 및 상기 제2 클럭 단자에 연결되는 드레인을 구비하는 제7 피모스 트랜지스터를 포함하는 것을 특징으로 하는 유기 발광 디스플레이 장치.

청구항 11

제10항에 있어서,

상기 제1 클럭 단자에는 상기 제2 초기화 신호가 인가되고,

상기 제2 클럭 단자에는 상기 제1 초기화 신호가 인가되고,

상기 출력 단자에서는 상기 블록 초기화 신호가 제공되고,

상기 스테이지가 첫 번째 스테이지인 경우에 상기 데이터 단자에는 개시 신호가 인가되고, 상기 스테이지가 첫 번째 스테이지가 아닌 경우에 상기 데이터 단자에는 이전 스테이지의 블록 초기화 신호가 인가되는 것을 특징으로 하는 유기 발광 디스플레이 장치.

청구항 12

제11항에 있어서,

상기 제2 노드가 로우 레벨이고, 상기 제1 초기화 신호가 로우 레벨일 때 상기 출력 단자는 로우 레벨인 것을 특징으로 하는 유기발광 디스플레이 장치.

청구항 13

제9항에 있어서,

상기 서브-드라이버부는 상기 스캔 블록에 포함되는 제2 스캔 라인들의 수에 상응하는 복수의 서브-드라이버들을 포함하고,

상기 공통 드라이버는 상기 복수의 서브-드라이버들에 상기 블록 초기화 신호를 공통으로 인가하고,

상기 복수의 서브-드라이버들 각각은

상기 블록 초기화 신호, 상기 복수의 출력 인에이블 신호들 중 하나 및 상기 제1 초기화 신호 및 상기 제2 초기화 신호 중 하나에 응답하여 상기 제2 스캔 라인들 중 상응하는 제2 스캔 라인에 상응하는 제2 스캔 신호를 제공하는 것을 특징으로 하는 유기 발광 디스플레이 장치.

청구항 14

제13항에 있어서,

상기 복수의 서브-드라이버들 각각은 상기 공통 드라이버와 동일한 구조를 가지는 것을 특징으로 하는 유기발광 디스플레이 장치.

청구항 15

제9항에 있어서,

상기 복수의 스테이지들 중 제1 스테이지의 제2 스캔 신호들과 상기 제1 스테이지에 연속하는 제2 스테이지의 제1 스캔 신호는 서로 독립적인 것을 특징으로 하는 유기발광 디스플레이 장치.

청구항 16

제8항에 있어서,

상기 신호 생성기는 상기 제어 신호에 기초하여 상기 발광 드라이버를 제어하는 제3 구동 제어 신호 및 상기 파워 서플라이를 제어하는 전원 제어 신호를 더 생성하는 것을 특징으로 하는 유기발광 디스플레이 장치.

청구항 17

제6항에 있어서, 상기 복수의 픽셀들 각각은

상기 데이터 라인들 각각에 연결되는 제1 전극, 상기 제2 그룹의 스캔 라인들 각각에 연결되는 게이트 전극 및 제1 노드에 연결되는 제2 전극을 가지는 스위칭 트랜지스터;

상기 고 전원 전압과 제2 노드 사이에 연결되는 스토리지 커패시터;

상기 제1 노드에 연결되는 제1 전극, 상기 제2 노드에 연결되는 게이트 전극 및 제3 노드에 연결되는 제2 전극을 가지는 구동 트랜지스터;

상기 제2 노드에 연결되는 제1 전극, 상기 제2 그룹의 스캔 라인들 각각에 연결되는 게이트 전극 및 상기 제3 노드에 연결되는 제2 전극을 가지는 보상 트랜지스터;

상기 제2 노드에 연결되는 제1 전극, 상기 제1 그룹의 스캔 라인들 각각에 연결되는 게이트 전극 및 상기 초기화 전압에 연결되는 제2 전극을 가지는 초기화 트랜지스터;

상기 초기화 전압에 연결되는 제1 전극, 상기 제2 그룹의 스캔 라인들 각각에 연결되는 게이트 전극 및 제4 노드에 연결되는 제2 전극을 가지는 방전 트랜지스터;

상기 고전원 전압에 연결되는 제1 전극, 상기 발광 제어 신호가 인가되는 게이트 전극 및 상기 제2 노드에 연결되는 제2 전극을 가지는 제1 발광 트랜지스터;

상기 제3 노드에 연결되는 제1 전극, 상기 발광 제어 신호가 인가되는 게이트 전극 및 상기 제4 노드에 연결되는 제2 전극을 가지는 제2 발광 트랜지스터; 및

상기 제4 노드와 상기 저전원 전압 사이에 연결되는 유기발광 다이오드를 포함하는 것을 특징으로 하는 유기발광 디스플레이 장치.

청구항 18

제17항에 있어서,

상기 보상 트랜지스터는 상기 제2 그룹의 스캔 라인들 각각을 통하여 전달되는 제2 스캔 신호에 응답하여 상기 구동 트랜지스터를 다이오드-연결시키는 것을 특징으로 하는 유기발광 디스플레이 장치.

청구항 19

제17항에 있어서,

상기 초기화 트랜지스터는 상기 제1 그룹의 스캔 라인들 각각을 통하여 전달되는 제1 스캔 신호에 응답하여 상기 초기화 전압을 상기 구동 트랜지스터의 게이트 전극에 전달하여 이전 프레임 동안에 상기 구동 트랜지스터에 전달된 데이터 전압값을 초기화시키고,

상기 방전 트랜지스터는 상기 제2 그룹의 스캔 라인들 각각을 통하여 전달되는 제2 스캔 신호에 응답하여 상기 제2 발광 트랜지스터와 상기 유기발광 다이오드 사이의 기생 커패시터의 전압을 방전시키는 것을 특징으로 하는 유기발광 디스플레이 장치.

청구항 20

이미지 데이터와 제어 신호를 생성하는 어플리케이션 프로세서; 및

상기 제어 신호에 기초하여 상기 이미지 데이터를 표시하는 유기발광 디스플레이 장치를 포함하고,

상기 유기발광 디스플레이 장치는

복수의 픽셀들을 구비하는 디스플레이 패널;

제1 그룹의 스캔 라인들, 제2 그룹의 스캔 라인들 및 복수의 데이터 라인들을 상기 복수의 픽셀들에 연결되고 제1 스캔 신호들과 제2 스캔 신호들을 제공하고, 스캔 블록들 각각에 연결되는 픽셀들에 제공되는 상기 데이터 전압의 천이 횟수가 최소가 되도록 상기 스캔 블록들 각각의 제1 스캔 라인들에 제1 스캔 신호들을 제공하고, 상기 스캔 블록들 각각의 제2 스캔 라인들에 제2 스캔 신호들을 제공하고, 상기 데이터 라인들에 상기 데이터 전압을 제공하는 구동 회로; 및

상기 디스플레이 패널에 고전원 전압, 저전원 전압 및 초기화 전압을 제공하고, 상기 구동 회로에 제1 전압 및 제2 전압을 제공하는 파워 서플라이를 포함하고,

상기 제1 그룹의 스캔 라인들 및 상기 제2 그룹의 스캔 라인들은 상기 복수의 스캔 블록들로 그룹핑되는 디스플레이 시스템.

발명의 설명

기술 분야

[0001] 본 발명은 표시 장치에 관한 것으로서, 더욱 상세하게는 유기발광 디스플레이 장치의 스캔 드라이버, 유기발광 디스플레이 장치 및 이를 포함하는 디스플레이 시스템에 관한 것이다.

배경 기술

[0002] 최근, 음극선관(Cathode Ray Tube)의 단점인 무게와 부피를 줄일 수 있는 각종 평판 표시 장치들이 개발되고 있다. 평판 표시 장치로는 액정 표시 장치(Liquid Crystal Display; LCD), 전계 방출 표시 장치(Field Emission Display; FED), 플라즈마 표시패널(Plasma Display Panel; PDP) 및 유기 발광 다이오드(Organic Light Emitting Diode; OLED) 디스플레이 등이 있다. 평판 표시 장치 중 OLED 디스플레이는 전자와 정공의 재결합에 의하여 빛을 발생하는 유기 발광 다이오드를 이용 하여 영상을 표시하는 것으로, 이는 빠른 응답속도를 가짐과 동시에 낮은 소비전력으로 구동되는 장점이 있다.

[0003] 이러한 OLED 디스플레이는 매트릭스 형태로 배열되는 복수의 픽셀을 포함하는 디스플레이 패널과, 복수의 픽셀 각각에 영상 데이터 신호를 전달하여 영상을 표시하는 구동 회로로 구성된다. 그리고 구동 회로는 영상 데이터 신호를 각 화소에 연결된 데이터 라인을 통해 전달하는 데이터 드라이버와 데이터 신호에 따른 영상을 표시하도록 각 픽셀을 활성화시키기 위하여 각 화소에 연결된 스캔 라인을 통해 스캔 신호를 전달하는 스캔 드라이버를 포함한다.

[0004] 일반적으로 스캔 드라이버는 표시 패널에 포함된 복수의 화소에 화소 라인별로 대응하는 스캔 신호를 순차적으로 정확하게 전달하기 위하여 복잡한 회로 구조를 가지므로, 구동 회로 내에서 차지하는 면적이 넓어지고, 소비 전력이 증가하게 된다.

발명의 내용

해결하려는 과제

[0005] 본 발명의 목적은 소비 전력을 감소시킬 수 있는 유기발광 디스플레이 장치의 스캔 드라이버를 제공하는 것이다.

[0006] 본 발명의 다른 목적은 소비 전력을 감소시킬 수 있는 유기발광 디스플레이 장치를 제공하는 것이다.

[0007] 본 발명의 또 다른 목적은 소비 전력을 감소시킬 수 있는 유기발광 디스플레이 장치를 구비하는 디스플레이 시스템을 제공하는 것이다.

[0008] 다만, 본 발명의 해결하고자 하는 과제는 상기 언급된 과제에 한정되는 것이 아니며, 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위에서 다양하게 확장될 수 있을 것이다.

과제의 해결 수단

- [0009] 본 발명의 일 목적을 달성하기 위하여, 본 발명의 실시예들에 따른 유기발광 디스플레이 장치의 스캔 드라이버는 복수의 스테이지들을 포함한다. 상기 복수의 스테이지들은 제1 그룹의 스캔 라인들 및 제2 그룹의 스캔 라인들을 통하여 복수의 픽셀들에 연결되며, 순차적으로 배치된다. 상기 복수의 스테이지들 각각은 공통 드라이버 및 서브-드라이버부를 포함한다. 상기 공통 드라이버는 적어도 제1 초기화 신호 및 제2 초기화 신호에 응답하여 복수의 스캔 블록들 각각의 제1 스캔 라인들에 공통으로 블록 초기화 신호를 제1 스캔 신호들로서 제공한다. 상기 서브-드라이버부는 복수의 출력 인에이بل 신호들, 상기 블록 초기화 신호 및 상기 제1 초기화 신호 및 제2 초기화 신호 중 하나에 응답하여 상기 복수의 스캔 블록들 각각의 제2 스캔 라인들 각각에 제2 스캔 신호들 각각을 제공하여 상기 스캔 블록들 각각에 연결되는 픽셀들에 제공되는 데이터 전압의 천이 횟수가 최소가 되도록 한다.
- [0010] 예시적인 실시예에 있어서, 상기 제1 그룹의 스캔 라인들 및 상기 제2 그룹의 스캔 라인들은 상기 복수의 스캔 블록들로 그룹핑될 수 있다.
- [0011] 예시적인 실시예에 있어서, 상기 서브-드라이버부는 상기 스캔 블록에 포함되는 제2 스캔 라인들의 수에 상응하는 복수의 서브-드라이버들을 포함할 수 있다.
- [0012] 상기 복수의 서브 드라이버들 각각은 상기 제1 스캔 신호, 상기 복수의 출력 인에이블 신호들 중 하나 및 상기 제1 초기화 신호 및 상기 제2 초기화 신호 중 하나에 응답하여 상기 제2 스캔 라인들 중 상응하는 제2 스캔 라인에 상응하는 제2 스캔 신호를 제공할 수 있다.
- [0013] 상기 상응하는 제2 스캔 신호는 상기 복수의 출력 인에이블 신호들 중 상기 상응하는 서브 드라이버에 인가되는 출력 인에이블 신호에 동기될 수 있다.
- [0014] 본 발명의 일 목적을 달성하기 위하여, 본 발명의 실시예들에 따른 유기발광 디스플레이 장치는 디스플레이 패널, 구동 회로 및 파워 서플라이를 포함한다. 상기 디스플레이 패널은 복수의 픽셀들을 구비한다. 상기 구동 회로는 제1 그룹의 스캔 라인들, 제2 그룹의 스캔 라인들 및 복수의 데이터 라인들을 통하여 상기 복수의 픽셀들에 연결되고, 스캔 블록들 각각에 연결되는 픽셀들에 제공되는 데이터 전압의 천이 횟수가 최소가 되도록 상기 스캔 블록들 각각의 제1 스캔 라인들에 제1 스캔 신호들을 제공하고, 상기 스캔 블록들 각각의 제2 스캔 라인들에 제2 스캔 신호들을 제공하고, 상기 데이터 라인들에 상기 데이터 전압을 제공한다. 상기 파워 서플라이는 상기 디스플레이 패널에 고전원 전압, 저전원 전압 및 초기화 전압을 제공하고, 상기 구동 회로에 제1 전압 및 제2 전압을 제공한다. 상기 제1 그룹의 스캔 라인들 및 상기 제2 그룹의 스캔 라인들은 상기 복수의 스캔 블록들로 그룹핑된다.
- [0015] 예시적인 실시예에 있어서, 상기 구동 회로는 스캔 드라이버, 데이터 드라이버, 발광 드라이버 및 타이밍 컨트롤러를 포함할 수 있다. 상기 스캔 드라이버는 상기 복수의 픽셀들에 상기 스캔 블록 단위로 상기 제1 스캔 신호들과 상기 제2 스캔 신호들을 제공할 수 있다. 상기 데이터 드라이버는 디스플레이 데이터에 상응하는 상기 데이터 전압을 상기 픽셀들 각각에 연결되는 상기 데이터 라인들에 출력할 수 있다. 상기 발광 드라이버는 상기 픽셀들 각각에 연결되는 복수의 발광 제어 라인들에 발광 제어 신호를 제공할 수 있다. 상기 타이밍 컨트롤러는 상기 스캔 드라이버, 상기 데이터 드라이버, 상기 발광 드라이버 및 상기 파워 서플라이를 제어하고, 입력 이미지 데이터를 처리하여 상기 데이터 신호를 생성할 수 있다.
- [0016] 상기 타이밍 컨트롤러는 블록 메모리, 데이터 분석기, 데이터 정렬부 및 신호 생성기를 포함할 수 있다. 상기 블록 메모리는 상기 입력 이미지 데이터를 상기 스캔 블록들 각각에 연결되는 픽셀들에 제공되는 적어도 하나의 스캔 블록 단위로 저장할 수 있다. 상기 데이터 분석기는 상기 블록 메모리에 저장된 상기 스캔 블록 단위의 제1 이미지 데이터의 천이를 분석하여 상기 제1 이미지 데이터의 천이 횟수가 최소가 되도록 스캔 순서 신호와 스캔 순서 제어 신호를 생성할 수 있다. 상기 데이터 정렬부는 상기 제1 이미지 데이터를 저장하고, 상기 스캔 순서 신호에 응답하여 상기 제1 이미지 데이터의 천이 횟수가 최소가 되는 순서대로 상기 제1 이미지 데이터를 배열할 수 있다. 상기 신호 생성기는 제어 신호와 상기 스캔 순서 제어 신호에 기초하여 적어도 상기 데이터 드라이버를 제어하는 제1 구동 제어 신호 및 상기 스캔 드라이버를 제어하는 제2 구동 제어 신호를 생성할 수 있다.
- [0017] 상기 스캔 드라이버는 상기 제1 그룹의 스캔 라인들 및 상기 제2 그룹의 스캔 라인들을 통하여 상기 복수의 픽셀들에 연결되며, 순차적으로 배치되는 복수의 스테이지들을 포함할 수 있다. 상기 복수의 스테이지들 각각은 공통 드라이버 및 서브-드라이버부를 포함할 수 있다. 상기 공통 드라이버는 적어도 제1 초기화 신호 및 제2 초기화 신호에 응답하여 상기 제1 스캔 라인들에 공통으로 블록 초기화 신호를 상기 제1 스캔 신호들로서 제공한다.

수 있다. 상기 서브-드라이버부는 복수의 출력 인에이블 신호들, 상기 블록 초기화 신호 및 상기 제1 초기화 신호 및 제2 초기화 신호 중 하나에 응답하여 상기 제2 스캔 라인들 각각에 상기 제2 스캔 신호들 각각을 개별적으로 제공할 수 있다.

[0018] 상기 공통 드라이버는 제1 내지 제7 피모스 트랜지스터, 제1 커패시터 및 제2 커패시터를 포함할 수 있다. 상기 제1 피모스 트랜지스터는 데이터 단자에 연결되는 소스, 제1 클럭 단자가 연결되는 제1 노드에 연결되는 게이트 및 제2 노드에 연결되는 드레인을 구비할 수 있다. 상기 제2 피모스 트랜지스터는 제2 클럭 단자가 연결되는 게이트 및 상기 제2 노드에 연결되는 드레인을 구비할 수 있다. 상기 제3 피모스 트랜지스터는 상기 제2 피모스 트랜지스터의 소스에 연결되는 드레인, 제1 전압이 인가되는 제3 노드에 연결되는 소스 및 제4 노드에 연결되는 게이트를 구비할 수 있다. 상기 제1 커패시터는 상기 제3 노드와 상기 제4 노드 사이에 연결될 수 있다. 상기 제4 피모스 트랜지스터는 상기 제2 노드에 연결되는 게이트, 상기 제1 노드에 연결되는 드레인 및 상기 제4 노드에 연결되는 소스를 구비할 수 있다. 상기 제5 피모스 트랜지스터는 상기 제4 노드에 연결되는 소스, 상기 제1 노드에 연결되는 게이트 및 제2 전압이 인가되는 드레인을 구비할 수 있다. 상기 제6 피모스 트랜지스터는 상기 제3 노드에 연결되는 소스, 상기 제4 노드에 연결되는 게이트 및 출력 단자인 제5 노드에 연결되는 드레인을 구비할 수 있다. 상기 제2 커패시터는 상기 제5 노드와 상기 제2 노드 사이에 연결될 수 있다. 제7 피모스 트랜지스터는 상기 제5 노드에 연결되는 소스, 상기 제2 노드에 연결되는 게이트 및 상기 제2 클럭 단자에 연결되는 드레인을 구비할 수 있다.

[0019] 상기 제1 클럭 단자에는 상기 제2 초기화 신호가 인가되고, 상기 제2 클럭 단자에는 상기 제1 초기화 신호가 인가되고, 상기 출력 단자에서는 상기 블록 초기화 신호가 제공되고, 상기 스테이지가 첫 번째 스테이지인 경우에 상기 데이터 단자에는 개시 신호가 인가되고, 상기 스테이지가 첫 번째 스테이지가 아닌 경우에 상기 데이터 단자에는 이전 스테이지의 블록 초기화 신호가 인가될 수 있다.

[0020] 상기 제2 노드가 로우 레벨이고, 상기 제1 초기화 신호가 로우 레벨일 때 상기 출력 단자는 로우 레벨일 수 있다.

[0021] 상기 서브-드라이버부는 상기 스캔 블록에 포함되는 제2 스캔 라인들의 수에 상응하는 복수의 서브-드라이버들을 포함할 수 있다. 상기 공통 드라이버는 상기 복수의 서브-드라이버들에 상기 블록 초기화 신호를 공통으로 인가할 수 있다. 상기 복수의 서브-드라이버들 각각은 상기 블록 초기화 신호, 상기 복수의 출력 인에이블 신호들 중 하나 및 상기 제1 초기화 신호 및 상기 제2 초기화 신호 중 하나에 응답하여 상기 제2 스캔 라인들 중 상응하는 제2 스캔 라인에 상응하는 제2 스캔 신호를 제공할 수 있다.

[0022] 상기 복수의 서브-드라이버들 각각은 상기 공통 드라이버와 동일한 구조를 가질 수 있다. 상기 복수의 스테이지들 중 제1 스테이지의 제2 스캔 신호들과 상기 제1 스테이지에 연속하는 제2 스테이지의 제1 스캔 신호는 서로 독립적일 수 있다.

[0023] 상기 신호 생성기는 상기 제어 신호에 기초하여 상기 발광 드라이버를 제어하는 제3 구동 제어 신호 및 상기 파워 서플라이를 제어하는 전원 제어 신호를 더 생성할 수 있다.

[0024] 예시적인 실시예에 있어서, 상기 복수의 픽셀들 각각은 스위칭 트랜지스터, 스토리지 커패시터, 구동 트랜지스터, 보상 트랜지스터, 초기화 트랜지스터, 방전 트랜지스터, 제1 발광 트랜지스터, 제2 발광 트랜지스터 및 유기발광 다이오드를 포함할 수 있다. 상기 스위칭 트랜지스터는 상기 데이터 라인들 각각에 연결되는 제1 전극, 상기 제2 그룹의 스캔 라인들 각각에 연결되는 게이트 전극 및 제1 노드에 연결되는 제2 전극을 가질 수 있다. 상기 스토리지 커패시터는 상기 고 전원 전압과 제2 노드 사이에 연결될 수 있다. 상기 구동 트랜지스터는 상기 제1 노드에 연결되는 제1 전극, 상기 제2 노드에 연결되는 게이트 전극 및 제3 노드에 연결되는 제2 전극을 가질 수 있다. 상기 보상 트랜지스터는 상기 제2 노드에 연결되는 제1 전극, 상기 제2 그룹의 스캔 라인들 각각에 연결되는 게이트 전극 및 상기 제3 노드에 연결되는 제2 전극을 가질 수 있다. 상기 초기화 트랜지스터는 상기 제2 노드에 연결되는 제1 전극, 상기 제1 그룹의 스캔 라인들 각각에 연결되는 게이트 전극 및 상기 초기화 전압에 연결되는 제2 전극을 가질 수 있다. 상기 방전 트랜지스터는 상기 초기화 전압에 연결되는 제1 전극, 상기 제2 그룹의 스캔 라인들 각각에 연결되는 게이트 전극 및 제4 노드에 연결되는 제2 전극을 가질 수 있다. 상기 제1 발광 트랜지스터는 상기 고전원 전압에 연결되는 제1 전극, 상기 발광 제어 신호가 인가되는 게이트 전극 및 상기 제2 노드에 연결되는 제2 전극을 가질 수 있다. 상기 제2 발광 트랜지스터는 상기 제3 노드에 연결되는 제1 전극, 상기 발광 제어 신호가 인가되는 게이트 전극 및 상기 제4 노드에 연결되는 제2 전극을 가질 수 있다. 상기 유기발광 다이오드는 상기 제4 노드와 상기 저전원 전압 사이에 연결될 수 있다.

[0025] 상기 보상 트랜지스터는 상기 제2 그룹의 스캔 라인들 각각을 통하여 전달되는 제2 스캔 신호에 응답하여 상기 구동 트랜지스터를 다이오드-연결시킬 수 있다.

[0026] 상기 초기화 트랜지스터는 상기 제1 그룹의 스캔 라인들 각각을 통하여 전달되는 제1 스캔 신호에 응답하여 상기 초기화 전압을 상기 구동 트랜지스터의 게이트 전극에 전달하여 이전 프레임 동안에 상기 구동 트랜지스터에 전달된 데이터 전압값을 초기화시킬 수 있다. 상기 방전 트랜지스터는 상기 제2 그룹의 스캔 라인들 각각을 통하여 전달되는 제2 스캔 신호에 응답하여 상기 제2 발광 트랜지스터와 상기 유기발광 다이오드 사이의 기생 커패시터의 전압을 방전시킬 수 있다.

[0027] 본 발명의 일 목적을 달성하기 위하여, 본 발명의 실시예들에 따른 디스플레이 시스템은 어플리케이션 프로세서 및 유기발광 디스플레이 장치를 포함한다. 상기 어플리케이션 프로세서는 이미지 데이터와 제어 신호를 생성한다. 상기 유기발광 디스플레이 장치는 상기 제어 신호에 기초하여 상기 이미지 데이터를 표시한다. 상기 유기발광 디스플레이 장치는 디스플레이 패널, 구동 회로 및 파워 서플라이를 포함한다. 상기 디스플레이 패널은 복수의 픽셀들을 구비한다. 상기 구동 회로는 제1 그룹의 스캔 라인들, 제2 그룹의 스캔 라인들 및 복수의 데이터 라인들을 통하여 상기 복수의 픽셀들에 연결되고, 스캔 블록들 각각에 연결되는 픽셀들에 제공되는 데이터 전압의 천이 횟수가 최소가 되도록 상기 스캔 블록들 각각의 제1 스캔 라인들에 제1 스캔 신호들을 제공하고, 상기 스캔 블록들 각각의 제2 스캔 라인들에 제2 스캔 신호들을 제공하고, 상기 데이터 라인들에 상기 데이터 전압을 제공한다. 상기 파워 서플라이는 상기 디스플레이 패널에 고전원 전압, 저전원 전압 및 초기화 전압을 제공하고, 상기 구동 회로에 제1 전압 및 제2 전압을 제공한다. 상기 제1 그룹의 스캔 라인들 및 상기 제2 그룹의 스캔 라인들은 상기 복수의 스캔 블록들로 그룹핑된다.

발명의 효과

[0028] 본 발명의 실시예들에 따른 유기 발광 디스플레이 장치의 스캔 드라이버, 유기 발광 디스플레이 장치 및 디스플레이 시스템에서는 스캔 드라이버가 제1 그룹의 스캔 라인들 및 제2 그룹의 스캔 라인들이 그룹핑되는 복수의 스캔 블록들 각각에 연결되는 픽셀들에 제공되는 데이터 전압의 천이 횟수가 최소가 되도록 상기 스캔 블록들 각각의 제1 스캔 라인들에 제1 스캔 신호를 제공하고, 상기 스캔 블록들 각각의 제2 스캔 라인들에 제2 스캔 신호들을 제공하여 전력 소모를 감소시킬 수 있다.

[0029] 다만, 본 발명의 효과는 상기 언급한 효과에 한정되는 것이 아니며, 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위에서 다양하게 확장될 수 있을 것이다.

도면의 간단한 설명

[0030] 도 1은 본 발명의 실시예들에 따른 유기 발광 디스플레이 장치를 나타내는 블록도이다.

도 2는 본 발명의 실시예들에 따른 도 1의 유기 발광 디스플레이 장치에서 픽셀을 나타내는 회로도이다.

도 3은 본 발명의 실시예들에 따른 도 1의 유기발광 디스플레이 장치에서 타이밍 컨트롤러의 구성을 나타내는 블록도이다.

도 4는 본 발명의 실시예들에 따른 도 1의 유기발광 디스플레이 장치에서 스캔 드라이버의 구성을 나타내는 블록도이다.

도 5는 본 발명의 실시예에 따른 도 4의 스캔 드라이버의 구성을 나타낸다.

도 6은 도 5의 스캔 드라이버에서 공통 드라이버의 구성을 나타낸다.

도 7은 도 6의 공통 드라이버의 동작을 나타내는 타이밍도이다.

도 8은 도 1의 디스플레이 패널에서 표시되는 H-스트라이프 패턴을 나타낸다.

도 9는 도 1의 디스플레이 패널에서 H-스트라이프 패턴이 표시될 때, 픽셀들 일부의 계조를 나타낸다.

도 10은 도 1의 디스플레이 패널에 도 8의 H-스트라이프 패턴이 표시될 때, 도 5의 스캔 드라이버의 동작을 나타낸다.

도 11은 본 발명의 실시예에 따른 도 4의 스캔 드라이버의 구성을 나타낸다.

도 12는 도 1의 디스플레이 패널에 도 8의 H-스트라이프 패턴이 표시될 때, 도 11의 스캔 드라이버의 동작을 나

타낸다.

도 13은 본 발명의 실시예들에 따른 도 1의 유기 발광 디스플레이 장치에서 발광 드라이버의 구성을 나타내는 블록도이다.

도 14는 도 13에 도시된 스테이지의 구성을 상세히 나타내는 회로도이다.

도 15는 본 발명의 실시예들에 따른 디스플레이 시스템을 나타내는 블록도이다.

도 16은 본 발명의 실시예들에 따른 유기발광 디스플레이 장치를 포함하는 전자 기기를 나타내는 블록도이다.

발명을 실시하기 위한 구체적인 내용

- [0031] 이하, 첨부한 도면들을 참조하여, 본 발명의 바람직한 실시예를 보다 상세하게 설명하고자 한다. 도면상의 동일한 구성요소에 대해서는 동일한 참조부호를 사용하고 동일한 구성요소에 대해서 중복된 설명은 생략한다.
- [0032] 도 1은 본 발명의 실시예들에 따른 유기 발광 디스플레이 장치를 나타내는 블록도이다.
- [0033] 도 1을 참조하면, 유기 발광 디스플레이 장치(100)는 구동 회로(105), 디스플레이 패널(110) 및 파워 서플라이(180)를 포함할 수 있다.
- [0034] 구동 회로(105)는 타이밍 컨트롤러(130), 데이터 드라이버(150), 스캔 드라이버(200) 및 발광 드라이버(170)를 포함할 수 있다. 타이밍 컨트롤러(130), 데이터 드라이버(150), 스캔 드라이버(160) 및 발광 드라이버(170)는 칩온 플렉시블 인쇄 회로(chip on flexible printed circuit; COF), 칩-온 글래스(chip on glass; COG) 플렉시블 인쇄 회로(flexible printed circuit; FPC) 형태로 디스플레이 패널(110)에 연결될 수 있다.
- [0035] 디스플레이 패널(110)은 제1 그룹의 스캔 라인들(SL11~SL1n, n은 3보다 큰 정수) 및 제2 그룹의 스캔 라인들(SL21~SL2n)을 통하여 스캔 드라이버(200)와 연결되고, 복수의 데이터 라인들(DL1~DLm, m은 3보다 큰 정수)을 통하여 데이터 드라이버(150)와 연결되고, 복수의 발광 제어 라인들(EL1~ELn)을 통하여 발광 드라이버(170)와 연결될 수 있다. 디스플레이 패널(110)은 제1 그룹의 스캔 라인들(SL11~SL1n), 제2 그룹의 스캔 라인들(SL21~SL2n), 복수의 데이터 라인들(DL1~DLm) 및 복수의 발광 제어 라인들(EL1~ELn)의 교차부마다 위치되는 복수의 픽셀들(111)들을 포함할 수 있다. 제1 그룹의 스캔 라인들(SL11~SL1n, n은 3보다 큰 정수) 및 제2 그룹의 스캔 라인들(SL21~SL2n)은 복수의 스캔 라인들로 통칭될 수 있다.
- [0036] 또한, 디스플레이 패널(110)은 파워 서플라이(180)로부터 고전원 전압(ELVDD), 저전원 전압(ELVSS) 및 초기화 전압(VINT)을 공급받는다. 또한 발광 드라이버(170)는 파워 서플라이(180)로부터 제1 전압(VGH) 및 제2 전압(VGL)을 공급받을 수 있다. 또한 스캔 드라이버(200)는 파워 서플라이(180)로부터 제1 전압(VGH) 및 제2 전압(VGL)을 공급받을 수 있다.
- [0037] 스캔 드라이버(200)는 제2 구동 제어 신호(DCTL2)에 기초하여 제1 그룹의 스캔 라인들(SL11~SL1n) 및 제2 그룹의 스캔 라인들(SL21~SL2n)을 통해 복수의 서브 픽셀(111)들 각각에 제1 스캔 신호와 제2 스캔 신호를 제공할 수 있다. 스캔 드라이버(160)는 제1 그룹의 스캔 라인들(SL11~SL1n) 및 제2 그룹의 스캔 라인들(SL21~SL2n)이 그룹핑되는 복수의 스캔 블록들 각각에 연결되는 픽셀들에 제공되는 데이터 전압의 천이 횟수가 최소가 되도록 상기 스캔 블록들 각각의 제1 스캔 라인들에 제1 스캔 신호를 제공하고, 상기 스캔 블록들 각각의 제2 스캔 라인들에 제2 스캔 신호들을 제공할 수 있다.
- [0038] 데이터 드라이버(150)는 제1 구동 제어 신호(DCTL1)에 기초하여 복수의 데이터 라인들(DL1~DLm)을 통해 복수의 픽셀(11)들 각각에 데이터 전압을 제공할 수 있다. 데이터 드라이버(150)는 복수의 스캔 블록들 각각에 연결되는 픽셀들에 제공되는 데이터 전압의 천이 횟수가 최소가 되도록 데이터 신호(DTA)에 상응하는 데이터 전압을 데이터 라인들(DL1~DLm)을 통해 복수의 픽셀(11)들 각각에 제공할 수 있다.
- [0039] 발광 드라이버(170)는 제3 구동 제어 신호(DCTL3)에 기초하여 복수의 발광 제어 라인들(EL1~ELn)을 통해 픽셀(11)들 각각에 발광 제어 신호를 제공할 수 있다. 이 발광 제어 신호에 기초하여 디스플레이 패널(100)의 휘도가 조절될 수 있다.
- [0040] 파워 서플라이(180)는 전원 제어 신호(PCTL)에 기초하여 고전원 전압(ELVDD), 저전원 전압(ELVSS) 및 초기화 전압(VINT)을 디스플레이 패널(110)에 제공하고, 제1 전압(VGH) 및 제2 전압(VGL)을 발광 드라이버(170)와 스캔 드라이버(200)에 제공할 수 있다.
- [0041] 타이밍 컨트롤러(130)는 입력 이미지 데이터(RGB) 및 제어 신호(CTL)를 수신하고, 제어 신호(CTL)에 기초하여

제1 내지 제3 구동 제어 신호들(DCTL1~DCTL3) 및 전원 제어 신호(PCTL)를 생성하고, 제1 구동 제어 신호(DCTL1)는 데이터 드라이버(150)에 제공하고, 제2 구동 제어 신호(DCTL2)는 스캔 드라이버(200)에 제공하고, 제3 제어 신호(DCTL3)는 발광 드라이버(170)에 제공할 수 있다. 타이밍 컨트롤러(130)는 입력 이미지 데이터(IMG)를 수신하고 복수의 스캔 블록들 각각에 연결되는 픽셀들에 제공되는 데이터 전압의 천이 횟수가 최소가 되도록 입력 이미지 데이터(IMG)를 스캔 블록 단위로 정렬하여 데이터 신호(DTA)를 데이터 드라이버(150)에 제공할 수 있다.

[0042] 도 2는 본 발명의 실시예들에 따른 도 1의 유기 발광 디스플레이 장치에서 픽셀을 나타내는 회로도이다.

[0043] 도 2에서는 제1 데이터 라인(DL1), 제1 스캔 라인(SL11), 제2 스캔 라인(SL21) 및 발광 제어 라인(EL1)에 연결되는 픽셀(111)의 구조를 설명한다.

[0044] 도 2를 참조하면, 픽셀(111)은 제1 그룹의 스캔 라인들(SL11~SL1n) 중 제1 스캔 라인(SL11) 및 제2 그룹의 스캔 라인들(SL21~SL2n) 중 제2 스캔 라인(SL21)을 통하여 스캔 드라이버(200)에 연결되고, 데이터 라인들(DL1~DLm) 중 제1 데이터 라인(DL1)을 통하여 데이터 드라이버(130)에 연결되고, 발광 제어 라인들(EL1~ELn) 중 제1 발광 제어 라인(EL1)을 통하여 발광 드라이버(170)에 연결될 수 있다.

[0045] 또한 픽셀(111)은 스위칭 트랜지스터(T1), 구동 트랜지스터(T2), 보상 트랜지스터(T3), 초기화 트랜지스터(T4), 제1 및 제2 발광 트랜지스터들(T5, T6), 방전 트랜지스터(T7), 스토리지 커패시터(CST) 및 유기 발광 다이오드(OLED, 112)를 포함할 수 있다.

[0046] 스위칭 트랜지스터(T1)는 데이터 라인(DL1)에 연결되어 데이터 전압(SDT)이 인가되는 제1 전극, 제2 스캔 라인(SL21)에 연결되어 제2 스캔 신호(GW1)를 인가받는 게이트 전극 및 제1 노드(N11)에 연결되는 제2 전극을 갖는 피모스 트랜지스터로 구현될 수 있다. 구동 트랜지스터(T2)는 제1 노드에 연결되는 제1 전극, 제2 노드(N12)에 연결되는 게이트 전극 및 제2 노드에 연결되는 제2 전극을 구비하는 피모스 트랜지스터일 수 있다.

[0047] 보상 트랜지스터(T3)는 제2 스캔 라인(SL21)에 연결되어 제2 스캔 신호(GW1)를 인가받는 게이트 전극, 제2 노드(N12)에 연결되는 제1 전극 및 제3 노드(N13)에 연결되는 제2 전극을 구비하는 피모스 트랜지스터일 수 있다. 초기화 트랜지스터(T4)는 제2 노드(N12)에 연결되는 제1 전극, 제1 스캔 라인(SL11)에 연결되어 제1 스캔 신호(GI1)를 인가받는 게이트 전극 및 초기화 전압(VINT)에 연결되는 제2 전극을 구비하는 피모스 트랜지스터일 수 있다.

[0048] 제1 발광 트랜지스터(T5)는 고전원 전압(ELVDD)에 연결되는 제1 전극, 제1 노드(N11)에 연결되는 제2 전극 및 제1 발광 제어 라인(EL1)에 연결되어 발광 제어 신호(EC1)를 인가받는 게이트를 구비하는 피모스 트랜지스터일 수 있다. 제2 발광 트랜지스터(T6)는 제3 노드(N13)에 연결되는 제1 전극, 제4 노드(N14)에 연결되는 제2 전극 및 제1 발광 제어 라인(EL1)에 연결되어 발광 제어 신호(EC1)를 인가받는 게이트를 구비하는 피모스 트랜지스터일 수 있다.

[0049] 방전 트랜지스터(T7)는 초기화 전압(VINT)에 연결되는 제1 전극, 제4 노드에 연결되는 제2 전극 및 제2 스캔 라인(SL21)에 연결되어 제2 스캔 신호(GW1)를 인가받는 게이트 전극을 구비하는 피모스 트랜지스터일 수 있다. 저장 커패시터(CST)는 고 전원전압(ELVDD)에 연결되는 제1 단자 및 상기 제2 노드(N12)에 연결되는 제2 단자를 구비할 수 있다. 유기 발광 다이오드(112)는 제4 노드(N14)에 연결되는 애노드 전극 및 상기 저전원 전압(ELVSS)에 연결되는 캐소드 전극을 구비할 수 있다.

[0050] 스위칭 트랜지스터(T1)는 제2 스캔 신호(GW1)에 응답하여 데이터 전압(SDT)을 스토리지 커패시터(CST)에 전송하고, 스토리지 커패시터(CST)에 저장된 데이터 전압(SDT)은 상응하는 휘도로 OLED(112)를 발광시켜 영상을 표시할 수 있다.

[0051] 실시예에 있어서, 디스플레이 패널(110)의 픽셀(111)들은 디지털 방식으로 구동될 수 있다. 상기 픽셀(111)의 디지털 구동 방식에서, 구동 트랜지스터(T2)는 선형 영역에서 동작하는 스위치로 사용된다. 따라서, 상기 구동 트랜지스터(T2)는 온 레벨 및 오프 레벨만을 표현한다.

[0052] 상기 구동 트랜지스터(T2)를 턴 온 또는 턴 오프하기 위해 턴 온 레벨 및 턴 오프 레벨의 두 가지 레벨만을 갖는 데이터 전압(SDT)이 사용된다. 디지털 구동 방식에서, 상기 픽셀(111)은 오직 온 레벨 및 오프 레벨만을 표현하므로, 계조를 표현하기 위해서는 하나의 프레임을 복수의 서브 필드로 나눌 필요가 있다. 상기 서브 필드의 발광의 온 및 오프의 조합을 이용하여 계조를 표현할 수 있다.

[0053] 발광 트랜지스터들(T5, T6)은 발광 제어 신호(EC1)에 응답하여 턴 온 또는 턴 오프되어 OLED(112)에 전류를 흘

리거나 차단할 수 있다. OLED(112)에 전류가 흐르면 OLED(112)가 발광하고, OLED(112)에 전류가 차단되면, OLED(112)가 비발광할 수 있다. 따라서 발광 트랜지스터들(T5, T6)은 발광 제어 신호(EC1)에 응답하여 턴 온 또는 턴 오프되어 디스플레이 패널(110)의 휘도를 조절할 수 있다.

- [0054] 보상 트랜지스터(T3)는 제2 스캔 신호(GW1)에 응답하여 제2 노드(N12)와 제3 노드(N13)를 연결한다. 즉, 보상 트랜지스터(T3)는 구동 트랜지스터(T2)의 게이트 전극과 제2 전극을 다이오드 연결함으로써, 영상이 표시될 때 디스플레이 패널(110)에 포함된 복수의 픽셀마다 서로 상이한 구동 트랜지스터의 문턱전압 편차를 보상한다.
- [0055] 초기화 트랜지스터(T4)는 제1 스캔 신호(GI1)에 응답하여 초기화 전압(VINT)을 제2 노드(N12)에 인가한다. 즉, 초기화 트랜지스터(T4)는 구동 트랜지스터(T2)의 게이트 전극에 초기화 전압(VINT)을 전달함으로써, 이전 프레임 동안 구동 트랜지스터(T2)에 전달된 데이터 전압값을 초기화시킨다.
- [0056] 방전 트랜지스터(T7)는 제2 스캔 신호(GW1)에 응답하여 제4 노드(N14)를 초기화 전압(VINT)에 연결시켜 제2 발광 트랜지스터(T6)와 OLED(112) 사이의 기생 커패시턴스를 방전시킬 수 있다. 실시예에 있어서, 방전 트랜지스터(T7)의 게이트 단자에는 제2 스캔 신호(GW1) 대신에 제1 스캔 신호(GI1)가 인가될 수 있다.
- [0057] 도 3은 본 발명의 실시예들에 따른 도 1의 유기발광 디스플레이 장치에서 타이밍 컨트롤러의 구성을 나타내는 블록도이다.
- [0058] 도 3을 참조하면, 타이밍 컨트롤러(130)는 블록 메모리(131), 데이터 분석기(132), 데이터 정렬부(133) 및 신호 생성기(134)를 포함할 수 있다.
- [0059] 블록 메모리(131)는 입력 이미지 데이터(RGB)를 상기 스캔 블록들 각각에 연결되는 픽셀들에 제공되는 적어도 하나의 스캔 블록 단위로 저장할 수 있다. 데이터 분석기(132)는 블록 메모리(131)에 저장된 스캔 블록 단위의 제1 이미지 데이터(RGB')의 천이를 분석하여 제1 이미지 데이터(RGB')의 천이 횟수가 최소가 되는 스캔 순서 신호(SS)와 스캔 순서 제어 신호(SSC)를 생성할 수 있다. 데이터 분석기(132)는 스캔 순서 신호(SS)는 데이터 정렬부(133)에 제공하고, 스캔 순서 제어 신호(SSC)는 신호 생성기(134)에 제공할 수 있다. 데이터 분석기(132)는 제1 이미지 데이터(RGB')의 데이터 라인별 그레이 레벨을 분석하여 제1 이미지 데이터(RGB')의 천이 횟수가 최소가 되는 스캔 순서 신호(SS)와 스캔 순서 제어 신호(SSC)를 생성할 수 있다.
- [0060] 데이터 정렬부(133)는 스캔 블록 단위의 제1 이미지 데이터(RGB')를 수신하고, 스캔 순서 신호(SS)에 따라 제1 이미지 데이터(RGB')의 천이 횟수가 최소가 되도록 제1 이미지 데이터(RGB')를 재배열하여 데이터 신호(DTA)를 출력할 수 있다.
- [0061] 신호 생성기(134)는 제어 신호(CTL)와 스캔 순서 제어 신호(SSC)에 기초하여 데이터 드라이버(150)를 제어하는 제1 구동 제어 신호(DCTL1) 및 스캔 드라이버(200)를 제어하는 제2 구동 제어 신호(DCTL2)를 생성할 수 있다. 신호 생성기(134)는 또한 제어 신호(CTL)에 기초하여 발광 드라이버(170)를 제어하는 제3 구동 제어 신호(DCTL3) 및 파워 서플라이(180)를 제어하는 전원 제어 신호(PCTL)를 생성할 수 있다. 제2 데이터 신호(DCTL2)는 개시 신호(frame line mark, FLM), 복수의 초기화 신호들(INT) 및 복수의 출력 인에이بل 신호들(OE)을 포함할 수 있다. 제3 제어 신호(DCTL3)는 개시 신호(frame line mark, FLM), 제1 클럭 신호(CLK1) 및 제2 클럭 신호(CLK2)를 포함할 수 있다.
- [0062] 도 4는 본 발명의 실시예들에 따른 도 1의 유기발광 디스플레이 장치에서 스캔 드라이버의 구성을 나타내는 블록도이다.
- [0063] 도 1 및 도 4를 참조하면, 스캔 드라이버(200)는 제1 그룹의 스캔 라인들(SL11~SL1n) 및 제2 그룹의 스캔 라인들(SL21~SL2n)을 통하여 복수의 픽셀(111)들에 연결되며, 순차적으로 배치되는 복수의 스테이지들(210, 250, ...)을 포함할 수 있다. 복수의 스테이지들(210, 250, ...) 각각은 공통 드라이버(220, 260) 각각과 서브-드라이버부들(230, 270) 각각을 포함할 수 있다.
- [0064] 제1 스테이지(210)의 공통 드라이버(220)는 제1 초기화 신호(INT1), 제2 초기화 신호(INT2) 및 개시 신호(FLM)에 응답하여 제1 스캔 블록(SB1)의 제1 스캔 라인들에 공통으로 블록 초기화 신호(BI1)를 제1 스캔 신호들(GI1~GIp, p는 1보다 큰 정수)로서 제공할 수 있다. 제1 스테이지(210)의 서브-드라이버부(230)는 복수의 출력 인에이بل 신호들(OE1~OEq, q는 p보다 큰 정수), 블록 초기화 신호(BI1) 및 제1 초기화 신호(INT1) 및 제2 초기화 신호(INT2) 중 하나에 응답하여 제1 스캔 블록(SB1)의 제2 스캔 라인들에 제2 스캔 신호들(GW1~GWp)을 개별적으로 제공하여 제1 스캔 블록(SB1)에 연결되는 픽셀들에 제공되는 데이터 전압의 천이 횟수가 최소가 되도록 할 수 있다.

- [0065] 제2 스테이지(250)의 공통 드라이버(260)는 제1 초기화 신호(INT1), 제2 초기화 신호(INT) 및 블록 초기화 신호(BI1)에 응답하여 제2 스캔 블록(SB2)의 제1 스캔 라인들에 공통으로 블록 초기화 신호(BI2)를 제1 스캔 신호들(GI(p+1)~GIq)로서 제공할 수 있다. 제2 스테이지(250)의 서브-드라이버부(270)는 복수의 출력 인에이블 신호들(OE1~OEq), 블록 초기화 신호(BI2) 및 제1 초기화 신호(INT1) 및 제2 초기화 신호(INT2) 중 하나에 응답하여 제2 스캔 블록(SB2)의 제2 스캔 라인들에 제2 스캔 신호들(GW(p+1)~GWq)을 개별적으로 제공하여 제2 스캔 블록에(SB2) 연결되는 픽셀들에 제공되는 데이터 전압의 천이 횟수가 최소가 되도록 할 수 있다.
- [0066] 서브-드라이버부들(230, 270) 각각은 상기 스캔 블록들(SB1, SB2) 각각에 포함되는 제2 스캔 라인들 각각의 수에 상응하는 복수의 서브-드라이버들을 포함할 수 있다.
- [0067] 도 5는 본 발명의 실시예에 따른 도 4의 스캔 드라이버의 구성을 나타낸다.
- [0068] 도 5는 제1 그룹의 스캔 라인들(SL11~SL1n) 및 제2 그룹의 스캔 라인들(SL21~SL2n)이 각각 두 개의 제1 스캔 라인들과 두 개의 제2 스캔 라인들을 구비하는 복수의 스캔 블록들로 그룹핑되는 경우를 나타낸다.
- [0069] 도 1 및 도 5를 참조하면, 스캔 드라이버(200)는 제1 그룹의 스캔 라인들(SL11~SL1n) 및 제2 그룹의 스캔 라인들(SL21~SL2n)을 통하여 복수의 픽셀(111)들에 연결되며, 순차적으로 배치되는 복수의 스테이지들(210a, 250a, ...)을 포함할 수 있다. 복수의 스테이지들(210a, 250a, ...) 각각은 공통 드라이버(220, 260) 각각과 서브-드라이버부들(230a, 270a) 각각을 포함할 수 있다. 서브-드라이버부(230a)는 두 개의 서브-드라이버들(231, 233)을 포함할 수 있고, 서브-드라이버부(270a)는 두 개의 서브-드라이버들(271, 273)을 포함할 수 있다.
- [0070] 제1 스테이지(210a)의 공통 드라이버(220)는 제1 초기화 신호(INT1), 제2 초기화 신호(INT2) 및 개시 신호(FLM)에 응답하여 제1 스캔 블록의 제1 스캔 라인들에 공통으로 블록 초기화 신호(BI1)를 제1 스캔 신호들(GI1, GI2)로서 제공할 수 있다. 제1 스테이지(210a)의 서브-드라이버부(230a)는 복수의 출력 인에이블 신호들(OE1~OE4), 블록 초기화 신호(BI1) 및 제1 초기화 신호(INT1) 및 제2 초기화 신호(INT2) 중 하나에 응답하여 제1 스캔 블록의 제2 스캔 라인들 각각에 제2 스캔 신호들(GW1, GW2)을 개별적으로 제공할 수 있다.
- [0071] 서브-드라이버부(230a)는 서브-드라이버들(231, 233)을 포함할 수 있다. 서브-드라이버(231)는 출력 인에이블 신호(OE1), 블록 초기화 신호(BI1) 및 제1 초기화 신호(INT1)에 응답하여 제1 스캔 블록의 제2 스캔 라인에 제2 스캔 신호(GW1)를 제공할 수 있고, 서브-드라이버(233)는 출력 인에이블 신호(OE2), 블록 초기화 신호(BI1) 및 제1 초기화 신호(INT1)에 응답하여 제1 스캔 블록의 제2 스캔 라인에 제2 스캔 신호(GW2)를 제공할 수 있다.
- [0072] 제2 스테이지(250a)의 공통 드라이버(260)는 제1 초기화 신호(INT1), 제2 초기화 신호(INT2) 및 블록 초기화 신호(BI1)에 응답하여 제2 스캔 블록의 제1 스캔 라인들에 공통으로 블록 초기화 신호(BI2)를 제1 스캔 신호들(GI3, GI4)로서 제공할 수 있다. 제2 스테이지(250a)의 서브-드라이버부(270a)는 복수의 출력 인에이블 신호들(OE1~OE4), 블록 초기화 신호(BI2) 및 제1 초기화 신호(INT1) 및 제2 초기화 신호(INT2) 중 하나에 응답하여 제2 스캔 블록의 제2 스캔 라인들에 각각에 제2 스캔 신호들(GW3, GW4) 각각을 개별적으로 제공할 수 있다.
- [0073] 서브-드라이버부(270a)는 서브-드라이버들(271, 273)을 포함할 수 있다. 서브-드라이버(271)는 출력 인에이블 신호(OE3), 블록 초기화 신호(BI2) 및 제2 초기화 신호(INT2)에 응답하여 제2 스캔 블록의 제2 스캔 라인에 제2 스캔 신호(GW3)를 제공할 수 있고, 서브-드라이버(273)는 출력 인에이블 신호(OE4), 블록 초기화 신호(BI2) 및 제2 초기화 신호(INT2)에 응답하여 제2 스캔 블록의 제2 스캔 라인에 제2 스캔 신호(GW4)를 제공할 수 있다. 공통 드라이버들(220) 및 서브 드라이버들(231, 233)은 동일한 형태의 쉬프트-레지스터로 구성될 수 있다.
- [0074] 도 6은 도 5의 스캔 드라이버에서 공통 드라이버의 구성을 나타낸다.
- [0075] 도 5에서 서브-드라이버들(231, 233) 각각은 공통 드라이버(220)와 실질적으로 동일한 구성을 가질 수 있다.
- [0076] 도 6을 참조하면, 공통 드라이버(220)는 제1 내지 제7 피모스 트랜지스터들(221~227) 및 커패시터들(C11, C12)을 포함하여 구성될 수 있다.
- [0077] 제1 피모스 트랜지스터(221)는 데이터 단자(DIN)에 연결되는 소스, 제1 클럭 단자(CLKA)가 연결되는 제1 노드(N21)에 연결되는 게이트 및 제2 노드(N12)에 연결되는 드레인을 구비할 수 있다. 제2 피모스 트랜지스터(222)는 제2 클럭 단자(CLKB)에 연결되는 게이트 및 제2 노드(N22)에 연결되는 드레인을 구비할 수 있다. 제3 피모스 트랜지스터(223)는 제2 피모스 트랜지스터(222)의 소스에 연결되는 드레인, 제1 전압(VGH)이 인가되는 제3 노드(N23)에 연결되는 소스 및 제4 노드(N24)에 연결되는 게이트를 구비할 수 있다. 커패시터(C11)는 제3 노드(N23)와 제4 노드(N24) 사이에 연결될 수 있다. 제4 피모스 트랜지스터(224)는 제2 노드(N22)에 연결되는 게이트, 제1 노드(N21)에 연결되는 드레인 및 제4 노드(N24)에 연결되는 소스를 구비할 수 있다. 제5 피모스 트랜지스터

(225)는 제4 노드(N24)에 연결되는 소스, 제1 노드(N21)에 연결되는 게이트 및 제2 전압(VGL)이 인가되는 드레인을 구비할 수 있다. 제6 피모스 트랜지스터(226)는 제3 노드(N23)에 연결되는 소스, 제4 노드(N24)에 연결되는 게이트 및 출력 단자인 제5 노드(N25)에 연결되는 드레인을 구비할 수 있다. 커패시터(C12)는 제5 노드(N25)와 제2 노드(N22) 사이에 연결될 수 있다. 제7 피모스 트랜지스터(227)는 제5 노드(N25)에 연결되는 소스, 제2 노드(N22)에 연결되는 게이트 및 제2 클럭 단자(CLKB)에 연결되는 드레인을 구비할 수 있다.

[0078] 제1 전압(VGH)의 레벨은 제2 전압(VGL)의 레벨보다 높을 수 있다.

[0079] 데이터 단자(DIN)에는 개시 신호(FLM)가 입력되고, 제1 클럭 단자(CLKA)에는 제2 초기화 신호(INT2)가 인가되고, 제2 클럭 단자(CLKB)에는 제1 초기화 신호(INT1)가 인가되고, 출력 단자(Q)에서 블록 초기화 신호(BI1)가 제공될 수 있다.

[0080] 도 7은 도 6의 공통 드라이버의 동작을 나타내는 타이밍도이다.

[0081] 이하 도 6 및 도 7을 참조하여, 공통 드라이버(220)의 동작을 설명한다.

[0082] 개시 신호(FLM)는 시간들(t15~t16) 사이에서 로우 레벨로 활성화되고, 제2 초기화 신호(INT2)는 시간들(t11~t12, t15~t16) 각각에서 활성화되고, 제1 초기화 신호(INT1)는 시간들(t13~t14, t17~t18) 각각에서 활성화되고, 제2 노드(N22)는 시간들(t17~t18) 사이에서 활성화되고, 제4 노드(N24)는 시간들(t16~t19)에서 하이 레벨로 유지되고, 출력 단자(Q)의 블록 초기화 신호(BI1)는 시간들(t17~t18) 사이에서 활성화된다.

[0083] 즉, 제2 초기화 신호(INT2)가 로우-레벨로 활성화되면, 제1 피모스 트랜지스터(221)가 턴-온 되어, 데이터 단자(DIN)의 상태가 제4 노드(N24)로 전달된다. 제4 노드(N24)가 로우-레벨이면, 트랜지스터(C12)의 부트스트래핑(bootstrapping)으로 인하여 제2 클럭 단자(CLKB), 즉 제1 초기화 신호(INT1)의 상태가 출력 단자(Q)로 전달된다. 따라서, 제2 노드(N22)가 로우 레벨이고, 제1 초기화 신호(INT1)가 로우 레벨이면, 출력 단자(Q)에서 제공되는 블록 초기화 신호(BI1)는 로우-레벨로 활성화된다.

[0084] 도 7에서 시간들(t11~t15) 사이의 구간(ITL11)은 공통 드라이버(200)가 리셋되는 초기화 구간, 시간들(t15~t17) 사이의 구간(ITL12)의 구간은 개시 신호(FLM)의 논리 레벨을 감지하는 감지 구간, 시간들(t17~t19) 사이의 구간(ITL13)은 출력 노드(Q)에서 블록 초기화 신호(BI1)를 출력하는 출력 구간에 해당할 수 있다. 또한, 시간(t19) 이후에는 다시 초기화 구간, 감지 구간 및 출력 구간이 반복될 수 있다.

[0085] 도 8은 도 1의 디스플레이 패널에서 표시되는 H-스트라이프 패턴을 나타내고, 도 9는 도 1의 디스플레이 패널에서 H-스트라이프 패턴이 표시될 때, 픽셀들 일부의 계조를 나타낸다.

[0086] 도 8 및 도 9를 참조하면, 스캔 라인(SL1)은 제1 스캔 라인(SL11) 및 제2 스캔 라인(SL21)을 포함하고, 스캔 라인(SL2)은 제1 스캔 라인(SL12) 및 제2 스캔 라인(SL22)을 포함하고, 스캔 라인(SL3)은 제1 스캔 라인(SL13) 및 제2 스캔 라인(SL23)을 포함할 수 있다.

[0087] H-스트라이프 패턴을 표시하기 위하여 제1 스캔 라인(SL11) 및 제2 스캔 라인(SL21)에 연결되는 픽셀들(PX1~PX3) 각각은 255계조를 나타내야 하고, 제1 스캔 라인(SL12) 및 제2 스캔 라인(SL22)에 연결되는 픽셀들(PX4~PX6) 각각은 0계조를 나타내야 하고, 제1 스캔 라인(SL13) 및 제2 스캔 라인(SL23)에 연결되는 픽셀들(PX1~PX3) 각각은 255계조를 나타내야 한다. 데이터 라인(DL1)을 통하여 픽셀들(PX1, PX4, PX7)에는 데이터 전압(D1)이 순차적으로 인가되고, 데이터 라인(DL2)을 통하여 픽셀들(PX2, PX5, PX8)에는 데이터 전압(D2)이 순차적으로 인가되고, 데이터 라인(DL3)을 통하여 픽셀들(PX3, PX6, PX9)에는 데이터 전압(D2)이 순차적으로 인가된다.

[0088] 제1 스캔 라인(SL11)을 통하여 제1 스캔 신호(GI1)가 픽셀들(PX1~PX3)에 인가되고, 제2 스캔 라인(SL21)을 통하여 제2 스캔 신호(GW1)가 (PX1~PX3)에 인가된다. 제1 스캔 라인(SL12)을 통하여 제1 스캔 신호(GI2)가 픽셀들(PX4~PX6)에 인가되고, 제2 스캔 라인(SL22)을 통하여 제2 스캔 신호(GW2)가 (PX4~PX6)에 인가된다. 제1 스캔 라인(SL13)을 통하여 제1 스캔 신호(GI3)가 픽셀들(PX7~PX9)에 인가되고, 제2 스캔 라인(SL23)을 통하여 제2 스캔 신호(GW3)가 (PX7~PX9)에 인가된다.

[0089] 도 10은 도 1의 디스플레이 패널에 도 8의 H-스트라이프 패턴이 표시될 때, 도 5의 스캔 드라이버의 동작을 나타낸다.

[0090] 도 5 내지 도 10을 참조하면, 도 8의 H-스트라이프 패턴이 표시될 때, 도 3의 데이터 정렬부(133)는 두 개의 스캔 라인들을 각각 구비하는 스캔 블록 단위의 데이터의 천이가 최소가 되도록 제1 내지 제3 데이터 전압들

(D1~D3)이 재배열하고, 이에 따라 도 3의 신호 생성기(134)는 제1 초기화 신호(INT1), 제2 초기화 신호(INT2), 출력 인에이블 신호들(OE1~OE4)의 활성화 타이밍을 조절하여 스캔 드라이버(200a)에 인가한다.

- [0091] 제1 초기화 신호(INT1)는 시간들(t31~t33) 사이, 시간들(t35~t37) 사이 및 시간들(t39~t41) 사이에서 로우 레벨로 활성화되고, 제2 초기화 신호(INT2)는 시간들(t33~t35) 사이 및 시간들(t37~t39) 사이에서 로우 레벨로 활성화된다. 블록 초기화 신호(BI1)에 해당하는 제1 스캔 신호들(GI1, GI2)은 시간들(t31~t33) 사이에서 활성화되고, 출력 인에이블 신호(OE1)와 출력 인에이블 신호(OE1)에 응답하는 제2 스캔 신호(GW1)는 시간들(t33~t34) 사이에서 로우 레벨로 활성화된다. 제2 스캔 신호(GW1)에 응답하여 데이터 전압들(D1, D2, D3)이 픽셀들(PX1~PX3)에서 표시된다. 또한 출력 인에이블 신호(OE2)와 출력 인에이블 신호(OE2)에 응답하는 제2 스캔 신호(GW2)는 시간들(t34~t35) 사이에서 로우 레벨로 활성화된다. 제2 스캔 신호(GW2)에 응답하여 데이터 전압들(D1, D2, D3)이 픽셀들(PX4~PX6)에서 표시된다. 즉 참조 번호(411)에서와 같이 데이터 전압들(D1, D2, D3)이 픽셀들(PX1~PX3)과 픽셀들(PX4~PX6)에서 순차적으로 표시된다.
- [0092] 블록 초기화 신호(BI2)에 해당하는 제1 스캔 신호들(GI3, GI4)은 시간들(t33~t35) 사이에서 활성화되고, 출력 인에이블 신호(OE4)와 출력 인에이블 신호(OE4)에 응답하는 제2 스캔 신호(GW4)는 시간들(t35~t36) 사이에서 로우 레벨로 활성화된다. 제2 스캔 신호(GW4)에 응답하여 데이터 전압들(D1, D2, D3)이 픽셀들(PX7~PX9)에서 표시된다. 또한 출력 인에이블 신호(OE3)와 출력 인에이블 신호(OE3)에 응답하는 제2 스캔 신호(GW3)는 시간들(t36~t37) 사이에서 로우 레벨로 활성화된다. 제2 스캔 신호(GW3)에 응답하여 데이터 전압들(D1, D2, D3)이 스캔 라인(SL4)에 연결되는 픽셀들에서 표시된다. 즉, 참조 번호(411)에서와 같이 데이터 전압들(D1, D2, D3)이 픽셀들(PX7~PX9)과 스캔 라인(SL4)에 연결되는 픽셀들에서 순차적이 아닌 서플되어 표시된다.
- [0093] 유사하게, 참조 번호(415)에서와 같이 스캔 라인들(SL5, SL6)에 제공되는 제1 스캔 신호들(GI5, GI6)은 시간들(t35~t37) 사이에서 순차적으로 활성화되고, 데이터 전압들(D1, D2, D3)은 시간들(t37~t39) 사이에서 스캔 라인들(SL5, SL6)에 연결되는 픽셀들에서 순차적으로 표시된다. 또한 참조 번호(417)에서와 같이 스캔 라인들(SL7, SL8)에 제공되는 제1 스캔 신호들(GI8, GI7)은 시간들(t37~t39) 사이에서 순차적으로 활성화되고, 데이터 전압들(D1, D2, D3)은 시간들(t39~t41) 사이에서 스캔 라인들(SL5, SL6)에서 순차적이 아닌 서플되어 표시된다.
- [0094] 도 10에서 알 수 있듯이, 제1 스테이지(210a)의 제2 스캔 신호들(GW1, GW2)과 제1 스테이지(250a)의 제1 스캔 신호(GI3, GI4)는 서로 독립적이다.
- [0095] 도 11은 본 발명의 실시예에 따른 도 4의 스캔 드라이버의 구성을 나타낸다.
- [0096] 도 11은 제1 그룹의 스캔 라인들(SL11~SL1n) 및 제2 그룹의 스캔 라인들(SL21~SL2n)이 각각 네 개의 제1 스캔 라인들과 네 개의 제2 스캔 라인들을 구비하는 복수의 스캔 블록들로 그룹핑되는 경우를 나타낸다.
- [0097] 도 1 및 도 10을 참조하면, 스캔 드라이버(200)는 제1 그룹의 스캔 라인들(SL11~SL1n) 및 제2 그룹의 스캔 라인들(SL21~SL2n)을 통하여 복수의 픽셀(111)들에 연결되며, 순차적으로 배치되는 복수의 스테이지들(210b, 250b, ...)을 포함할 수 있다. 복수의 스테이지들(210b, 250b, ...) 각각은 공통 드라이버(220, 260) 각각과 서브-드라이버부들(230b, 270b) 각각을 포함할 수 있다. 서브-드라이버부(230b)는 네 개의 서브-드라이버들(241, 243, 245, 247)을 포함할 수 있고, 서브-드라이버부(270b)는 네 개의 서브-드라이버들(281, 283, 285, 287)을 포함할 수 있다.
- [0098] 제1 스테이지(210b)의 공통 드라이버(220)는 제1 초기화 신호(INT1), 제2 초기화 신호(INT2) 및 개시 신호(FLM)에 응답하여 제1 스캔 블록의 제1 스캔 라인들에 공통으로 블록 초기화 신호(BI1)를 제1 스캔 신호들(GI1, GI2, GI3, GI4)로서 제공할 수 있다. 제1 스테이지(210b)의 서브-드라이버부(230b)는 복수의 출력 인에이블 신호들(OE1~OE8), 블록 초기화 신호(BI1) 및 제1 초기화 신호(INT1) 및 제2 초기화 신호(INT2) 중 하나에 응답하여 제1 스캔 블록의 제2 스캔 라인들 각각에 제2 스캔 신호들(GW1, GW2, GW3, GW4) 각각을 개별적으로 제공할 수 있다.
- [0099] 서브-드라이버들(241, 243, 245, 247) 각각은 출력 인에이블 신호들(OE1~OE4) 중 하나, 블록 초기화 신호(BI1) 및 제1 초기화 신호(INT1)에 응답하여 제1 스캔 블록의 제2 스캔 라인들 각각에 제2 스캔 신호들(GW1~GW4) 각각을 제공할 수 있다.
- [0100] 제2 스테이지(250b)의 공통 드라이버(260)는 제1 초기화 신호(INT1), 제2 초기화 신호(INT2) 및 블록 초기화 신호(BI1)에 응답하여 제2 스캔 블록의 제1 스캔 라인들에 공통으로 블록 초기화 신호(BI2)를 제1 스캔 신호들(GI5~GI8)로서 제공할 수 있다. 제2 스테이지(250b)의 서브-드라이버부(270b)는 복수의 출력 인에이블 신호들

(OE1~OE8), 블록 초기화 신호(BI2) 및 제1 초기화 신호(INT1) 및 제2 초기화 신호(INT2) 중 하나에 응답하여 제2 스캔 블록의 제2 스캔 라인들 각각에 제2 스캔 신호들(GW5~GW8) 각각을 개별적으로 제공할 수 있다.

- [0101] 서브-드라이버들(281, 283, 285, 287) 각각은 출력 인에이블 신호들(OE5~OE8) 중 하나, 블록 초기화 신호(BI2) 및 제1 초기화 신호(INT1)에 응답하여 제2 스캔 블록의 제2 스캔 라인들 각각에 제2 스캔 신호들(GW5~GW8) 각각을 제공할 수 있다.
- [0102] 도 11에서 공통 드라이버(260), 서브-드라이버들(241, 243, 245, 247, 281, 283, 285, 287) 각각은 도 6의 공통 드라이버(220)와 실질적으로 동일한 구조를 가질 수 있다. 또한, 공통 드라이버(220) 및 서브 드라이버들(241, 243, 245, 247)은 동일한 형태의 쉬프트-레지스터로 구성될 수 있다.
- [0103] 도 12는 도 1의 디스플레이 패널에 도 8의 H-스트라이프 패턴이 표시될 때, 도 11의 스캔 드라이버의 동작을 나타낸다.
- [0104] 도 8, 도 9, 도 11 및 도 12를 참조하면, 도 3의 데이터 정렬부(133)는 네 개의 스캔 라인들을 각각 구비하는 스캔 블록 단위의 데이터의 천이가 최소가 되도록 제1 내지 제3 데이터 전압들(D1~D3)이 재배열하고, 이에 따라 도 3의 신호 생성기(134)는 제1 초기화 신호(INT1), 제2 초기화 신호(INT2), 출력 인에이블 신호들(OE1~OE8)의 활성화 타이밍을 조절하여 스캔 드라이버(200b)에 인가한다.
- [0105] 제1 초기화 신호(INT1)는 시간들(t51~t53) 사이 및 시간들(t59~t61) 사이에서 로우 레벨로 활성화되고, 제2 초기화 신호(INT2)는 시간들(t55~t57) 사이에서 로우 레벨로 활성화된다. 블록 초기화 신호(BI1)에 해당하는 제1 스캔 신호들(GI1~GI4)은 시간들(t51~t53) 사이에서 활성화되고, 시간들(t53~t57) 사이에서 출력 인에이블 신호들(OE1~OE4)과 출력 인에이블 신호들(OE1~OE4) 각각에 응답하는 제2 스캔 신호들(GW1~GW4)은 참조 번호(421)에 서와 같이 순차적이 아닌 서플되어 로우 레벨로 활성화된다. 제2 스캔 신호들(GW1~GW4)에 응답하여 데이터 전압들(D1, D2, D3)이 스캔 라인들(SL1~SL4)에 연결되는 픽셀들에서 표시된다.
- [0106] 블록 초기화 신호(BI2)에 해당하는 제1 스캔 신호들(GI5~GI8)은 시간들(t55~t57) 사이에서 활성화되고, 시간들(t57~t61) 사이에서 출력 인에이블 신호들(OE5~OE8)과 출력 인에이블 신호들(OE5~OE8) 각각에 응답하는 제2 스캔 신호들(GW5~GW8)은 참조 번호(423)에 서와 같이 순차적이 아닌 서플되어 로우 레벨로 활성화된다. 제2 스캔 신호들(GW1~GW4)에 응답하여 데이터 전압들(D1, D2, D3)이 스캔 라인들(SL5~SL7)에 연결되는 픽셀들에서 표시된다.
- [0107] 도 12에서 알 수 있듯이, 제1 스테이지(210b)의 제2 스캔 신호들(GW1~GW4)과 제2 스테이지(250b)의 제1 스캔 신호(GI5~GI8)는 서로 독립적이다.
- [0108] 도 13은 본 발명의 실시예들에 따른 도 1의 유기 발광 디스플레이 장치에서 발광 드라이버의 구성을 나타내는 블록도이다.
- [0109] 도 13을 참조하면, 발광 드라이버(170)는 서로 종속적으로 연결되어 발광 제어 신호들을 순차적으로 출력하는 복수의 스테이지들(STAGE1~STAGEN)을 포함한다.
- [0110] 스테이지들(STAGE1~STAGEN)은 각각 대응하는 발광 제어 라인들(EL1~ELN)에 연결되어 발광 제어 신호들을 순차적으로 출력한다. 발광 제어 신호들은 소정의 구간 동안 서로 오버랩되어 출력된다.
- [0111] 스테이지들(STAGE1~STAGEN)은 각각 제1 전원 전압(VGL) 및 제1 전압(VGL)보다 높은 레벨을 갖는 제2 전원 전압(VGH)을 제공받는다. 또한, 스테이지들(STAGE1~STAGEN)은 각각 제1 클럭 신호(CLK1) 및 제2 클럭 신호(CLK2)를 제공받는다.
- [0112] 이하, 발광 제어 라인들(EL1~ELN)을 통해 출력되는 발광 제어 신호들은 제1 내지 제n 발광 제어 신호들로 정의한다.
- [0113] 스테이지들(STAGE1~STAGEN) 중 제1 스테이지(STAGE1)는 개시 신호(FLM)를 제공받아 구동된다. 구체적으로 제1 스테이지(STAGE1)는 제1 전압(VGL) 및 제2 전압(VGH)을 제공받고, 개시 신호(FLM), 제1 클럭 신호(CLK1) 및 제2 클럭 신호(CLK2)에 응답하여 제1 발광 제어 신호(EC1)를 생성한다. 제1 발광 제어 신호(EC1)는 제1 발광 제어 라인(EL1)을 통해 대응하는 픽셀 행의 픽셀들에 제공된다.
- [0114] 제1 스테이지(STAGE1)를 제외한 스테이지들(STAGE2~STAGEN)은 각각 서로 종속적으로 연결되어 순차적으로 구동된다. 구체적으로, 현재단의 스테이지는 이전단 스테이지의 출력단에 연결되고, 이전단 스테이지에서 출력되는 발광 제어 신호를 제공받는다. 현재단 스테이지는 이전단 스테이지로부터 제공받은 발광 제어 신호에 응답하여

구동된다.

- [0115] 예를 들어, 제2 스테이지(STAGE2)는 이전단 스테이지인 제1 스테이지(STAGE1)로부터 출력되는 제1 발광 제어 신호(EC1)를 제공받는다. 제2 스테이지(STAGE2)는 제1 발광 제어 신호(EC1)에 응답하여 구동된다. 구체적으로, 제2 스테이지(STAGE2)는 제1 전압(VGL) 및 제2 전압(VGH)을 제공받고, 제1 발광 제어 신호(EC1), 제1 클럭 신호(CLK1) 및 제2 클럭 신호(CLK2)에 응답하여 제2 발광 제어 신호(EC2)를 생성한다. 제2 발광 제어 신호(EC2)는 제2 발광 제어 라인(EL2)을 통해 대응하는 픽셀 행에 배열된 픽셀들에 제공된다. 기타 스테이지들(STAGE3~STAGEn) 역시 동일하게 동작하므로, 이하, 기타 스테이지들(STAGE3~STAGEn)의 동작 설명은 생략된다.
- [0116] 도 14는 도 13에 도시된 스테이지의 구성을 상세히 나타내는 회로도이다.
- [0117] 도 14에는 제1 스테이지(STAGE1) 및 제2 스테이지(STAGE2)의 회로도가 도시되었으나, 실질적으로 스테이지들(STAGE3~STAGEn)은 동일한 구성을 갖고 동일하게 동작한다. 따라서, 이하 제1 스테이지(STAGE1)의 구성과 동작이 상세히 설명되고, 제2 스테이지(STAGE2) 및 기타 스테이지들(STAGE3~STAGEn)의 구성과 동작은 간략히 설명될 것이다.
- [0118] 도 14를 참조하면, 스테이지들(STAGE1~STAGEn)은 각각 제1 신호 처리부(171), 제2 신호 처리부(172), 및 제3 신호 처리부(173)를 포함한다.
- [0119] 스테이지들(STAGE1~STAGEn) 각각의 제1 신호 처리부(171)에 제공되는 제어 신호는 제1 서브 제어 신호 및 제2 서브 제어 신호로 정의될 수 있다. 구체적으로, 각각의 스테이지(STAGE1~STAGEn)의 제1 신호 처리부(171)는 이전단 스테이지로부터 출력되는 발광 제어 신호를 제1 서브 제어 신호로서 제공받을 수 있다. 제1 스테이지(STAGE1)의 제1 신호 처리부(171)는 제1 서브 제어 신호로서 개시 신호(FLM)를 제공받을 수 있다. 또한, 홀수 번째 스테이지들(STAGE1, STAGE3, ..., STAGEn-1) 각각의 제1 신호 처리부(171)는 제2 서브 제어 신호로서 제1 클럭 신호(CLK1)를 제공받을 수 있다. 짝수 번째 스테이지들(STAGE2, STAGE4, ..., STAGEn) 각각의 제1 신호 처리부(171)는 제2 서브 제어 신호로서 제2 클럭 신호(CLK2)를 제공받을 수 있다. 따라서 제1 신호 처리부(171)는 제1 전압(VGL)을 제공받고, 제1 서브 제어 신호, 및 제2 서브 제어 신호에 응답하여 제1 신호(CS1) 및 제2 신호(CS2)를 생성할 수 있다. 제1 신호(CS1) 및 제2 신호(CS2)는 제2 신호 처리부(172)에 제공된다.
- [0120] 제1 스테이지(STAGE1)를 예로 들어 설명하면, 제1 스테이지(STAGE1)의 제1 신호 처리부(171)는 제1 전압(VGL)을 제공받고, 개시 신호(FLM) 및 제1 클럭 신호(CLK1)에 응답하여 제1 신호(CS1) 및 제2 신호(CS2)를 생성한다. 제1 신호 처리부(171)는 제1 신호(CS1) 및 제2 신호(CS2)를 제2 신호 처리부(172)에 제공한다. 제1 신호 처리부(171)는 제1 내지 제3 트랜지스터들(M1~M3)을 포함한다. 제1 내지 제3 트랜지스터들(M1~M3)은 피모스 트랜지스터로 구성될 수 있다.
- [0121] 제1 트랜지스터(M1)의 소스는 개시 신호(FLM)를 제공받고, 게이트는 제1 클럭 신호(CLK1)를 제공받고, 드레인은 제2 트랜지스터(M2)의 게이트에 연결된다. 제2 트랜지스터(M2)의 게이트는 제1 트랜지스터(M1)의 드레인에 연결되고, 소스는 제3 트랜지스터(M3)의 소스에 연결되고, 드레인은 제1 클럭 신호(CLK1)를 제공받는다. 제3 트랜지스터(M3)의 게이트는 제1 클럭 신호(CLK1)를 제공받고, 제2 트랜지스터(M2)의 드레인에 연결된다. 제3 트랜지스터(M3)의 소스는 제2 트랜지스터(M2)의 소스에 연결되고, 드레인은 제1 전압(VGL)을 제공받는다.
- [0122] 제1 신호(CS1)는 서로 연결된 제2 및 제3 트랜지스터들(M2, M3)의 소스들을 통해 출력된다. 제2 신호(CS2)는 제1 트랜지스터(M1)의 드레인을 통해 출력된다.
- [0123] 스테이지들(STAGE1~STAGEn) 각각의 제2 신호 처리부(172)에 제공되는 제어 신호는 제3 서브 제어 신호로 정의될 수 있다. 구체적으로 홀수 번째 스테이지들(STAGE1, STAGE3, ..., STAGEn-1) 각각의 제2 신호 처리부(172)는 제3 서브 제어 신호로서 제2 클럭 신호(CLK2)를 제공받을 수 있다. 짝수 번째 스테이지들(STAGE2, STAGE4, ..., STAGEn) 각각의 제2 신호 처리부(172)는 제3 서브 제어 신호로서 제1 클럭 신호(CLK1)를 제공받을 수 있다. 제2 신호 처리부(172)는 제2 전압(VGH)을 제공받고, 제2 서브 제어 신호, 제1 신호(CS1), 및 제2 신호(CS2)에 응답하여 제3 신호(CS3) 및 제4 신호(CS4)를 생성할 수 있다. 제3 신호(CS3) 및 제4 신호(CS4)는 제2 신호 처리부(172)에 제공된다.
- [0124] 제1 스테이지(STAGE1)를 예로 들어 설명하면, 제1 스테이지(STAGE1)의 제2 신호 처리부(172)는 제2 전압(VGH)을 제공받고, 제2 클럭 신호(CLK2)와 제1 신호 처리부(171)로부터 제공받은 제1 신호(CS1) 및 제2 신호(CS2)에 응답하여 제3 신호(CS3) 및 제4 신호(CS4)를 생성한다. 제2 신호 처리부(172)는 제3 신호(CS3) 및 제4 신호(CS4)를 제3 신호 처리부(153)에 제공한다. 제2 신호 처리부(172)는 제4 내지 제7 트랜지스터들(M4~M7)과 제1 및 제

2 커패시터들(C1,C2)을 포함한다. 제4 내지 제7 트랜지스터들(M4~M7)은 피모스 트랜지스터로 구성될 수 있다.

- [0125] 제4 트랜지스터(M4)의 게이트는 제2 클럭 신호(CLK2)를 제공받고, 드레인 단자는 제1 노드(N1) 및 제2 트랜지스터(M2)의 게이트에 연결되고, 소스 단자는 제5 트랜지스터(M5)의 드레인에 연결된다. 제1 커패시터(C1)의 제1 전극은 제2 클럭 신호(CLK2)를 제공받고, 제2 전극은 제4 트랜지스터(M4)의 드레인 및 제1 노드(N1)에 연결된다. 제5 트랜지스터(M5)의 게이트는 제3 트랜지스터(M3)의 소스 및 제2 노드(N2)에 연결되고, 소스는 제2 전압(VGH)을 제공받고, 드레인은 제4 트랜지스터(M4)의 소스에 연결된다. 제6 트랜지스터(M6)의 게이트는 제2 노드(N2)에 연결되고, 소스는 제7 트랜지스터(M7)의 드레인에 연결되고, 드레인은 제2 클럭 신호(CLK2)를 제공받는다. 제2 커패시터(C2)의 제1 전극은 제6 트랜지스터(M6)의 게이트에 연결되고, 제2 전극은 제6 트랜지스터(M6)의 소스에 연결된다. 제7 트랜지스터(M7)의 게이트는 제2 클럭 신호(CLK2)를 제공받고, 소스는 제3 노드(N3)에 연결되고, 드레인은 제6 트랜지스터(M6)의 소스에 연결된다.
- [0126] 제3 신호(CS3)는 제3 노드(N3)에 제공된다. 제4 신호(CS4)는 제1 노드(N1)에 제공된다. 제1 스테이지(STAGE1)의 제3 신호 처리부(173)는 제1 전압(VGL) 및 제2 전압(VGH)을 제공받고, 제2 신호 처리부(172)로부터 제공받은 제3 신호(CS3) 및 제4 신호(CS4)에 응답하여 제1 발광 제어 신호(EC1)를 생성한다. 제1 발광 제어 신호(EC1)는 제1 발광 제어라인(EL1)을 통해 픽셀들에 제공된다. 제1 발광 제어 신호(EC1)는 제2 스테이지(STAGE2)의 제1 신호 처리부(171)에 제공된다.
- [0127] 제3 신호 처리부(173)는 제8 내지 제10 트랜지스터들(M8~M10) 및 제3 커패시터(C3)를 포함한다. 제8 내지 제10 트랜지스터들(M8~M10)은 피모스 트랜지스터들로 구성될 수 있다.
- [0128] 제8 트랜지스터(M8)의 게이트 단자는 제1 노드(N1)에 연결되고, 소스는 제2 전압(VGH)을 제공받고, 드레인은 제3 노드(N3)에 연결된다. 제3 커패시터(C3)의 제1 전극은 제2 전압(VGH)을 제공받고, 제2 전극은 제3 노드(N3)에 연결된다. 제9 트랜지스터(M9)의 게이트는 제3 노드(N3)에 연결되고, 소스는 제2 전압(VGH)을 제공받고, 드레인은 제1 발광 제어라인(EL1)에 연결된다. 제10 트랜지스터(M10)의 게이트는 제1 노드(N1)에 연결되고, 소스는 제1 발광 제어라인(EL1)에 연결되고, 드레인은 제1 전압(VGL)을 제공받는다. 제9 트랜지스터(M9)의 드레인 및 제10 트랜지스터(M10)의 소스는 제2 스테이지(STAGE2)의 제1 신호처리부(171)의 제1 트랜지스터(M1)의 소스 단자에 연결된다.
- [0129] 도 15는 본 발명의 실시예들에 따른 디스플레이 시스템을 나타내는 블록도이다.
- [0130] 도 15를 참조하면, 디스플레이 시스템(800)은 어플리케이션 프로세서(810) 및 유기 발광 디스플레이 장치(820)를 포함할 수 있다. 유기 발광 디스플레이 장치(820)는 구동 회로(830), 디스플레이 패널(840) 및 파워 서플라이(850)를 포함할 수 있다. 파워 서플라이(850)는 파워 서플라이(850)는 디스플레이 패널(840)에 구동 회로(830)에서 제공되는 전력 제어 신호(PCTL)에 응답하여 디스플레이 패널(840)에 전력(PWR)을 제공할 수 있다. 상기 전력(PWR)은 도 1에 도시된 바와 같이, 고전원 전압(ELVDD), 저전원 전압(ELVSS) 및 초기화 전압(VINT)를 포함할 수 있다. 또한 파워 서플라이(850)는 구동 회로(830)에 도 1에 도시된 바와 같이 제1 전압(VGH) 및 제2 전압(VGL)을 제공할 수 있다.
- [0131] 디스플레이 시스템(800)은 휴대용 장치로 구현될 수 있다. 상기 휴대용 장치는 랩탑 컴퓨터, 이동 전화기, 스마트폰, 태블릿(tablet) PC, PDA(personal digital assistant), PMP(portable multi-media player), MP3 플레이어, 또는 차량용 내비게이션 시스템(automotive navigation system) 등으로 구현될 수 있다.
- [0132] 어플리케이션 프로세서(810)는 이미지 신호(RGB), 제어 신호(CTL) 및 메인 클럭 신호(MCLK)를 유기 발광 디스플레이 장치(820)에 제공한다.
- [0133] 구동 회로(830), 디스플레이 패널(840) 및 파워 서플라이(850)는 도 1의 구동 회로(105), 디스플레이 패널(110) 및 파워 서플라이(180)와 실질적으로 동일하다. 따라서 구동 회로(830)는 데이터 드라이버와 스캔 드라이버를 포함할 수 있고, 스캔 드라이버는 제1 그룹의 스캔 라인들 및 제2 그룹의 스캔 라인들이 그룹핑되는 복수의 스캔 블록들 각각에 연결되는 픽셀들에 제공되는 데이터 전압의 천이 횟수가 최소가 되도록 상기 스캔 블록들 각각의 제1 스캔 라인들에 제1 스캔 신호를 제공하고, 상기 스캔 블록들 각각의 제2 스캔 라인들에 제2 스캔 신호들을 제공하여 디스플레이 시스템(800)에서 소모되는 전력을 감소시킬 수 있다.
- [0134] 도 16은 본 발명의 실시예들에 따른 유기발광 디스플레이 장치를 포함하는 전자 기기를 나타내는 블록도이다.
- [0135] 도 16을 참조하면, 전자 기기(1000)는 프로세서(1010), 메모리 장치(1020), 저장 장치(1030), 입출력 장치(1040), 파워 서플라이(1050) 및 유기발광 디스플레이 장치(1060)를 포함할 수 있다. 전자 기기(1000)는 비디

오 카드, 사운드 카드, 메모리 카드, USB 장치 등과 통신하거나, 또는 다른 시스템들과 통신할 수 있는 여러 포트(port)들을 더 포함할 수 있다.

[0136] 프로세서(1010)는 특정 계산들 또는 태스크(task)들을 수행할 수 있다. 실시예에 따라, 프로세서(1010)는 마이크로프로세서(microprocessor), 중앙 처리 장치(CPU) 등일 수 있다. 프로세서(1010)는 어드레스 버스(address bus), 제어 버스(control bus) 및 데이터 버스(data bus) 등을 통하여 다른 구성 요소들에 연결될 수 있다. 실시예에 따라서, 프로세서(1010)는 주변 구성요소 상호연결(Peripheral Component Interconnect; PCI) 버스와 같은 확장 버스에도 연결될 수 있다.

[0137] 메모리 장치(1020)는 전자 기기(1000)의 동작에 필요한 데이터들을 저장할 수 있다. 예를 들어, 메모리 장치(1020)는 EPROM(Erasable Programmable Read-Only Memory), EEPROM(Electrically Erasable Programmable Read-Only Memory), 플래시 메모리(Flash Memory), PRAM(Phase Change Random Access Memory), RRAM(Resistance Random Access Memory), NFGM(Nano Floating Gate Memory), PoRAM(Polymer Random Access Memory), MRAM(Magnetic Random Access Memory), FRAM(Ferroelectric Random Access Memory) 등과 같은 비휘발성 메모리 장치 및/또는 DRAM(Dynamic Random Access Memory), SRAM(Static Random Access Memory), 모바일 DRAM 등과 같은 휘발성 메모리 장치를 포함할 수 있다.

[0138] 저장 장치(1030)는 솔리드 스테이트 드라이브(Solid State Drive; SSD), 하드 디스크 드라이브(Hard Disk Drive; HDD), 씨디롬(CD-ROM) 등을 포함할 수 있다. 입출력 장치(1040)는 키보드, 키패드, 터치패드, 터치스크린, 마우스 등과 같은 입력 수단, 및 스피커, 프린터 등과 같은 출력 수단을 포함할 수 있다. 파워 서플라이(1050)는 전자 기기(1000)의 동작에 필요한 파워를 공급할 수 있다. 유기발광 디스플레이 장치(1060)는 상기 버스들 또는 다른 통신 링크를 통해서 다른 구성 요소들에 연결될 수 있다.

[0139] 유기발광 디스플레이 장치(1060)는 도 1의 유기발광 디스플레이 장치(100)일 수 있다. 따라서 유기발광 디스플레이 장치(1060)는 구동 회로 및 디스플레이 패널을 포함할 수 있고, 구동 회로는 데이터 드라이버와 스캔 드라이버를 포함할 수 있다. 스캔 드라이버는 제1 그룹의 스캔 라인들 및 제2 그룹의 스캔 라인들이 그룹핑되는 복수의 스캔 블록들 각각에 연결되는 픽셀들에 제공되는 데이터 전압의 천이 횟수가 최소가 되도록 상기 스캔 블록들 각각의 제1 스캔 라인들에 제1 스캔 신호를 제공하고, 상기 스캔 블록들 각각의 제2 스캔 라인들에 제2 스캔 신호들을 제공하여 전자 장치(1000)에서 소모되는 전력을 감소시킬 수 있다.

[0140] 실시예에 따라, 전자 기기(1000)는 노트북 컴퓨터(Laptop Computer), 태블릿 컴퓨터(Tablet Computer), 휴대폰(Mobile Phone), 스마트 폰(Smart Phone), 개인 정보 단말기(personal digital assistant; PDA), 휴대형 멀티미디어 플레이어(portable multimedia player; PMP), 디지털 카메라(Digital Camera), 음악 재생기(Music Player), 휴대용 게임 콘솔(portable game console), 네비게이션(Navigation) 등과 같은 유기 발광 표시 장치(1060)를 포함하는 휴대용 전자 기기일 수 있다.

산업상 이용가능성

[0141] 본 발명은 임의의 표시 장치 및 이를 포함하는 전자 기기에 적용될 수 있다. 예를 들어, 본 발명은 TV, 디지털 TV, 3D TV, PC, 가정용 전자기기, 노트북 컴퓨터, 태블릿 컴퓨터, 휴대폰, 스마트 폰, PDA, PM), 디지털 카메라, 음악 재생기, 휴대용 게임 콘솔, 내비게이션 등에 적용될 수 있다.

[0142] 이상에서는 본 발명의 실시예들을 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

부호의 설명

[0143]	100: 유기발광 디스플레이 장치	105: 구동 회로
	110: 디스플레이 패널	130: 타이밍 컨트롤러
	150: 데이터 드라이버	170: 발광 드라이버
	200: 스캔 드라이버	
	220, 260: 공통 드라이버	

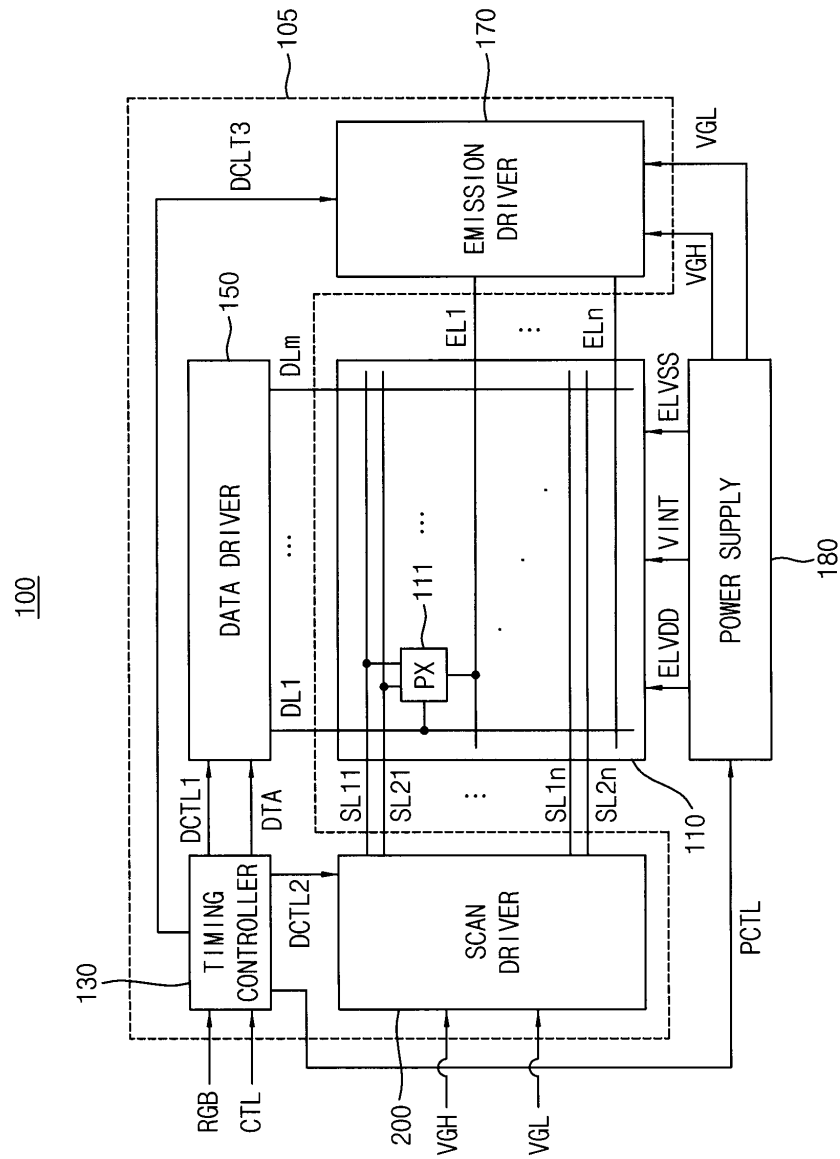
231, 233, 241, 243, 245, 247, 271, 273, 281, 283: 서브 드라이버

800: 디스플레이 시스템

1000: 전자 장치

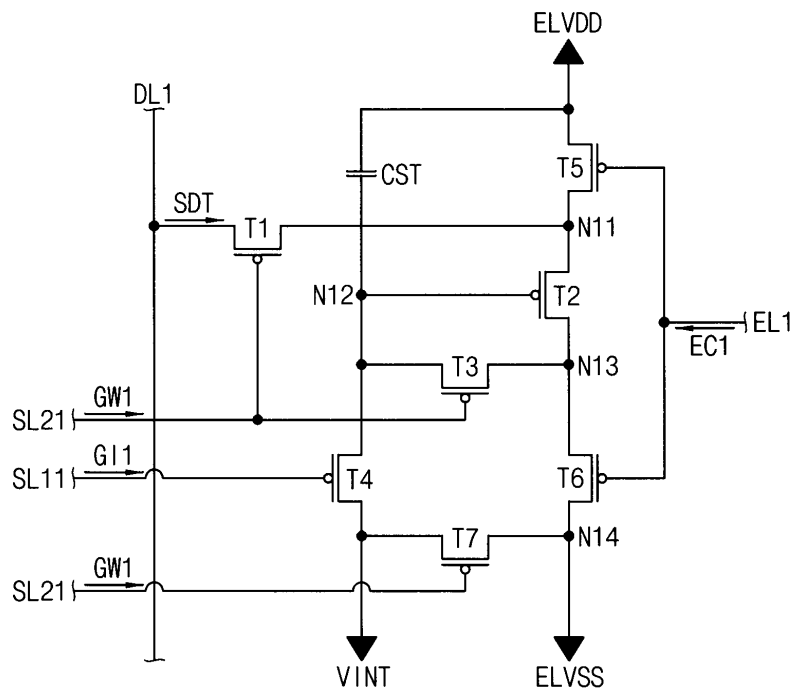
도면

도면1



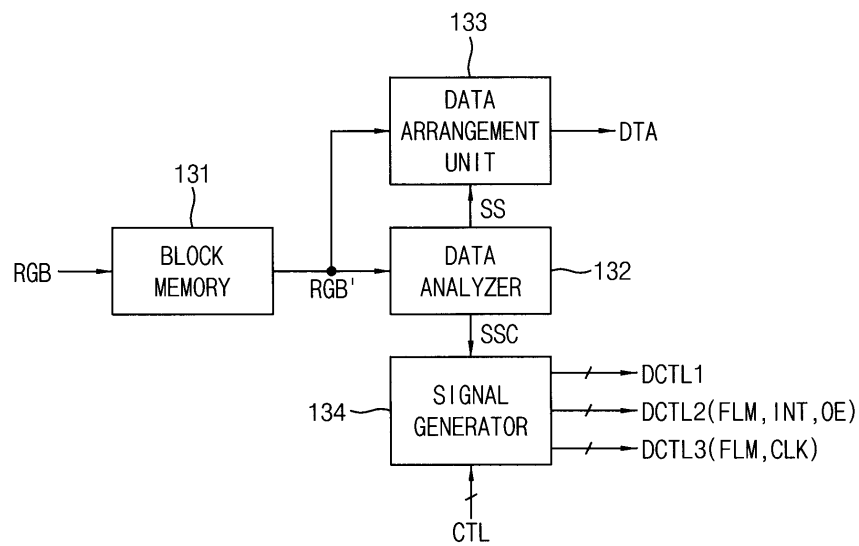
도면2

111

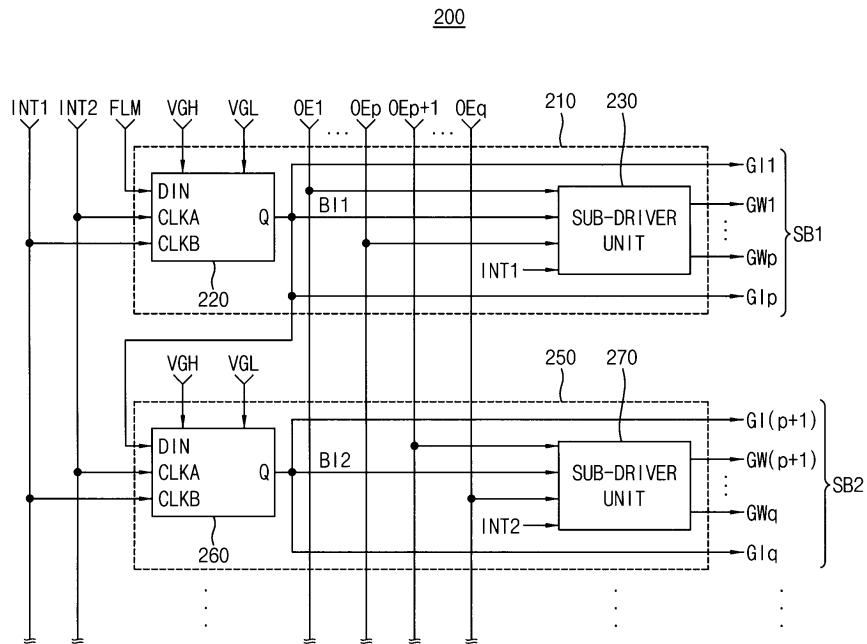


도면3

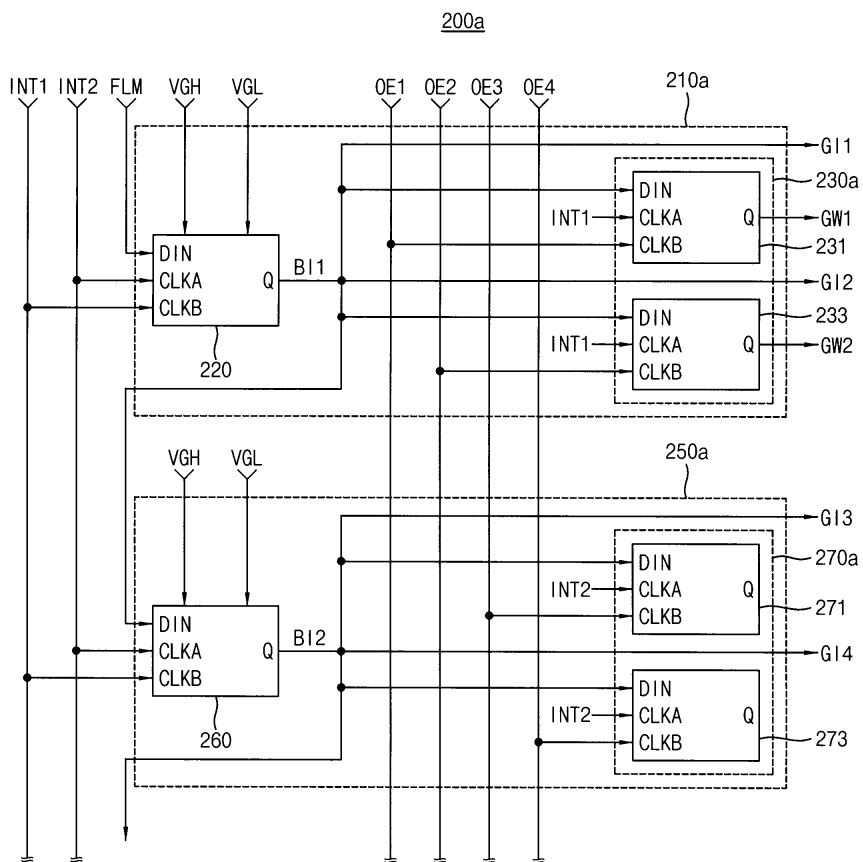
130



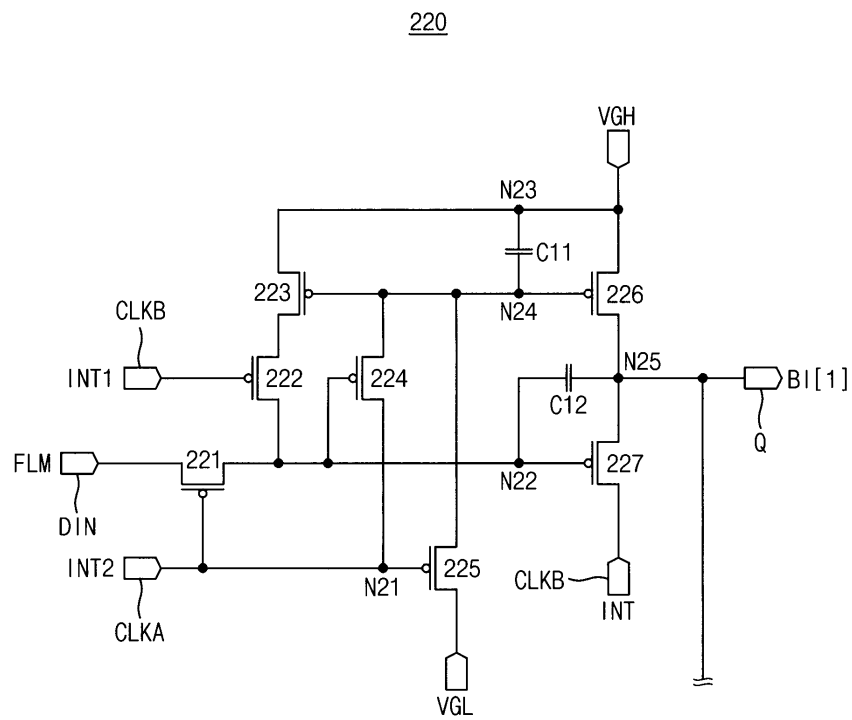
도면4



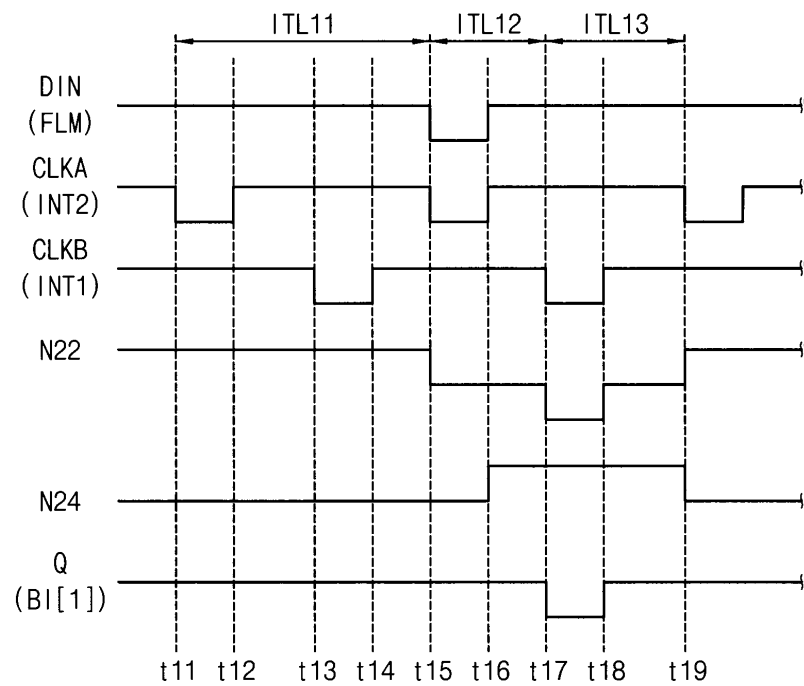
도면5



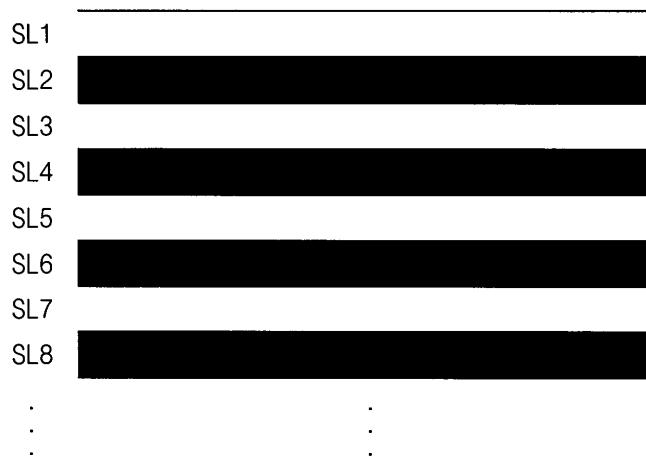
도면6



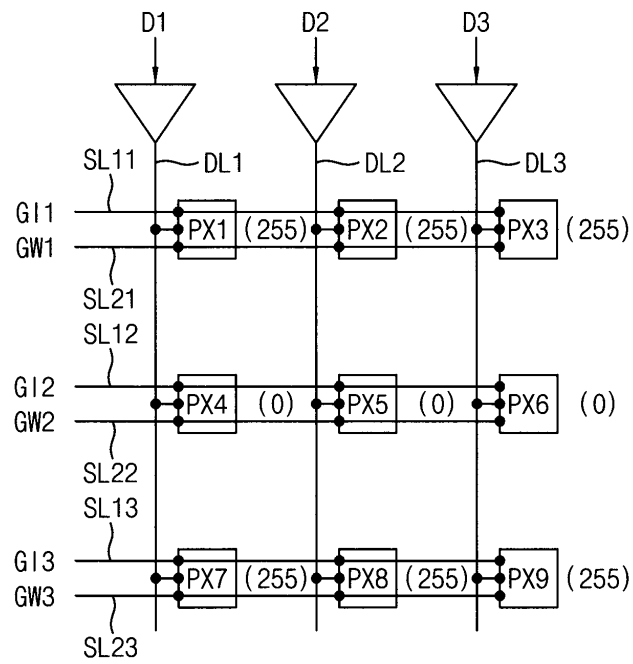
도면7



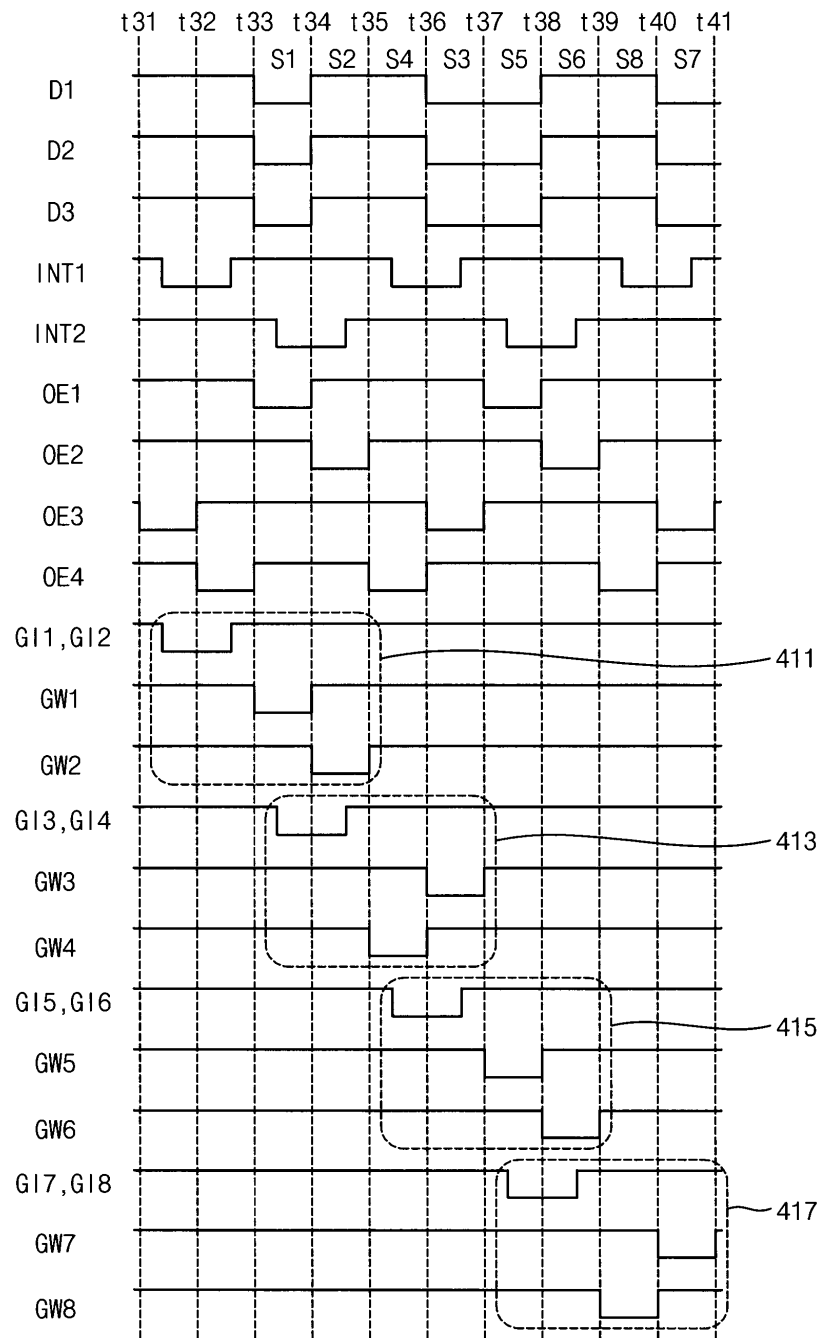
도면8



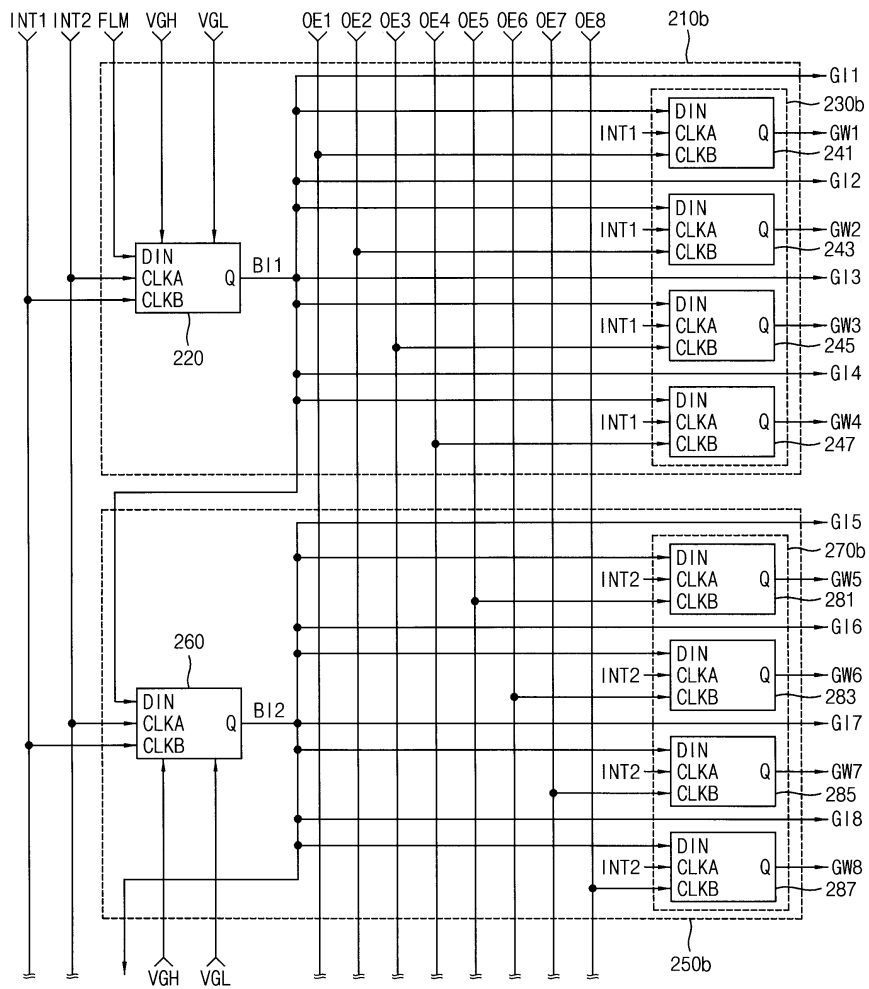
도면9



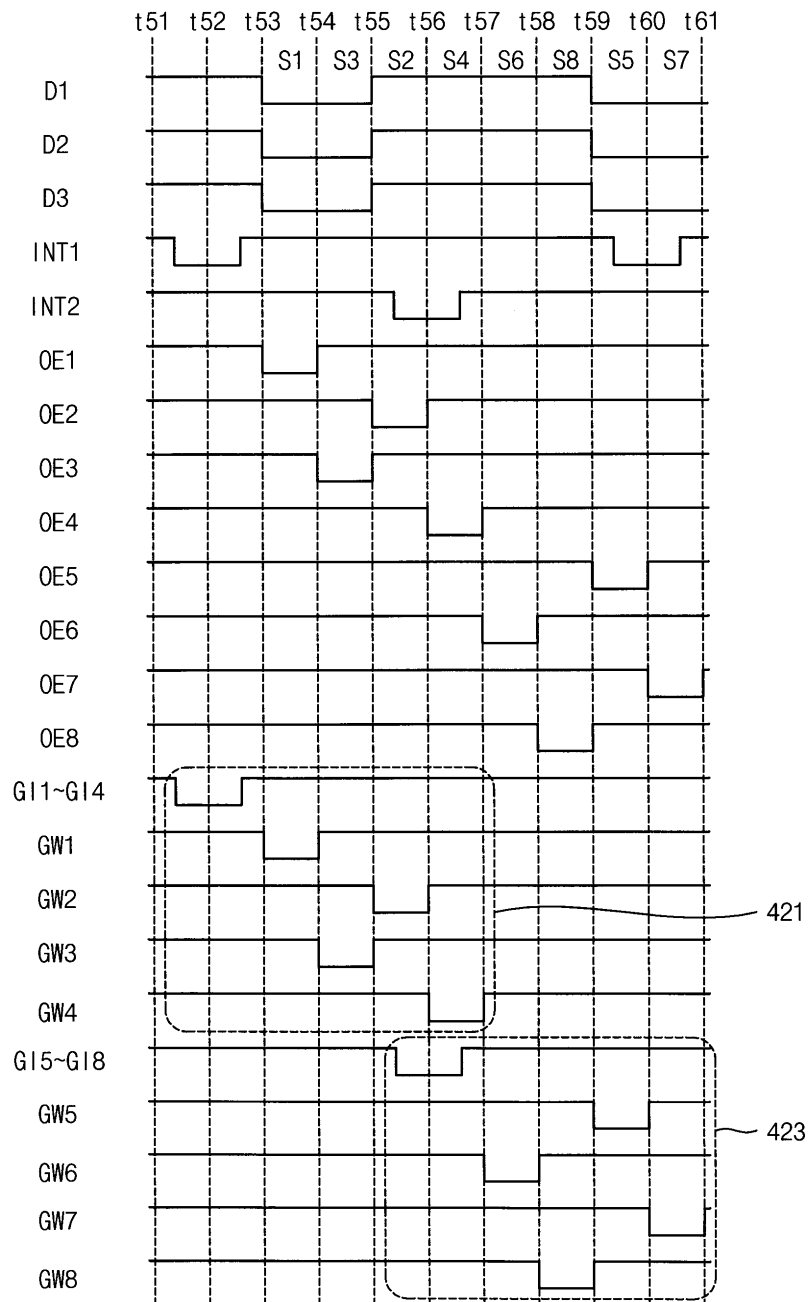
도면10



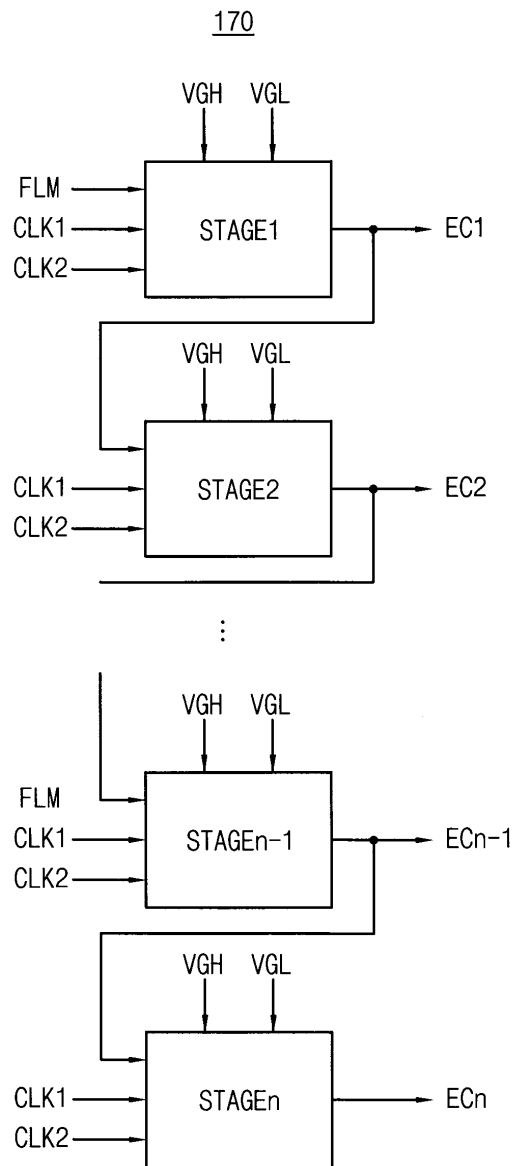
도면11



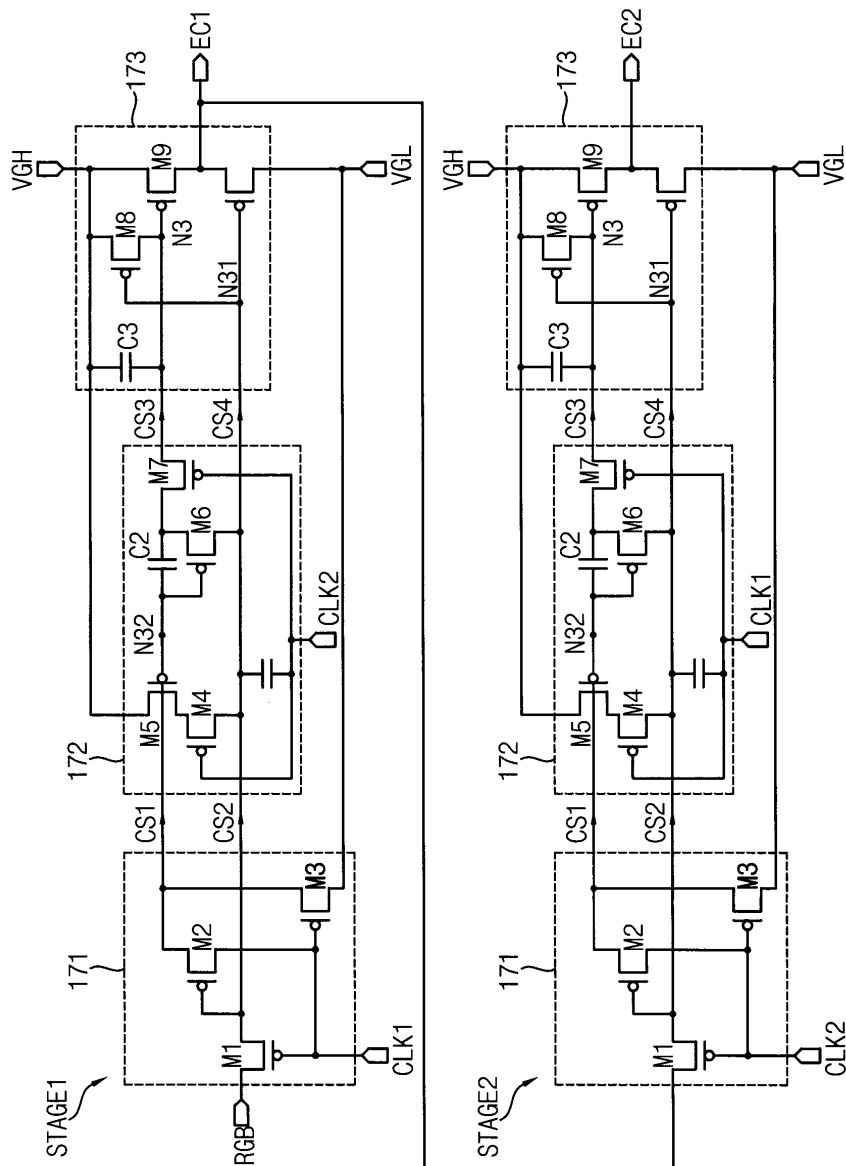
도면12



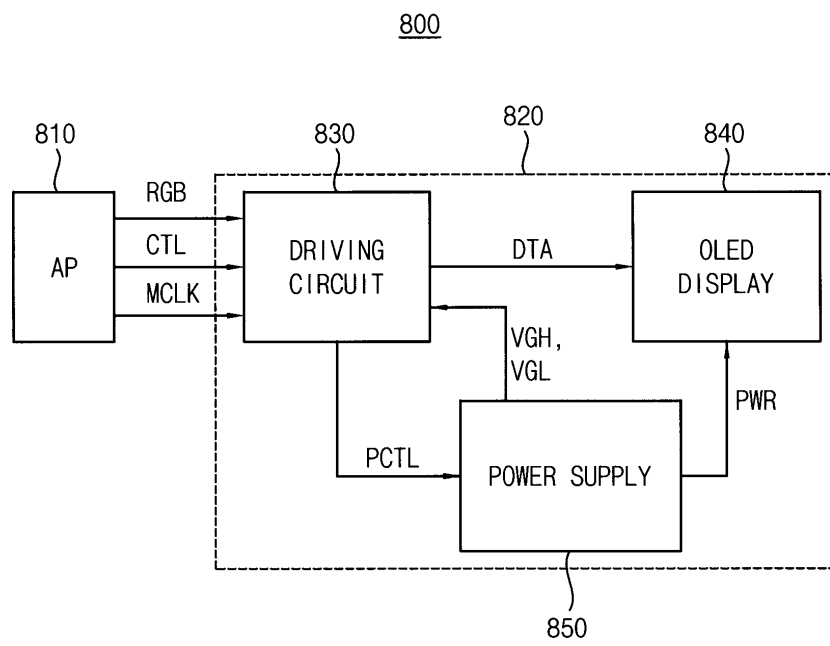
도면13



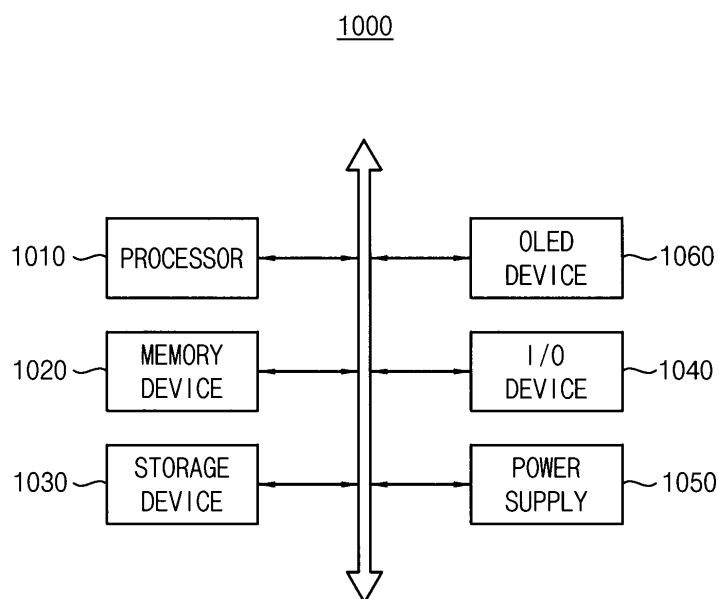
도면14



도면15



도면16



专利名称(译)	标题：OLED显示设备的扫描驱动器，OLED显示设备和数字		
公开(公告)号	KR1020160148104A	公开(公告)日	2016-12-26
申请号	KR1020150084128	申请日	2015-06-15
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	PARK SU HYEONG 박수형		
发明人	박수형		
IPC分类号	G09G3/32		
CPC分类号	G09G3/3266 G09G2330/021 G09G2300/0819 G09G2300/0842 G09G2300/0861 G09G2310/0262 G09G2310/0286 G09G2310/08		
代理人(译)	英西湖公园		
外部链接	Espacenet		

摘要(译)

多个有机发光显示装置的扫描驱动器包括多个级。多个级通过第一组扫描线和第二组扫描线连接到多个像素，并且顺序地布置。多个级中的每一个包括公共驱动器和子驱动器部分。公共驱动器响应于至少第一初始化信号和第二初始化信号，将块初始化信号作为第一扫描信号提供给多个扫描块中的每个扫描块的第一扫描线。子驱动器部分2到多个输出的使能信号，块起始信号和所述第一复位信号和所述多个扫描块中的第二初始化信号，每个响应第二扫描线的每一个中的一个扫描信号以最小化提供给连接到扫描块的像素的数据电压的转变次数。

