



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0104789
(43) 공개일자 2016년09월06일

(51) 국제특허분류(Int. Cl.)

H01L 27/32 (2006.01)

(52) CPC특허분류

H01L 27/3248 (2013.01)

H01L 27/3246 (2013.01)

(21) 출원번호 10-2015-0027265

(22) 출원일자 2015년02월26일

심사청구일자 없음

(71) 출원인

삼성디스플레이 주식회사

경기도 용인시 기흥구 삼성로 1 (농서동)

(72) 발명자

황영인

경기도 용인시 기흥구 삼성로 95 (농서동)

이해연

경기도 용인시 기흥구 삼성로 95 (농서동)

최인호

경기도 용인시 기흥구 삼성로 95 (농서동)

(74) 대리인

리엔목특허법인

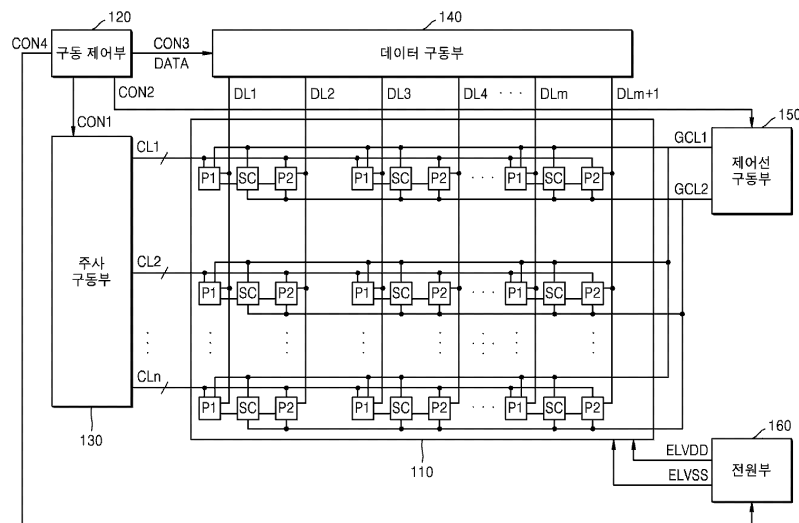
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 유기 발광 표시 장치

(57) 요약

본 발명의 실시예들은 유기 발광 표시 장치를 제공한다. 상기 유기 발광 표시 장치는 제1 화소 회로 및 상기 제1 화소 회로로부터 제공되는 구동 전류에 의해 발광하는 제1 발광 소자를 포함하는 제1 화소; 제2 화소 회로 및 상기 제2 화소 회로로부터 제공되는 구동 전류에 의해 발광하는 제2 발광 소자를 포함하는 제2 화소; 및 상기 제1 발광 소자의 애노드 전극과 상기 제2 발광 소자의 애노드 전극 사이에 접속되는 스위치 회로를 포함한다.

대표도



(52) CPC특허분류
H01L 2227/32 (2013.01)

명세서

청구범위

청구항 1

제1 화소 회로 및 상기 제1 화소 회로로부터 제공되는 구동 전류에 의해 발광하는 제1 발광 소자를 포함하는 제1 화소;

제2 화소 회로 및 상기 제2 화소 회로로부터 제공되는 구동 전류에 의해 발광하는 제2 발광 소자를 포함하는 제2 화소; 및

상기 제1 발광 소자의 애노드 전극과 상기 제2 발광 소자의 애노드 전극 사이에 접속되는 스위치 회로를 포함하는 유기 발광 표시 장치.

청구항 2

제1 항에 있어서,

상기 제1 화소 회로는 제1 제어 신호에 의해 제어되는 제1 트랜지스터를 포함하고,

상기 제2 화소 회로는 제2 제어 신호에 의해 제어되는 제2 트랜지스터를 포함하고,

상기 스위치 회로는 상기 제1 제어 신호와 상기 제2 제어 신호에 의해 제어되는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 3

제2 항에 있어서,

상기 스위치 회로는,

상기 제1 제어 신호에 응답하여 상기 제1 발광 소자의 애노드 전극과 상기 제2 발광 소자의 애노드 전극을 서로 연결하는 제1 접속 트랜지스터, 및

상기 제2 제어 신호에 의해 제어되고 상기 제1 접속 트랜지스터에 병렬로 연결되는 제2 접속 트랜지스터를 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 4

제3 항에 있어서,

상기 제1 및 제2 트랜지스터, 및 상기 제1 및 제2 접속 트랜지스터는 P형 MOS 트랜지스터인 것을 특징으로 하는 유기 발광 표시 장치.

청구항 5

제3 항에 있어서,

상기 제1 및 제2 트랜지스터, 및 상기 제1 및 제2 접속 트랜지스터는 N형 MOS 트랜지스터인 것을 특징으로 하는 유기 발광 표시 장치.

청구항 6

제3 항에 있어서,

상기 제1 화소에 상기 제1 제어 신호를 전달하는 제1 제어선;

상기 제2 화소에 상기 제2 제어 신호를 전달하는 제2 제어선;

상기 제1 화소와 상기 제2 화소에 주사 신호를 전달하는 주사선;

상기 주사 신호에 동기화하여, 상기 제1 화소에 제1 데이터 신호를 전달하는 제1 데이터선;

상기 주사 신호에 동기화하여, 상기 제2 화소에 제2 데이터 신호를 전달하는 제2 데이터선; 및

상기 제1 및 제2 화소 회로에 제1 전원 전압을 인가하고, 상기 제1 및 제2 발광 소자의 캐소드 전극에 제2 전원 전압을 인가하는 전원부를 더 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 7

제6 항에 있어서,

상기 제1 및 제2 화소 회로들 각각은,

상기 주사 신호에 응답하여 상기 제1 또는 제2 데이터 신호를 전달하는 스위칭 트랜지스터;

상기 제1 또는 제2 데이터 신호에 대응하는 전압을 저장하는 데이터 저장 커패시터; 및

상기 데이터 저장 커패시터에 저장된 전압에 기초하여 상기 구동 전류를 생성하는 구동 트랜지스터를 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 8

제7 항에 있어서,

상기 제1 및 제2 화소 회로들 각각은,

상기 구동 트랜지스터의 문턱 전압을 저장하는 문턱 전압 저장 커패시터; 및

상기 제1 또는 제2 제어 신호에 응답하여 상기 구동 트랜지스터를 다이오드 연결하는 상기 제1 또는 제2 트랜지스터를 더 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 9

제8 항에 있어서,

상기 구동 트랜지스터는 상기 제1 전원 전압이 인가되는 제1 전극과 상기 제1 또는 제2 발광 소자의 애노드 전극에 연결되는 제2 전극을 포함하고,

상기 스위칭 트랜지스터는 상기 주사 신호에 응답하여 상기 제1 또는 제2 데이터 신호를 제1 노드에 전달하고,

상기 데이터 저장 커패시터는 상기 제1 노드와 상기 구동 트랜지스터의 제1 전극 사이에 연결되고,

상기 문턱 전압 저장 커패시터는 상기 제1 노드와 상기 구동 트랜지스터의 게이트 사이에 연결되고,

상기 제1 또는 제2 트랜지스터는 상기 제1 또는 제2 제어 신호에 응답하여 상기 구동 트랜지스터의 게이트와 상기 구동 트랜지스터의 제2 전극을 연결하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 10

제8 항에 있어서,

상기 제1 제어 신호에 응답하여 턴 온되는 상기 제1 트랜지스터에 의해 상기 제1 화소 회로의 상기 구동 트랜지스터가 다이오드-연결될 때, 상기 제1 제어 신호에 응답하여 턴 온되는 상기 제1 접속 트랜지스터에 의해 상기 제1 발광 소자의 애노드 전극과 상기 제2 발광 소자의 애노드 전극은 서로 연결되며,

상기 제2 제어 신호에 응답하여 턴 온되는 상기 제2 트랜지스터에 의해 상기 제2 화소 회로의 상기 구동 트랜지스터가 다이오드-연결될 때, 상기 제2 제어 신호에 응답하여 턴 온되는 상기 제2 접속 트랜지스터에 의해 상기 제1 발광 소자의 애노드 전극과 상기 제2 발광 소자의 애노드 전극은 서로 연결되는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 11

제8 항에 있어서,

상기 제1 및 제2 제어선을 통해 상기 제1 및 제2 제어 신호를 출력하는 제어선 구동부;

상기 주사선을 통해 상기 주사 신호를 출력하는 주사 구동부;

상기 제1 및 제2 데이터선을 통해 상기 제1 및 제2 데이터 신호를 출력하는 데이터 구동부; 및

상기 제어선 구동부, 상기 주사 구동부, 상기 데이터 구동부, 및 상기 전원부를 제어하는 구동 제어부를 더 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 12

제11 항에 있어서,

상기 구동 제어부는,

상기 제1 및 제2 발광 소자의 애노드 전극의 전압을 캐소드 전극의 전압 이하로 하강시키는 제1 초기화 단계;

상기 제1 제어 신호를 출력하여, 상기 제1 발광 소자의 애노드 전극과 상기 제2 발광 소자의 애노드 전극이 서로 연결된 상태에서, 상기 제1 화소 회로의 구동 트랜지스터의 문턱 전압을 상기 제1 화소 회로의 문턱 전압 저장 커패시터에 저장하는 제1 문턱 전압 보상 단계;

상기 제1 및 제2 발광 소자의 애노드 전극의 전압을 캐소드 전극의 전압 이하로 하강시키는 제2 초기화 단계; 및

상기 제2 제어 신호를 출력하여, 상기 제1 발광 소자의 애노드 전극과 상기 제2 발광 소자의 애노드 전극이 서로 연결된 상태에서, 상기 제2 화소 회로의 구동 트랜지스터의 문턱 전압을 상기 제2 화소 회로의 문턱 전압 저장 커패시터에 저장하는 제2 문턱 전압 보상 단계를 포함하는 유기 발광 표시 장치의 구동 방법을 수행하도록 구성되는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 13

제12 항에 있어서,

상기 제1 초기화 단계, 상기 제1 문턱 전압 보상 단계, 상기 제2 초기화 단계, 및 상기 제2 문턱 전압 보상 단계는 한 프레임 내에서 순차적으로 수행되는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 14

제7 항에 있어서,

상기 제1 및 제2 화소 회로들 각각은,

상기 제1 또는 제2 제어 신호에 응답하여 상기 구동 트랜지스터에 상기 제1 전원 전압을 전달하는 상기 제1 또는 제2 트랜지스터를 더 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 15

제14 항에 있어서,

상기 제1 또는 제2 트랜지스터는 상기 제1 또는 제2 제어 신호에 응답하여 상기 제1 전원 전압을 제1 노드에 전달하고,

상기 구동 트랜지스터는 상기 제1 노드와 상기 제1 또는 제2 발광 소자의 애노드 전극 사이에 연결되고, 게이트의 전압 레벨에 따라 상기 구동 전류를 상기 발광 소자에 출력하며,

상기 스위칭 트랜지스터는 상기 주사 신호에 응답하여 상기 구동 트랜지스터의 게이트에 전달하고,

상기 데이터 저장 커패시터는 상기 구동 트랜지스터의 게이트와 상기 제1 또는 제2 발광 소자의 애노드 전극 사이에 연결되는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 16

제1 항에 있어서,

제3 화소 회로 및 상기 제3 화소 회로로부터 제공되는 구동 전류에 의해 발광하는 제3 발광 소자를 포함하는 제

3 화소를 더 포함하고,

상기 스위치 회로는 상기 제1 내지 제3 발광 소자의 애노드 전극들 사이에 접속되는 것을 특징으로 하는 유기 발광 표시 장치.

청구항 17

제1 발광 소자와 상기 제1 발광 소자에 구동 전류를 출력하는 제1 구동 트랜지스터를 포함하는 제1 화소, 및 제2 발광 소자와 상기 제2 발광 소자에 구동 전류를 출력하는 제2 구동 트랜지스터를 포함하는 제2 화소를 포함하는 유기 발광 표시 장치의 구동 방법으로서,

상기 제1 및 제2 발광 소자의 애노드 전극의 전압을 캐소드 전극의 전압 이하로 하강시키는 제1 초기화 단계;

상기 제1 발광 소자의 애노드 전극과 상기 제2 발광 소자의 애노드 전극이 서로 연결된 상태에서, 상기 제1 구동 트랜지스터의 문턱 전압을 저장하는 제1 문턱 전압 보상 단계;

상기 제1 및 제2 발광 소자의 애노드 전극의 전압을 캐소드 전극의 전압 이하로 하강시키는 제2 초기화 단계; 및

상기 제1 발광 소자의 애노드 전극과 상기 제2 발광 소자의 애노드 전극이 서로 연결된 상태에서, 상기 제2 구동 트랜지스터의 문턱 전압을 저장하는 제2 문턱 전압 보상 단계를 포함하는 유기 발광 표시 장치의 구동 방법.

청구항 18

제17 항에 있어서,

상기 제1 초기화 단계, 상기 제1 문턱 전압 보상 단계, 상기 제2 초기화 단계, 및 상기 제2 문턱 전압 보상 단계는 한 프레임 내에서 순차적으로 수행되는 것을 특징으로 하는 유기 발광 표시 장치의 구동 방법.

청구항 19

제17 항에 있어서,

상기 제1 초기화 단계 전에, 상기 제1 및 제2 구동 트랜지스터를 턴 온시키는 발광 오프 단계;

상기 제2 문턱 전압 보상 단계 후에, 상기 제1 및 제2 화소에 제1 및 제2 데이터 신호를 각각 인가하는 주사 단계; 및

상기 주사 단계 후에, 제1 및 제2 발광 소자를 상기 제1 및 제2 데이터 신호에 대응하는 휘도로 각각 동시에 발광시키는 발광 단계를 더 포함하는 것을 특징으로 하는 유기 발광 표시 장치의 구동 방법.

청구항 20

제17 항에 있어서,

상기 표시 장치는 제3 발광 소자와 상기 제3 발광 소자에 구동 전류를 출력하는 제3 구동 트랜지스터를 포함하는 제3 화소를 더 포함하고,

상기 문턱 전압 보상 단계 후에, 상기 제1 내지 제3 발광 소자의 애노드 전극의 전압을 캐소드 전극의 전압 이하로 하강시키는 제3 초기화 단계; 및

상기 제1 내지 제3 발광 소자의 애노드 전극들이 서로 연결된 상태에서, 상기 제3 구동 트랜지스터의 문턱 전압을 저장하는 제3 문턱 전압 보상 단계를 더 포함하고,

상기 제1 및 제2 초기화 단계에서, 상기 제1 내지 제3 발광 소자의 애노드 전극의 전압이 캐소드 전극의 전압 이하로 하강되는 것을 특징으로 하는 유기 발광 표시 장치의 구동 방법.

발명의 설명

기술 분야

본 발명의 실시예는 유기 발광 표시 장치에 관한 것이다.

[0001]

배경 기술

- [0002] 유기 발광 표시 장치의 해상도가 높아짐에 따라, 발광 소자가 소형화되면서, 문턱 전압의 보상점이 낮아지는 문제가 발생할 수 있다. 문턱 전압의 보상점이 낮아지는 경우, 구동 트랜지스터들 간 문턱 전압 차이가 정확하게 보상되지 않아 발광 소자들 간 휘도 차이가 발생할 수 있으며, 이러한 휘도 차이는 관찰자에 의하여 시인될 수 있다. 이러한 문제점을 해결하기 위해 문턱 전압을 보다 정확하게 보상하는 방법이 필요하다.

발명의 내용

해결하려는 과제

- [0003] 본 발명의 실시예들이 해결하고자 하는 과제는 유기 발광 표시 장치의 해상도가 높아짐에 따라, 발광 소자가 소형화되면서, 문턱 전압이 정확히 보상되지 못하는 문제점을 개선하는 유기 발광 표시 장치를 제공하는 것이다.

과제의 해결 수단

- [0004] 본 발명의 실시예에 따른 유기 발광 표시 장치는 제1 화소 회로 및 상기 제1 화소 회로로부터 제공되는 구동 전류에 의해 발광하는 제1 발광 소자를 포함하는 제1 화소; 제2 화소 회로 및 상기 제2 화소 회로로부터 제공되는 구동 전류에 의해 발광하는 제2 발광 소자를 포함하는 제2 화소; 및 상기 제1 발광 소자의 애노드 전극과 상기 제2 발광 소자의 애노드 전극 사이에 접속되는 스위치 회로를 포함한다.
- [0005] 상기 제1 화소 회로는 제1 제어 신호에 의해 제어되는 제1 트랜지스터를 포함하고, 상기 제2 화소 회로는 제2 제어 신호에 의해 제어되는 제2 트랜지스터를 포함하고, 상기 스위치 회로는 상기 제1 제어 신호와 상기 제2 제어 신호에 의해 제어될 수 있다.
- [0006] 상기 스위치 회로는, 상기 제1 제어 신호에 응답하여 상기 제1 발광 소자의 애노드 전극과 상기 제2 발광 소자의 애노드 전극을 서로 연결하는 제1 접속 트랜지스터, 및 상기 제2 제어 신호에 의해 제어되고 상기 제1 접속 트랜지스터에 병렬로 연결되는 제2 접속 트랜지스터를 포함할 수 있다.
- [0007] 상기 제1 및 제2 트랜지스터, 및 상기 제1 및 제2 접속 트랜지스터는 P형 MOS 트랜지스터일 수 있다.
- [0008] 상기 제1 및 제2 트랜지스터, 및 상기 제1 및 제2 접속 트랜지스터는 N형 MOS 트랜지스터인 것을 특징으로 하는 유기 발광 표시 장치.
- [0009] 본 발명의 실시예에 따른 유기 발광 표시 장치는 상기 제1 화소에 상기 제1 제어 신호를 전달하는 제1 제어선; 상기 제2 화소에 상기 제2 제어 신호를 전달하는 제2 제어선; 상기 제1 화소와 상기 제2 화소에 주사 신호를 전달하는 주사선; 상기 주사 신호에 동기화하여, 상기 제1 화소에 제1 데이터 신호를 전달하는 제1 데이터선; 상기 주사 신호에 동기화하여, 상기 제2 화소에 제2 데이터 신호를 전달하는 제2 데이터선; 및 상기 제1 및 제2 화소 회로에 제1 전원 전압을 인가하고, 상기 제1 및 제2 발광 소자의 캐소드 전극에 제2 전원 전압을 인가하는 전원부를 더 포함할 수 있다.
- [0010] 상기 제1 및 제2 화소 회로들 각각은, 상기 주사 신호에 응답하여 상기 제1 또는 제2 데이터 신호를 전달하는 스위칭 트랜지스터; 상기 제1 또는 제2 데이터 신호에 대응하는 전압을 저장하는 데이터 저장 커패시터; 및 상기 데이터 저장 커패시터에 저장된 전압에 기초하여 상기 구동 전류를 생성하는 구동 트랜지스터를 포함할 수 있다.
- [0011] 상기 제1 및 제2 화소 회로들 각각은, 상기 구동 트랜지스터의 문턱 전압을 저장하는 문턱 전압 저장 커패시터; 및 상기 제1 또는 제2 제어 신호에 응답하여 상기 구동 트랜지스터를 다이오드 연결하는 상기 제1 또는 제2 트랜지스터를 더 포함할 수 있다.
- [0012] 상기 구동 트랜지스터는 상기 제1 전원 전압이 인가되는 제1 전극과 상기 제1 또는 제2 발광 소자의 애노드 전극에 연결되는 제2 전극을 포함하고, 상기 스위칭 트랜지스터는 상기 주사 신호에 응답하여 상기 제1 또는 제2 데이터 신호를 제1 노드에 전달하고, 상기 데이터 저장 커패시터는 상기 제1 노드와 상기 구동 트랜지스터의 제1 전극 사이에 연결되고, 상기 문턱 전압 저장 커패시터는 상기 제1 노드와 상기 구동 트랜지스터의 게이트 사이에 연결되고, 상기 제1 또는 제2 트랜지스터는 상기 제1 또는 제2 제어 신호에 응답하여 상기 구동 트랜지스터의 게이트와 상기 구동 트랜지스터의 제2 전극을 연결할 수 있다.
- [0013] 상기 제1 제어 신호에 응답하여 턴 온되는 상기 제1 트랜지스터에 의해 상기 제1 화소 회로의 상기 구동 트랜지

스터가 다이오드-연결될 때, 상기 제1 제어 신호에 응답하여 턴 온되는 상기 제1 접속 트랜지스터에 의해 상기 제1 발광 소자의 애노드 전극과 상기 제2 발광 소자의 애노드 전극은 서로 연결되며, 상기 제2 제어 신호에 응답하여 턴 온되는 상기 제2 트랜지스터에 의해 상기 제2 화소 회로의 상기 구동 트랜지스터가 다이오드-연결될 때, 상기 제2 제어 신호에 응답하여 턴 온되는 상기 제2 접속 트랜지스터에 의해 상기 제1 발광 소자의 애노드 전극과 상기 제2 발광 소자의 애노드 전극은 서로 연결될 수 있다.

[0014] 본 발명의 실시예에 따른 유기 발광 표시 장치는 상기 제1 및 제2 제어선을 통해 상기 제1 및 제2 제어 신호를 출력하는 제어선 구동부; 상기 주사선을 통해 상기 주사 신호를 출력하는 주사 구동부; 상기 제1 및 제2 데이터선을 통해 상기 제1 및 제2 데이터 신호를 출력하는 데이터 구동부; 및 상기 제어선 구동부, 상기 주사 구동부, 상기 데이터 구동부, 및 상기 전원부를 제어하는 구동 제어부를 더 포함할 수 있다.

[0015] 상기 구동 제어부는, 상기 제1 및 제2 발광 소자의 애노드 전극의 전압을 캐소드 전극의 전압 이하로 하강시키는 제1 초기화 단계; 상기 제1 제어 신호를 출력하여, 상기 제1 발광 소자의 애노드 전극과 상기 제2 발광 소자의 애노드 전극이 서로 연결된 상태에서, 상기 제1 화소 회로의 구동 트랜지스터의 문턱 전압을 상기 제1 화소 회로의 문턱 전압 저장 커패시터에 저장하는 제1 문턱 전압 보상 단계; 상기 제1 및 제2 발광 소자의 애노드 전극의 전압을 캐소드 전극의 전압 이하로 하강시키는 제2 초기화 단계; 및 상기 제2 제어 신호를 출력하여, 상기 제1 발광 소자의 애노드 전극과 상기 제2 발광 소자의 애노드 전극이 서로 연결된 상태에서, 상기 제2 화소 회로의 구동 트랜지스터의 문턱 전압을 상기 제2 화소 회로의 문턱 전압 저장 커패시터에 저장하는 제2 문턱 전압 보상 단계를 포함하는 유기 발광 표시 장치의 구동 방법을 수행하도록 구성될 수 있다.

[0016] 상기 제1 초기화 단계, 상기 제1 문턱 전압 보상 단계, 상기 제2 초기화 단계, 및 상기 제2 문턱 전압 보상 단계는 한 프레임 내에서 순차적으로 수행될 수 있다.

[0017] 상기 제1 및 제2 화소 회로들 각각은, 상기 제1 또는 제2 제어 신호에 응답하여 상기 구동 트랜지스터에 상기 제1 전원 전압을 전달하는 상기 제1 또는 제2 트랜지스터를 더 포함할 수 있다.

[0018] 상기 제1 또는 제2 트랜지스터는 상기 제1 또는 제2 제어 신호에 응답하여 상기 제1 전원 전압을 제1 노드에 전달하고, 상기 구동 트랜지스터는 상기 제1 노드와 상기 제1 또는 제2 발광 소자의 애노드 전극 사이에 연결되고, 게이트의 전압 레벨에 따라 상기 구동 전류를 상기 발광 소자에 출력하며, 상기 스위칭 트랜지스터는 상기 주사 신호에 응답하여 상기 구동 트랜지스터의 게이트에 전달하고, 상기 데이터 저장 커패시터는 상기 구동 트랜지스터의 게이트와 상기 제1 또는 제2 발광 소자의 애노드 전극 사이에 연결될 수 있다.

[0019] 본 발명의 실시예에 따른 유기 발광 표시 장치는 제3 화소 회로 및 상기 제3 화소 회로로부터 제공되는 구동 전류에 의해 발광하는 제3 발광 소자를 포함하는 제3 화소를 더 포함하고, 상기 스위치 회로는 상기 제1 내지 제3 발광 소자의 애노드 전극들 사이에 접속될 수 있다.

[0020] 본 발명의 실시예에 따른 유기 발광 표시 장치의 구동 방법은 상기 제1 및 제2 발광 소자의 애노드 전극의 전압을 캐소드 전극의 전압 이하로 하강시키는 제1 초기화 단계; 상기 제1 발광 소자의 애노드 전극과 상기 제2 발광 소자의 애노드 전극이 서로 연결된 상태에서, 상기 제1 구동 트랜지스터의 문턱 전압을 저장하는 제1 문턱 전압 보상 단계; 상기 제1 및 제2 발광 소자의 애노드 전극의 전압을 캐소드 전극의 전압 이하로 하강시키는 제2 초기화 단계; 및 상기 제1 발광 소자의 애노드 전극과 상기 제2 발광 소자의 애노드 전극이 서로 연결된 상태에서, 상기 제2 구동 트랜지스터의 문턱 전압을 저장하는 제2 문턱 전압 보상 단계를 포함한다.

[0021] 상기 제1 초기화 단계, 상기 제1 문턱 전압 보상 단계, 상기 제2 초기화 단계, 및 상기 제2 문턱 전압 보상 단계는 한 프레임 내에서 순차적으로 수행될 수 있다.

[0022] 본 발명의 실시예에 따른 유기 발광 표시 장치의 구동 방법은 상기 제1 초기화 단계 전에, 상기 제1 및 제2 구동 트랜지스터를 턴 온시키는 발광 오프 단계; 상기 제2 문턱 전압 보상 단계 후에, 상기 제1 및 제2 화소에 제1 및 제2 데이터 신호를 각각 인가하는 주사 단계; 및 상기 주사 단계 후에, 제1 및 제2 발광 소자를 상기 제1 및 제2 데이터 신호에 대응하는 휘도로 각각 동시에 발광시키는 발광 단계를 더 포함할 수 있다.

[0023] 본 발명의 실시예에 따른 유기 발광 표시 장치는 제3 발광 소자와 상기 제3 발광 소자에 구동 전류를 출력하는 제3 구동 트랜지스터를 포함하는 제3 화소를 더 포함하고, 표시 장치의 구동 방법은 상기 문턱 전압 보상 단계 후에, 상기 제1 내지 제3 발광 소자의 애노드 전극의 전압을 캐소드 전극의 전압 이하로 하강시키는 제3 초기화 단계; 및 상기 제1 내지 제3 발광 소자의 애노드 전극들이 서로 연결된 상태에서, 상기 제3 구동 트랜지스터의 문턱 전압을 저장하는 제3 문턱 전압 보상 단계를 더 포함하고, 상기 제1 및 제2 초기화 단계에서, 상기 제1 내

지 제3 발광 소자의 애노드 전극의 전압이 캐소드 전극의 전압 이하로 하강될 수 있다.

[0024] 전술한 것 외의 다른 측면, 특징, 이점이 이하의 도면, 특허청구범위 및 발명의 상세한 설명으로부터 명확해질 것이다.

발명의 효과

[0025] 본 발명의 실시예들에 따르면, 유기 발광 표시 장치의 해상도가 높아짐에 따라, 발광 소자가 소형화되면서, 문턱 전압이 정확히 보상되지 못하는 문제점을 개선하여, 구동 트랜지스터들 간 문턱 전압 차이가 정확하게 보상되지 않아 발생할 수 있는 발광 소자들 간 휘도 차이를 완화함으로써, 화면의 표시 품질이 우수한 유기 발광 표시 장치를 제공할 수 있다.

도면의 간단한 설명

[0026] 도 1은 본 발명의 실시예에 따른 유기 발광 표시 장치를 개략적으로 도시한 블록도이다.
 도 2는 본 발명의 실시예에 따른 유기 발광 표시 장치의 화소들(P1 및 P2)을 개략적으로 나타낸 도면이다.
 도 3은 본 발명의 실시예에 따른 유기 발광 표시 장치의 일 예에 따른 화소들(P1 및 P2)의 회로도를 도시한다.
 도 4는 본 발명의 실시예에 따른 유기 발광 표시 장치의 한 프레임 구간 동안의 타이밍도를 도시한다.
 도 5는 본 발명의 실시예에 따른 유기 발광 표시 장치의 다른 예에 따른 화소들(P1 및 P2)의 회로도를 도시한다.

발명을 실시하기 위한 구체적인 내용

[0027] 본 발명은 다양한 변환을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 상세한 설명에 상세하게 설명하고자 한다. 본 발명의 효과 및 특징, 그리고 그것들을 달성하는 방법은 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 다양한 형태로 구현될 수 있다.

[0028] 이하, 첨부된 도면을 참조하여 본 발명의 실시예들을 상세히 설명하기로 하며, 도면을 참조하여 설명할 때 동일하거나 대응하는 구성 요소는 동일한 도면부호를 부여하고 이에 대한 중복되는 설명은 생략하기로 한다.

[0029] 이하의 실시예에서, 제1, 제2 등의 용어는 한정적인 의미가 아니라 하나의 구성 요소를 다른 구성 요소와 구별하는 목적으로 사용된다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 포함하다 또는 가지다 등의 용어는 명세서상에 기재된 특징, 또는 구성요소가 존재함을 의미하는 것이고, 하나 이상의 다른 특징들 또는 구성요소가 부가될 가능성을 미리 배제하는 것은 아니다.

[0030] 도 1은 본 발명의 실시예에 따른 유기 발광 표시 장치를 개략적으로 도시한 블록도이다.

[0031] 도 1을 참조하면, 유기 발광 표시 장치(100)는 표시 패널(110), 구동 제어부(120), 주사 구동부(130), 데이터 구동부(140), 제어선 구동부(150), 및 전원부(160)를 포함한다. 구동 제어부(120), 주사 구동부(130), 데이터 구동부(140), 및 제어선 구동부(150)는 각각 별개의 반도체 칩에 형성될 수도 있고, 하나의 반도체 칩에 집적될 수도 있다. 유기 발광 표시 장치(100)는 예컨대, 스마트 폰, 태블릿 PC, 노트북 PC, 모니터, TV 등과 같이 영상을 표시할 수 있는 전자 장치, 및 이러한 전자 장치의 영상 표시를 위한 부품을 포함한다.

[0032] 표시 패널(110)에는 행 방향(예컨대, 도 1에서 가로 방향)을 따라 연장된 복수의 주사선들(CL1-CLn) 및 열 방향(예컨대, 도 1에서 세로 방향)을 따라 연장된 복수의 데이터선들(DL1-DLm+1)에 연결되는 복수의 화소들(P1, P2)이 배열될 수 있다.

[0033] 서로 인접한 제1 화소(P1) 및 제2 화소(P2)는 스위치 회로(SC)를 통해 서로 연결되며, 제1 화소(P1)는 제1 제어선(GCL1)에 연결되고, 제2 화소(P2)는 제2 제어선(GCL2)에 연결될 수 있다.

[0034] 도 1에서 스위치 회로(SC)는 제1 화소(P1) 및 제2 화소(P2)를 연결하는 것으로 도시되었으나, 본 발명은 이에 한정되지 않으며, 하나의 스위치 회로(SC)는 3개 이상(예컨대, 4개)의 화소들을 연결할 수 있다.

[0035] 하나의 스위치 회로(SC)에 연결된 화소들은 각각 서로 다른 제어선에 의해 제어된다. 즉, 하나의 스위치 회로

(SC)에 4개의 화소가 연결되는 경우, 상기 4개의 화소는 각각 4개의 서로 다른 제어선에 의해 제어될 수 있다.

- [0036] 제어선의 개수는 하나의 스위치 회로(SC)에 연결되는 화소들의 수와 동일할 수 있다. 예를 들면, 도 1에 도시된 표시 패널(110)과 같이 하나의 스위치 회로(SC)에 제1 화소(P1) 및 제2 화소(P2)가 연결되는 경우, 2개의 제어선(예컨대, GCL1 및 GCL2)이 존재할 수 있다. 이 경우, 제1 제어선(GCL1)은 제1 화소(P1)에 연결되고, 제2 제어선(GCL2)은 제2 화소(P2)에 연결될 수 있다. 아래에서는 하나의 스위치 회로(SC)에 2개의 화소(예컨대, P1 및 P2)가 연결되는 예에 대해서만 설명한다. 그러나, 본 기술분야의 당업자는 하나의 스위치 회로(SC)에 3개 이상의 화소들이 연결되는 경우에도 본 발명이 적용될 수 있음을 이해할 것이다.
- [0037] 도 1에서 주사선들(CL1-CLn)은 편의상 하나의 신호선으로 도시되었으나, 주사선들(CL1-CLn) 각각은 복수의 신호 라인들로 구성될 수 있다. 예컨대, 제1 주사선(CL1)은 초기화 제어 신호, 발광 제어 신호, 및 애노드 초기화 제어 신호를 전달하는 신호 라인들 중 어느 하나 이상을 더 포함할 수 있다.
- [0038] 단위 화소는 다양한 색상을 표시하기 위해 복수의 색상들을 각각 표시하는 복수의 서브 화소들을 포함할 수 있다. 본 명세서에서, 화소(예컨대, P1 혹은 P2)은 주로 하나의 서브 화소를 의미한다. 그러나, 본 발명은 이에 한정되지 않으며, 화소(예컨대, P1 혹은 P2)은 복수의 서브 화소들을 포함하는 하나의 단위 화소를 의미할 수도 있다. 즉, 본 명세서에서 하나의 화소(예컨대, P1 혹은 P2)이 존재한다고 기재되어 있더라도, 이는 하나의 서브 화소가 존재하는 것으로 해석될 수도 있고, 하나의 단위 화소를 구성하는 복수의 서브 화소들이 존재한다고 해석될 수도 있다.
- [0039] 구동 제어부(120)는 주사 구동부(130), 데이터 구동부(140), 제어선 구동부(150) 및 전원부(160)를 제어할 수 있다.
- [0040] 구동 제어부(120)는 수평 동기 신호 및 수직 동기 신호에 기초하여 제1 내지 제4 구동 제어 신호들(CON1, CON2, CON3 및 CON4) 및 디지털 영상 데이터(DATA)를 생성할 수 있다.
- [0041] 구동 제어부(120)는 제1 구동 제어 신호(CON1)를 주사 구동부(130)에 제공하고, 제2 구동 제어 신호(CON2)를 제어선 구동부(150)에 제공하고, 제3 구동 제어 신호(CON3)와 디지털 영상 데이터(DATA)를 데이터 구동부(140)에 제공하고, 제4 구동 제어 신호(CON4)를 전원부(160)에 제공할 수 있다.
- [0042] 주사 구동부(130)는 주사선들(CL1-CLn)을 통해 제어 신호들을 화소들(예컨대, P1 및 P2)에 제공할 수 있다.
- [0043] 데이터 구동부(140)는 데이터선들(DL1-DLm+1)을 통해 데이터 신호를 화소들(예컨대, P1 및 P2)에 제공할 수 있다.
- [0044] 제어선 구동부(150)는 제1 제어선(GCL1)을 통해 제어 신호를 제1 화소(P1)에 제공하고, 제2 제어선(GCL2)을 통해 제어 신호를 제2 화소(P2)에 제공할 수 있다.
- [0045] 전원부(160)는 제4 구동 제어 신호(CON4)에 응답하여, 제1 전원 전압(ELVDD) 및/또는 제2 전원 전압(ELVSS)을 화소들(예컨대, P1 및 P2)에 인가할 수 있다.
- [0046] 본 명세서에서, "대응하는" 또는 "대응하게"라는 용어는 문맥에 따라서 동일한 열 또는 행에 배치된다는 것을 의미할 수 있다. 예컨대, 제1 부재가 복수의 제2 부재들 중에서 "대응하는" 제2 부재에 연결된다는 것은 제1 부재와 동일 열 또는 동일 행에 배치된 제2 부재에 연결된다는 것을 의미한다.
- [0047] 도 2는 본 발명의 실시예에 따른 유기 발광 표시 장치의 화소들(P1 및 P2)을 개략적으로 나타낸 도면이다.
- [0048] 도 2를 참조하면, 본 발명의 실시예에 따른 유기 발광 표시 장치의 화소들(P1 및 P2) 각각은 화소 회로(PC1 혹은 PC2) 및 화소 회로(PC1 혹은 PC2)로부터 구동 전류를 공급받아 발광하는 발광 소자(E1 혹은 E2)를 포함한다.
- [0049] 화소 회로(PC1 혹은 PC2)는 하나 이상의 박막 트랜지스터 및 커패시터를 포함할 수 있다. 화소(P1 혹은 P2)는 예컨대, 적색, 녹색, 청색, 백색 중 하나의 색상의 광을 방출할 수 있다. 그러나, 본 발명은 이에 한정되지 않고, 적색, 녹색, 청색, 백색 외의 다른 색상의 광을 방출할 수도 있다.
- [0050] 화소 회로(PC1 혹은 PC2)는 전원선(ELVDDL), 화소(P1 혹은 P2)와 동일 열에 배치되는 데이터선(DL1 혹은 DL2), 화소(P1 혹은 P2)와 동일 행에 배치되는 주사선들(CL), 및 제어선(GCL1 혹은 GCL2)에 연결된다. 화소 회로(PC1 혹은 PC2)는 전원선(ELVDDL)을 통해 제1 전원 전압(ELVDD)을 공급받고, 데이터선(DL1 혹은 DL2)을 통해 데이터 신호(D1 혹은 D2)를 수신하고, 주사선들(CL)을 통해 주사 신호들(C)을 수신한다. 제1 화소 회로(PC1)는 제1 제

어선(GCL1)을 통해 제1 제어 신호(GC1)를 수신하고, 제2 화소 회로(PC2)는 제2 제어선(GCL2)을 통해 제2 제어 신호(GC2)를 수신한다.

- [0051] 화소 회로(PC1 혹은 PC2)는 데이터 신호(D1 혹은 D2)에 대응하는 구동 전류를 화소 회로(PC1 혹은 PC2)의 출력 노드에 공급하는 구동 트랜지스터를 포함한다.
- [0052] 발광 소자(E1 혹은 E2)는 화소 회로(PC1 혹은 PC2)의 출력 노드에 연결되는 애노드 전극과 제2 전원 전압(ELVSS)이 인가되는 캐소드 전극을 갖는 유기 발광 소자(OLED)를 포함할 수 있다.
- [0053] 스위치 회로(SC)는 화소 회로들(PC1 및 PC2)의 출력 노드에 연결되는 발광 소자들(E1 및 E2) 각각의 애노드 전극들 사이에 연결된다.
- [0054] 스위치 회로(SC)는 하나 이상의 박막 트랜지스터를 포함할 수 있다. 스위치 회로(SC)가 포함하는 박막 트랜지스터는 화소 회로(PC1 혹은 PC2)가 포함하는 박막 트랜지스터의 사이즈 및 특성과 동일할 수 있다. 다른 예에 따르면, 스위치 회로(SC)가 포함하는 박막 트랜지스터는 화소 회로(PC1 혹은 PC2)가 포함하는 박막 트랜지스터의 사이즈 및 특성과 상이할 수 있다.
- [0055] 스위치 회로(SC)는 제어선(GCL1 혹은 GCL2)에 연결되어, 제어선(GCL1 혹은 GCL2)을 통해 제어 신호(GC1 혹은 GC2)를 수신한다.
- [0056] 스위치 회로(SC)는 제1 제어 신호(GC1)에 의해 제어되는 제1 트랜지스터(TRc1) 및 제2 제어 신호(GC2)에 의해 제어되는 제2 트랜지스터(TRc2)를 포함할 수 있다.
- [0057] 도 3은 본 발명의 실시예에 따른 유기 발광 표시 장치의 일 예에 따른 화소들(P1 및 P2)의 회로도들 도시한다.
- [0058] 도 3에 도시된 화소들(P1 및 P2)은 n번째 행 및 m번째 열에 위치한 제1 화소(P1) 및 이에 대응되게 m+1번째 열에 위치한 제2 화소(P2)이다.
- [0059] 화소들(P1 및 P2)은 n번째 행에 대응하는 주사선에 연결되어 n번째 주사 신호(Scan[n])를 제공 받는다. 화소들(P1 및 P2)에는 제1 전원 전압(ELVDD)과 제2 전원 전압(ELVSS)이 인가된다. 제1 화소(P1)는 m번째 열에 대응하는 데이터선에 연결되어 주사 신호(Scan[n])에 동기화된 m번째 데이터 신호(Vdata[m])를 제공 받고, 제2 화소(P2)는 m+1번째 열에 대응하는 데이터선에 연결되어 주사 신호(Scan[n])에 동기화된 m+1번째 데이터 신호(Vdata[m+1])를 제공 받는다. 제1 화소(P1)는 제1 제어선(GCL1)을 통해 제1 제어 신호(GC1)를 제공 받고, 제2 화소(P2)는 제2 제어선(GCL2)을 통해 제2 제어 신호(GC2)를 제공 받는다.
- [0060] 화소들(P1 및 P2) 각각은 화소 회로(PC1 혹은 PC2) 및 화소 회로(PC1 혹은 PC2)로부터 구동 전류를 공급받아 발광하는 발광 소자(E1 혹은 E2)를 포함한다.
- [0061] 화소 회로(PC1 혹은 PC2)는 스위칭 트랜지스터(TRs)를 포함한다. 스위칭 트랜지스터(TRs)는 주사 신호(Scan[n])에 응답하여 데이터 신호(Vdata[m] 혹은 Vdata[m+1])를 노드(No1 혹은 No2)에 전달한다. 예컨대, 스위칭 트랜지스터(TRs)가 P형 MOSFET인 경우, 스위칭 트랜지스터(TRs)는 로우 레벨의 주사 신호(Scan[n])에 응답하여 턴 온될 수 있다.
- [0062] 화소 회로(PC1 혹은 PC2)는 데이터 저장 커패시터(Cst)를 포함한다. 데이터 저장 커패시터(Cst)는 데이터 신호(Vdata[m] 혹은 Vdata[m+1])에 대응하는 전압을 저장한다.
- [0063] 화소 회로(PC1 혹은 PC2)는 데이터 저장 커패시터(Cst)에 저장된 전압에 기초하여 구동 전류를 생성하는 구동 트랜지스터(TRd1 혹은 TRd2)를 포함한다. 구동 트랜지스터(TRd1 혹은 TRd2)는 제1 전원 전압(ELVDD)이 인가되는 제1 전극과 발광 소자들(E1 및 E2)의 애노드 전극에 연결되는 제2 전극을 포함한다.
- [0064] 데이터 저장 커패시터(Cst)는 노드(No1 혹은 No2)와 구동 트랜지스터(TRd1 혹은 TRd2)의 제1 전극 사이에 연결된다.
- [0065] 화소 회로(PC1 혹은 PC2)는 구동 트랜지스터(TRd1 혹은 TRd2)의 문턱 전압을 저장하는 문턱 전압 저장 커패시터(Cvth1 혹은 Cvth2)를 포함한다.
- [0066] 문턱 전압 저장 커패시터(Cvth1 혹은 Cvth2)는 구동 트랜지스터(TRd1 혹은 TRd2)의 문턱 전압을 포함하는 값을 저장한다.

- [0067] 문턱 전압 저장 커패시터(Cvth1 혹은 Cvth2)는 노드(No1 혹은 No2)와 구동 트랜지스터(TRd1 혹은 TRd2)의 게이트 사이에 연결된다.
- [0068] 화소 회로(PC1 혹은 PC2)는 제어 신호(GC1 혹은 GC2)에 응답하여 구동 트랜지스터(TRd1 혹은 TRd2)를 다이오드 연결하는 트랜지스터(TRgc1 혹은 TRgc2)를 포함한다. 즉, 트랜지스터(TRgc1 혹은 TRgc2)는 제어 신호(GC1 혹은 GC2)에 응답하여 구동 트랜지스터(TRd1 혹은 TRd2)의 게이트와 구동 트랜지스터(TRd1 혹은 TRd2)의 제2 전극을 연결한다.
- [0069] 스위치 회로(SC)는 발광 소자들(E1 및 E2) 각각의 애노드 전극들 사이에 연결된다.
- [0070] 스위치 회로(SC)는 제어 신호(GC1 혹은 GC2)에 응답하여 발광 소자들(E1 및 E2) 각각의 애노드 전극들을 서로 연결하는 접속 트랜지스터들(TRc1 및 TRc2)을 포함한다.
- [0071] 제1 접속 트랜지스터(TRc1) 및 제2 접속 트랜지스터(TRc2)는 서로 병렬로 연결된다.
- [0072] 제1 트랜지스터(TRgc1) 및 제1 접속 트랜지스터(TRc1)는 제1 제어 신호(GC1)에 의해 제어되며, 제2 트랜지스터(TRgc2) 및 제2 접속 트랜지스터(TRc2)는 제2 제어 신호(GC2)에 의해 제어된다.
- [0073] 구동 트랜지스터(TRd1 혹은 TRd2), 스위칭 트랜지스터(TRs), 및 접속 트랜지스터(TRc1 혹은 TRc2)는 P형 MOS 트랜지스터일 수 있다.
- [0074] 이하에서 도 3의 회로도에 따른 화소들(P1 및 P2)의 동작 과정을 설명한다.
- [0075] 도 3의 회로도에 따른 화소들(P1 및 P2)은 도 1에 도시된 구동 제어부(120)에 의해 동작된다. 화소들(P1 및 P2)의 동작을 도 4를 참조하여 간단히 설명한다.
- [0076] 구동 제어부(120)는 제2 전원 전압(ELVSS)을 하이 레벨로 천이(transit)하여 화소들(P1 및 P2)의 발광을 오프시키는 발광 오프 단계(Off)를 수행할 수 있다. 발광 오프 단계(Off)에서, 구동 트랜지스터들(TRd1 및 TRd2)이 턴 온될 수 있다.
- [0077] 구동 제어부(120)는 제1 전원 전압(ELVDD)을 로우 레벨로 천이하여, 턴 온된 구동 트랜지스터들(TRd1 및 TRd2)을 통해 발광 소자(E1 혹은 E2)의 애노드 전극의 전압을 캐소드 전극의 전압 이하로 하강시키는 제1 초기화 단계(Reset1)를 수행할 수 있다.
- [0078] 구동 제어부(120)는 제1 제어 신호(GC1)에 따라 발광 소자들(E1 및 E2) 각각의 애노드 전극들이 서로 연결된 상태에서 제1 구동 트랜지스터(TRd1)의 문턱 전압을 제1 문턱 전압 저장 커패시터(Cvth1)에 저장하는 제1 문턱 전압 보상 단계(Vth1)를 수행할 수 있다. 제1 문턱 전압 보상 단계(Vth1)에서, 제1 문턱 전압 저장 커패시터(Cvth1)에는 제1 구동 트랜지스터(TRd1)의 문턱 전압이 저장되며, 이에 대한 구체적인 내용은 도 4 부분에서 설명하도록 한다.
- [0079] 구동 제어부(120)는 제1 초기화 단계(Reset1)와 같이, 제1 전원 전압(ELVDD)을 로우 레벨로 천이하고, 구동 트랜지스터들(TRd1 및 TRd2)을 턴 온 시키고, 턴 온된 구동 트랜지스터들(TRd1 및 TRd2)을 통해 발광 소자(E1 혹은 E2)의 애노드 전극의 전압을 캐소드 전극의 전압 이하로 하강시키는 제2 초기화 단계(Reset2)를 수행할 수 있다.
- [0080] 구동 제어부(120)는 제2 제어 신호(GC2)에 따라 발광 소자들(E1 및 E2) 각각의 애노드 전극들이 서로 연결된 상태에서 제2 구동 트랜지스터(TRd2)의 문턱 전압을 제2 문턱 전압 저장 커패시터(Cvth2)에 저장하는 제2 문턱 전압 보상 단계(Vth2)를 수행할 수 있다. 제2 문턱 전압 보상 단계(Vth2)에서, 제2 문턱 전압 저장 커패시터(Cvth2)에는 제2 구동 트랜지스터(TRd2)의 문턱 전압이 저장되며, 이에 대한 구체적인 내용은 도 4 부분에서 설명하도록 한다.
- [0081] 구동 제어부(120)는 화소 회로들(PC1 및 PC2)에 데이터 신호들(Vdata[m] 및 Vdata[m+1])을 각각 인가하는 주사 단계(Scan)를 수행할 수 있다. 주사 단계(Scan)에서, 주사 구동부(130)는 주사선들(SL1-SLn)을 순차적으로 구동하고, 데이터 구동부(140)는 데이터선들(DL1-DLm)을 통해 데이터 신호들을 표시 패널(110) 내의 모든 화소들(P1 및 P2)에 제공한다.
- [0082] 구동 제어부(120)는 발광 소자들(E1 및 E2)을 데이터 신호들(Vdata[m] 및 Vdata[m+1])에 대응하는 휘도로 각각 동시에 발광시키는 발광 단계(Emission)를 수행할 수 있다. 표시 패널(110) 내의 모든 화소들(P1 및 P2)은 제2 전원 전압(ELVSS)이 로우 레벨로 천이하는 순간에 모두 발광을 시작한다.

- [0083] 도 1에 도시된 구동 제어부(120)는 발광 오프 단계(Off), 제1 초기화 단계(Reset1), 제1 문턱 전압 보상 단계(Vth1), 제2 초기화 단계(Reset2), 제2 문턱 전압 보상 단계(Vth2), 주사 단계(Scan), 및 발광 단계(Emission)를 한 프레임 내에서 순차적으로 수행할 수 있다.
- [0084] 도 4는 본 발명의 실시예에 따른 유기 발광 표시 장치의 한 프레임 구간 동안의 타이밍도를 도시한다.
- [0085] 도 4를 참조하여 도 3의 실시예에 의한 화소들(P1 및 P2)의 구동을 보다 구체적으로 설명하도록 한다.
- [0086] 먼저, 화소들(P1 및 P2)은 발광 오프 기간(Off)을 가진다.
- [0087] 제2 전원 전압(ELVSS)이 로우 레벨(예컨대, ELVSS_L)에서 하이 레벨(예컨대, ELVSS_H)로 천이하면서, 발광 오프 기간(Off)이 시작되고, 모든 화소들(P1 및 P2)은 발광을 중단한다. 이 시점에, 제1 전원 전압(ELVDD)은 하이 레벨(예컨대, ELVDD_H)로 인가되고, 주사 신호들(SCAN[1]-SCAN[n])은 하이 레벨(예컨대, SCAN_H)로 인가되고, 제어 신호들(GC[1] 및 GC[2])은 하이 레벨(예컨대, GC_H)로 인가된다. 주사 신호들(SCAN[1]-SCAN[n])이 하이 레벨(SCAN_H)로 인가되므로, 스위칭 트랜지스터(TRs)는 턴 오프된다. 하이 레벨은 트랜지스터를 턴 오프시키는 전압 레벨을 의미하고, 로우 레벨은 트랜지스터를 턴 온시키는 전압 레벨을 의미한다.
- [0088] 제2 전원 전압(ELVSS)의 하이 레벨(ELVSS_H)의 전압 레벨은 화소들(P1 및 P2)의 발광이 오프되도록 제1 전원 전압(ELVDD)의 하이 레벨(ELVDD_H)의 전압 레벨과 실질적으로 동일할 수 있다. 예컨대, 제1 전원 전압(ELVDD)의 하이 레벨(ELVDD_H)의 전압 값과 제2 전원 전압(ELVSS)의 하이 레벨(ELVSS_H)의 전압 값의 차이는 발광 소자들(E1 및 E2)의 문턱 전압보다 작을 수 있다. 그 결과, 제2 전원 전압(ELVSS)이 하이 레벨(ELVSS_H)로 천이함에 따라 발광 소자들(E1 및 E2)로 흐르는 구동 전류는 급격히 감소된다.
- [0089] 발광 오프 기간(Off)은 발광 동작 이후 블랙 삽입(black insertion) 또는 디밍(dimming)을 위한 기간으로서, 발광 소자(E1 혹은 E2)의 양 전극 사이의 전압은 짧은 시간, 예컨대, 수십 μ s 이내에 발광이 오프되는 전압, 예컨대, 발광 소자(E1 혹은 E2)의 문턱 전압보다 낮은 전압으로 떨어지게 된다.
- [0090] 발광이 오프된 이후에, 주사 신호들(SCAN[1]-SCAN[n])은 하이 레벨(SCAN_H)에서 로우 레벨(예컨대, SCAN_L)로 천이하고, 데이터 스위치 신호(SUS_ENB)가 하이 레벨에서 로우 레벨로 변경됨에 따라, 데이터선(DL)에는 초기화 전압(Von)이 인가된다. 데이터 스위치 신호(SUS_ENB)가 하이 레벨로 인가되는 경우, 데이터선(DL)에 데이터 신호(Vdata[m] 혹은 Vdata[m+1]) 또는 기준 전압(Vsus)이 인가된다. 데이터 스위치 신호(SUS_ENB)가 로우 레벨로 인가되는 경우, 데이터선(DL)에 초기화 전압(Von)이 인가된다.
- [0091] 주사 신호들(SCAN[1]-SCAN[n])이 로우 레벨(SCAN_L)로 인가됨에 따라, 스위칭 트랜지스터들(TRs)이 턴 온되며, 노드(No1 혹은 No2)에는 초기화 전압(Von)이 인가되고, 구동 트랜지스터들(TRd1 및 TRd2)의 게이트에는 '초기화 전압(Von)+문턱 전압 저장 커패시터(Cvth1 혹은 Cvth2)에 저장된 전압(이하, 문턱 저장 전압(Vcvth)으로 지칭함.)'이 인가된다. 구동 트랜지스터들(TRd1 및 TRd2)은 강제로 턴 온되고, 구동 트랜지스터들(TRd1 및 TRd2)의 히스테리시스(hysteresis) 현상으로 인한 얼룩 현상이 해소될 수 있다.
- [0092] 초기화 전압(Von)은 구동 트랜지스터들(TRd1 및 TRd2)의 게이트에 인가되는 '초기화 전압(Von)+문턱 저장 전압(Vcvth)'이 구동 트랜지스터들(TRd1 및 TRd2)을 턴 온시킬 수 있도록 설정될 수 있다.
- [0093] 다음으로, 발광이 오프된 이후에 화소들(P1 및 P2)은 초기화 기간(Reset1 및 Reset2) 및 문턱 전압 보상 기간(Vth1 및 Vth2)을 가진다. 초기화 기간 및 문턱 전압 보상기간은 스위치 회로(SC)와 연결된 화소들 수만큼 반복된다. 예컨대, 도 4에 도시된 바와 같이, 스위치 회로(SC)를 통해 2개의 화소들(P1 및 P2)이 서로 연결되므로, 초기화 기간 및 문턱 전압 보상기간이 각각 2번씩 반복된다.
- [0094] 제1 초기화 기간(Reset1)에는 제1 전원 전압(ELVDD)이 하이 레벨(ELVDD_H)에서 로우 레벨(ELVDD_L)로 천이한다. 제2 전원 전압(ELVSS)은 하이 레벨(ELVSS_H)로 인가되고, 주사 신호들(SCAN[1]-SCAN[n])은 로우 레벨(SCAN_L)로 인가되고, 제어 신호들(GC[1] 및 GC[2])은 하이 레벨(GC_H)로 인가되고, 데이터선(DL)에 초기화 전압(Von)이 인가된다. 제1 초기화 기간(Reset1)에 의해, 발광 소자(E1 혹은 E2)의 애노드 전극의 전위는 대략 로우 레벨(ELVDD_L)로 초기화된다.
- [0095] 구동 트랜지스터들(TRd1 및 TRd2)이 턴 온된 상태에서, 제1 전원 전압(ELVDD)이 하이 레벨(ELVDD_H)에서 로우 레벨(ELVDD_L)로 천이함에 따라, 발광 소자(E1 혹은 E2)의 애노드 전극에는 로우 레벨(ELVDD_L)의 전압, 예컨대, 로우 레벨(ELVDD_L)의 전압에 구동 트랜지스터(TRd1 혹은 TRD2)의 문턱 전압을 가산한 전압이

인가된다. 로우 레벨(ELVDD_L)의 전압 값은 하이 레벨(ELVSS_H)의 전압 값보다 낮게 설정될 수 있다. 발광 소자(E1 혹은 E2)의 캐소드 전극에는 하이 레벨(ELVSS_H)의 제2 전원 전압(ELVSS)이 인가되므로, 발광 소자(E1 혹은 E2)의 애노드 전극의 전위는 캐소드 전극의 전위보다 낮아진다.

[0096] 제1 문턱 전압 보상 기간(V_{th1})에는 제1 전원 전압(ELVDD)은 로우 레벨(ELVDD_L)에서 하이 레벨(ELVDD_H)로 천이되어 인가된다. 제2 전원 전압(ELVSS)은 하이 레벨(ELVSS_H)로 인가되고, 주사 신호들(SCAN[1]-SCAN[n])은 로우 레벨(SCAN_L)로 인가된다. 제1 제어 신호(GC[1])는 하이 레벨(GC_H)에서 로우 레벨(예컨대, GC_L)로 천이되어 인가되고, 제2 제어 신호(GC[2])는 하이 레벨(GC_H)로 인가된다. 데이터 스위치 신호(SUS_ENB)가 로우 레벨에서 하이 레벨로 천이됨에 따라, 데이터선(DL)에 기준 전압(V_{sus})이 인가된다.

[0097] 스위칭 트랜지스터(TRs)가 턴 온된 상태에서, 기준 전압(V_{sus})이 데이터선(DL)에 인가되므로, 노드($No1$ 혹은 $No2$)의 전위는 기준 전압(V_{sus})로 변경된다.

[0098] 제1 제어 신호(GC[1])가 로우 레벨(GC_L)로 인가됨에 따라 스위칭 트랜지스터(TRgc1)는 턴 온되며, 제1 구동 트랜지스터(TRd1)의 게이트 및 제2 전극이 서로 전기적으로 연결되어 제1 구동 트랜지스터(TRd1)는 다이오드-연결된다. 제1 구동 트랜지스터(TRd1)가 턴 온된 상태에서 하이 레벨(ELVDD_H)의 제1 전원 전압(ELVDD)이 인가됨에 따라, 제1 발광 소자(E1)의 애노드 전극의 전위는 로우 레벨(ELVDD_L)에서 상승을 시작한다. 제1 발광 소자(E1)의 애노드 전극의 전위, 즉, 제1 구동 트랜지스터(TRd1)의 게이트의 전위가 '하이 레벨(ELVDD_H)+제1 구동 트랜지스터(TRd1)의 문턱 전압'에 도달하면, 제1 구동 트랜지스터(TRd1)는 턴 오프된다. 제1 구동 트랜지스터(TRd1)를 통한 전류 흐름이 차단되므로, 제1 구동 트랜지스터(TRd1)의 게이트의 전위는 '하이 레벨(ELVDD_H)+제1 구동 트랜지스터(TRd1)의 문턱 전압(이하, 제1 문턱 전압(V_{th1})이라 지칭함)'이 된다.

[0099] 제1 문턱 전압 저장 커패시터(C_{vth1})의 양단 사이에 걸리는 전압(예컨대, V_{cvth1})은 제1 구동 트랜지스터(TRd1)의 게이트의 전위 및 제1 노드($No1$)의 전위의 차이로서, '하이 레벨(ELVDD_H)+제1 구동 트랜지스터(TRd1)의 문턱 전압(V_{th1})-기준 전압(V_{sus})'이 된다. 제1 문턱 전압 저장 커패시터(C_{vth1})는 제1 구동 트랜지스터(TRd1)의 문턱 전압(V_{th1})을 저장할 수 있다.

[0100] 유기 발광 표시 장치의 해상도가 높아짐에 따라, 발광 소자(E1)가 소형화되면서, 구동 트랜지스터(TRd1)의 제2 전극에서 발광 소자(E1) 쪽을 바라보았을 때의 용량 성분인 발광 소자(E1)의 기생 커패시터(C_{oled})의 용량이 감소한다. 감소된 기생 커패시터(C_{oled})의 용량으로 인하여, 제1 문턱 전압 보상 기간(V_{th1})에 제1 발광 소자(E1)의 애노드 전극의 전위는 순간적으로 로우 레벨(ELVDD_L)에서 '하이 레벨(ELVDD_H)+제1 구동 트랜지스터(TRd1)의 문턱 전압(V_{th1})'으로 상승하게 되며, 구동 트랜지스터(TRd1)를 흐르는 전류의 크기는 실제 구동시의 전류의 크기에 비해 상당히 작다. 그 결과, 실제 구동시의 구동 트랜지스터(TRd1)의 문턱 전압(V_{th})에 비해 낮은 구동 트랜지스터(TRd1)의 문턱 전압(V_{th1})이 제1 문턱 전압 저장 커패시터(C_{vth1})에 저장될 수 있다. 즉, 구동 트랜지스터(TRd1)의 문턱 전압(V_{th})의 보상점이 낮아질 수 있다.

[0101] 문턱 전압의 보상점이 낮아지는 경우, 구동 트랜지스터들 간 문턱 전압 차이가 정확하게 보상되지 않아 발광 소자들 간 휘도 차이가 발생될 수 있으며, 이러한 휘도 차이는 관찰자에 의하여 시인될 수 있다.

[0102] 본 실시예에 따르면, 로우 레벨(GC_L)의 제1 제어 신호(GC[1])에 응답하여 제1 문턱 전압 보상 기간(V_{th1})에 제1 접속 트랜지스터(TRc1)는 턴 온되며, 발광 소자(E1)의 애노드 전극과 발광 소자(E2)의 애노드 전극은 서로 연결된다. 그에 따라, 구동 트랜지스터(TRd1)의 제2 전극에서 발광 소자들(E1 및 E2) 쪽을 바라보았을 때의 용량 성분은 발광 소자들(E1 및 E2)의 기생 커패시터(C_{oled})의 용량의 합, 즉, $2 \times C_{oled}$ 로 증가한다. 제1 문턱 전압 보상 기간(V_{th1})에 제1 발광 소자(E1)의 애노드 전극의 전위가 로우 레벨(ELVDD_L)에서 '하이 레벨(ELVDD_H)+제1 구동 트랜지스터(TRd1)의 문턱 전압(V_{th1})'로 상승하는 순간에, 증가된 기생 커패시터(C_{oled})의 크기($2 \times C_{oled}$)로 인하여 구동 트랜지스터(TRd1)로 흐르는 전류의 크기도 함께 증가하게 된다. 구동 트랜지스터(TRd1)를 흐르는 전류의 크기는 실제 구동시의 전류의 크기와 실질적으로 동일하도록 설정될 수 있다. 따라서, 실제 구동시의 구동 트랜지스터(TRd1)의 문턱 전압(V_{th})과 실질적으로 동일한 구동 트랜지스터(TRd1)의 문턱 전압(V_{th1})이 제1 문턱 전압 저장 커패시터(C_{vth1})에 저장될 수 있다. 따라서, 구동 트랜지스터들 간 문턱 전압 차이가 정확하게 보상되어, 발광 소자들 간 휘도 차이가 제거되어, 더욱 고품질의 영상이 관찰자에 의하여 시인될 수 있다.

[0103] 제2 초기화 기간(Reset2)에서는 제1 전원 전압(ELVDD)이 하이 레벨(ELVDD_H)에서 로우 레벨(ELVDD_L)로 천이한다. 제2 전원 전압(ELVSS)은 하이 레벨(ELVSS_H)로 인가되고, 주사 신호들(SCAN[1]-SCAN[n])은 로우 레벨(SCAN_L)로 인가되고, 제어 신호들(GC[1] 및 GC[2])은 하이 레벨(GC_H)로 인가되고, 로우 레벨의 데이터 스위치

신호(SUS_ENB)에 의해 데이터선(DL)에 초기화 전압(Von)이 인가된다.

- [0104] 데이터선(DL)에 초기화 전압(Von)이 인가됨에 따라, 구동 트랜지스터들(TRd1 및 TRd2)은 턴 온되고, 제1 전원 전압(ELVDD)이 하이 레벨(ELVDD_H)에서 로우 레벨(ELVDD_L)로 변경됨에 따라, 구동 트랜지스터들(TRd1 및 TRd2)의 제2 전극들의 전위는 '로우 레벨(ELVDD_L)+구동 트랜지스터(TRd1 또는 TRd2)의 문턱 전압 값'에 도달하게 되고, 구동 트랜지스터들(TRd1 및 TRd2)의 제2 전극들 각각에 연결된 발광 소자들(E1 및 E2)의 애노드 전극의 전위는 캐소드 전극의 전위보다 낮아진다.
- [0105] 제1 문턱 전압 보상 기간(Vth1) 이후, 발광 소자들(E1 및 E2)의 애노드 전극의 전위는 '하이 레벨(ELVDD_H)+제1 구동 트랜지스터(TRd1)의 문턱 전압(Vth_1)'로 상승하게 된다. 제2 초기화 기간(Reset2)에 의해 발광 소자들(E1 및 E2)의 애노드 전극의 전위는 대략 로우 레벨(ELVDD_L)로 초기화된다.
- [0106] 제2 문턱 전압 보상 기간(Vth2)에서 제1 전원 전압(ELVDD)은 로우 레벨(ELVDD_L)에서 하이 레벨(ELVDD_H)로 천이되어 인가된다. 제2 전원 전압(ELVSS)은 하이 레벨(ELVSS_H)로 인가되고, 주사 신호들(SCAN[1]-SCAN[n])은 로우 레벨(SCAN_L)로 인가된다. 제2 제어 신호(GC[2])는 하이 레벨(GC_H)에서 로우 레벨(예컨대, GC_L)로 천이되어 인가되고, 제1 제어 신호(GC[1])는 하이 레벨(GC_H)로 인가된다. 하이 레벨의 데이터 스위치 신호(SUS_ENB)에 의해 데이터선(DL)에는 기준 전압(Vsus)이 인가된다.
- [0107] 스위칭 트랜지스터(TRs)가 턴 온된 상태에서, 기준 전압(Vsus)이 데이터선(DL)에 인가되므로, 노드(No1 혹은 No2)의 전위는 기준 전압(Vsus)로 변경된다.
- [0108] 제2 제어 신호(GC[2])가 로우 레벨(GC_L)로 인가됨에 따라 제2 스위칭 트랜지스터(TRgc2)는 턴 온되며, 제2 구동 트랜지스터(TRd2)의 게이트 및 제2 전극이 서로 전기적으로 연결되어 제2 구동 트랜지스터(TRd2)는 다이오드-연결된다.
- [0109] 제2 구동 트랜지스터(TRd2)가 턴 온된 상태에서 하이 레벨(ELVDD_H)의 제1 전원 전압(ELVDD)이 인가됨에 따라, 제2 발광 소자(E2)의 애노드 전극의 전위는 로우 레벨(ELVDD_L)에서 상승을 시작한다. 제2 발광 소자(E2)의 애노드 전극의 전위, 즉, 제2 구동 트랜지스터(TRd2)의 게이트의 전위가 '하이 레벨(ELVDD_H)+제2 구동 트랜지스터(TRd2)의 문턱 전압'에 도달하면, 제2 구동 트랜지스터(TRd2)는 턴 오프된다. 제2 구동 트랜지스터(TRd2)를 통한 전류 흐름이 차단되므로, 제2 구동 트랜지스터(TRd2)의 게이트의 전위는 '하이 레벨(ELVDD_H)+제2 구동 트랜지스터(TRd2)의 문턱 전압(이하, 제2 문턱 전압(Vth_2)이라 지칭함)'이 된다.
- [0110] 제2 문턱 전압 저장 커패시터(Cvth2)의 양단 사이에 걸리는 전압(예컨대, Vcvth2)은 제2 구동 트랜지스터(TRd2)의 게이트의 전위 및 제2 노드(No2)의 전위의 차이로서, '하이 레벨(ELVDD_H)+제2 구동 트랜지스터(TRd2)의 문턱 전압(Vth_2)-기준 전압(Vsus)'이 된다.
- [0111] 제2 문턱 전압 저장 커패시터(Cvth2)는 제2 구동 트랜지스터(TRd2)의 문턱 전압(Vth_2)을 저장할 수 있다.
- [0112] 이를 구체적으로 설명하면, 문턱 전압 보상 기간들(Vth1 및 Vth2)을 통해 화소들(P1 및 P2) 각각의 문턱 전압 저장 커패시터(Cvth1 혹은 Cvth2)에 저장된 전압 값은, $V_{cvth1} = ELVDD_H + V_{th1} - V_{sus}$ 혹은 $V_{cvth2} = ELVDD_H + V_{th2} - V_{sus}$ 일 수 있다. ELVDD_H 및 Vsus 값은 각각 제1 전원선(ELVDDL) 및 데이터선(DL)으로부터 인가되는 값이며, Vth_1 혹은 Vth_2 값은 구동 트랜지스터(TRd1 혹은 TRd2)로부터 도출된 값이므로, 화소들(P1 및 P2)간 문턱 전압 보상을 위한 의미 있는 항은 Vth_1 혹은 Vth_2에 해당할 수 있다. 즉, 문턱 전압 저장 커패시터(Cvth1 혹은 Cvth2)는 문턱 전압 보상을 위해 구동 트랜지스터(TRd1 혹은 TRd2)의 문턱 전압(Vth_1 혹은 Vth_2) 값을 저장하게 되는 바, 실질적으로 '구동 트랜지스터(TRd1 혹은 TRd2)의 문턱 전압을 저장'하는 것으로 볼 수 있다.
- [0113] 이하에서는, 문턱 전압(Vth)만으로 표기하더라도 구동 트랜지스터들(TRd1 및 TRd2) 간 실질적으로 존재하는 편차를 반영한 문턱 전압(Vth_1 혹은 Vth_2)을 의미하는 것으로 본다.
- [0114] 유기 발광 표시 장치의 해상도가 높아짐에 따라, 발광 소자(E2)가 소형화되면서, 구동 트랜지스터(TRd2)의 제2 전극에서 발광 소자(E2) 쪽을 바라보았을 때의 용량 성분인 발광 소자(E2)의 기생 커패시터(Coled)의 용량이 감소한다. 감소된 기생 커패시터(Coled)의 용량으로 인하여, 제2 문턱 전압 보상 기간(Vth2)에 제2 발광 소자(E2)의 애노드 전극의 전위는 순간적으로 로우 레벨(ELVDD_L)에서 '하이 레벨(ELVDD_H)+제2 구동 트랜지스터(TRd2)의 문턱 전압(Vth_2)'으로 상승하게 되며, 구동 트랜지스터(TRd2)를 흐르는 전류의 크기는 실제 구동시의 전류의 크기에 비해 상당히 작다. 그 결과, 실제 구동시의 구동 트랜지스터(TRd2)의 문턱 전압(Vth)에 비해 낮은 구동 트랜지스터(TRd2)의 문턱 전압(Vth_2)이 제2 문턱 전압 저장 커패시터(Cvth2)에 저장될 수 있다. 즉,

구동 트랜지스터(TRd2)의 문턱 전압(Vth)의 보상점이 낮아질 수 있다.

- [0115] 문턱 전압의 보상점이 낮아지는 경우, 구동 트랜지스터들 간 문턱 전압 차이가 정확하게 보상되지 않아 발광 소자들 간 휘도 차이가 발생될 수 있으며, 이러한 휘도 차이는 관찰자에 의하여 시인될 수 있다.
- [0116] 본 실시예에 따르면, 로우 레벨(GC_L)의 제2 제어 신호(GC[2])에 응답하여 제2 문턱 전압 보상 기간(Vth2)에 제2 접속 트랜지스터(TRc2)는 턴 온되며, 발광 소자(E1)의 애노드 전극과 발광 소자(E2)의 애노드 전극은 서로 연결된다. 그에 따라, 구동 트랜지스터(TRd2)의 제2 전극에서 발광 소자들(E1 및 E2) 쪽을 바라보았을 때의 용량 성분은 발광 소자들(E1 및 E2)의 기생 커패시터(Coled)의 용량의 합, 즉, $2 \times C_{oled}$ 로 증가한다. 제2 문턱 전압 보상 기간(Vth2)에 제2 발광 소자(E2)의 애노드 전극의 전위가 로우 레벨(ELVDD_L)에서 '하이 레벨(ELVDD_H)+제2 구동 트랜지스터(TRd2)의 문턱 전압(Vth_2)'로 상승하는 순간에, 증가된 기생 커패시터(Coled)의 크기($2 \times C_{oled}$)로 인하여 구동 트랜지스터(TRd2)로 흐르는 전류의 크기도 함께 증가하게 된다. 구동 트랜지스터(TRd2)를 흐르는 전류의 크기는 실제 구동시의 전류의 크기와 실질적으로 동일하도록 설정될 수 있다. 따라서, 실제 구동시의 구동 트랜지스터(TRd2)의 문턱 전압(Vth)과 실질적으로 동일한 구동 트랜지스터(TRd2)의 문턱 전압(Vth_2)이 제2 문턱 전압 저장 커패시터(Cvth2)에 저장될 수 있다. 따라서, 구동 트랜지스터들 간 문턱 전압 차이가 정확하게 보상되어, 발광 소자들 간 휘도 차이가 제거되어, 더욱 고품질의 영상이 관찰자에 의하여 시인될 수 있다.
- [0117] 다음으로, 초기화 기간 및 문턱 전압 보상 기간 후에 화소들(P1 및 P2)은 주사 기간(Scan)을 가진다.
- [0118] 주사 기간(Scan)에서는 각 주사선(CL)에 연결된 각각의 화소에 대해 순차적으로 주사신호(SCAN[1]-SCAN[n])가 로우 레벨(예컨대, SCAN_L)로 인가되고, 주사신호(SCAN[1]-SCAN[n])에 동기화하여 각 데이터선(DL)을 통해 데이터 신호(Vdata[m] 혹은 Vdata[m+1])가 제공된다. 이 때, 데이터 스위치 신호(SUS_ENB)는 하이 레벨을 갖는다. 제1 전원 전압(ELVDD)은 하이 레벨(ELVDD_H)로 인가되고, 제2 전원 전압(ELVSS)은 하이 레벨(ELVSS_H)로 인가되고, 제어 신호들(GC[1] 및 GC[2])은 하이 레벨(GC_H)로 인가된다.
- [0119] 주사신호(SCAN[n])가 로우 레벨(SCAN_L)로 인가되어, 스위칭 트랜지스터(TRs)가 턴 온되고, 소정의 전압값을 갖는 데이터 신호(Vdata[m] 혹은 Vdata[m+1])가 스위칭 트랜지스터(TRs)의 제1 및 제2 전극을 경유하여 노드(No1 혹은 No2)에 인가된다.
- [0120] 이 때, 인가되는 데이터 전압(Vdata)은 제1 전압 값 내지 제2 전압 값의 범위로 인가되며, 예컨대 제1 전압 값은 화이트를 나타내고, 제2 전압 값은 블랙을 나타내는 것일 수 있다.
- [0121] 데이터 신호(Vdata[m] 혹은 Vdata[m+1])가 인가됨에 따라, 노드(No1 혹은 No2)의 전위는 기준 전압에서 '데이터 전압(Vdata)'으로 변경되고, 구동 트랜지스터(TRd1 혹은 TRd2)의 게이트의 전위는 '노드(No1 혹은 No2)의 전위+문턱 전압 저장 커패시터(Cvth1 혹은 Cvth2)의 양단에 걸린 전압(Vcvth1 혹은 Vcvth2)'이므로, '하이 레벨(ELVDD_H)+구동 트랜지스터(TRd1 혹은 TRd2)의 문턱 전압(Vth)+데이터 전압(Vdata)-기준 전압(Vsus)'이 된다.
- [0122] 제1 전원 전압(ELVDD)은 하이 레벨(ELVDD_H)로 인가되고, 제2 전원 전압(ELVSS)은 하이 레벨(ELVSS_H)로 인가되어, 제1 전원선(ELVDDL)으로부터 발광 소자들(E1 및 E2)로는 구동 전류가 흐르지 않는다.
- [0123] 다음으로, 주사 기간 후에 화소들(P1 및 P2)은 발광 기간(Emission)을 가진다.
- [0124] 발광 기간(Emission)에서는 화소(P1 혹은 P2)에 저장된 데이터 전압(Vdata)에 대응되는 구동 전류가 각 화소(P1 혹은 P2)에 구비된 발광 소자(E1 혹은 E2)로 제공되어 발광이 수행되는 기간이다. 이 때, 제1 전원 전압(ELVDD)은 하이 레벨(ELVDD_H)로 인가되고, 제2 전원 전압(ELVSS)은 하이 레벨(ELVSS_H)에서 로우 레벨(ELVSS_L)로 변경되어 인가되고, 주사신호(SCAN[n])는 하이 레벨(SCAN_H)로 인가되고, 제어 신호들(GC[1] 및 GC[2])은 하이 레벨(GC_H)로 인가된다.
- [0125] 주사 신호(SCAN[n])가 하이 레벨(SCAN_H)로 인가됨에 따라 P형 MOS인 스위칭 트랜지스터(TRs)는 턴 오프된다.
- [0126] 제2 전원 전압(ELVSS)이 로우 레벨(ELVSS_L)로 인가됨에 따라, 제1 전원선(ELVDDL)으로부터 발광 소자들(E1 및 E2)의 캐소드 전극까지 전류 통로가 형성되며, 구동 트랜지스터(TRd1 혹은 TRd2)의 게이트-소스 전압(Vgs), 즉, 구동 트랜지스터(TRd1 혹은 TRd2)의 게이트의 전위 및 구동 트랜지스터(TRd1 혹은 TRd2)의 제1 전극의 전위의 차에 대응되는 구동 전류가 발광 소자들(E1 및 E2)에 인가되며, 이에 대응되는 밝기로 발광하는 것이다.
- [0127] 발광 소자들(E1 및 E2)에 흐르는 전류는, $I_{oled} = \beta / 2 (V_{gs} - V_{th})^2 = \beta / 2 (V_{data} - V_{sus})^2$ 가 된다. 본 발명의 실시예에 따르면 발광 소자들(E1 및 E2)에 흐르는 구동 전류는 구동 트랜지스터들(TRd1 및 TRd2)의 문턱 전압

(Vth_1 혹은 Vth_2)의 차이에 의해 발생하는 문제를 개선할 수 있다.

- [0128] 발광 오프 기간(Off), 제1 초기화 기간(Reset1), 제1 문턱 전압 보상 기간(Vth1), 제2 초기화 기간(Reset2), 제2 문턱 전압 보상 기간(Vth2), 주사 기간(Scan) 및 발광 기간(Emission)을 통해 하나의 프레임이 구현되며, 이는 계속 순환되어 그 다음 프레임을 구현한다. 즉, 도 4의 발광 기간(Emission) 이후에는 다시 발광 오프 기간(Off)이 진행되는 것이다.
- [0129] 비록 도 4에는 도시되지 아니하였으나, 본 기술분야의 당업자는 하나의 스위치 회로(SC)에 3개 이상의 화소들이 연결되는 경우에도 도 4의 타이밍도가 응용 적용될 수 있음을 이해할 것이다. 예컨대, 스위치 회로(SC)에 3개의 화소들이 연결된 경우이면, 초기화 기간 및 문턱 전압 보상기간이 3번씩 반복되어, 발광 오프 기간(Off), 제1 초기화 기간(Reset1), 제1 문턱 전압 보상 기간(Vth1), 제2 초기화 기간(Reset2), 제2 문턱 전압 보상 기간(Vth2), 제3 초기화 기간(Reset3), 제3 문턱 전압 보상 기간(Vth3), 주사 기간(Scan) 및 발광 기간(Emission)을 통해 하나의 프레임이 구현될 것이다.
- [0130] 도 5는 본 발명의 실시예에 따른 유기 발광 표시 장치의 다른 예에 따른 화소들(P1 및 P2)의 회로도를 도시한다.
- [0131] 도 5에 도시된 화소들(P1 및 P2)은 n번째 행 및 m번째 열에 위치한 제1 화소(P1) 및 이에 대응되게 m+1번째 열에 위치한 제2 화소(P2)이다.
- [0132] 화소들(P1 및 P2)은 제1 전원선을 통해 제1 전원 전압(ELVDD)을 제공 받고, 외부로부터 제2 전원 전압(ELVSS)을 제공 받고, n번째 행에 대응하는 주사선에 연결되어 n번째 주사 신호(Scan[n])를 제공 받고, 제1 화소(P1)는 m번째 열에 대응하는 데이터선에 연결되어 주사 신호(Scan[n])에 동기화된 m번째 데이터 신호(Vdata[m])를 제공 받고, 제2 화소(P2)는 m+1번째 열에 대응하는 데이터선에 연결되어 주사 신호(Scan[n])에 동기화된 m+1번째 데이터 신호(Vdata[m+1])를 제공 받는다. 제1 화소(P1)는 제1 제어선(GCL1)을 통해 제1 제어 신호(GC1)를 제공 받고, 제2 화소(P2)는 제2 제어선(GCL2)을 통해 제2 제어 신호(GC2)를 제공 받는다.
- [0133] 화소들(P1 및 P2) 각각은 화소 회로(PC1 혹은 PC2) 및 화소 회로(PC1 혹은 PC2)로부터 구동 전류를 공급받아 발광하는 발광 소자(E1 혹은 E2)를 포함한다.
- [0134] 화소 회로(PC1 혹은 PC2)는 제어 신호(GC1 혹은 GC2)에 응답하여 노드(No1 혹은 No2)에 제1 전원 전압(ELVDD)을 전달하는 트랜지스터(TRgc1 혹은 TRgc2)를 포함한다.
- [0135] 화소 회로(PC1 혹은 PC2)는 노드(No1 혹은 No2) 및 발광 소자(E1 혹은 E2)의 애노드 전극 사이에 연결되어, 게이트의 전압 레벨에 따라 구동 전류를 발광 소자(E1 혹은 E2)에 출력하는 구동 트랜지스터(TRd1 혹은 TRd2)를 포함한다.
- [0136] 화소 회로(PC1 혹은 PC2)는 주사 신호(Scan[n])에 응답하여 데이터 신호(Vdata[m] 혹은 Vdata[m+1])를 구동 트랜지스터(TRd1 혹은 TRd2)의 게이트에 전달하는 스위칭 트랜지스터(TRs)를 포함한다.
- [0137] 화소 회로(PC1 혹은 PC2)는 구동 트랜지스터(TRd1 혹은 TRd2)의 게이트와 발광 소자(E1 혹은 E2)의 애노드 전극 사이에 연결되는 데이터 저장 커패시터(Cst)를 포함한다.
- [0138] 데이터 저장 커패시터(Cst)는 데이터 전압(Vdata)을 포함하는 값을 저장한다.
- [0139] 스위치 회로(SC)는 발광 소자들(E1 및 E2) 각각의 애노드 전극들 사이에 연결된다.
- [0140] 스위치 회로(SC)는 제어 신호(GC1 혹은 GC2)에 응답하여 발광 소자들(E1 및 E2) 각각의 애노드 전극들을 서로 연결하는 접속 트랜지스터들(TRc1 및 TRc2)을 포함한다.
- [0141] 제1 접속 트랜지스터(TRc1) 및 제2 접속 트랜지스터(TRc2)는 서로 병렬로 연결된다.
- [0142] 제1 트랜지스터(TRgc1) 및 제1 접속 트랜지스터(TRc1)는 제1 제어 신호(GC1)에 의해 제어되며, 제2 트랜지스터(TRgc2) 및 제2 접속 트랜지스터(TRc2)는 제2 제어 신호(GC2)에 의해 제어된다.
- [0143] 본 명세서에서는 본 발명을 한정된 실시예를 중심으로 설명하였으나, 본 발명의 범위 내에서 다양한 실시예가 가능하다. 또한 설명되지 않는 사항은, 균등한 수단도 또한 본 발명에 그대로 결합되는 것이라 할 것이다. 따라

서 본 발명의 진정한 보호범위는 아래의 특허청구범위에 의하여 정해져야 할 것이다.

부호의 설명

[0144]

100: 유기 발광 표시 장치

110: 표시 패널

120: 구동 제어부

130: 주사 구동부

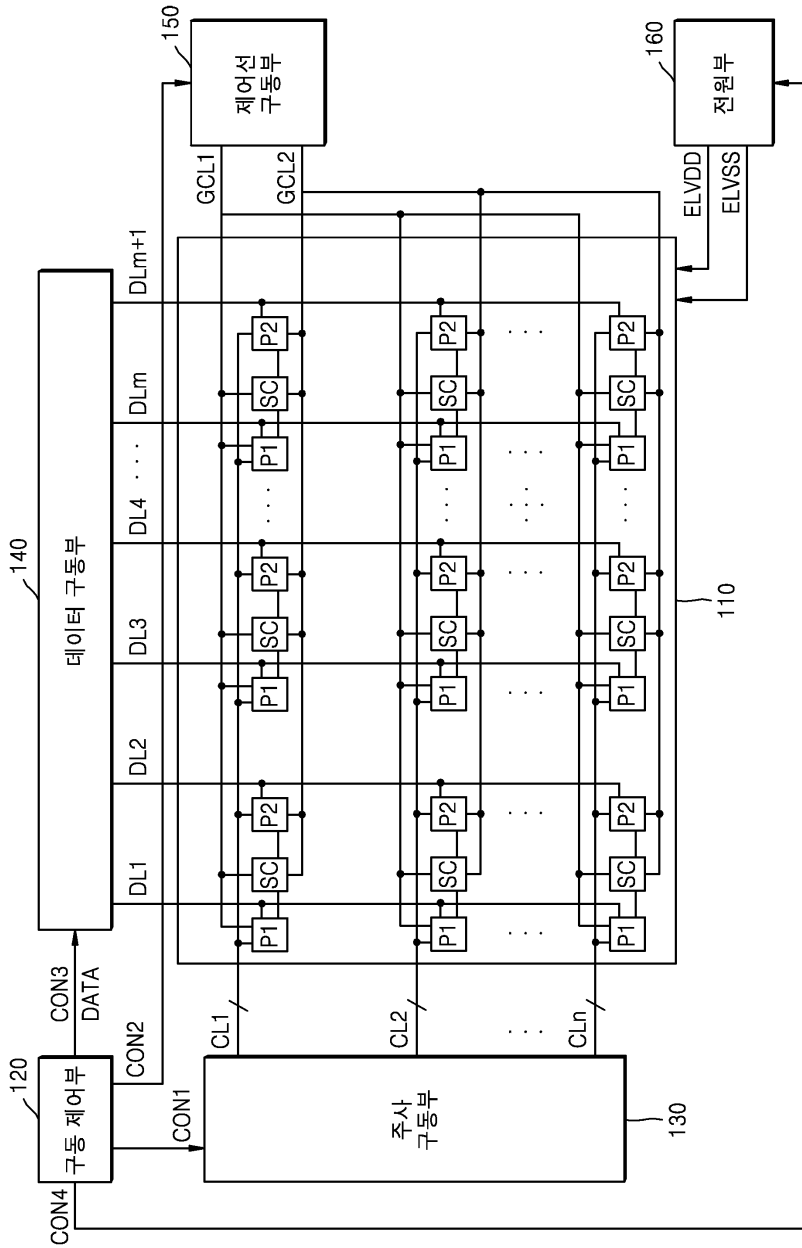
140: 데이터 구동부

150: 제어선 구동부

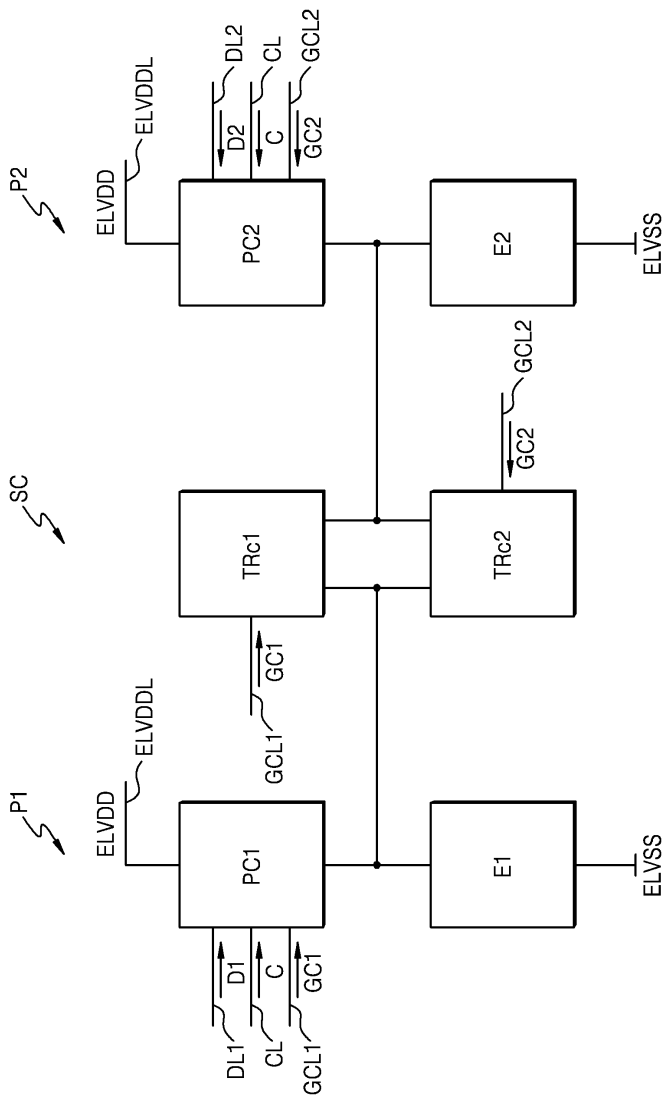
160: 전원부

도면

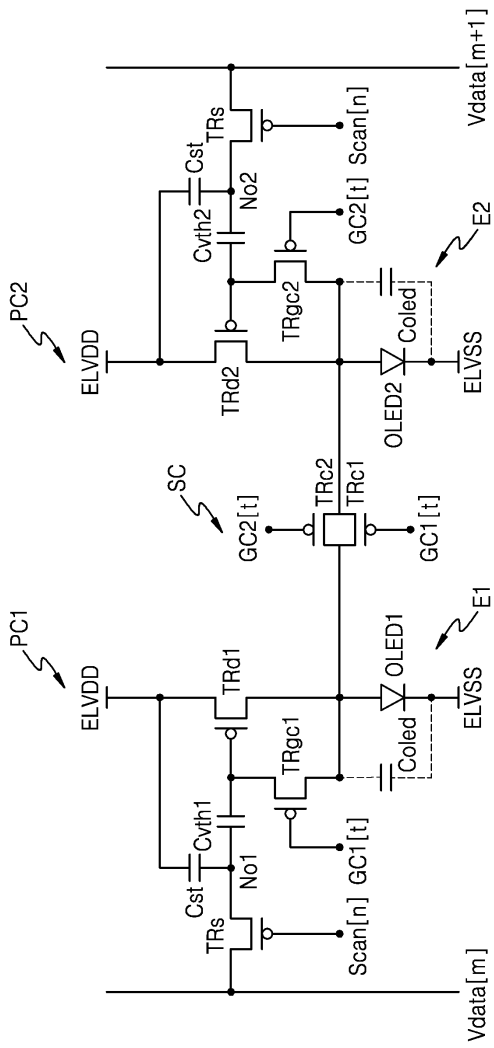
도면1



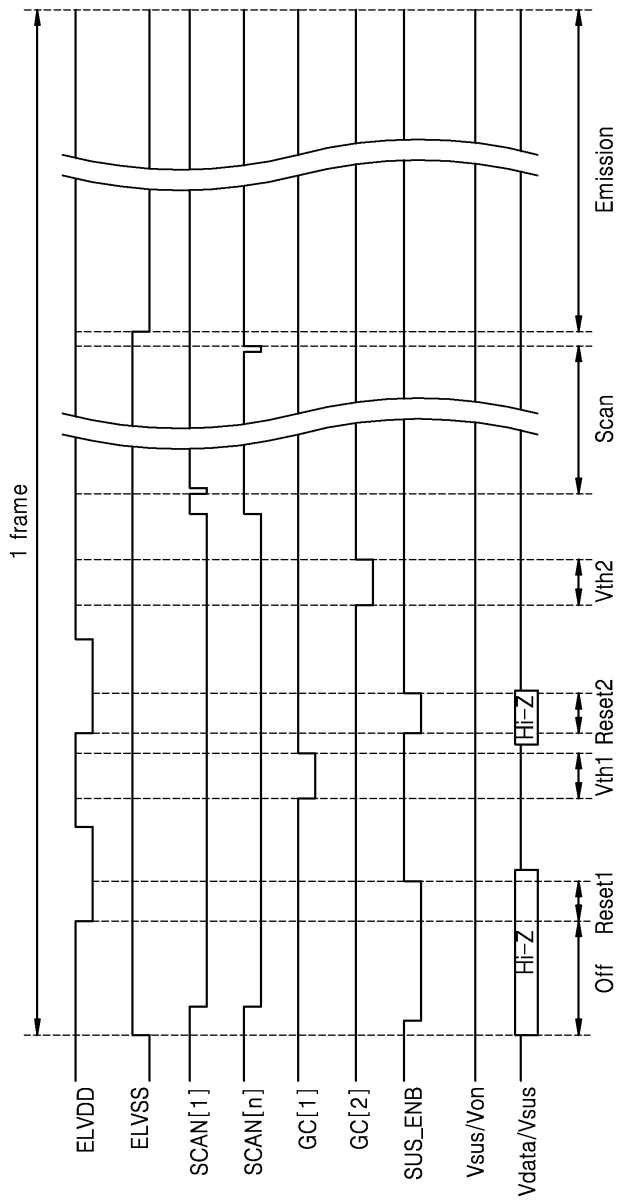
도면2



도면3



도면4



专利名称(译)	相关技术的描述		
公开(公告)号	KR1020160104789A	公开(公告)日	2016-09-06
申请号	KR1020150027265	申请日	2015-02-26
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	HWANG YOUNG IN 황영인 LEE HAE YEON 이해연 CHOI IN HO 최인호		
发明人	황영인 이해연 최인호		
IPC分类号	H01L27/32		
CPC分类号	H01L27/3248 H01L27/3246 H01L2227/32 G09G3/3233 G09G3/3266 G09G3/3291 G09G2300/0819 G09G2300/0852 G09G2300/0861 G09G2300/0866 G09G2320/0233 G09G2320/043		
外部链接	Espacenet		

摘要(译)

本发明的实施例提供有机发光显示装置。有机发光显示装置包括第一像素电路，第一像素第二像素电路包括利用从第一像素电路提供的驱动电流辐射的第一发光装置，以及连接在包括第二像素电路的阳极电极之间的开关电路发光装置利用从第二像素的阳极的第二像素电路提供的驱动电流进行辐射：以及第一发光装置和第二发光装置。

