

명세서

청구범위

청구항 1

기관,

상기 기관 위에 형성되어 있는 복수개의 스위칭 소자,

상기 기관 위에 형성되어 있는 적어도 하나 이상의 둔턱 부재,

상기 복수개의 스위칭 소자를 덮고 있으며 상기 둔턱 부재를 노출하는 보호 개구부를 가지는 보호막,

상기 보호막 위에 형성되어 있으며 상기 스위칭 소자와 연결되어 있는 복수개의 화소 전극,

상기 복수개의 화소 전극과 분리되어 동일한 층에 형성되어 있는 복수개의 보조 전극,

상기 복수개의 화소 전극 위에 차례로 형성되어 있는 화소 발광층 및 공통 발광층을 포함하는 유기 발광층,

상기 공통 발광층 위에 차례로 형성되어 있는 보조 공통 전극 및 주 공통 전극을 포함하는 공통 전극

을 포함하고,

상기 공통 발광층 및 보조 공통 전극은 상기 둔턱 부재에 대응하는 위치에 공통 접촉 구멍을 가지고,

상기 주 공통 전극은 상기 공통 접촉 구멍을 통해 상기 보조 전극과 접촉하고 있는 유기 발광 표시 장치.

청구항 2

제1항에서,

상기 기관은 복수개의 화소 영역, 상기 복수개의 화소 영역 사이에 형성되어 있는 복수개의 화소 테두리 영역을 포함하고,

상기 둔턱 부재, 상기 보호 개구부 및 상기 보조 전극은 상기 화소 테두리 영역에 형성되어 있는 유기 발광 표시 장치.

청구항 3

제2항에서,

상기 보조 전극은 서로 분리되어 마주보고 있는 제1 보조 전극 및 제2 보조 전극을 포함하는 유기 발광 표시 장치.

청구항 4

제3항에서,

상기 둔턱 부재는 상기 보조 전극과 중첩하고 있는 유기 발광 표시 장치.

청구항 5

제3항에서,

상기 둔턱 부재는 상기 제1 보조 전극과 상기 제2 보조 전극 사이에 위치하고 있는 유기 발광 표시 장치.

청구항 6

제5항에서,

상기 주 공통 전극은 상기 보호 개구부 및 상기 공통 접촉 구멍을 통해 노출된 상기 둔턱 부재와 접촉하고 있는 유기 발광 표시 장치.

청구항 7

제3항에서,

상기 화소 전극 및 보조 전극을 덮고 있으며 상기 보조 전극의 일부를 노출하는 보조 개구부를 가지는 화소 정의막을 더 포함하고,

상기 둔턱 부재는 상기 보조 개구부에 위치하고 있는 유기 발광 표시 장치.

청구항 8

제7항에서,

상기 주 공통 전극은 상기 보조 개구부 및 상기 공통 접촉 구멍을 통해 노출된 상기 보조 전극과 접촉하고 있는 유기 발광 표시 장치.

청구항 9

제8항에서,

상기 보조 개구부를 통해 노출된 상기 보조 전극은 상기 공통 발광층과 접촉하고 있는 유기 발광 표시 장치.

청구항 10

제1항에서,

상기 기판 위에 형성되어 있으며 상기 스위칭 소자에 스캔 신호를 전달하는스캔선,

상기 스캔선과 교차하고 있으며 상기 스위칭 소자에 데이터 신호를 전달하는데이터선을 더 포함하고,

상기 둔턱 부재는 상기 스캔선과 동일한 층에 형성되어 있는 제1 둔턱 부재,

상기 제1 둔턱 부재와 중첩하고 있으며 상기 데이터선과 동일한 층에 형성되어 있는 제2 둔턱 부재를 포함하는 유기 발광 표시 장치.

청구항 11

제10항에서,

상기 스위칭 소자는

상기 스캔선 및 상기 데이터선과 연결되어 있는 스위칭 트랜지스터,

상기 스위칭 트랜지스터와 연결되어 있는 구동 트랜지스터를 포함하는 유기 발광 표시 장치.

청구항 12

제10항에서,

상기 제1 둔턱 부재와 상기 제2 둔턱 부재 사이에 형성되어 있으며 상기 제1 둔턱 부재 및 상기 제2 둔턱 부재와 중첩하고 있는 제3 둔턱 부재를 더 포함하는 유기 발광 표시 장치.

청구항 13

기판 위에 복수개의 스위칭 소자와 적어도 하나 이상의 둔턱 부재를 형성하는 단계,

상기 복수개의 스위칭 소자를 덮으며 상기 둔턱 부재를 노출하는 보호 개구부를 가지는 보호막을 형성하는 단계,

상기 보호막 위에 상기 스위칭 소자와 연결되는 복수개의 화소 전극과, 상기 복수개의 화소 전극과 이격되며 제1 보조 전극과 제2 보조 전극을 포함하는 복수개의 보조 전극을 형성하는 단계,

상기 복수개의 화소 전극 위에 차례로 화소 발광층 및 공통 발광층을 포함하는 유기 발광층을 형성하는 단계,

상기 공통 발광층 위에 보조 공통 전극을 형성하는 단계,

상기 공통 발광층과 상기 보조 공통 전극에 상기 보조 전극의 일부를 노출하는 공통 접촉 구멍을 형성하는 단계,

상기 보조 공통 전극 위에 주 공통 전극을 형성하여 상기 주 공통 전극은 상기 공통 접촉 구멍을 통해 상기 보조 전극과 접촉하는 단계

를 포함하는 유기 발광 표시 장치의 제조 방법.

청구항 14

제13항에서,

상기 제1 보조 전극과 상기 제2 보조 전극은 전기적으로 분리되며,

상기 공통 접촉 구멍을 형성하는 단계는

상기 제1 보조 전극과 상기 제2 보조 전극 사이에 파괴 전압을 인가하여 상기 둔턱 부재 위에 형성된 상기 공통 발광층과 상기 보조 공통 전극을 제거하는 유기 발광 표시 장치의 제조 방법.

청구항 15

제13항에서,

상기 제1 보조 전극과 상기 제2 보조 전극은 등전위로 연결되며,

상기 공통 접촉 구멍을 형성하는 단계는

상기 보조 전극과 상기 보조 공통 전극 사이에 파괴 전압을 인가하여 상기 둔턱 부재 위에 형성된 상기 공통 발광층과 상기 보조 공통 전극을 제거하는 유기 발광 표시 장치의 제조 방법.

청구항 16

제13항에서,

상기 기판은 복수개의 화소 영역, 상기 복수개의 화소 영역 사이에 형성되는 복수개의 화소 테두리 영역을 포함하고,

상기 둔턱 부재, 상기 보호 개구부 및 상기 보조 전극은 상기 화소 테두리 영역에 형성되는 유기 발광 표시 장치의 제조 방법.

청구항 17

제13항에서,

상기 둔턱 부재는 상기 보조 전극과 중첩하여 형성되는 유기 발광 표시 장치의 제조 방법.

청구항 18

제13항에서,

상기 둔턱 부재는 상기 제1 보조 전극과 상기 제2 보조 전극 사이에 형성되는 유기 발광 표시 장치의 제조 방법.

청구항 19

제13항에서,

상기 화소 전극 및 보조 전극을 덮고 있으며 상기 보조 전극의 일부를 노출하는 보조 개구부를 가지는 화소 정의막을 형성하는 단계를 더 포함하고,

상기 둔턱 부재는 상기 보조 개구부에 위치하는 유기 발광 표시 장치의 제조 방법.

청구항 20

제19항에서,

상기 주 공통 전극은 상기 보조 개구부 및 상기 공통 접촉 구멍을 통해 노출된 상기 보조 전극과 접촉하는 유기 발광 표시 장치의 제조 방법.

청구항 21

제20항에서,

상기 보조 개구부를 통해 노출된 상기 보조 전극은 상기 공통 발광층과 접촉하는 유기 발광 표시 장치의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 유기 발광 표시 장치 및 그 제조 방법에 관한 것이다.

배경 기술

[0002] 유기 발광 표시 장치는 애노드(anode) 및 캐소드(cathode)의 두 개의 전극과 그 사이에 위치하는 유기 발광층을 포함하며, 캐소드로부터 주입된 전자(electron)와 애노드로부터 주입된 정공(hole)이 유기 발광층에서 결합하여 여기자(exciton)를 형성하고, 여기자가 에너지를 방출하면서 발광한다.

[0003] 이러한 유기 발광 표시 장치는 자발광 소자인 유기 발광 다이오드를 포함하는 복수개의 화소를 포함하며, 각 화소에는 유기 발광 다이오드를 구동하기 위한 복수개의 박막 트랜지스터 및 커패시터(Capacitor)가 형성되어 있다.

[0004] 대형 유기 발광 표시 장치에서는 캐소드의 저항을 최소화시켜야 하므로 캐소드와 접촉하는 보조 전극을 화소 테두리 영역에 형성하고 있다. 그리고, 제조 공정을 단순화시키고 마스크 수를 줄이기 위해 적색, 녹색 및 청색을 발광하는 유기 발광층 중 일부를 모든 화소에 공통적으로 형성하는 구조가 있다. 이와 같이, 모든 화소에 공통적으로 공통 발광층이 형성되는 구조에서는 공통 발광층이 화소 테두리 영역에도 형성되므로 캐소드와 보조 전극을 서로 연결하기 위해 공통 발광층을 제거하여야 한다.

[0005] 공통 발광층을 제거하기 위해 보조 전극에 고저항 물질을 삽입하고 있으나 이러한 고저항 물질을 삽입하기 위한 추가 공정이 필요하며, 고저항 물질과 저저항 물질간의 저항차가 충분히 크지 않은 경우에는 공통 발광층이 제대로 제거되지 않는다.

발명의 내용

해결하려는 과제

[0006] 본 발명은 전술한 배경 기술의 문제점을 해결하기 위한 것으로서, 공통 전극의 저항 증가를 방지하여 대형 전면 발광 구조에 적용가능한 유기 발광 표시 장치 및 그 제조 방법에 관한 것이다.

과제의 해결 수단

[0007] 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 기관, 상기 기관 위에 형성되어 있는 복수개의 스위칭 소자, 상기 기관 위에 형성되어 있는 적어도 하나 이상의 둔턱 부재, 상기 복수개의 스위칭 소자를 덮고 있으며 상기 둔턱 부재를 노출하는 보호 개구부를 가지는 보호막, 상기 보호막 위에 형성되어 있으며 상기 스위칭 소자와 연결되어 있는 복수개의 화소 전극, 상기 복수개의 화소 전극과 분리되어 동일한 층에 형성되어 있는 복수개의 보조 전극, 상기 복수개의 화소 전극 위에 차례로 형성되어 있는 화소 발광층 및 공통 발광층을 포함하는 유기 발광층, 상기 공통 발광층 위에 차례로 형성되어 있는 보조 공통 전극 및 주 공통 전극을 포함하는 공통 전극을 포함하고, 상기 공통 발광층 및 보조 공통 전극은 상기 둔턱 부재에 대응하는 위치에 공통 접촉 구멍을 가지고, 상기 주 공통 전극은 상기 공통 접촉 구멍을 통해 상기 보조 전극과 접촉하고 있을 수 있다.

[0008] 상기 기관은 복수개의 화소 영역, 상기 복수개의 화소 영역 사이에 형성되어 있는 복수개의 화소 테두리 영역을 포함하고, 상기 둔턱 부재, 상기 보호 개구부 및 상기 보조 전극은 상기 화소 테두리 영역에 형성되어 있을 수 있다.

- [0009] 상기 보조 전극은 서로 분리되어 마주보고 있는 제1 보조 전극 및 제2 보조 전극을 포함할 수 있다.
- [0010] 상기 둔턱 부재는 상기 보조 전극과 중첩하고 있을 수 있다.
- [0011] 상기 둔턱 부재는 상기 제1 보조 전극과 상기 제2 보조 전극 사이에 위치하고 있을 수 있다.
- [0012] 상기 주 공통 전극은 상기 보조 개구부 및 상기 공통 접촉 구멍을 통해 노출된 상기 둔턱 부재와 접촉하고 있을 수 있다.
- [0013] 상기 화소 전극 및 보조 전극을 덮고 있으며 상기 보조 전극의 일부를 노출하는 보조 개구부를 가지는 화소 정의막을 더 포함하고, 상기 둔턱 부재는 상기 보조 개구부에 위치하고 있을 수 있다.
- [0014] 상기 주 공통 전극은 상기 보조 개구부 및 상기 공통 접촉 구멍을 통해 노출된 상기 보조 전극과 접촉하고 있을 수 있다.
- [0015] 상기 보조 개구부를 통해 노출된 상기 보조 전극은 상기 공통 발광층과 접촉하고 있을 수 있다.
- [0016] 상기 기판 위에 형성되어 있으며 상기 스위칭 소자에 스캔 신호를 전달하는 스캔선, 상기 스캔선과 교차하고 있으며 상기 스위칭 소자에 데이터 신호를 전달하는 데이터선을 더 포함하고, 상기 둔턱 부재는 상기 스캔선과 동일한 층에 형성되어 있는 제1 둔턱 부재, 상기 제1 둔턱 부재와 중첩하고 있으며 상기 데이터선과 동일한 층에 형성되어 있는 제2 둔턱 부재를 포함할 수 있다.
- [0017] 상기 스위칭 소자는 상기 스캔선 및 상기 데이터선과 연결되어 있는 스위칭 트랜지스터, 상기 스위칭 트랜지스터와 연결되어 있는 구동 트랜지스터를 포함할 수 있다.
- [0018] 상기 제1 둔턱 부재와 상기 제2 둔턱 부재 사이에 형성되어 있으며 상기 제1 둔턱 부재 및 상기 제2 둔턱 부재와 중첩하고 있는 제3 둔턱 부재를 더 포함할 수 있다.
- [0019] 또한, 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 제조 방법은 기판 위에 복수개의 스위칭 소자와 적어도 하나 이상의 둔턱 부재를 형성하는 단계, 상기 복수개의 스위칭 소자를 덮으며 상기 둔턱 부재를 노출하는 보조 개구부를 가지는 보호막을 형성하는 단계, 상기 보호막 위에 상기 스위칭 소자와 연결되는 복수개의 화소 전극과, 상기 복수개의 화소 전극과 이격되며 제1 보조 전극과 제2 보조 전극을 포함하는 복수개의 보조 전극을 형성하는 단계, 상기 복수개의 화소 전극 위에 차례로 화소 발광층 및 공통 발광층을 포함하는 유기 발광층을 형성하는 단계, 상기 공통 발광층 위에 보조 공통 전극을 형성하는 단계, 상기 공통 발광층과 상기 보조 공통 전극에 상기 보조 전극의 일부를 노출하는 공통 접촉 구멍을 형성하는 단계, 상기 보조 공통 전극 위에 주 공통 전극을 형성하여 상기 주 공통 전극은 상기 공통 접촉 구멍을 통해 상기 보조 전극과 접촉하는 단계를 포함할 수 있다.
- [0020] 상기 제1 보조 전극과 상기 제2 보조 전극은 전기적으로 분리되며, 상기 공통 접촉 구멍을 형성하는 단계는 상기 제1 보조 전극과 상기 제2 보조 전극 사이에 파괴 전압을 인가하여 상기 둔턱 부재 위에 형성된 상기 공통 발광층과 상기 보조 공통 전극을 제거할 수 있다.
- [0021] 상기 제1 보조 전극과 상기 제2 보조 전극은 등전위로 연결되며, 상기 공통 접촉 구멍을 형성하는 단계는 상기 보조 전극과 상기 보조 공통 전극 사이에 파괴 전압을 인가하여 상기 둔턱 부재 위에 형성된 상기 공통 발광층과 상기 보조 공통 전극을 제거할 수 있다.
- [0022] 상기 기판은 복수개의 화소 영역, 상기 복수개의 화소 영역 사이에 형성되는 복수개의 화소 테두리 영역을 포함하고, 상기 둔턱 부재, 상기 보조 개구부 및 상기 보조 전극은 상기 화소 테두리 영역에 형성될 수 있다.
- [0023] 상기 둔턱 부재는 상기 보조 전극과 중첩하여 형성될 수 있다.
- [0024] 상기 둔턱 부재는 상기 제1 보조 전극과 상기 제2 보조 전극 사이에 형성될 수 있다.
- [0025] 상기 화소 전극 및 보조 전극을 덮고 있으며 상기 보조 전극의 일부를 노출하는 보조 개구부를 가지는 화소 정의막을 형성하는 단계를 더 포함하고, 상기 둔턱 부재는 상기 보조 개구부에 위치할 수 있다.
- [0026] 상기 주 공통 전극은 상기 보조 개구부 및 상기 공통 접촉 구멍을 통해 노출된 상기 보조 전극과 접촉할 수 있다.
- [0027] 상기 보조 개구부를 통해 노출된 상기 보조 전극은 상기 공통 발광층과 접촉할 수 있다.

발명의 효과

- [0028] 본 발명에 따르면, 보조 전극과 중첩하는 위치에 둔턱 부재를 형성함으로써, 보조 전극 위에 형성되는 공통 발광층과 보조 공통 전극은 얇은 두께로 형성되므로 보조 전극 위에 형성되는 공통 발광층과 보조 공통 전극을 방전으로 쉽게 제거할 수 있다.
- [0029] 따라서, 공통 전극에 낮은 저항의 보조 전극을 형성하여 공통 전극의 저항을 최소화할 수 있으므로 대형 구조에서 전면 발광 구조를 적용하기 용이하며, 이를 통해 소비 전력 감소, 수명 연장, 광효율 개선이 가능하다.

도면의 간단한 설명

- [0030] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 전체 회로도이다.
- 도 2는 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 하나의 화소의 등가 회로도이다.
- 도 3은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 하나의 화소의 복수개의 트랜지스터 및 커패시터를 개략적인 배치도이다.
- 도 4는 도 3의 구체적인 배치도이다.
- 도 5는 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 복수개의 화소 전극과 보조 전극의 개략적인 배치도이다.
- 도 6은 도 5의 A 부분의 구체적인 배치도이다.
- 도 7은 도 4의 유기 발광 표시 장치를 VII-VII선을 따라 자른 단면도이다.
- 도 8은 도 4의 유기 발광 표시 장치를 VIII-VIII선을 따라 자른 단면도이다.
- 도 9는 도 6을 IX-IX선을 따라 자른 단면도이다.
- 도 10 및 도 12는 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 제조 방법을 순서대로 도시한 배치도이다.
- 도 11은 도 10을 XI-XI선을 따라 자른 단면도이다.
- 도 13은 도 12를 XIII-XIII선을 따라 자른 단면도이다.
- 도 14는 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 다른 제조 방법의 단면도로서, 도 12의 XIII-XIII선을 따라 자른 단면도이다.
- 도 15는 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 구체적인 배치도로서, 도 5의 A 부분에 대응하는 위치의 구체적인 배치도이다.
- 도 16은 도 15의 XVI-XVI선을 따라 자른 단면도이다.
- 도 17은 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 제조 방법의 일 단계를 도시한 배치도이다.
- 도 18은 도 17의 XVIII-XVIII선을 따라 자른 단면도이다.
- 도 19는 본 발명의 또 다른 실시예에 따른 유기 발광 표시 장치의 복수개의 트랜지스터 및 커패시터를 개략적으로 도시한 도면이다.
- 도 20은 도 19의 구체적인 배치도이다.
- 도 21은 도 5의 A 부분에 대응하는 본 발명의 또 다른 실시예의 구체적인 배치도이다.
- 도 22는 도 21의 XXII-XXII선을 따라 자른 단면도이다.
- 도 23은 도 21의 XXIII-XXIII선을 따라 자른 단면도이다.
- 도 24는 도 21의 XXIV-XXIV선을 따라 자른 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0031] 이하, 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을

가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.

- [0032] 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 동일 또는 유사한 구성요소에 대해서는 동일한 참조 부호를 붙이도록 한다.
- [0033] 또한, 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로, 본 발명이 반드시 도식된 바에 한정되지 않는다. 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 그리고 도면에서, 설명의 편의를 위해, 일부 층 및 영역의 두께를 과장되게 나타내었다.
- [0034] 또한, 명세서 전체에서 어떤 부분이 어떤 구성 요소를 "포함"한다고 할 때, 이는 특별히 반대되는 발명이 없는 한 다른 구성 요소를 더 포함할 수 있는 것을 의미한다. 또한, 명세서 전체에서 층, 막, 영역, 판 등의 부분이 다른 부분 "상에" 또는 "위에" 있다고 할 때, 이는 다른 부분의 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 또한, "~ 상에" 또는 "~ 위에"라 함은 대상 부분의 위 또는 아래에 위치하는 것을 의미하며, 반드시 중력 방향을 기준으로 상측에 위치하는 것을 의미하지 않는다.
- [0035] 또한, 명세서 전체에서, "평면상"이라 할 때, 이는 대상 부분을 위에서 보았을 때를 의미하며, "단면상"이라 할 때, 이는 대상 부분을 수직으로 자른 단면을 옆에서 보았을 때를 의미한다.
- [0036] 또한, 첨부 도면에서 도시된 박막 트랜지스터(thin film transistor, TFT)와 커패시터(capacitor)의 갯수에 한정되지 않으며, 유기 발광 표시 장치는 하나의 화소에 복수개의 트랜지스터와 하나 이상의 커패시터를 구비할 수 있으며, 별도의 배선이 더 형성되거나 기존의 배선이 생략되어 다양한 구조를 갖도록 형성할 수도 있다. 여기서, 화소는 화상을 표시하는 최소 단위를 말하며, 유기 발광 표시 장치는 복수의 화소들을 통해 화상을 표시한다.
- [0037] 그러면 본 발명의 일 실시예에 따른 유기 발광 표시 장치에 대하여 도면을 참고로 상세하게 설명한다.
- [0038] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 전체 회로도이다.
- [0039] 도 1에 도시한 바와 같이, 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 화상을 표시하는 표시부(100), 표시부(100)의 주변에 위치하고 있는 스캔 구동부(400) 및 데이터 구동부(500)를 포함한다. 도 1에는 스캔 구동부(400)는 표시부(100)의 좌측에 위치하고 있고, 데이터 구동부(500)는 표시부(100)의 상측에 위치하고 있으나, 여기에 반드시 한정되지는 않으며, 스캔 구동부(400)와 데이터 구동부(500)가 모두 표시부(100)의 일측에 함께 형성되는 등 다양한 변형이 가능하다.
- [0040] 표시부(100)는 대략 행렬(matrix)의 형태로 배열된 복수개의 화소(PX)를 포함하며, 복수개의 화소(PX)는 복수개의 스캔선(SL[1]~SL[n]), 복수개의 발광 제어선(EML[1]~EML[n]), 복수개의 데이터선(DL[1]~DL[m]), 구동 전압(ELVDD)을 전달하는 구동 전압선(ELVDDL), 공통 전압(ELVSS)을 전달하는 공통 전압선(ELVSSL), 그리고 초기화 전압(Vint)을 전달하는 초기화 전압선(VINTL)을 포함하는 복수개의 신호선(SL[1]~SL[n], EML[1]~EML[n], DL[1]~DL[m], ELVDDL, ELVSSL, VINTL)에 연결되어 있다.
- [0041] 그리고, 스캔 구동부(400)는 복수 개의 스캔선(SL[1]~SL[n]), 복수개의 발광 제어 선(EML[1]~EML[n])에 연결되고, 제1 구동 제어신호(CONT1)에 따라 복수개의 스캔 신호(S[1]~S[n]) 및 복수개의 발광 제어 신호(EM[1]~EM[n])를 생성한다. 스캔 구동부(400)는 복수개의 스캔 신호(S[1]~S[n]) 각각을 대응하는 스캔선(SL[1]~SL[n])에 전달한다. 스캔 구동부(400)는 복수개의 발광 제어 신호(EM[1]~EM[n]) 각각을 대응하는 발광 제어 선(EML[1]~EML[n])에 전달한다.
- [0042] 데이터 구동부(500)는 제2 구동 제어신호(CONT2)에 따라 영상 데이터(R, G, B)를 샘플링하고 래치하여 복수의 데이터 신호(D[1]~D[m])를 생성한다. 데이터 구동부(500)는 각 데이터 신호(D[1]~D[m])를 대응하는 데이터선(DL[1]~DL[m])에 전달한다.
- [0043] 도 2는 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 하나의 화소의 등가 회로도이다.
- [0044] 도 2에 도시한 바와 같이, 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 하나의 화소(PX)는 복수개의 신호선(151, 152, 153, 154, 171, 172)에 연결되어 있는 복수개의 트랜지스터(T1, T2, T3, T4, T5, T6), 커패시터(Cst, Cb) 및 유기 발광 다이오드(organic light emitting diode, OLED)를 포함한다.
- [0045] 복수개의 신호선(151, 152, 153, 154, 171, 172)은 스캔 신호(Sn), 전단 스캔 신호(Sn-1), 발광 제어 신호(EM) 및 초기화 전압(Vint)을 각각 인가하며 행 방향을 따라 형성되어 있는 스캔선(151), 전단 스캔선(152), 발광 제

어선(153) 및 초기화 전압선(154)을 포함하고, 스캔선(151), 전단 스캔선(152), 발광 제어선(153) 및 초기화 전압선(154) 모두와 교차하고 있으며 화소(PX)에 데이터 신호(Dm) 및 구동 전압(ELVDD)을 각각 인가하는 데이터선(171) 및 구동 전압선(172)을 포함한다.

- [0046] 복수개의 트랜지스터(T1, T2, T3, T4, T5, T6)는 구동 트랜지스터(driving thin film transistor)(T1), 스위칭 트랜지스터(switching thin film transistor)(T2), 보상 트랜지스터(compensation transistor)(T3), 초기화 트랜지스터(initialization transistor)(T4), 동작 제어 트랜지스터(operation control transistor)(T5), 발광 제어 트랜지스터(light emission control transistor)(T6)를 포함하며, 커패시터(Cst, Cb)는 스토리지 커패시터(storage capacitor)(Cst) 및 부스팅 커패시터(boosting capacitor)(Cb)를 포함한다.
- [0047] 구동 트랜지스터(T1)의 게이트 전극(G1)은 스토리지 커패시터(Cst)의 일단(Cst1)과 연결되어 있고, 구동 트랜지스터(T1)의 소스 전극(S1)은 동작 제어 트랜지스터(T5)를 경유하여 구동 전압선(172)과 연결되어 있으며, 구동 트랜지스터(T1)의 드레인 전극(D1)은 발광 제어 트랜지스터(T6)를 경유하여 유기 발광 다이오드(OLD)의 애노드(anode)와 전기적으로 연결되어 있다. 구동 트랜지스터(T1)는 스위칭 트랜지스터(T2)의 스위칭 동작에 따라 데이터 신호(Dm)를 전달받아 유기 발광 다이오드(OLD)에 구동 전류(Id)를 공급한다.
- [0048] 스위칭 트랜지스터(T2)의 게이트 전극(G2)은 스캔선(151)과 연결되어 있고, 스위칭 트랜지스터(T2)의 소스 전극(S2)은 데이터선(171)과 연결되어 있으며, 스위칭 트랜지스터(T2)의 드레인 전극(D2)은 구동 트랜지스터(T1)의 소스 전극(S1)과 연결되어 있으면서 동작 제어 트랜지스터(T5)를 경유하여 구동 전압선(172)과 연결되어 있다. 이러한 스위칭 트랜지스터(Ts)는 스캔선(151)을 통해 전달받은 스캔 신호(Sn)에 따라 턴 온되어 데이터선(171)으로 전달된 데이터 신호(Dm)를 구동 트랜지스터(T1)의 소스 전극(S1)으로 전달하는 스위칭 동작을 수행한다.
- [0049] 보상 트랜지스터(T3)의 게이트 전극(G3)은 스캔선(151)에 연결되어 있고, 보상 트랜지스터(T3)의 소스 전극(S3)은 구동 트랜지스터(T1)의 드레인 전극(D1)과 연결되어 있으면서 발광 제어 트랜지스터(T6)를 경유하여 유기 발광 다이오드(OLD)의 애노드(anode)와 연결되어 있으며, 보상 트랜지스터(T3)의 드레인 전극(D3)은 초기화 트랜지스터(T4)의 드레인 전극(D4), 구동 트랜지스터(T1)의 게이트 전극(G1), 스토리지 커패시터(Cst)의 일단(Cst1) 및 부스팅 커패시터(Cb)의 일단(Cb1)에 함께 연결되어 있다. 이러한 보상 트랜지스터(T3)는 스캔선(151)을 통해 전달받은 스캔 신호(Sn)에 따라 턴 온되어 구동 트랜지스터(T1)의 게이트 전극(G1)과 드레인 전극(D1)을 서로 연결하여 구동 트랜지스터(T1)를 다이오드 연결시킨다.
- [0050] 초기화 트랜지스터(T4)의 게이트 전극(G4)은 전단 스캔선(152)과 연결되어 있고, 초기화 트랜지스터(T4)의 소스 전극(S4)은 초기화 전압선(192)과 연결되어 있으며, 초기화 트랜지스터(T4)의 드레인 전극(D4)은 보상 트랜지스터(T3)의 드레인 전극(D3)을 거쳐 부스팅 커패시터(Cb)의 일단(Cb1), 스토리지 커패시터의 일단(Cst1) 및 구동 트랜지스터(T1)의 게이트 전극(G1)에 함께 연결되어 있다. 이러한 초기화 트랜지스터(T4)는 전단 스캔선(152)을 통해 전달받은 전단 스캔 신호(Sn-1)에 따라 턴 온되어 초기화 전압(Vint)을 구동 트랜지스터(T1)의 게이트 전극(G1)에 전달하여 구동 트랜지스터(T1)의 게이트 전극(G1)의 게이트 전압(Vg)을 초기화시키는 초기화 동작을 수행한다.
- [0051] 동작 제어 트랜지스터(T5)의 게이트 전극(G5)은 발광 제어선(153)과 연결되어 있으며, 동작 제어 트랜지스터(T5)의 소스 전극(S5)은 구동 전압선(172)과 연결되어 있고, 동작 제어 트랜지스터(T5)의 드레인 전극(D5)은 구동 트랜지스터(T1)의 소스 전극(S1) 및 스위칭 트랜지스터(T2)의 드레인 전극(D2)에 연결되어 있다.
- [0052] 발광 제어 트랜지스터(T6)의 게이트 전극(G6)은 발광 제어선(153)과 연결되어 있으며, 발광 제어 트랜지스터(T6)의 소스 전극(S6)은 구동 트랜지스터(T1)의 드레인 전극(D1) 및 보상 트랜지스터(T3)의 소스 전극(S3)과 연결되어 있고, 발광 제어 트랜지스터(T6)의 드레인 전극(D6)은 유기 발광 다이오드(OLD)의 애노드(anode)와 전기적으로 연결되어 있다. 이러한 동작 제어 트랜지스터(T5) 및 발광 제어 트랜지스터(T6)는 발광 제어선(153)을 통해 전달받은 발광 제어 신호(EM)에 따라 동시에 턴 온되고 이를 통해 구동 전압(ELVDD)이 다이오드 연결된 구동 트랜지스터(T1)를 통해 보상되어 유기 발광 다이오드(OLD)에 전달되고, 유기 발광 다이오드(OLD)에 구동 전류(Id)가 흐르게 되어 발광함으로써 화상을 표시한다.
- [0053] 스위칭 트랜지스터(T2)의 게이트 전극(G2)과 연결된 스캔선(151)은 부스팅 커패시터(Cb)의 타단(Cb2)과 연결되어 있고, 부스팅 커패시터(Cb)의 일단(Cb1)은 구동 트랜지스터(T1)의 게이트 전극(G1)과 연결되어 있다.
- [0054] 스토리지 커패시터(Cst)의 타단(Cst2)은 구동 전압선(172)과 연결되어 있으며, 유기 발광 다이오드(OLD)의 캐소드(cathode)는 공통 전압(ELVSS)을 전달하는 공통 전압선(741)과 연결되어 있다.
- [0055] 한편, 본 발명의 일 실시예에서는 6 트랜지스터 2 커패시터 구조를 도시하고 있지만, 본 발명이 이에 한정되는

것은 아니며 트랜지스터의 수와 커패시터의 수는 다양하게 변형 가능하다.

- [0056] 이하에서 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 한 화소의 구체적인 동작 과정을 상세히 설명한다.
- [0057] 우선, 초기화 기간 동안 전단 스캔선(152)을 통해 로우 레벨(low level)의 전단 스캔 신호(Sn-1)가 공급된다. 그러면, 로우 레벨의 전단 스캔 신호(Sn-1)에 대응하여 초기화 트랜지스터(T4)가 턴 온(Turn on)되며, 초기화 전압선(192)으로부터 초기화 트랜지스터(T4)를 통해 초기화 전압(Vint)이 구동 트랜지스터(T1)의 게이트 전극(G1)에 연결되고, 초기화 전압(Vint)에 의해 구동 트랜지스터(T1)가 초기화된다.
- [0058] 이 후, 데이터 프로그래밍 기간 중 스캔선(151)을 통해 로우 레벨의 스캔 신호(Sn)가 공급된다. 그러면, 로우 레벨의 스캔 신호(Sn)에 대응하여 스위칭 트랜지스터(T2) 및 보상 트랜지스터(T3)가 턴 온된다. 이 때, 구동 트랜지스터(T1)는 턴 온된 보상 트랜지스터(T3)에 의해 다이오드 연결되고, 순방향으로 바이어스 된다.
- [0059] 그러면, 데이터선(171)으로부터 공급된 데이터 신호(Dm)에서 구동 트랜지스터(T1)의 문턱 전압(Threshold voltage, V_{th})만큼 감소한 보상 전압($Dm+V_{th}$, V_{th} 는 (-)의 값)이 구동 트랜지스터(T1)의 게이트 전극(G1)에 인가된다. 즉, 구동 트랜지스터(T1)의 게이트 전극(G1)에 인가된 게이트 전압(V_g)은 보상 전압($Dm+V_{th}$)이 된다. 스토리지 커패시터(C_{st})의 양단에는 구동 전압(ELVDD)과 보상 전압($Dm+V_{th}$)이 인가되고, 스토리지 커패시터(C_{st})에는 양단 전압 차에 대응하는 전하가 저장된다.
- [0060] 이 후, 스캔 신호(Sn)의 공급이 중단되면서 스캔 신호(Sn)의 전압 레벨이 하이 레벨(high level)로 변경되면, 부스팅 캐패시터(C_b)의 커플링 작용에 의해 구동 트랜지스터(T1)의 게이트 전극(G1)에 인가되는 게이트 전압(V_g)이 스캔 신호(Sn)의 전압 변동폭에 대응하여 변경된다. 이때, 스토리지 커패시터(C_{st})와 부스팅 캐패시터(C_b) 간의 차지 셰어링(charge sharing)에 의해 구동 트랜지스터(T1)의 게이트 전극(G1)에 인가되는 게이트 전압(V_g)이 변경되므로, 게이트 전극(G1)에 인가되는 전압 변화량은 스캔 신호(Sn)의 전압 변동폭과 더불어, 스토리지 커패시터(C_{st}) 및 부스팅 캐패시터(C_b) 간의 차지 셰어링(charge sharing) 값에 비례하여 변동된다.
- [0061] 이 후, 발광 기간 동안 발광 제어선(153)으로부터 공급되는 발광 제어 신호(EM)가 하이 레벨에서 로우 레벨로 변경된다. 그러면, 발광 기간 동안 로우 레벨의 발광 제어 신호(EM)에 의해 동작 제어 트랜지스터(T5) 및 발광 제어 트랜지스터(T6)가 턴 온된다.
- [0062] 그러면, 구동 트랜지스터(T1)의 게이트 전극(G1)의 게이트 전압(V_g)과 구동 전압(ELVDD) 간의 전압차에 따르는 구동 전류(I_d)가 발생하고, 발광 제어 트랜지스터(T6)를 통해 구동 전류(I_d)가 유기 발광 다이오드(OLD)에 공급된다. 발광 기간동안 스토리지 커패시터(C_{st})에 의해 구동 트랜지스터(T1)의 구동 게이트-소스 전압(V_{gs})은 ' $(Dm+V_{th})-ELVDD$ '으로 유지되고, 구동 트랜지스터(T1)의 전류-전압 관계에 따르면, 구동 전류(I_d)는 구동 게이트-소스 전압(V_{gs})에서 문턱 전압(V_{th})을 차감한 값의 제곱 ' $(Dm-ELVDD)^2$ '에 비례한다. 따라서 구동 전류(I_d)는 구동 트랜지스터(T1)의 문턱 전압(V_{th})에 관계 없이 결정된다.
- [0063] 그러면 도 1 및 도 2에 도시한 유기 발광 표시 장치의 상세 구조에 대하여 도 3, 도 4, 도 5, 도 6, 도 7, 도 8 및 도 9를 도 1과 함께 참고하여 상세하게 설명한다.
- [0064] 도 3은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 하나의 화소의 복수개의 트랜지스터 및 커패시터를 개략적인 배치도이고, 도 4는 도 3의 구체적인 배치도이며, 도 5는 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 복수개의 화소 전극과 보조 전극의 개략적인 배치도이고, 도 6은 도 5의 A 부분의 구체적인 배치도이고, 도 7은 도 4의 유기 발광 표시 장치를 VII-VII선을 따라 자른 단면도이고, 도 8은 도 4의 유기 발광 표시 장치를 VIII-VIII선을 따라 자른 단면도이며, 도 9는 도 6을 IX-IX선을 따라 자른 단면도이다.
- [0065] 이하에서 도 3, 도 4, 도 5 및 도 6을 참고하여 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 구체적인 평면상 구조에 대해 우선 상세히 설명하고, 도 7, 도 8 및 도 9를 참고하여 구체적인 단면상 구조에 대해 상세히 설명한다.
- [0066] 도 3에 도시한 바와 같이, 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 화소(PX)에 연결되어 있으며 스캔 신호(Sn), 전단 스캔 신호(Sn-1), 발광 제어 신호(EM) 및 초기화 전압(Vint)을 각각 인가하며 행 방향을 따라 형성되어 있는 스캔선(151), 전단 스캔선(152), 발광 제어선(153) 및 초기화 전압선(154)을 포함하고, 스캔선(151), 전단 스캔선(152), 발광 제어선(153) 및 초기화 전압선(154) 모두와 교차하고 있으며 화소(PX)에 데이터 신호(Dm) 및 구동 전압(ELVDD)을 각각 인가하는 데이터선(171) 및 구동 전압선(172)을 포함한다.
- [0067] 하나의 화소(PX)에는 구동 트랜지스터(T1), 스위칭 트랜지스터(T2), 보상 트랜지스터(T3), 초기화 트랜지스터

(T4), 동작 제어 트랜지스터(T5), 발광 제어 트랜지스터(T6), 스토리지 커패시터(Cst), 부스팅 커패시터(Cb), 그리고 유기 발광 다이오드(OLD)가 형성되어 있다. 유기 발광 다이오드(OLD)는 화소 전극(191), 유기 발광층(370) 및 공통 전극(270)으로 이루어진다. 이 때, 보상 트랜지스터(T3)와 초기화 트랜지스터(T4)는 누설 전류를 차단하기 위해 듀얼 게이트(dual gate) 구조의 트랜지스터로 구성되어 있다.

[0068] 구동 트랜지스터(T1), 스위칭 트랜지스터(T2), 보상 트랜지스터(T3), 초기화 트랜지스터(T4), 동작 제어 트랜지스터(T5) 및 발광 제어 트랜지스터(T6)의 각각의 채널(channel)은 연결되어 있는 하나의 반도체(130)의 내부에 형성되어 있으며, 반도체(130)는 다양한 형상으로 굴곡되어 형성될 수 있다. 이러한 반도체(130)는 다결정 규소 또는 산화물 반도체로 이루어질 수 있다. 산화물 반도체는 티타늄(Ti), haf늄(Hf), 지르코늄(Zr), 알루미늄(Al), 탄탈륨(Ta), 게르마늄(Ge), 아연(Zn), 갈륨(Ga), 주석(Sn) 또는 인듐(In)을 기본으로 하는 산화물, 이들의 복합 산화물인 인듐-갈륨-아연 산화물(InGaZnO₄), 인듐-아연 산화물(Zn-In-O), 아연-주석 산화물(Zn-Sn-O) 인듐-갈륨 산화물(In-Ga-O), 인듐-주석 산화물(In-Sn-O), 인듐-지르코늄 산화물(In-Zr-O), 인듐-지르코늄-아연 산화물(In-Zr-Zn-O), 인듐-지르코늄-주석 산화물(In-Zr-Sn-O), 인듐-지르코늄-갈륨 산화물(In-Zr-Ga-O), 인듐-알루미늄 산화물(In-Al-O), 인듐-아연-알루미늄 산화물(In-Zn-Al-O), 인듐-주석-알루미늄 산화물(In-Sn-Al-O), 인듐-알루미늄-갈륨 산화물(In-Al-Ga-O), 인듐-탄탈륨 산화물(In-Ta-O), 인듐-탄탈륨-아연 산화물(In-Ta-Zn-O), 인듐-탄탈륨-주석 산화물(In-Ta-Sn-O), 인듐-탄탈륨-갈륨 산화물(In-Ta-Ga-O), 인듐-게르마늄 산화물(In-Ge-O), 인듐-게르마늄-아연 산화물(In-Ge-Zn-O), 인듐-게르마늄-주석 산화물(In-Ge-Sn-O), 인듐-게르마늄-갈륨 산화물(In-Ge-Ga-O), 티타늄-인듐-아연 산화물(Ti-In-Zn-O), haf늄-인듐-아연 산화물(Hf-In-Zn-O) 중 어느 하나를 포함할 수 있다. 반도체(130)가 산화물 반도체로 이루어지는 경우에는 고온 등의 외부 환경에 취약한 산화물 반도체를 보호하기 위해 별도의 보호층이 추가될 수 있다.

[0069] 반도체(130)는 N형 불순물 또는 P형 불순물로 채널 도핑이 되어 있는 채널(channel)과, 채널의 양 옆에 형성되어 있으며 채널에 도핑된 도핑 불순물보다 도핑 농도가 높은 소스 도핑 영역 및 드레인 도핑 영역을 포함한다. 본 실시예에서 소스 도핑 영역 및 드레인 도핑 영역은 각각 소스 전극 및 드레인 전극에 해당한다. 반도체(130)에 형성되어 있는 소스 전극 및 드레인 전극은 해당 영역만 도핑하여 형성할 수 있다. 또한, 반도체(130)에서 서로 다른 트랜지스터의 소스 전극과 드레인 전극의 사이 영역도 도핑되어 소스 전극과 드레인 전극이 전기적으로 연결될 수 있다.

[0070] 도 4에 도시한 바와 같이, 반도체(130)에 형성되는 채널(131)은 구동 트랜지스터(T1)에 형성되는 구동 채널(131a), 스위칭 트랜지스터(T2)에 형성되는 스위칭 채널(131b), 보상 트랜지스터(T3)에 형성되는 보상 채널(131c), 초기화 트랜지스터(T4)에 형성되는 초기화 채널(131d), 동작 제어 트랜지스터(T5)에 형성되는 동작 제어 채널(131e), 그리고 발광 제어 트랜지스터(T6)에 형성되는 발광 제어 채널(131f)을 포함한다. 그리고, 반도체(130)에는 제1 스토리지 전극(132) 및 제1 부스팅 전극(133)이 형성되어 있다.

[0071] 구동 트랜지스터(T1)는 구동 채널(131a), 구동 게이트 전극(155a), 구동 소스 전극(136a) 및 구동 드레인 전극(137a)을 포함한다. 구동 게이트 전극(155a)은 구동 채널(131a)과 중첩하고 있으며, 구동 소스 전극(136a) 및 구동 드레인 전극(137a)은 구동 채널(131a)의 양 옆에 인접하여 각각 형성되어 있다. 구동 게이트 전극(155a)은 접촉 구멍(61)을 통해 구동 연결 부재(174)와 연결되어 있다.

[0072] 스위칭 트랜지스터(T2)는 스위칭 채널(131b), 스위칭 게이트 전극(155b), 스위칭 소스 전극(136b) 및 스위칭 드레인 전극(137b)을 포함한다. 스캔선(151)의 일부인 스위칭 게이트 전극(155b)은 스위칭 채널(131b)과 중첩하고 있으며, 스위칭 소스 전극(136b) 및 스위칭 드레인 전극(137b)은 스위칭 채널(131b)의 양 옆에 인접하여 각각 형성되어 있다. 스위칭 소스 전극(136b)은 접촉 구멍(62)을 통해 데이터선(171)과 연결되어 있다.

[0073] 보상 트랜지스터(T3)는 보상 채널(131c), 보상 게이트 전극(155c), 보상 소스 전극(136c) 및 보상 드레인 전극(137c)을 포함한다. 보상 게이트 전극(155c)은 누설 전류 방지를 위해 2개가 형성되어 있으며, 2개의 보상 게이트 전극(155c)은 스캔선(151)에서 아래쪽으로 연장된 돌출부일 수 있다. 보상 게이트 전극(155c)은 보상 채널(131c)과 중첩하고 있으며, 보상 소스 전극(136c) 및 보상 드레인 전극(137c)은 보상 채널(131c)의 양 옆에 인접하여 각각 형성되어 있다. 보상 드레인 전극(137c)은 접촉 구멍(63)을 통해 구동 연결 부재(174)와 연결되어 있다.

[0074] 초기화 트랜지스터(T4)는 초기화 채널(131d), 초기화 게이트 전극(155d), 초기화 소스 전극(136d) 및 초기화 드레인 전극(137d)을 포함한다. 초기화 게이트 전극(155d)은 누설 전류 방지를 위해 2개가 형성되어 있으며, 2개의 초기화 게이트 전극(155d)은 전단 스캔선(152)에서 아래쪽으로 연장된 돌출부일 수 있다. 초기화 게이트 전

극(155d)은 초기화 채널(131d)과 중첩하고 있으며, 초기화 소스 전극(136d) 및 초기화 드레인 전극(137d)은 초기화 채널(131d)의 양 옆에 인접하여 각각 형성되어 있다. 초기화 소스 전극(136d)은 접촉 구멍(64)을 통해 초기화 연결 부재(175)와 연결되어 있으며, 초기화 드레인 전극(137d)은 접촉 구멍(63)을 통해 구동 연결 부재(174)와 연결되어 있다.

[0075] 동작 제어 트랜지스터(T5)는 동작 제어 채널(131e), 동작 제어 게이트 전극(155e), 동작 제어 소스 전극(136e) 및 동작 제어 드레인 전극(137e)을 포함한다. 발광 제어선(153)에서 위쪽으로 연장된 돌출부인 동작 제어 게이트 전극(155e)은 동작 제어 채널(131e)과 중첩하고 있으며, 동작 제어 소스 전극(136e) 및 동작 제어 드레인 전극(137e)은 동작 제어 채널(131e)의 양 옆에 인접하여 각각 형성되어 있다. 동작 제어 소스 전극(136e)은 접촉 구멍(65)을 통해 구동 전압선(172)의 일부와 연결되어 있다.

[0076] 발광 제어 트랜지스터(T6)는 발광 제어 채널(131f), 발광 제어 게이트 전극(155f), 발광 제어 소스 전극(136f) 및 발광 제어 드레인 전극(137f)을 포함한다. 발광 제어선(153)에서 위쪽으로 연장된 돌출부인 발광 제어 게이트 전극(155f)은 발광 제어 채널(131f)과 중첩하고 있으며, 발광 제어 소스 전극(136f) 및 발광 제어 드레인 전극(137f)은 발광 제어 채널(131f)의 양 옆에 인접하여 각각 형성되어 있다. 발광 제어 드레인 전극(137f)은 접촉 구멍(66)을 통해 발광 제어 연결 부재(179)와 연결되어 있다.

[0077] 구동 소스 전극(136a)은 스위칭 드레인 전극(137b) 및 동작 제어 드레인 전극(137e)과 연결되어 있으며, 구동 드레인 전극(137a)은 보상 소스 전극(136c) 및 발광 제어 소스 전극(136f)과 연결되어 있다.

[0078] 스토리지 커패시터(Cst)는 게이트 절연막(140)을 사이에 두고 배치되는 제1 스토리지 전극(132)과 제2 스토리지 전극(156)을 포함한다. 여기서, 게이트 절연막(140)은 유전체가 되며, 스토리지 커패시터(Cst)에서 축전된 전하와 양 전극(132, 156) 사이의 전압에 의해 스토리지 커패시턴스(Storage Capacitance)가 결정된다.

[0079] 제1 스토리지 전극(132)은 채널(131)과 동일한 층에 형성되어 있으며, 제2 스토리지 전극(156)은 스캔선(151), 전단 스캔선(152), 발광 제어선(153)과 동일한 층에 형성되어 있다. 제1 스토리지 전극(132)은 도핑 불순물을 포함하고 있다.

[0080] 제1 스토리지 전극(132)은 보상 드레인 전극(177c)과 초기화 드레인 전극(177d) 사이에 형성되어 있으며, 제1 부스팅 전극(133) 및 구동 연결 부재(174)를 통해 구동 게이트 전극(155a)과 연결되어 있다. 제2 스토리지 전극(156)은 접촉 구멍(69)을 통해 구동 전압선(172)과 연결되어 있다.

[0081] 따라서, 스토리지 커패시터(Cst)는 구동 전압선(172)을 통해 제2 스토리지 전극(156)에 전달된 구동 전압(ELVDD)과 구동 게이트 전극(155a)의 게이트 전압(Vg)간의 차에 대응하는 스토리지 커패시턴스를 저장한다.

[0082] 부스팅 커패시터(Cb)의 제1 부스팅 전극(133)은 제1 스토리지 전극(132)에서 연장된 연장부이고, 제2 부스팅 전극(157)은 스캔선(151)에서 위쪽으로 연장된 돌출부이다. 이러한 부스팅 커패시터(Cb)는 스캔선(151)의 스캔 신호(Sn)의 변화에 따라 구동 게이트 전극(155a)의 게이트 전압(Vg)를 증가시키는 부스팅 동작을 수행하여 구동 범위(driving range)를 향상시킬 수 있으며 이를 통해 보다 정확한 계조를 구현할 수 있다.

[0083] 구동 연결 부재(174)는 데이터선(171)과 동일한 층에 형성되어 있으며 구동 연결 부재(174)의 일단은 접촉 구멍(61)을 통해 구동 게이트 전극(155a)과 연결되어 있다. 그리고, 구동 연결 부재(174)의 타단은 접촉 구멍(63)을 통해 보상 트랜지스터(T3)의 보상 드레인 전극(137c)과 연결되어 있다. 따라서, 구동 연결 부재(174)는 구동 게이트 전극(155a)과 보상 트랜지스터(T3)의 보상 드레인 전극(137c)을 서로 연결하고 있다.

[0084] 사각 형상의 초기화 연결 부재(175)는 접촉 구멍(67)을 통해 초기화 전압선(154)과 연결되어 있고, 사각 형상의 발광 제어 연결 부재(179)는 접촉 구멍(81)을 통해 유기 발광 다이오드(OLD)의 화소 전극(191)과 연결되어 있다. 도 3 및 도 4에 도시한 일 실시예에서 초기화 전압선은 스캔선과 평행한 직선 형상이고, 화소 전극은 화소를 대부분 덮는 대략 사각형 형상이나, 본 발명은 이러한 화소 전극과 초기화 전압선의 형상에 반드시 한정되는 것은 아니며, 초기화 연결 부재 및 발광 제어 연결 부재와 연결되는 형상이라면 다양하게 변형가능하다.

[0085] 이러한 화소 전극(191) 위에는 유기 발광층(370)이 형성되어 있고, 유기 발광층(370)은 화소 발광층(371) 및 공통 발광층(372)을 포함한다. 화소 발광층(371)은 해당하는 색상의 화소에만 형성되어 있으나, 공통 발광층(372)은 모든 화소에 공통적으로 형성되어 있다. 예컨대, 공통 발광층(372)은 청색의 발광층으로서, 청색 화소 뿐만 아니라 적색 화소 및 녹색 화소 위에도 형성된다. 유기 발광층(370) 위에는 공통 전극(270)이 형성되어 있다. 공통 전극(270)은 차례로 적층되어 있는 보조 공통 전극(272) 및 주 공통 전극(271)을 포함한다.

[0086] 도 5에 도시한 바와 같이, 복수개의 화소 전극(191)은 대략 행렬의 형태로 화소 영역(P1)에 배치되어 있으며,

화소 전극(191) 사이의 화소 테두리 영역(P2)에 보조 전극(192)이 그물(mesh) 구조로 형성되어 있다. 이러한 보조 전극(192)은 공통 전극(270)과 접촉하여 공통 전극(270)의 저항을 낮춤으로써 공통 전극(270)의 전압 강하 현상을 방지할 수 있다. 이하에서 화소 테두리 영역(P2)에 위치하며 보조 전극(192)과 공통 전극(270)을 서로 접촉시키는 공통 접촉부(A)의 구조에 대하여 도 6을 참고하여 상세히 설명한다.

- [0087] 도 6에 도시한 바와 같이, 보조 전극(192)은 제1 보조 전극(192a)과 제2 보조 전극(192b)으로 분리되어 있다. 보조 전극(192)의 단부에 대응하는 위치에는 둔턱 부재(9)가 형성되어 있다. 둔턱 부재(9)는 제1 둔턱 부재(59)와 제2 둔턱 부재(79)를 포함하며, 이러한 둔턱 부재(9)에 의해 보조 전극(192)의 단부는 보조 전극(192)의 다른 부분에 비해 높은 위치에 형성된다.
- [0088] 보조 공통 전극(272)과 공통 발광층(372)은 함께 보조 전극(192)을 노출하는 공통 접촉 구멍(72)을 가지며, 주 공통 전극(271)은 공통 접촉 구멍(72) 및 보조 개구부(352)를 통해 보조 전극(192)과 접촉하고 있다.
- [0089] 이하, 도 7, 도 8 및 도 9를 참고하여 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 단면상 구조에 대해 적층 순서에 따라 구체적으로 설명한다.
- [0090] 이 때, 동작 제어 트랜지스터(T5)는 발광 제어 트랜지스터(T6)의 적층 구조와 대부분 동일하므로 상세한 설명은 생략한다.
- [0091] 기관(110) 위에는 버퍼층(120)이 형성되어 있다. 기관(110)은 유리, 석영, 세라믹, 플라스틱 등으로 이루어진 절연성 기관으로 형성될 수 있다. 버퍼층(120)은 다결정 규소를 형성하기 위한 결정화 공정 시 기관(110)으로부터 불순물을 차단하여 다결정 규소의 특성을 향상시키고, 기관(110)을 평탄화시켜 버퍼층(120) 위에 형성되는 반도체(130)의 스트레스를 완화시키는 역할을 한다. 이러한 버퍼층(120)은 질화 규소(SiNx) 또는 산화 규소(SiO₂) 따위로 형성될 수 있다.
- [0092] 화소 영역(P1)의 버퍼층(120) 위에는 구동 채널(131a), 스위칭 채널(131b), 보상 채널(131c), 초기화 채널(131d), 동작 제어 채널(131e), 발광 제어 채널(131f), 제1 스토리지 전극(132) 및 제1 부스팅 전극(133)을 포함하는 반도체(130)가 형성되어 있다. 반도체(130) 중 구동 채널(131a)의 양 옆에는 구동 소스 전극(136a) 및 구동 드레인 전극(137a)이 형성되어 있고, 스위칭 채널(131b)의 양 옆에는 스위칭 소스 전극(136b) 및 스위칭 드레인 전극(137b)이 형성되어 있다. 그리고, 보상 채널(131c)의 양 옆에는 보상 소스 전극(136c) 및 보상 드레인 전극(137c)이 형성되어 있고, 초기화 채널(131d)의 양 옆에는 초기화 소스 전극(136d) 및 초기화 드레인 전극(137d)이 형성되어 있다. 그리고, 동작 제어 채널(131e)의 양 옆에는 동작 제어 소스 전극(136e) 및 동작 제어 드레인 전극(137e)이 형성되어 있고, 발광 제어 채널(131f)의 양 옆에는 발광 제어 소스 전극(136f) 및 발광 제어 드레인 전극(137f)이 형성되어 있다. 그리고, 제1 스토리지 전극(132) 및 제1 부스팅 전극(133)은 보상 드레인 전극(137c)과 초기화 드레인 전극(137d) 사이에 형성되어 있다.
- [0093] 반도체(130) 위에는 이를 덮는 게이트 절연막(140)이 형성되어 있다. 게이트 절연막(140)은 질화 규소(SiNx) 또는 산화 규소(SiO₂) 따위로 형성될 수 있다.
- [0094] 게이트 절연막(140) 위에는 스위칭 게이트 전극(155b) 및 보상 게이트 전극(155c)을 포함하는 스캔선(151), 초기화 게이트 전극(155d)을 포함하는 전단 스캔선(152), 동작 제어 게이트 전극(155e) 및 발광 제어 게이트 전극(155f)을 포함하는 발광 제어선(153), 구동 게이트 전극(155a), 제2 스토리지 전극(156) 및 제2 부스팅 전극(157)이 형성되어 있다. 그리고, 화소 테두리 영역(P2)에 위치한 게이트 절연막(140) 위에는 한 쌍의 제1 둔턱 부재(59)가 형성되어 있다.
- [0095] 이러한 게이트 배선(151, 152, 153, 155a, 156, 157, 59)은 구리(Cu), 구리 합금, 알루미늄(Al), 알루미늄 합금, 몰리브덴(Mo), 및 몰리브덴 합금 중 어느 하나를 포함하는 금속막이 적층된 다중막으로 형성될 수 있다.
- [0096] 게이트 절연막(140) 및 게이트 배선(151, 152, 153, 155a, 156, 157, 59) 위에는 이를 덮는 층간 절연막(160)이 형성되어 있다. 층간 절연막(160)은 질화 규소(SiNx) 또는 산화 규소(SiO₂) 따위로 형성될 수 있다.
- [0097] 층간 절연막(160) 위에는 데이터선(171), 구동 전압선(172), 구동 연결 부재(174), 초기화 연결 부재(175), 그리고 발광 제어 연결 부재(179)가 형성되어 있다.
- [0098] 그리고, 화소 테두리 영역(P2)에 위치한 층간 절연막(160) 위에는 한 쌍의 제2 둔턱 부재(79)가 형성되어 있다. 제2 둔턱 부재(79)는 제1 둔턱 부재(59)와 중첩되어 있으며, 제2 둔턱 부재(79)는 제1 둔턱 부재(59)를 모두 덮고 있다. 이러한 제1 둔턱 부재(59)와 제2 둔턱 부재(79)는 함께 둔턱 부재(9)를 이룬다.

- [0099] 이러한 데이터 배선(171, 172, 174, 175, 179, 79)은 구리(Cu), 구리 합금, 알루미늄(Al), 알루미늄 합금, 몰리브덴(Mo), 및 몰리브덴 합금 중 어느 하나를 포함하는 금속막이 적층된 다중막으로 형성될 수 있으며, 예컨대, 티타늄/알루미늄/티타늄(Ti/Al/Ti)의 3중막, 몰리브덴/알루미늄/몰리브덴(Mo/Al/Mo) 또는 몰리브덴/구리/몰리브덴(Mo/Cu/Mo)의 3중막 등으로 형성될 수 있다.
- [0100] 데이터선(171)은 게이트 절연막(140) 및 층간 절연막(160)에 동일한 경계선을 가지며 형성된 접촉 구멍(62)을 통해 스위칭 소스 전극(136b)와 연결되어 있으며, 구동 연결 부재(174)의 일단은 층간 절연막(160)에 형성된 접촉 구멍(61)을 통하여 구동 게이트 전극(155a)과 연결되어 있고, 구동 연결 부재(174)의 타단은 게이트 절연막(140) 및 층간 절연막(160)에 동일한 경계선을 가지며 형성된 접촉 구멍(63)을 통해 보상 드레인 전극(137c)과 연결되어 있다.
- [0101] 초기화 연결 부재(175)의 일단은 게이트 절연막(140) 및 층간 절연막(160)에 함께 형성된 접촉 구멍(64)을 통해 초기화 소스 전극(136d)과 연결되어 있다. 그리고, 초기화 연결 부재(175)의 타단은 층간 절연막(160)에 형성된 접촉 구멍(67)을 통해 초기화 전압선(154)와 연결되어 있다. 그리고, 발광 제어 연결 부재(179)는 게이트 절연막(140) 및 층간 절연막(160)에 함께 형성된 접촉 구멍(66)을 통해 발광 제어 드레인 전극(137f)과 연결되어 있다.
- [0102] 데이터 배선(171, 172, 174, 179, 79) 및 층간 절연막(160) 위에는 이를 덮는 보호막(180)이 형성되어 있다. 보호막(180)은 데이터 배선(171, 172, 174, 179)을 덮어 평탄화시키므로 보호막(180) 위에 화소 전극(191)을 단차없이 형성할 수 있다.
- [0103] 그리고, 화소 테두리 영역(P2)에 위치한 보호막(180)은 둔턱 부재(9)를 노출하는 보호 개구부(82)를 가진다.
- [0104] 이러한 보호막(180)은 폴리아크릴계 수지(polyacrylates resin), 폴리이미드계 수지(polyimides resin) 등의 유기물 또는 유기물과 무기물의 적층막 등으로 만들어질 수 있다.
- [0105] 보호막(180) 위에는 화소 전극(191) 및 보조 전극(192)이 형성되어 있다. 발광 제어 연결 부재(179)는 보호막(180)에 형성된 접촉 구멍(81)을 통해 화소 전극(191)과 연결되어 있다. 보조 전극(192)은 제1 보조 전극(192a)과 제2 보조 전극(192b)으로 분리되어 있으며, 제1 보조 전극(192a) 및 제2 보조 전극(192b)의 단부는 각각 한 쌍의 둔턱 부재(9)에 대응하는 위치에 형성되어 있다. 이 때, 제1 보조 전극(192a) 및 제2 보조 전극(192b)의 단부는 보호 개구부(82)를 통해 노출된 한 쌍의 둔턱 부재(9)와 직접 접촉하고 있다.
- [0106] 보호막(180), 보조 전극(192) 및 화소 전극(191)의 가장자리 위에는 이를 덮는 화소 정의막(Pixel Defined Layer, PDL)(350)이 형성되어 있고, 화소 정의막(350)은 화소 전극(191)을 드러내는 화소 개구부(351)를 가지고, 보조 전극(192)의 단부를 드러내는 보조 개구부(352)를 가진다. 둔턱 부재(9)는 화소 정의막(350)의 보조 개구부(352)에 위치하고 있다. 보조 개구부(352)를 최대한 확장함으로써 화소 정의막(350) 위에 형성되는 공통 발광층(372), 보조 공통 전극(272) 및 주 공통 전극(271)의 단차를 최소화하여 주 공통 전극과 보조 전극(192)간의 접촉을 용이하게 할 수 있다.
- [0107] 화소 정의막(350)은 폴리아크릴계 수지(polyacrylates resin), 폴리이미드계 수지(polyimides resin) 등의 유기물 또는 실리카 계열의 무기물로 만들어 질 수 있다.
- [0108] 화소 개구부(351)에 의해 노출된 화소 전극(191) 위에는 유기 발광층(370)이 형성되어 있고, 유기 발광층(370)은 화소 영역(P1)에 형성되는 화소 발광층(371)과 화소 테두리 영역(P2)까지 형성되는 공통 발광층(372)을 포함한다. 유기 발광층(370) 위에는 공통 전극(270)이 형성된다. 공통 전극(270)은 화소 영역(P1)과 화소 테두리 영역(P2)의 일부에 형성되어 있는 보조 공통 전극(272)과, 화소 영역(P1)과 화소 테두리 영역(P2)를 포함한 전면에 형성되어 있는 주 공통 전극(271)을 포함한다.
- [0109] 공통 발광층(372)과 보조 공통 전극(272)은 함께 보조 전극(192)의 단부를 노출하는 공통 접촉 구멍(72)을 가진다. 따라서, 주 공통 전극(271)은 공통 접촉 구멍(72) 및 보조 개구부(352)에 의해 노출된 보조 전극(192)과 직접 접촉하고 있으므로, 공통 전극(270)의 저항을 낮춰 공통 전극(270)의 전압 강하 현상을 방지할 수 있다.
- [0110] 이와 같이, 화소 전극(191), 유기 발광층(370) 및 공통 전극(270)을 포함하는 유기 발광 다이오드(OLD)가 형성된다. 여기서, 화소 전극(191)은 정공 주입 전극인 애노드이며, 공통 전극(270)은 전자 주입 전극인 캐소드가 된다. 그러나 본 발명에 따른 일 실시예는 반드시 이에 한정되는 것은 아니며, 유기 발광 표시 장치의 구동 방법에 따라 화소 전극(191)이 캐소드가 되고, 공통 전극(270)이 애노드가 될 수도 있다. 화소 전극(191) 및 공통 전극(270)으로부터 각각 정공과 전자가 유기 발광층(370) 내부로 주입되고, 주입된 정공과 전자가 결합한 엑

시톤(exiton)이 여기상태로부터 기저상태로 떨어질 때 발광이 이루어진다.

- [0111] 화소 발광층(371)과 공통 발광층(372) 각각은 저분자 유기물 또는 PEDOT(Poly 3,4-ethylenedioxythiophene) 등의 고분자 유기물로 이루어진다. 또한, 유기 발광층(370)은 발광층과, 정공 주입층(hole injection layer, HIL), 정공 수송층(hole transporting layer, HTL), 전자 수송층(electron transporting layer, ETL), 및 전자 주입층(electron injection layer, EIL) 중 하나 이상을 포함하는 다중막으로 형성될 수 있다. 이들 모두를 포함할 경우, 정공 주입층이 양극인 화소 전극(191) 상에 배치되고, 그 위로 정공 수송층, 발광층, 전자 수송층, 전자 주입층이 차례로 적층된다.
- [0112] 화소 발광층(371)은 적색을 발광하는 적색 유기 발광층, 녹색을 발광하는 녹색 유기 발광층을 포함할 수 있으며, 공통 발광층(372)은 청색을 발광하는 청색 유기 발광층을 포함할 수 있다. 적색 유기 발광층 및 청색 유기 발광층은 적색 화소에 함께 형성되고, 녹색 유기 발광층 및 청색 유기 발광층은 녹색 화소에 함께 형성되며, 청색 유기 발광층은 청색 화소에 형성되어 컬러 화상을 구현하게 된다.
- [0113] 공통 전극(270) 상에는 유기 발광 다이오드(OLD)를 보호하는 봉지 부재(도시하지 않음)가 형성될 수 있으며, 봉지 부재는 실런트에 의해 기판(110)에 밀봉될 수 있으며, 유리, 석영, 세라믹, 플라스틱, 및 금속 등 다양한 소재로 형성될 수 있다. 한편, 실런트를 사용하지 않고 공통 전극(270) 상에 무기막과 유기막을 증착하여 박막 봉지층을 형성할 수도 있다.
- [0114] 상기 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 제조 방법에 대해 이하에서 도면을 참고하여 상세히 설명한다.
- [0115] 도 10 및 도 12는 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 제조 방법을 순서대로 도시한 배치도이고, 도 11은 도 10을 XI-XI선을 따라 자른 단면도이며, 도 13은 도 12를 XIII-XIII선을 따라 자른 단면도이다.
- [0116] 우선, 도 7, 도 8, 도 10 및 도 11에 도시한 바와 같이, 기판(110) 위에 버퍼층(120)을 형성한다. 버퍼층(120)은 질화규소의 단일막 또는 질화규소와 산화규소의 적층막으로 형성될 수 있으며, 플라즈마 화학기상증착(PECVD) 등의 방법으로 기판(110) 위에 전면 증착된다. 그리고, 버퍼층(120) 위에 반도체층을 형성한다. 반도체층은 다결정 반도체층 또는 산화물 반도체층으로 형성할 수 있으며, 다결정 반도체층은 비정질 규소층을 형성한 후 이를 결정화하는 방법으로 형성할 수 있다. 결정화 방법으로는 공지된 다양한 방법이 적용될 수 있으며, 예를 들어 열, 레이저, 주열(Joule)열, 전기장, 또는 촉매 금속 등을 이용하여 비정질 규소층을 결정화할 수 있다. 이 때의 반도체층은 불순물이 도핑되지 않은 진성 반도체(intrinsic semiconductor) 상태이다. 그리고, 다결정 반도체층 위에 제1 마스크를 사용하여 사진 식각 공정을 진행함으로써, 다결정 반도체층을 반도체(130)로 패터닝한다. 이 때, 반도체(130)는 도핑되지 않아서 각 트랜지스터를 구성하는 채널, 소스 전극 및 드레인 전극으로 구분되어 있지 않다. 그리고, 반도체(130)에 도핑 농도가 낮은 채널 도핑을 진행하여 반도체(130)를 불순물 반도체(impurity semiconductor) 상태로 만든다.
- [0117] 그리고, 버퍼층(120) 및 반도체(130) 위에 이를 덮는 게이트 절연막(140)을 형성한다. 게이트 절연막(140)은 질화 규소(SiNx) 또는 산화 규소(SiO2) 따위를 플라즈마 화학기상증착(PECVD) 등의 방법으로 전면 증착하여 형성한다. 그리고, 게이트 절연막(140) 위에 게이트 금속층을 적층한다. 그리고, 제2 마스크를 이용하여 게이트 금속층을 사진 식각 공정으로 패터닝한다. 그 결과 화소 영역(P1)에는 스캔선(151), 전단 스캔선(152), 발광 제어선(153), 구동 게이트 전극(155a), 제2 스토리지 전극(156) 및 제2 부스팅 전극(157)이 형성되고, 화소 테두리 영역(P2)에는 한 쌍의 제1 둔턱 부재(59)가 형성된다. 게이트 금속층은 구리(Cu), 구리 합금, 알루미늄(Al), 및 알루미늄 합금 중 어느 하나를 포함하는 금속막, 몰리브덴(Mo)과 몰리브덴 합금 중 어느 하나를 포함하는 금속막이 적층된 다중막으로 형성될 수 있다.
- [0118] 그리고, 반도체(130)에 채널 도핑보다 도핑 농도가 높은 소스 및 드레인 도핑을 진행한다. 반도체(130)는 스위칭 게이트 전극(155b), 보상 게이트 전극(155c), 초기화 게이트 전극(155d), 동작 제어 게이트 전극(155e), 발광 제어 게이트 전극(155f), 및 구동 게이트 전극(155a)에 의하여 각각 가려진 부분을 제외하고 노출된 영역에 소스 및 드레인 도핑된다. 그 결과 각 트랜지스터의 소스 전극과 드레인 전극이 형성되고, 제1 스토리지 전극(132) 및 제1 부스팅 전극(133)이 형성된다. 반도체(130)에 가려져 도핑되지 않은 영역에는 각 트랜지스터의 채널(131)이 형성된다. 즉, 구동 채널(131a), 스위칭 채널(131b), 보상 채널(131c), 초기화 채널(131d), 동작 제어 채널(131e), 및 발광 제어 채널(131f) 을 동시에 형성한다. 이와 같이, 반도체(130)에 소스 및 드레인 도핑시에는 별도의 마스크가 필요하지 않다.

- [0119] 그리고, 게이트 절연막(140), 스캔선(151), 전단 스캔선(152), 발광 제어선(153), 구동 게이트 전극(155a), 제2 스토리지 전극(156), 제2 부스팅 전극(157), 및 한 쌍의 제1 둔턱 부재(59) 위에 이를 덮는 층간 절연막(160)을 형성한다. 층간 절연막(160)은 질화 규소(SiNx) 또는 산화 규소(SiO₂) 따위를 플라즈마 화학기상증착(PECVD) 등의 방법으로 전면 증착하여 형성한다. 그리고, 도펀트 활성화(Dopant activation) 공정을 진행하여 반도체(130)에 도핑된 불순물이 제대로 자리잡게 하고, 반도체(130)와 게이트 절연막(140)간의 경계면의 손상을 제거한다.
- [0120] 그리고, 제3 마스크를 이용한 사진 식각 공정으로 게이트 절연막(140) 및 층간 절연막(160)을 패터닝하여 복수개의 접촉 구멍(61, 62, 63, 64, 65, 66, 67, 69)을 형성한다.
- [0121] 그리고, 층간 절연막(160) 위에 데이터 금속층을 형성한다. 데이터 금속층은 구리, 구리 합금, 알루미늄, 및 알루미늄 합금 중 어느 하나를 포함하는 금속막과, 몰리브덴과 몰리브덴 합금 중 어느 하나를 포함하는 금속막이 적층된 다중막으로 형성될 수 있다. 예를 들어, 데이터 금속층은 티타늄/알루미늄/티타늄(Ti/Al/Ti)의 3중막, 몰리브덴/알루미늄/몰리브덴(Mo/Al/Mo) 또는 몰리브덴/구리/몰리브덴(Mo/Cu/Mo)의 3중막으로 형성될 수 있다. 그리고, 제4 마스크를 이용하여 데이터 금속층을 사진 식각 공정으로 패터닝한다. 이로써 화소 영역(P1)의 층간 절연막(160) 위에 데이터선(171), 구동 전압선(172), 구동 연결 부재(174), 초기화 연결 부재(175), 및 발광 제어 연결 부재(179)가 형성되고, 화소 테두리 영역(P2)의 층간 절연막(160) 위에는 한 쌍의 제2 둔턱 부재(79)가 형성된다.
- [0122] 그리고, 층간 절연막(160) 위에 보호막(180)을 형성하고, 제5 마스크를 이용한 사진 식각 공정으로 화소 영역(P1)에 위치한 보호막(180)에 접촉 구멍(81)을 형성하고, 화소 테두리 영역(P2)에 위치한 보호막(180)에 둔턱 부재(9)를 노출하는 보호 개구부(82)를 형성한다.
- [0123] 그리고, 보호막(180) 위에는 화소 전극층을 형성하고, 제6 마스크를 이용하여 사진 식각 공정으로 화소 전극층을 패터닝한다. 이로써 화소 영역(P1)의 보호막(180) 위에 접촉 구멍(81)을 통해 발광 제어 연결 부재(179)와 연결되는 화소 전극(191), 화소 테두리 영역(P2)의 보호 개구부(82)를 통해 둔턱 부재(9)와 접촉하는 보조 전극(192)을 형성한다.
- [0124] 그리고, 보호막(180) 위에 화소 전극(191) 및 보조 전극(192)을 덮는 화소 정의막(350)을 형성하고, 제7 마스크를 이용하여 화소 영역(P1)에 위치하는 화소 정의막(350)에 화소 전극(191)의 일부를 드러내는 화소 개구부(351)를 형성하고, 화소 테두리 영역(P2)에 위치하는 화소 정의막(350)에 보조 전극(192)의 단부를 노출하는 보조 개구부(352)를 형성한다.
- [0125] 그리고, 화소 정의막(350)의 화소 개구부(351)를 통해 드러난 화소 전극(191) 위에 화소 발광층(371)을 형성하고, 화소 발광층(371) 및 화소 정의막(350) 위에 공통 발광층(372)을 형성한다. 그리고 공통 발광층(372) 위에 보조 공통 전극(272)을 형성한다. 이 때, 둔턱 부재(9) 위에 위치하는 공통 발광층(372) 및 보조 공통 전극(272)은 다른 부분에 비해 높은 위치에 형성되므로 둔턱 부재(9) 위에 위치하는 공통 발광층(372) 및 보조 공통 전극(272)의 두께(t₂)는 다른 부분의 두께(t₁)보다 얇은 두께로 형성된다.
- [0126] 다음으로, 도 12 및 도 13에 도시한 바와 같이, 서로 전기적으로 분리되어 제1 보조 전극(192a)과 제2 보조 전극(192b) 사이에 파괴 전압선(BVL)을 연결하여 파괴 전압(breakdown voltage)을 인가한다. 그러면, 제1 보조 전극(192a)과 보조 공통 전극(272) 사이에 파괴 전압이 걸리고, 제2 보조 전극(192b)과 보조 공통 전극(272) 사이에도 파괴 전압이 걸리게 된다. 이 때, 한 쌍의 둔턱 부재(9) 위에 위치하는 공통 발광층(372) 및 보조 공통 전극(272)의 두께(t₂)는 다른 부분의 두께(t₁)보다 얇으므로 파괴 전압에 의한 방전으로 인해 쉽게 제거되어 공통 접촉 구멍(72)이 된다. 따라서, 공통 접촉 구멍(72)을 통해 보조 전극(192)의 단부가 노출된다. 이와 같이, 보조 전극(192)과 중첩하는 위치에 둔턱 부재(9)를 형성함으로써, 보조 전극(192) 위에 형성되는 공통 발광층(372)과 보조 공통 전극(272)은 얇은 두께로 형성되므로 공통 발광층(372)과 보조 공통 전극(272)을 방전으로 쉽게 제거할 수 있다.
- [0127] 다음으로, 도 6 및 도 9에 도시한 바와 같이, 보조 공통 전극(272) 위에 주 공통 전극(271)을 형성한다. 주 공통 전극(271)은 공통 접촉 구멍(72) 및 보조 개구부(352)에 의해 노출된 보조 전극(192)과 직접 접촉하므로 공통 전극(270)의 저항을 낮춰 공통 전극(270)의 전압 강하 현상을 방지할 수 있다. 주 공통 전극(271)은 화소 정의막(350)에 대응하는 위치를 포함하여 전 영역에 걸쳐 형성되므로 별도의 마스크를 사용하지 않는다.
- [0128] 한편, 상기 일 실시예에 따른 제조 방법에서는 제1 보조 전극(192a)과 제2 보조 전극(192b)이 서로 전기적으로 분리되어 있어 제1 보조 전극(192a)과 제2 보조 전극(192b) 사이에 파괴 전압을 인가하였으나, 외부에서 제1 보

조 전극(192a)과 제2 보조 전극(192b)을 등전위로 서로 연결하고 보조 공통 전극(272)과 보조 전극(192)간에 파괴 전압을 인가하는 다른 제조 방법도 가능하다.

- [0129] 도 14는 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 다른 제조 방법의 단면도로서, 도 12의 XIII-XIII선을 따라 자른 단면도이다.
- [0130] 도 14에 도시된 다른 제조 방법은 도 13에 도시된 일 실시예에 따른 제조 방법과 비교하여 제1 보조 전극(192a)과 제2 보조 전극(192b)이 외부에서 등전위로 서로 연결되어 있는 것만을 제외하고 실질적으로 동일한 바 반복되는 설명은 생략한다.
- [0131] 도 14에 도시한 바와 같이, 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 다른 제조 방법은 화소 정의막(350)의 화소 개구부(351)를 통해 드러난 화소 전극(191) 위에 화소 발광층(371)을 형성하고, 화소 발광층(371) 및 화소 정의막(350) 위에 공통 발광층(372)을 형성한다. 그리고 공통 발광층(372) 위에 보조 공통 전극(272)을 형성한다. 그리고, 외부에서 등전위선(SVL) 등을 이용하여 제1 보조 전극(192a)과 제2 보조 전극(192b)을 등전위로 서로 연결한다. 그리고, 보조 전극(192)과 보조 공통 전극(272) 사이에 파괴 전압선(BVL)을 연결하여 파괴 전압(breakdown voltage)을 인가한다. 이 때, 한 쌍의 둔턱 부재(9) 위에 위치하는 공통 발광층(372) 및 보조 공통 전극(272)의 두께(t_2)는 다른 부분의 두께(t_1)보다 얇으므로 파괴 전압에 의한 방전으로 인해 쉽게 제거되어 공통 접촉 구멍(72)이 된다. 따라서, 공통 접촉 구멍(72)을 통해 보조 전극(192)의 단부가 노출된다. 이와 같이, 보조 전극(192)과 중첩하는 위치에 둔턱 부재(9)를 형성함으로써, 보조 전극(192) 위에 형성되는 공통 발광층(372)과 보조 공통 전극(272)은 얇은 두께로 형성되므로 공통 발광층(372)과 보조 공통 전극(272)을 방전으로 쉽게 제거할 수 있다.
- [0132] 다음으로, 도 6 및 도 9에 도시한 바와 같이, 보조 공통 전극(272) 위에 주 공통 전극(271)을 형성한다. 주 공통 전극(271)은 공통 접촉 구멍(72) 및 보조 개구부(352)에 의해 노출된 보조 전극(192)과 직접 접촉하므로 공통 전극(270)의 저항을 낮춰 공통 전극(270)의 전압 강하 현상을 방지할 수 있다.
- [0133] 한편, 상기 일 실시예에서는 둔턱 부재가 보조 전극과 중첩하고 있으나, 둔턱 부재가 제1 보조 전극과 제2 보조 전극 사이에 위치하는 다른 실시예도 가능하다.
- [0134] 도 15는 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 구체적인 배치도로서, 도 5의 A 부분에 대응하는 위치의 구체적인 배치도이고, 도 16은 도 15의 XVI-XVI선을 따라 자른 단면도이다.
- [0135] 도 15 및 도 16에 도시된 다른 실시예는 도 1 내지 도 11에 도시된 일 실시예와 비교하여 둔턱 부재가 제1 보조 전극과 제2 보조 전극 사이에 위치하는 것만을 제외하고 실질적으로 동일한 바 반복되는 설명은 생략한다.
- [0136] 도 15 및 도 16에 도시한 바와 같이, 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 화소 테두리 영역(P2)에 위치하는 기판(110) 위에는 버퍼층(120)이 형성되어 있고, 버퍼층(120) 위에 게이트 절연막(140)이 형성되어 있다. 그리고, 게이트 절연막(140) 위에는 제1 둔턱 부재(59)가 형성되어 있고, 제1 둔턱 부재(59) 및 게이트 절연막(140) 위에는 층간 절연막(160)이 형성되어 있다. 층간 절연막(160) 위에는 제1 둔턱 부재(59)와 중첩하는 위치에 제2 둔턱 부재(79)가 형성되어 있으며, 제1 둔턱 부재(59)와 제2 둔턱 부재(79)는 함께 둔턱 부재(9)를 이룬다. 층간 절연막(160) 위에는 보호막(180)이 형성되어 있으며, 화소 테두리 영역(P2)에 위치한 보호막(180)은 둔턱 부재(9)를 노출하는 보호 개구부(82)를 가진다. 보호막(180) 위에는 보조 전극(192)이 형성되어 있다. 보조 전극(192)은 제1 보조 전극(192a)과 제2 보조 전극(192b)으로 분리되어 있으며, 둔턱 부재(9)는 제1 보조 전극(192a)과 제2 보조 전극(192b) 사이에 위치하고 있다. 화소 테두리 영역(P2)에 위치한 보조 전극(192) 위에는 이를 덮는 화소 정의막(350)이 형성되어 있고, 화소 정의막(350)은 보조 전극(192)의 단부와 둔턱 부재(9)를 드러내는 보조 개구부(352)를 가진다.
- [0137] 화소 테두리 영역(P2)까지 형성되는 공통 발광층(372) 위에는 공통 전극(270)이 형성된다. 공통 전극(270)은 화소 영역(P1)과 화소 테두리 영역(P2)의 일부에 형성되어 있는 보조 공통 전극(272)과, 화소 영역(P1)과 화소 테두리 영역(P2)를 포함한 전면에 형성되어 있는 주 공통 전극(271)을 포함한다.
- [0138] 공통 발광층(372)과 보조 공통 전극(272)은 함께 보조 전극(192)의 단부를 노출하는 공통 접촉 구멍(72)을 가진다. 따라서, 주 공통 전극(271)은 공통 접촉 구멍(72) 및 보조 개구부(352)에 의해 노출된 보조 전극(192)과 직접 접촉하고 있으므로, 공통 전극(270)의 저항을 낮춰 공통 전극(270)의 전압 강하 현상을 방지할 수 있다.
- [0139] 상기 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 제조 방법에 대해 이하에서 도면을 참고하여 상세히 설명한다.

- [0140] 도 17은 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 제조 방법의 일 단계를 도시한 배치도이고, 도 18은 도 17의 XVIII-XVIII선을 따라 자른 단면도이다.
- [0141] 도 17 및 도 18에 도시된 다른 실시예에 따른 유기 발광 표시 장치의 제조 방법은 도 7, 도 8, 도 9, 도 10, 도 11, 도 12, 및 도 13에 도시된 일 실시예에 따른 유기 발광 표시 장치의 제조 방법과 비교하여 둔턱 부재가 제1 보조 전극과 제2 보조 전극 사이에 형성되는 것만을 제외하고 실질적으로 동일한 바 반복되는 설명은 생략한다.
- [0142] 우선, 도 7, 도 8, 도 10 및 도 11에 도시한 바와 같이, 기판(110) 위에 버퍼층(120)을 형성하고, 버퍼층(120) 위에 반도체층을 형성한다. 그리고, 반도체층 위에 제1 마스크를 사용하여 사진 식각 공정을 진행함으로써, 반도체층을 반도체(130)로 패터닝한다. 그리고, 버퍼층(120) 및 반도체(130) 위에 이를 덮는 게이트 절연막(140)을 형성한다. 그리고, 게이트 절연막(140) 위에 게이트 금속층을 적층한다. 그리고, 제2 마스크를 이용하여 게이트 금속층을 사진 식각 공정으로 패터닝한다. 그 결과 화소 테두리 영역(P2)에는 제1 둔턱 부재(59)가 형성된다. 그리고, 반도체(130)에 채널 도핑보다 도핑 농도가 높은 소스 및 드레인 도핑을 진행한다. 그리고, 게이트 절연막(140) 및 제1 둔턱 부재(59) 위에 이를 덮는 층간 절연막(160)을 형성한다. 그리고, 제3 마스크를 이용한 사진 식각 공정으로 게이트 절연막(140) 및 층간 절연막(160)을 패터닝하여 화소 영역(P1)에 복수개의 접촉 구멍(61, 62, 63, 64, 65, 66, 67, 69)을 형성한다. 그리고, 층간 절연막(160) 위에 데이터 금속층을 형성한다. 그리고, 제4 마스크를 이용하여 데이터 금속층을 사진 식각 공정으로 패터닝한다. 이로써 화소 테두리 영역(P2)의 층간 절연막(160) 위에는 제2 둔턱 부재(79)가 형성된다. 그리고, 층간 절연막(160) 위에 보호막(180)을 형성하고, 제5 마스크를 이용한 사진 식각 공정으로 화소 테두리 영역(P2)에 위치한 보호막(180)에 둔턱 부재(9)를 노출하는 보호 개구부(82)를 형성한다. 그리고, 보호막(180) 위에는 화소 전극층을 형성하고, 제6 마스크를 이용하여 사진 식각 공정으로 화소 전극층을 패터닝한다. 이로써 화소 테두리 영역(P2)에 둔턱 부재(9)를 사이에 두고 양 옆에 위치하는 제1 보조 전극(192a) 및 제2 보조 전극(192b)을 형성한다.
- [0143] 그리고, 보호막(180) 위에 보조 전극(192)을 덮는 화소 정의막(350)을 형성하고, 제7 마스크를 이용하여 화소 테두리 영역(P2)에 위치하는 화소 정의막(350)에 보조 전극(192)의 단부를 노출하는 보조 개구부(352)를 형성한다. 그리고, 화소 정의막(350)의 화소 개구부(351)를 통해 드러난 화소 전극(191) 위에 화소 발광층(371)을 형성하고, 화소 발광층(371) 및 화소 정의막(350) 위에 공통 발광층(372)을 형성한다. 그리고 공통 발광층(372) 위에 보조 공통 전극(272)을 형성한다. 이 때, 둔턱 부재(9) 위에 위치하는 공통 발광층(372) 및 보조 공통 전극(272)은 다른 부분에 비해 높은 위치에 형성되므로 둔턱 부재(9) 위에 위치하는 공통 발광층(372) 및 보조 공통 전극(272)의 두께(t2)는 다른 부분의 두께(t1)보다 얇은 두께로 형성된다.
- [0144] 다음으로, 도 17 및 도 18에 도시한 바와 같이, 서로 전기적으로 분리되어 제1 보조 전극(192a)과 제2 보조 전극(192b) 사이에 파괴 전압선(BVL)을 연결하여 파괴 전압(breakdown voltage)을 인가한다. 그러면, 제1 보조 전극(192a)과 보조 공통 전극(272) 사이에 파괴 전압이 걸리고, 제2 보조 전극(192b)과 보조 공통 전극(272) 사이에도 파괴 전압이 걸리게 된다. 이 때, 한 쌍의 둔턱 부재(9) 위에 위치하는 공통 발광층(372) 및 보조 공통 전극(272)의 두께(t2)는 다른 부분의 두께(t1)보다 얇으므로 파괴 전압에 의한 방전으로 인해 쉽게 제거되어 공통 접촉 구멍(72)이 된다. 따라서, 공통 접촉 구멍(72)을 통해 보조 전극(192)의 단부가 노출된다. 이와 같이, 보조 전극(192)과 중첩하는 위치에 둔턱 부재(9)를 형성함으로써, 보조 전극(192) 위에 형성되는 공통 발광층(372)과 보조 공통 전극(272)은 얇은 두께로 형성되므로 공통 발광층(372)과 보조 공통 전극(272)을 방전으로 쉽게 제거할 수 있다.
- [0145] 한편, 상기 일 실시예에서는 둔턱 부재가 제1 둔턱 부재 및 제2 둔턱 부재를 포함하나, 제1 둔턱 부재 및 제2 둔턱 부재 사이에 제3 둔턱 부재가 형성된 또 다른 다른 실시예도 가능하다.
- [0146] 도 19는 본 발명의 또 다른 실시예에 따른 유기 발광 표시 장치의 복수개의 트랜지스터 및 커패시터를 개략적으로 도시한 도면이고, 도 20은 도 19의 구체적인 배치도이며, 도 21은 도 5의 A 부분에 대응하는 본 발명의 또 다른 실시예의 구체적인 배치도이고, 도 22는 도 21의 XXII-XXII선을 따라 자른 단면도이고, 도 23은 도 21의 XXIII-XXIII선을 따라 자른 단면도이며, 도 24는 도 21의 XXIV-XXIV선을 따라 자른 단면도이다.
- [0147] 도 19, 도 20, 도 21, 도 22, 도 23 및 도 24에 도시된 또 다른 실시예는 도 1 내지 도 9에 도시된 일 실시예와 비교하여 제3 둔턱 부재가 추가로 형성된 것만을 제외하고 실질적으로 동일한 바 반복되는 설명은 생략한다.
- [0148] 도 15 및 도 16에 도시한 바와 같이, 본 발명의 또 다른 실시예에 따른 유기 발광 표시 장치는 스캔 신호(Sn), 전단 스캔 신호(Sn-1), 발광 제어 신호(EM) 및 바이패스 신호(BP)를 각각 인가하며 행 방향을 따라 형성되어 있는 스캔선(151), 전단 스캔선(152), 발광 제어선(153) 및 바이패스 제어선(158)을 포함한다. 이 때, 리페어를

위한 리페어선(159)은 스캔선(151)과 평행하게 배치되어 있다.

- [0149] 그리고, 스캔선(151), 전단 스캔선(152), 발광 제어선(153) 및 바이패스 제어선(158)과 교차하고 있으며 화소(PX)에 데이터 신호(Dm), 구동 전압(ELVDD) 및 초기화 전압(Vint)을 각각 인가하는 데이터선(171), 구동 전압선(172) 및 초기화 전압선(178)을 포함한다. 이 때, 초기화 전압(Vint)은 초기화 전압선(178)에서 초기화 트랜지스터(T4)를 경유하여 보상 트랜지스터(T3)로 전달된다.
- [0150] 또한, 화소(PX)에는 구동 트랜지스터(T1), 스위칭 트랜지스터(T2), 보상 트랜지스터(T3), 초기화 트랜지스터(T4), 동작 제어 트랜지스터(T5), 발광 제어 트랜지스터(T6), 바이패스 트랜지스터(T7), 스토리지 커패시터(Cst), 그리고 유기 발광 다이오드(OLD)가 형성되어 있다. 유기 발광 다이오드(OLD)는 화소 전극(191), 유기 발광층(370) 및 공통 전극(270)으로 이루어진다. 이 때, 보상 트랜지스터(T3)와 초기화 트랜지스터(T4)는 누설 전류를 차단하기 위해 듀얼 게이트(dual gate) 구조의 트랜지스터로 구성되어 있다.
- [0151] 구동 트랜지스터(T1), 스위칭 트랜지스터(T2), 보상 트랜지스터(T3), 초기화 트랜지스터(T4), 동작 제어 트랜지스터(T5), 발광 제어 트랜지스터(T6) 및 바이패스 트랜지스터(T7)의 각각의 채널(channel)은 연결되어 있는 하나의 반도체(130)의 내부에 형성되어 있으며, 반도체(130)는 다양한 형상으로 굴곡되어 형성될 수 있다. 이러한 반도체(130)는 다결정 규소 또는 산화물 반도체로 이루어질 수 있다.
- [0152] 도 20에 도시한 바와 같이, 반도체(130)에 형성되는 채널(131)은 구동 트랜지스터(T1)에 형성되는 구동 채널(131a), 스위칭 트랜지스터(T2)에 형성되는 스위칭 채널(131b), 보상 트랜지스터(T3)에 형성되는 보상 채널(131c), 초기화 트랜지스터(T4)에 형성되는 초기화 채널(131d), 동작 제어 트랜지스터(T5)에 형성되는 동작 제어 채널(131e), 발광 제어 트랜지스터(T6)에 형성되는 발광 제어 채널(131f) 및 바이패스 트랜지스터(T7)에 형성되는 바이패스 채널(131g)을 포함한다.
- [0153] 구동 트랜지스터(T1)는 구동 채널(131a), 구동 게이트 전극(155a), 구동 소스 전극(136a) 및 구동 드레인 전극(137a)을 포함한다. 구동 채널(131a)은 굴곡되어 있으며, 사행 형상 또는 지그재그 형상을 가질 수 있다. 이와 같이, 굴곡된 형상의 구동 채널(131a)을 형성함으로써, 좁은 공간 내에 길게 구동 채널(131a)을 형성할 수 있다. 따라서, 길게 형성된 구동 채널(131a)에 의해 구동 게이트 전극(155a)과 구동 소스 전극(136a) 간의 구동 게이트-소스 전압(Vgs)의 구동 범위(driving range)는 넓어지게 된다. 구동 게이트-소스 전압(Vgs)의 구동 범위가 넓으므로 구동 게이트 전극(155a)에 인가되는 게이트 전압(Vg)의 크기를 변화시켜 유기 발광 다이오드(OLD)에서 방출되는 빛의 계조를 보다 세밀하게 제어할 수 있으며, 그 결과 유기 발광 표시 장치의 해상도를 높이고 표시 품질을 향상시킬 수 있다. 이러한 구동 채널(131a)의 형상을 다양하게 변형하여 '역S', 'S', 'M', 'W' 등의 다양한 실시예가 가능하다.
- [0154] 구동 게이트 전극(155a)은 구동 채널(131a)과 중첩하고 있으며, 구동 소스 전극(136a) 및 구동 드레인 전극(137a)은 구동 채널(131a)의 양 옆에 인접하여 각각 형성되어 있다. 구동 게이트 전극(155a)은 접촉 구멍(61)을 통해 구동 연결 부재(174)와 연결되어 있다.
- [0155] 스위칭 트랜지스터(T2)는 스위칭 채널(131b), 스위칭 게이트 전극(155b), 스위칭 소스 전극(136b) 및 스위칭 드레인 전극(137b)을 포함한다. 스캔선(151)에서 아래쪽으로 확장된 일부인 스위칭 게이트 전극(155b)은 스위칭 채널(131b)과 중첩하고 있으며, 스위칭 소스 전극(136b) 및 스위칭 드레인 전극(137b)은 스위칭 채널(131b)의 양 옆에 인접하여 각각 형성되어 있다. 스위칭 소스 전극(136b)은 접촉 구멍(62)을 통해 데이터선(171)과 연결되어 있다.
- [0156] 보상 트랜지스터(T3)는 보상 채널(131c), 보상 게이트 전극(155c), 보상 소스 전극(136c) 및 보상 드레인 전극(137c)을 포함한다.
- [0157] 보상 게이트 전극(155c)은 누설 전류 방지를 위해 2개가 형성되어 있으며, 2개의 보상 게이트 전극(155c)은 각각 스캔선(151)의 일부 및 스캔선(151)에서 위쪽으로 연장된 돌출부일 수 있다. 보상 게이트 전극(155c)은 보상 채널(131c)과 중첩하고 있으며, 보상 소스 전극(136c) 및 보상 드레인 전극(137c)은 보상 채널(131c)의 양 옆에 인접하여 각각 형성되어 있다. 보상 드레인 전극(137c)은 접촉 구멍(63)을 통해 구동 연결 부재(174)와 연결되어 있다.
- [0158] 초기화 트랜지스터(T4)는 초기화 채널(131d), 초기화 게이트 전극(155d), 초기화 소스 전극(136d) 및 초기화 드레인 전극(137d)을 포함한다. 초기화 게이트 전극(155d)은 누설 전류 방지를 위해 2개가 형성되어 있으며, 2개의 초기화 게이트 전극(155d)은 각각 전단 스캔선(152)의 일부 및 전단 스캔선(152)에서 아래쪽으로 연장된 돌출부일 수 있다. 초기화 게이트 전극(155d)은 초기화 채널(131d)과 중첩하고 있으며, 초기화 소스 전극(136d)

및 초기화 드레인 전극(137d)은 초기화 채널(131d)의 양 옆에 인접하여 각각 형성되어 있다. 초기화 소스 전극(136d)은 접촉 구멍(64)을 통해 초기화 전압선(178)과 연결되어 있으며, 초기화 드레인 전극은 접촉 구멍(63)을 통해 구동 연결 부재(174)와 연결되어 있다.

[0159] 동작 제어 트랜지스터(T5)는 동작 제어 채널(131e), 동작 제어 게이트 전극(155e), 동작 제어 소스 전극(136e) 및 동작 제어 드레인 전극(137e)을 포함한다. 발광 제어선(153)의 일부인 동작 제어 게이트 전극(155e)은 동작 제어 채널(131e)과 중첩하고 있으며, 동작 제어 소스 전극(136e) 및 동작 제어 드레인 전극(137e)은 동작 제어 채널(131e)의 양 옆에 인접하여 각각 형성되어 있다. 동작 제어 소스 전극(136e)은 접촉 구멍(65)을 통해 구동 전압선(172)의 일부와 연결되어 있다.

[0160] 발광 제어 트랜지스터(T6)는 발광 제어 채널(131f), 발광 제어 게이트 전극(155f), 발광 제어 소스 전극(136f) 및 발광 제어 드레인 전극(137f)을 포함한다. 발광 제어선(153)의 일부인 발광 제어 게이트 전극(155f)은 발광 제어 채널(131f)과 중첩하고 있으며, 발광 제어 소스 전극(136f) 및 발광 제어 드레인 전극(137f)은 발광 제어 채널(131f)의 양 옆에 인접하여 각각 형성되어 있다. 발광 제어 드레인 전극(137f)은 접촉 구멍(66)을 통해 발광 제어 연결 부재(179)와 연결되어 있다.

[0161] 바이패스 트랜지스터(T7)는 바이패스 채널(131g), 바이패스 게이트 전극(155g), 바이패스 소스 전극(136g) 및 바이패스 드레인 전극(137g)을 포함한다. 바이패스 제어선(158)의 일부인 바이패스 게이트 전극(155g)은 바이패스 채널(131g)과 중첩하고 있으며, 바이패스 소스 전극(136g) 및 바이패스 드레인 전극(137g)은 바이패스 채널(131g)의 양 옆에 인접하여 각각 형성되어 있다. 바이패스 소스 전극(136g)은 접촉 구멍(81)을 통해 발광 제어 연결 부재(179)와 연결되어 있고, 바이패스 드레인 전극(137g)은 초기화 소스 전극(136d)과 직접 연결되어 있다.

[0162] 구동 트랜지스터(T1)의 구동 채널(131a)의 일단은 스위칭 드레인 전극(137b) 및 동작 제어 드레인 전극(137e)과 연결되어 있으며, 구동 채널(131a)의 타단은 보상 소스 전극(136c) 및 발광 제어 소스 전극(136f)과 연결되어 있다.

[0163] 스토리지 커패시터(Cst)는 제2 게이트 절연막(142)을 사이에 두고 배치되는 제1 스토리지 전극(155a)과 제2 스토리지 전극(156)을 포함한다. 제1 스토리지 전극(155a)은 구동 게이트 전극(155a)에 해당하고, 제2 스토리지 전극(156)은 스토리지선(154)에서 확장된 부분으로서, 구동 게이트 전극(155a)보다 넓은 면적을 차지하며 구동 게이트 전극(155a)을 전부 덮고 있다. 여기서, 제2 게이트 절연막(142)은 유전체가 되며, 스토리지 커패시터(Cst)에서 축전된 전하와 양 전극(155a, 156) 사이의 전압에 의해 스토리지 커패시턴스(Storage Capacitance)가 결정된다. 이와 같이, 구동 게이트 전극(155a)을 제1 스토리지 전극(155a)으로 사용함으로써, 화소 내에서 큰 면적을 차지하는 구동 채널(131a)에 의해 좁아진 공간에서 스토리지 커패시터를 형성할 수 있는 공간을 확보할 수 있다.

[0164] 구동 게이트 전극(155a)인 제1 스토리지 전극(155a)은 접촉 구멍(61) 및 스토리지 개구부(51)를 통하여 구동 연결 부재(174)의 일단과 연결되어 있다. 스토리지 개구부(51)은 제2 스토리지 전극(156)에 형성된 개구부이다.

[0165] 구동 연결 부재(174)는 데이터선(171)과 거의 평행하게 동일한 층에 형성되어 있으며 구동 연결 부재(174)의 타단은 접촉 구멍(63)을 통해 보상 트랜지스터(T3)의 보상 드레인 전극(137c) 및 초기화 트랜지스터(T4)의 초기화 드레인 전극(137d)과 연결되어 있다. 따라서, 구동 연결 부재(174)는 구동 게이트 전극(155a)과 보상 트랜지스터(T3)의 보상 드레인 전극(137c) 및 초기화 트랜지스터(T4)의 초기화 드레인 전극(137d)을 서로 연결하고 있다.

[0166] 제2 스토리지 전극(156)은 접촉 구멍(69)을 통해 구동 전압선(172)과 연결되어 있다.

[0167] 따라서, 스토리지 커패시터(Cst)는 구동 전압선(172)을 통해 제2 스토리지 전극(156)에 전달된 구동 전압(ELVDD)과 구동 게이트 전극(155a)의 구동 게이트 전압(Vg)간의 차에 대응하는 스토리지 커패시턴스를 저장한다.

[0168] 데이터선(171)과 평행하게 뻗어 있는 초기화 전압선(178)은 접촉 구멍(64)을 통해 초기화 소스 전극(176d)과 연결되어 있다.

[0169] 사각 형상의 발광 제어 연결 부재(179)는 접촉 구멍(81)을 통해 화소 전극(191)과 연결되어 있다.

[0170] 이러한 화소 전극(191) 위에는 유기 발광층(370)이 형성되어 있고, 유기 발광층(370)은 화소 발광층(371) 및 공

통 발광층(372)을 포함한다. 화소 발광층(371)은 해당하는 색상의 화소에만 형성되어 있으나, 공통 발광층(372)은 모든 화소에 공통적으로 형성되어 있다. 유기 발광층(370) 위에는 공통 전극(270)이 형성되어 있다. 공통 전극(270)은 차례로 적층되어 있는 보조 공통 전극(272) 및 주 공통 전극(271)을 포함한다.

[0171] 도 5에 도시한 바와 같이, 복수개의 화소 전극(191)은 대략 행렬의 형태로 화소 영역(P1)에 배치되어 있으며, 화소 전극(191) 사이의 화소 테두리 영역(P2)에 보조 전극(192)이 그물(mesh) 구조로 형성되어 있다. 이러한 보조 전극(192)은 공통 전극(270)과 접촉하여 공통 전극(270)의 저항을 낮춤으로써 공통 전극(270)의 전압 강하 현상을 방지할 수 있다. 이하에서 화소 테두리 영역(P2)에 위치하며 보조 전극(192)과 공통 전극(270)을 서로 접촉시키는 공통 접촉부(A)의 구조에 대하여 도 21을 참고하여 상세히 설명한다.

[0172] 도 6에 도시한 바와 같이, 보조 전극(192)은 제1 보조 전극(192a)과 제2 보조 전극(192b)으로 분리되어 있다. 보조 전극(192)의 단부에 대응하는 위치에는 둔턱 부재(9)가 형성되어 있다. 둔턱 부재(9)는 제1 둔턱 부재(59), 제2 둔턱 부재(79) 및 제3 둔턱 부재(58)를 포함한다. 제3 둔턱 부재(58)는 제1 둔턱 부재(59)와 제2 둔턱 부재(79) 사이에 형성되어 있으며 제1 둔턱 부재(59) 및 제2 둔턱 부재(79)와 중첩하고 있다. 이러한 둔턱 부재(9)에 의해 보조 전극(192)의 단부는 보조 전극(192)의 다른 부분에 비해 높은 위치에 형성된다. 특히, 이러한 둔턱 부재(9)는 도 6 및 도 9에 도시된 둔턱 부재(9)에 비해 높은 높이를 가지므로 보조 전극(192) 위에 형성되는 공통 발광층(372)과 보조 공통 전극(272)은 보다 얇은 두께로 형성되므로 공통 발광층(372)과 보조 공통 전극(272)을 방전으로 보다 쉽게 제거할 수 있다.

[0173] 보조 공통 전극(272)과 공통 발광층(372)은 함께 보조 전극(192)을 노출하는 공통 접촉 구멍(72)을 가지며, 주 공통 전극(271)은 공통 접촉 구멍(72) 및 보조 개구부(352)를 통해 보조 전극(192)과 접촉하고 있다.

[0174] 이하, 도 22, 도 23 및 도 24를 참고하여 본 발명의 또 다른 실시예에 따른 유기 발광 표시 장치의 단면상 구조에 대해 적층 순서에 따라 구체적으로 설명한다.

[0175] 기관(110) 위에는 버퍼층(120)이 형성되어 있다. 화소 영역(P1)의 버퍼층(120) 위에는 구동 채널(131a), 스위칭 채널(131b), 보상 채널(131c), 초기화 채널(131d), 동작 제어 채널(131e), 발광 제어 채널(131f) 및 바이패스 채널(131g)을 포함하는 반도체(130)가 형성되어 있다. 반도체(130) 중 구동 채널(131a)의 양 옆에는 구동 소스 전극(136a) 및 구동 드레인 전극(137a)이 형성되어 있고, 스위칭 채널(131b)의 양 옆에는 스위칭 소스 전극(136b) 및 스위칭 드레인 전극(137b)이 형성되어 있다. 그리고, 보상 채널(131c)의 양 옆에는 보상 소스 전극(136c) 및 보상 드레인 전극(137c)이 형성되어 있고, 초기화 채널(131d)의 양 옆에는 초기화 소스 전극(136d) 및 초기화 드레인 전극(137d)이 형성되어 있다. 그리고, 동작 제어 채널(131e)의 양 옆에는 동작 제어 소스 전극(136e) 및 동작 제어 드레인 전극(137e)이 형성되어 있고, 발광 제어 채널(131f)의 양 옆에는 발광 제어 소스 전극(136f) 및 발광 제어 드레인 전극(137f)이 형성되어 있다. 그리고, 바이패스 채널(131g)의 양 옆에는 바이패스 소스 전극(136g) 및 바이패스 드레인 전극(137g)이 형성되어 있다.

[0176] 반도체(130) 위에는 이를 덮는 제1 게이트 절연막(141)이 형성되어 있다. 제1 게이트 절연막(141) 위에는 스위칭 게이트 전극(155b) 및 보상 게이트 전극(155c)을 포함하는 스캔선(151), 초기화 게이트 전극(155d)을 포함하는 전단 스캔선(152), 동작 제어 게이트 전극(155e) 및 발광 제어 게이트 전극(155f)을 포함하는 발광 제어선(153), 바이패스 게이트 전극(155g)을 포함하는 바이패스 제어선(158), 그리고 구동 게이트 전극(제1 스토리지 전극)(155a)이 형성되어 있다. 그리고, 화소 테두리 영역(P2)에 위치한 제1 게이트 절연막(141) 위에는 한 쌍의 제1 둔턱 부재(59)가 형성되어 있다.

[0177] 이러한 제1 게이트 배선(151, 152, 153, 155a, 59) 및 제1 게이트 절연막(141) 위에는 이를 덮는 제2 게이트 절연막(142)이 형성되어 있다. 제1 게이트 절연막(141) 및 제2 게이트 절연막(142)은 질화 규소(SiNx) 또는 산화 규소(SiO₂) 따위로 형성될 수 있다.

[0178] 제2 게이트 절연막(142) 위에는 스캔선(151)과 평행하게 배치되어 있는 스토리지선(154), 스토리지선(154)에서 확장된 부분인 제2 스토리지 전극(156), 그리고 스캔선(151)과 평행하게 배치되어 있는 리페어선(159)이 형성되어 있다. 그리고, 화소 테두리 영역(P2)에 위치한 제2 게이트 절연막(142) 위에는 한 쌍의 제3 둔턱 부재(58)가 형성되어 있다.

[0179] 이러한 제2 게이트 배선(154, 156, 159, 58) 및 제2 게이트 절연막(142) 위에는 층간 절연막(160)이 형성되어 있다. 층간 절연막(160)은 질화 규소(SiNx) 또는 산화 규소(SiO₂) 따위로 형성될 수 있다.

[0180] 층간 절연막(160)에는 접촉 구멍(61, 62, 63, 64, 65, 66, 69)이 형성되어 있다. 층간 절연막(160) 위에는 데

이터션(171), 구동 전압선(172), 구동 연결 부재(174), 초기화 전압선(178), 그리고 발광 제어 연결 부재(179)가 형성되어 있다. 그리고, 화소 테두리 영역(P2)에 위치한 층간 절연막(160) 위에는 한 쌍의 제2 둔턱 부재(79)가 형성되어 있다. 제2 둔턱 부재(79)는 제1 둔턱 부재(59) 및 제3 둔턱 부재(58)와 중첩되어 있으며, 제2 둔턱 부재(79)는 제1 둔턱 부재(59) 및 제3 둔턱 부재(58)를 모두 덮고 있다. 이러한 제1 둔턱 부재(59), 제2 둔턱 부재(79) 및 제3 둔턱 부재(58)는 함께 둔턱 부재(9)를 이룬다.

[0181] 데이터선(171)은 제1 게이트 절연막(141), 제2 게이트 절연막(142) 및 층간 절연막(160)에 형성된 접촉 구멍(62)을 통해 스위칭 소스 전극(136b)과 연결되어 있으며, 구동 연결 부재(174)의 일단은 제2 게이트 절연막(142) 및 층간 절연막(160)에 형성된 접촉 구멍(61)을 통하여 제1 스토리지 전극(155a)과 연결되어 있고, 구동 연결 부재(174)의 타단은 제1 게이트 절연막(141), 제2 게이트 절연막(142) 및 층간 절연막(160)에 형성된 접촉 구멍(63)을 통해 보상 드레인 전극(137c) 및 초기화 드레인 전극(137d)과 연결되어 있다.

[0182] 초기화 전압선(178)은 제1 게이트 절연막(141), 제2 게이트 절연막(142) 및 층간 절연막(160)에 형성된 접촉 구멍(64)을 통해 초기화 소스 전극(136d)과 연결되어 있다.

[0183] 그리고, 발광 제어 연결 부재(179)는 제1 게이트 절연막(141), 제2 게이트 절연막(142) 및 층간 절연막(160)에 형성된 접촉 구멍(66)을 통해 발광 제어 드레인 전극(137f)과 연결되어 있다.

[0184] 데이터 배선(171, 172, 174, 178, 179, 79)은 티타늄/알루미늄/티타늄(Ti/Al/Ti)의 3중막, 몰리브덴/알루미늄/몰리브덴(Mo/Al/Mo) 또는 몰리브덴/구리/몰리브덴(Mo/Cu/Mo)의 3중막 등으로 형성될 수 있다.

[0185] 데이터 배선(171, 172, 174, 178, 179, 79) 및 층간 절연막(160) 위에는 이를 덮는 보호막(180)이 형성되어 있다. 보호막(180)은 유기막으로 형성될 수 있다. 그리고, 화소 테두리 영역(P2)에 위치한 보호막(180)은 둔턱 부재(9)를 노출하는 보호 개구부(82)를 가진다.

[0186] 보호막(180) 위에는 화소 전극(191) 및 보조 전극(192)이 형성되어 있다. 발광 제어 연결 부재(179)는 보호막(180)에 형성된 접촉 구멍(81)을 통해 화소 전극(191)과 연결되어 있다. 보조 전극(192)은 제1 보조 전극(192a)과 제2 보조 전극(192b)으로 분리되어 있으며, 제1 보조 전극(192a) 및 제2 보조 전극(192b)의 단부는 각각 한 쌍의 둔턱 부재(9)에 대응하는 위치에 형성되어 있다. 이 때, 제1 보조 전극(192a) 및 제2 보조 전극(192b)의 단부는 보호 개구부(82)를 통해 노출된 한 쌍의 둔턱 부재(9)와 직접 접촉하고 있다.

[0187] 보호막(180), 보조 전극(192) 및 화소 전극(191)의 가장자리 위에는 이를 덮는 화소 정의막(Pixel Defined Layer, PDL)(350)이 형성되어 있고, 화소 정의막(350)은 화소 전극(191)을 드러내는 화소 개구부(351)를 가지고, 보조 전극(192)의 단부를 드러내는 보조 개구부(352)를 가진다. 둔턱 부재(9)는 화소 정의막(350)의 보조 개구부(352)에 위치하고 있다. 보조 개구부(352)를 최대한 확장함으로써 화소 정의막(350) 위에 형성되는 공통 발광층(372), 보조 공통 전극(272) 및 주 공통 전극(271)의 단차를 최소화하여 주 공통 전극과 보조 전극(192)간의 접촉을 용이하게 할 수 있다.

[0188] 화소 개구부(351)에 의해 노출된 화소 전극(191) 위에는 유기 발광층(370)이 형성되어 있고, 유기 발광층(370)은 화소 영역(P1)에 형성되는 화소 발광층(371)과 화소 테두리 영역(P2)까지 형성되는 공통 발광층(372)을 포함한다. 유기 발광층(370) 위에는 공통 전극(270)이 형성된다. 공통 전극(270)은 화소 영역(P1)과 화소 테두리 영역(P2)의 일부에 형성되어 있는 보조 공통 전극(272)과, 화소 영역(P1)과 화소 테두리 영역(P2)를 포함한 전면에 형성되어 있는 주 공통 전극(271)을 포함한다.

[0189] 공통 발광층(372)과 보조 공통 전극(272)은 함께 보조 전극(192)의 단부를 노출하는 공통 접촉 구멍(72)을 가진다. 따라서, 주 공통 전극(271)은 공통 접촉 구멍(72) 및 보조 개구부(352)에 의해 노출된 보조 전극(192)과 직접 접촉하고 있으므로, 공통 전극(270)의 저항을 낮춰 공통 전극(270)의 전압 강하 현상을 방지할 수 있다.

[0190] 본 발명을 앞서 기재한 바에 따라 바람직한 실시예를 통해 설명하였지만, 본 발명은 이에 한정되지 않으며 다음에 기재하는 특허청구범위의 개념과 범위를 벗어나지 않는 한, 다양한 수정 및 변형이 가능하다는 것을 본 발명이 속하는 기술 분야에 종사하는 자들은 쉽게 이해할 것이다.

부호의 설명

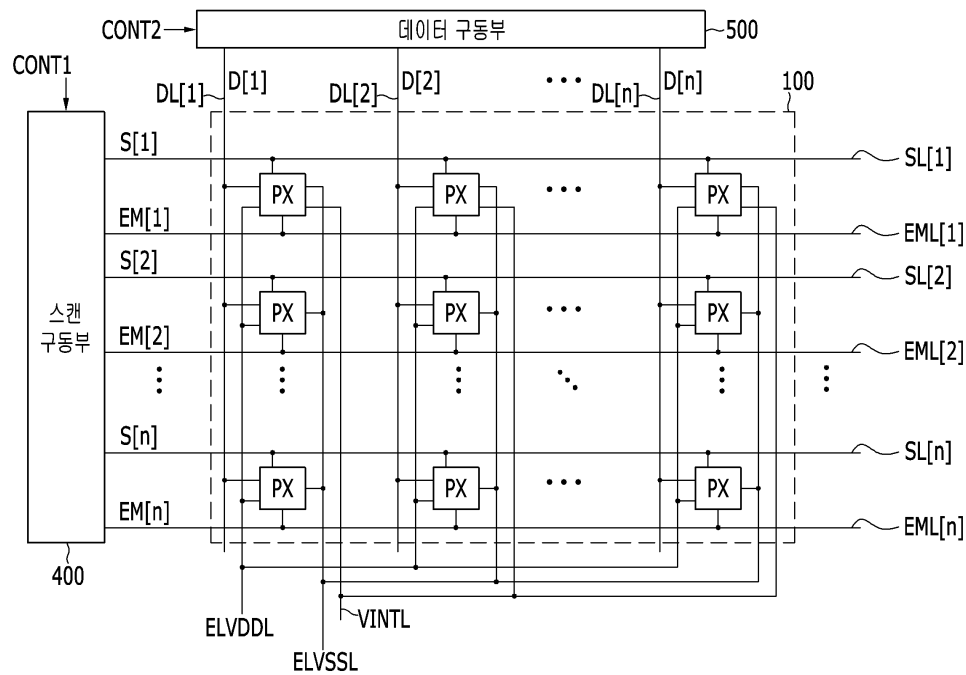
[0191] 110: 기판 151: 스캔선

171: 데이터선 172: 구동 전압선

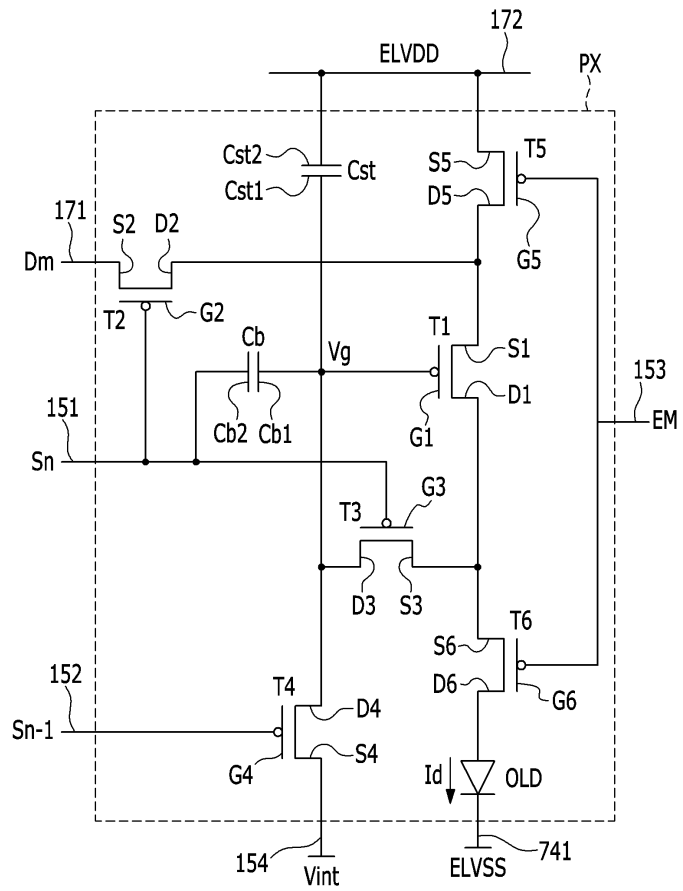
191: 화소 전극 192: 보조 전극
 270: 공통 전극 271: 주 공통 전극
 272: 보조 공통 전극 370: 유기 발광층
 371: 화소 발광층 372: 공통 발광층
 72: 공통 접촉 구멍 82: 보호 개구부
 352: 보조 개구부

도면

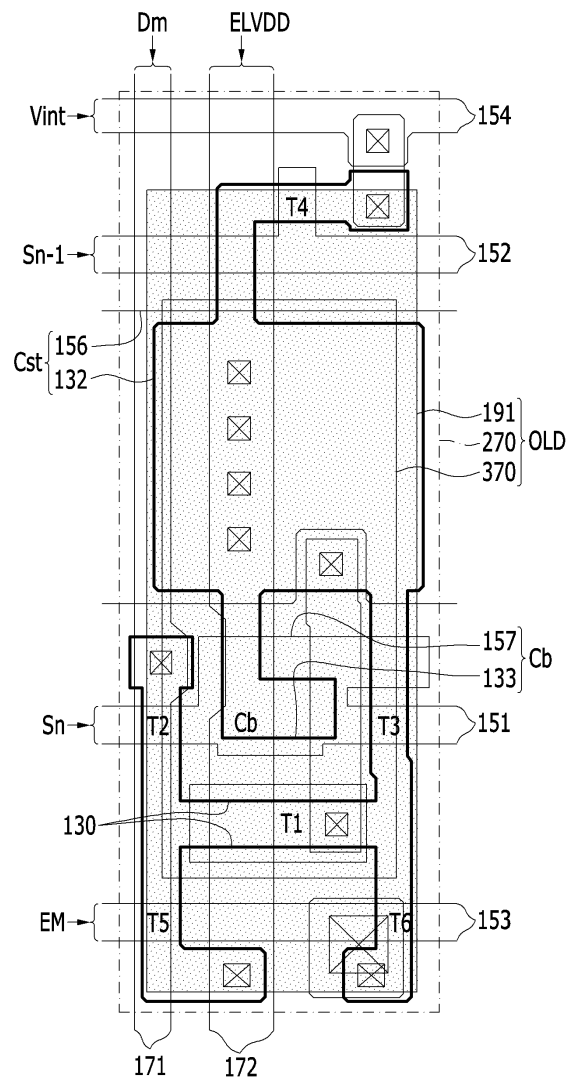
도면1



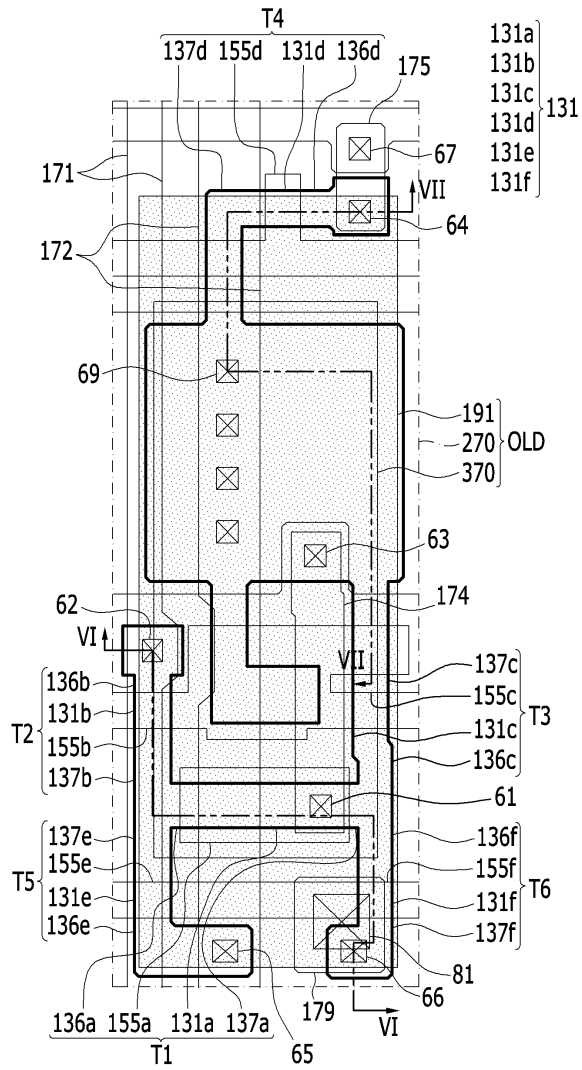
도면2



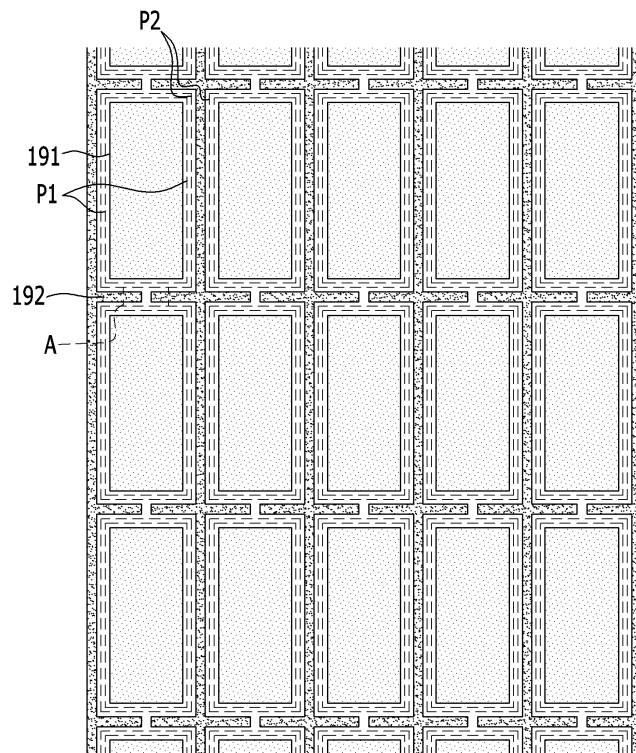
도면3



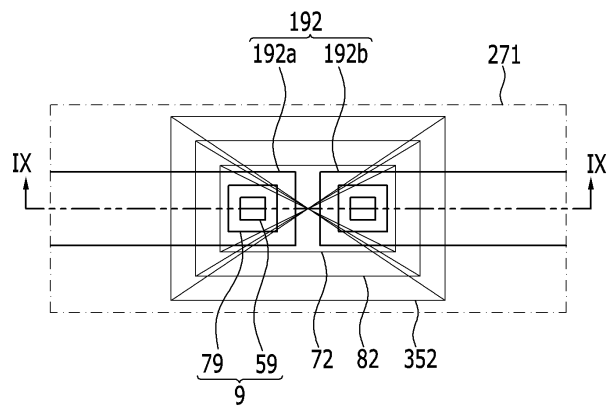
도면4



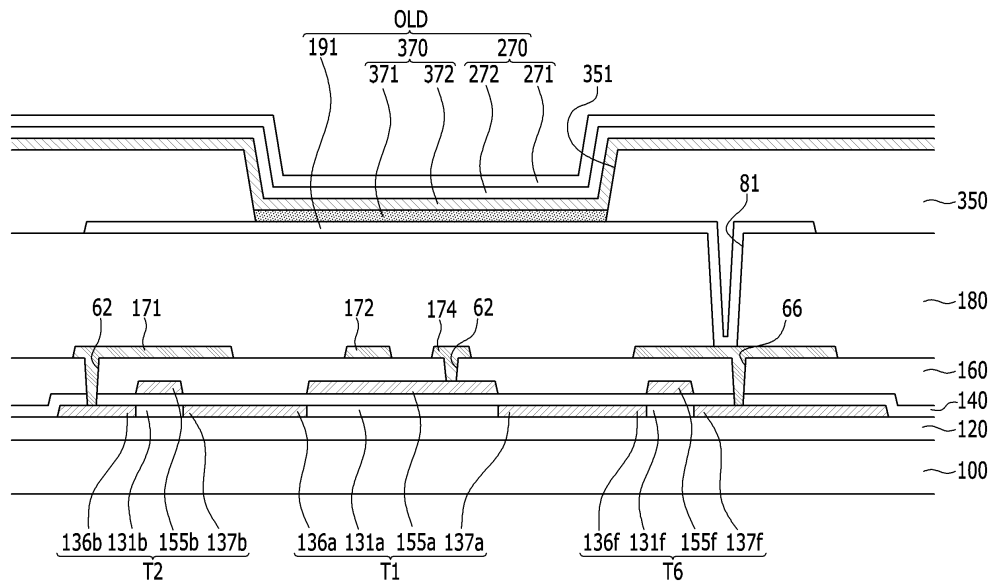
도면5



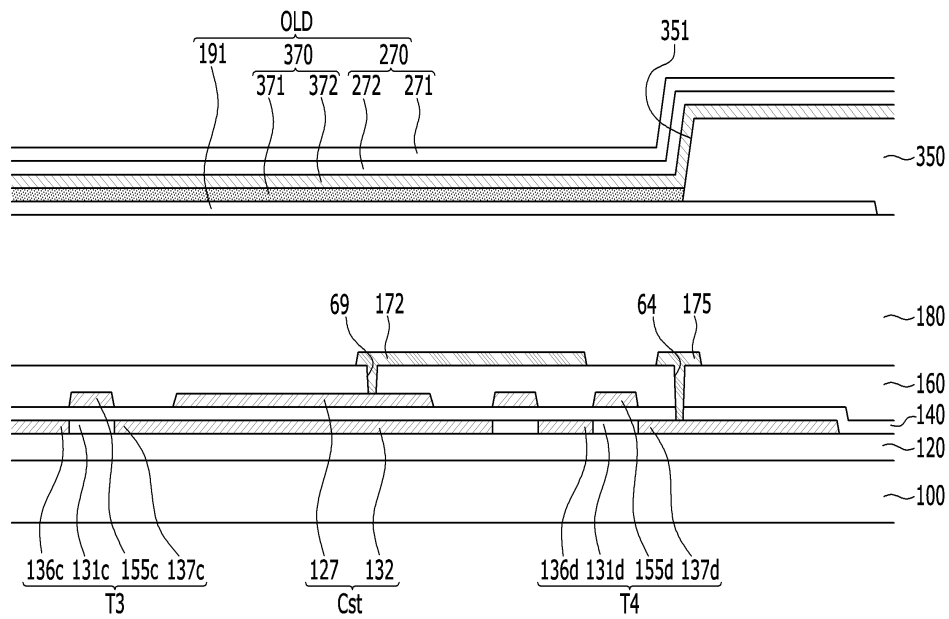
도면6



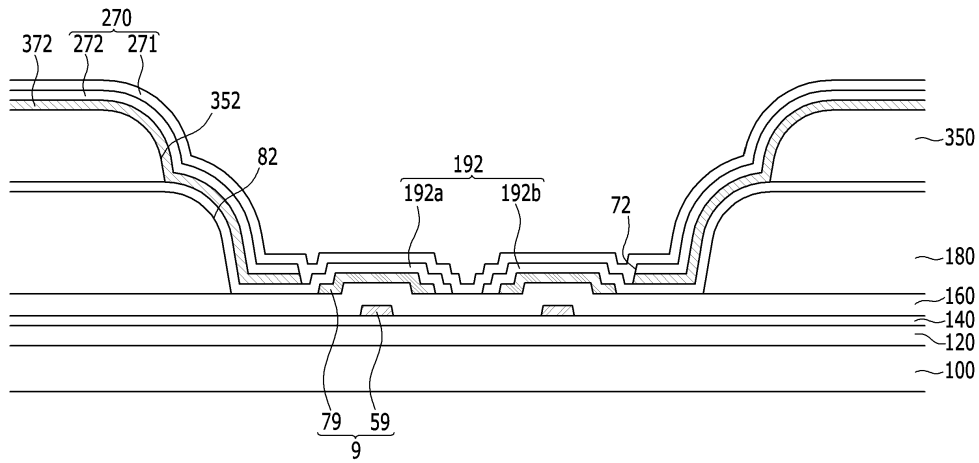
도면7



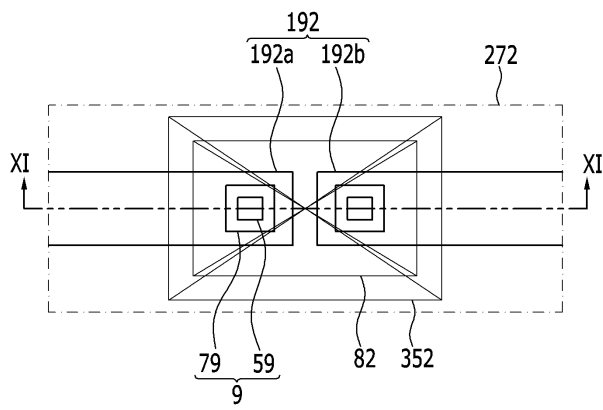
도면8



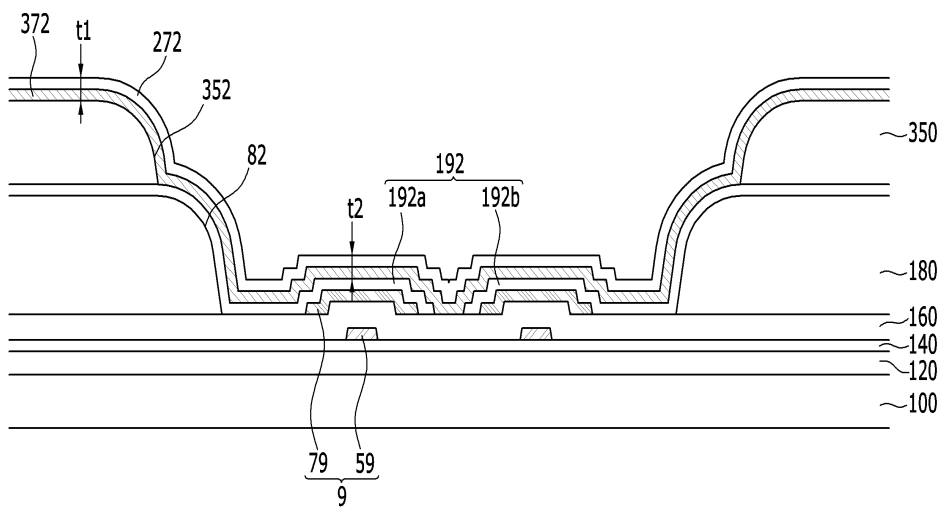
도면9



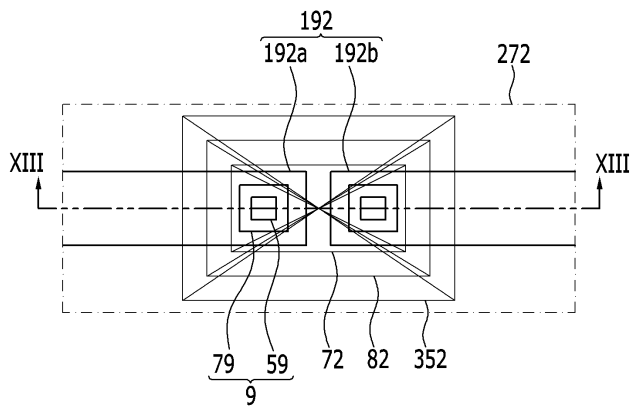
도면10



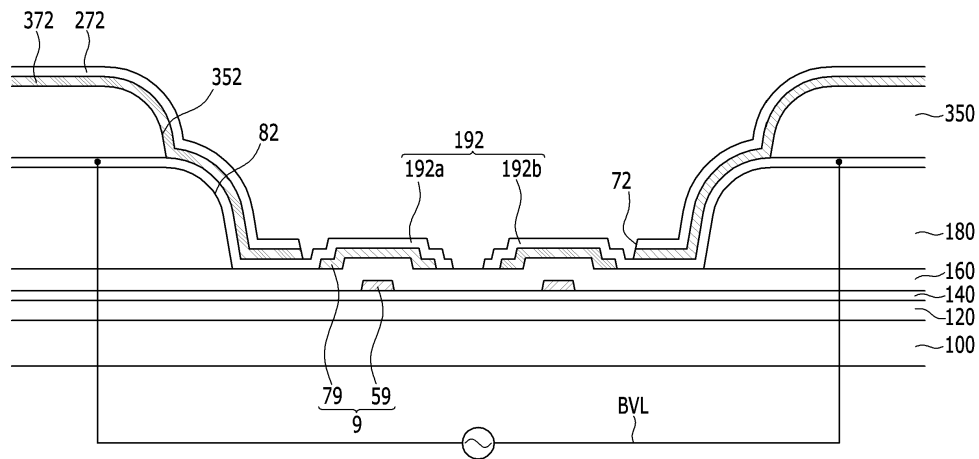
도면11



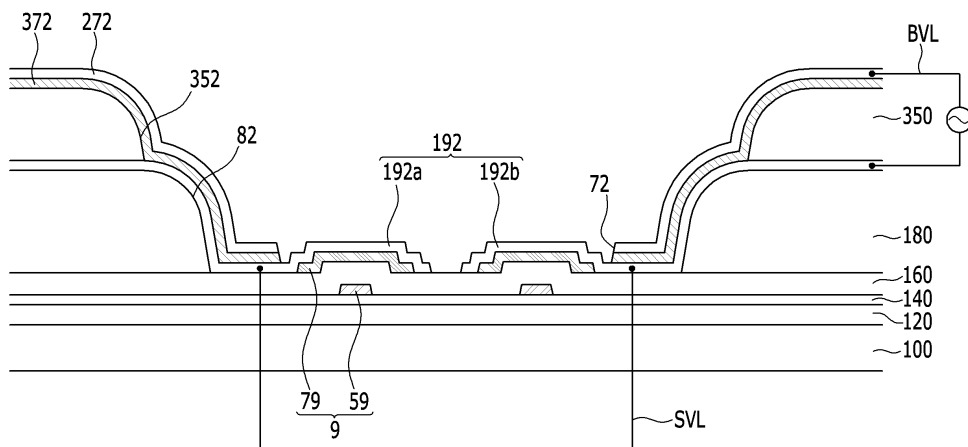
도면12



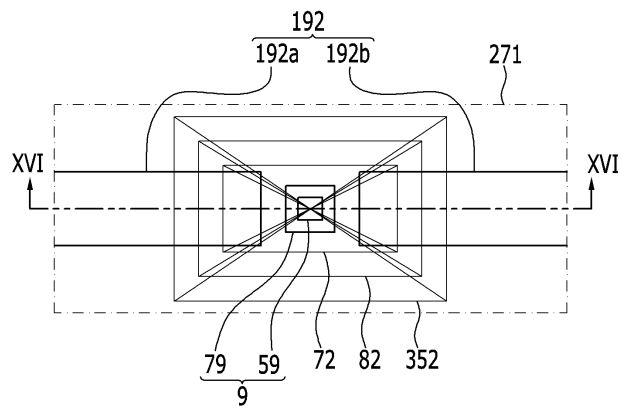
도면13



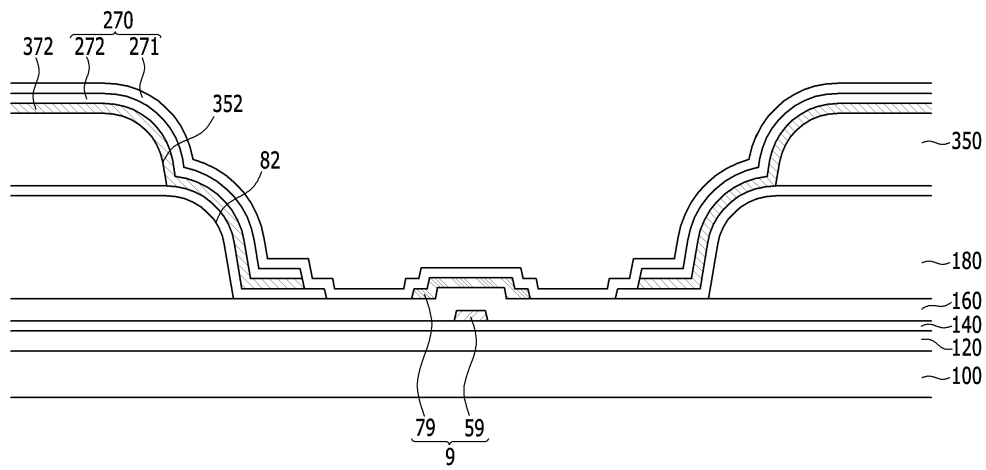
도면14



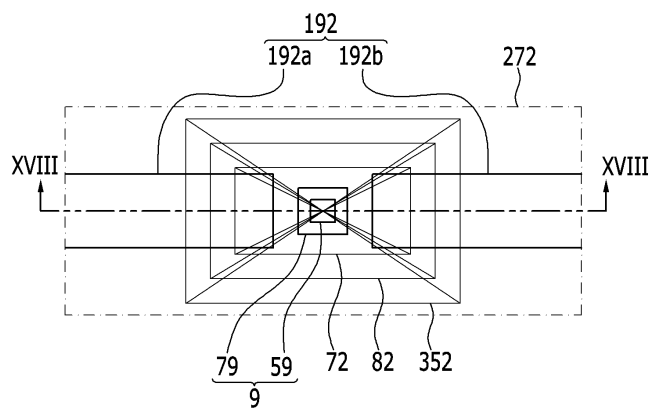
도면15



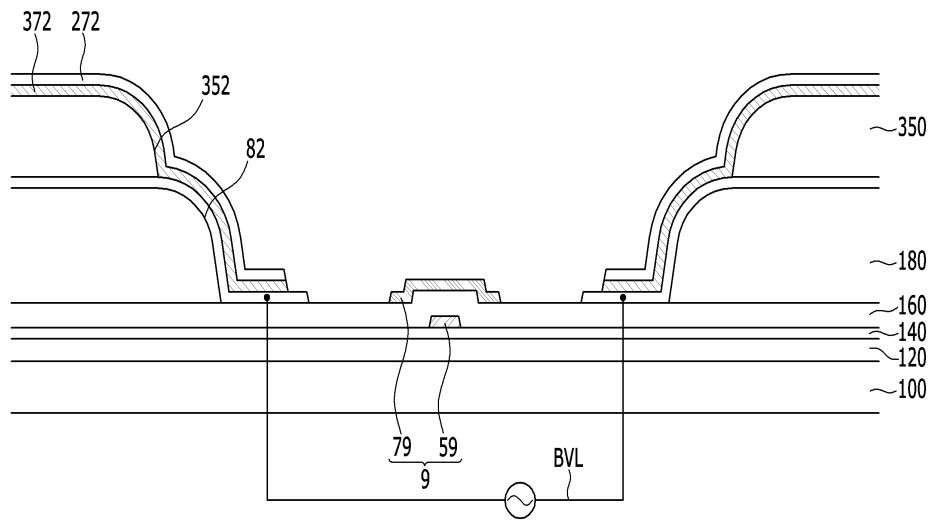
도면16



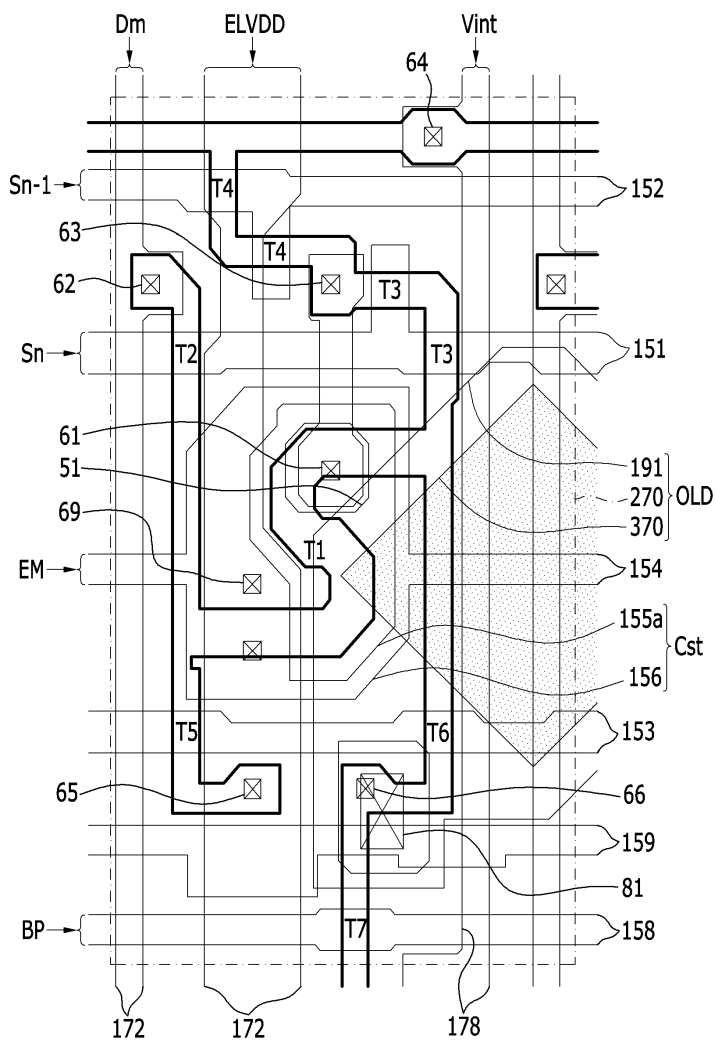
도면17



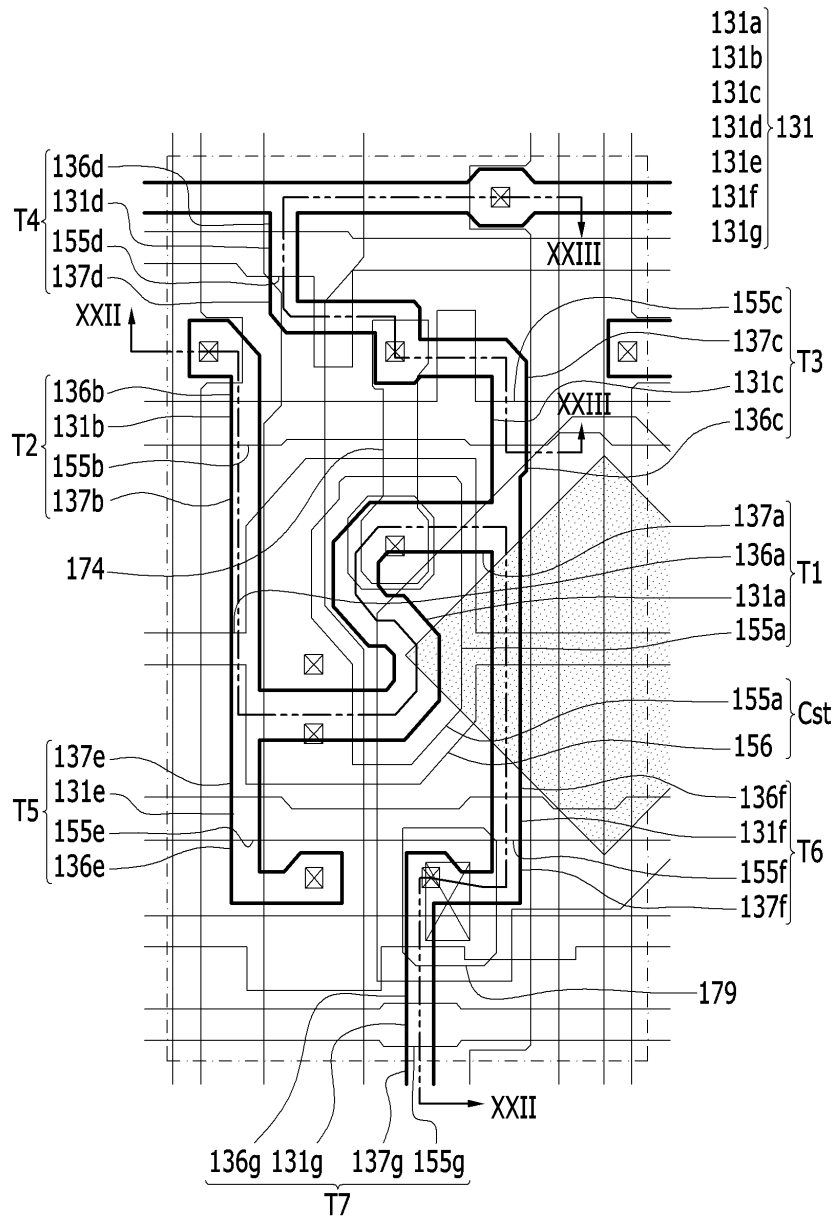
도면18



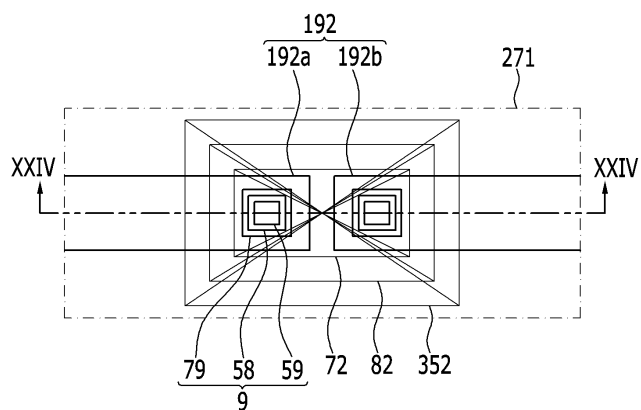
도면19



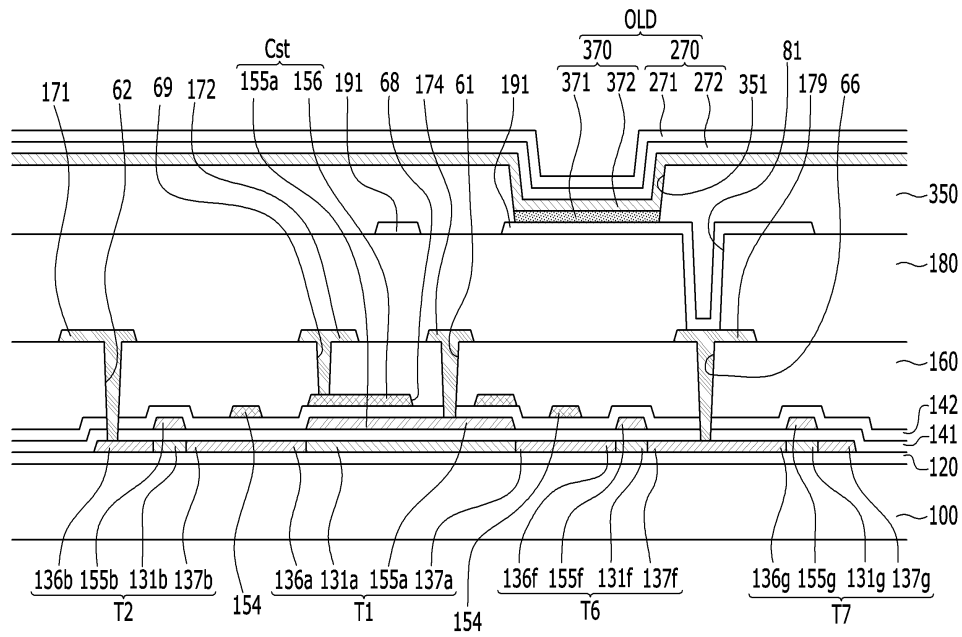
도면20



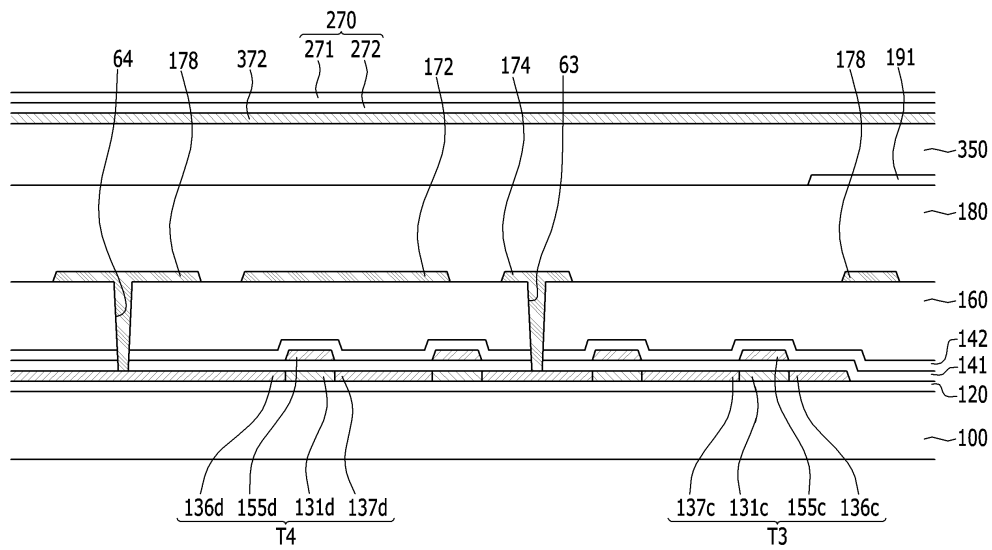
도면21



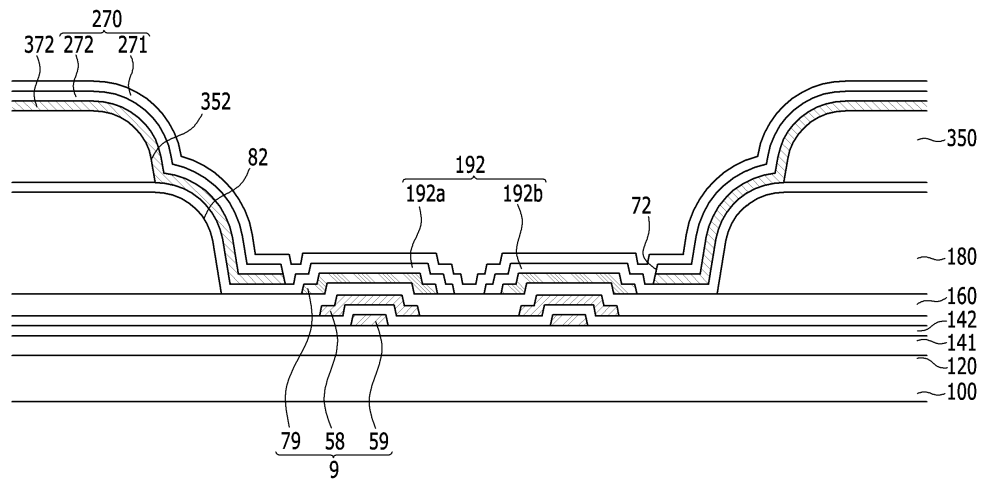
도면22



도면23



도면24



专利名称(译)	标题：OLED显示器及其制造方法		
公开(公告)号	KR1020160096790A	公开(公告)日	2016-08-17
申请号	KR1020150018154	申请日	2015-02-05
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	LEE WON KYU 이원규		
发明人	이원규		
IPC分类号	H01L27/32		
CPC分类号	H01L27/3248 H01L27/3272 H01L51/5228 H01L27/3246 H01L27/3258 H01L27/3262 H01L2227/323 H01L2251/558		
外部链接	Espacenet		

摘要(译)

根据本发明实施例的有机发光二极管显示器包括基板，形成在基板上的多个开关元件，至少一个或多个润湿构件，覆盖多个开关元件并暴露润湿构件的保护开口的保护膜，是在保护膜和像素形成被形成在导通开关装置上的多个连接到电极的像素，形成在同一层，是根据所述多个像素电极的分离的多个辅助电极，所述多个像素电极的包括形成在有机发光包含第二公共电极和初级公共电极的公共电极的发光层，并且继而在所述共用发光层包括发光层和公共发光层，并且公共发光层和辅助共用电极是在对应于阻挡构件的位置有一个共同的接触孔，圆筒状电极可以与通过公共接触孔的辅助电极相接触。

