



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0085986
(43) 공개일자 2016년07월19일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) H01L 51/56 (2006.01)
(52) CPC특허분류
H01L 27/3248 (2013.01)
H01L 51/56 (2013.01)
(21) 출원번호 10-2015-0002853
(22) 출원일자 2015년01월08일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
김대우
경기도 용인시 기흥구 삼성로 95 (농서동)
박중현
경기도 용인시 기흥구 삼성로 95 (농서동)
(74) 대리인
리엔목특허법인

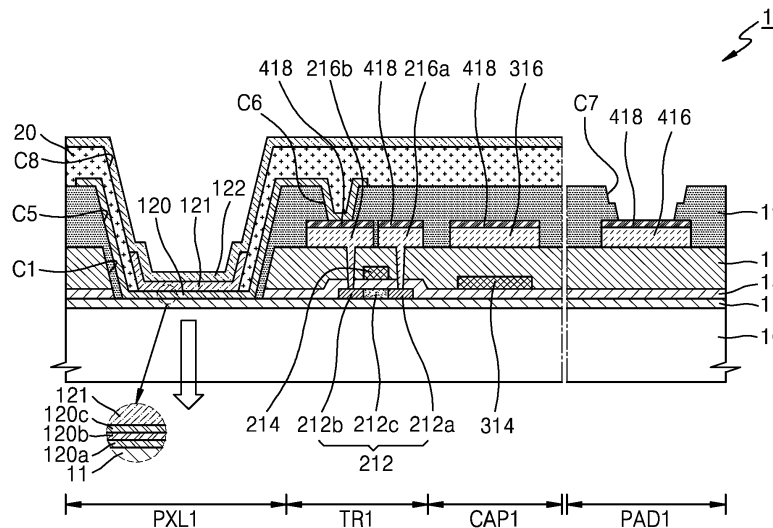
전체 청구항 수 : 총 19 항

(54) 발명의 명칭 유기 발광 표시 장치 및 그 제조 방법

(57) 요약

본 발명의 일 실시예에 따르면, 기판 상에 형성된 버퍼층; 상기 버퍼층 상에 형성되고, 활성층, 게이트 전극, 소스 전극 및 드레인 전극을 포함하는 박막 트랜지스터; 상기 활성층과 게이트 전극 사이에 형성된 게이트 절연막; 상기 게이트 전극과 상기 소스 전극 및 드레인 전극 사이에 형성된 층간 절연막; 상기 박막 트랜지스터와 중첩되지 않는 영역에 형성되고, 상기 게이트 절연막 및 상기 층간 절연막에 공통으로 형성된 제1 개구(C1); 상기 소스 전극 및 드레인 전극을 덮고, 상기 제1 개구와 중첩되는 영역에 제2 개구(C5)가 형성된 제1 유기막(VIA); 상기 제2 개구에 형성되고, 상기 버퍼층과 물리적으로 직접 접촉하는 화소 전극; 상기 제2 개구와 중첩되는 영역에 형성된 제3 개구(C8)를 포함하고, 상기 화소 전극의 단부를 덮는 제2 유기 절연막(PDL); 상기 화소 전극 상에 형성된 유기 발광층; 및 상기 유기 발광층 상에 형성된 대향 전극;을 포함하는 유기 발광 표시 장치를 제공한다.

대표도 - 도2



명세서

청구범위

청구항 1

기판 상에 형성된 버퍼층;

상기 버퍼층 상에 형성되고, 활성층, 게이트 전극, 소스 전극 및 드레인 전극을 포함하는 박막 트랜지스터;

상기 활성층과 게이트 전극 사이에 형성된 게이트 절연막;

상기 게이트 전극과 상기 소스 전극 및 드레인 전극 사이에 형성된 층간 절연막;

상기 박막 트랜지스터와 중첩되지 않는 영역에 형성되고, 상기 게이트 절연막 및 상기 층간 절연막에 공통으로 형성된 제1 개구(C1);

상기 소스 전극 및 드레인 전극을 덮고, 상기 제1 개구와 중첩되는 영역에 제2 개구(C5)가 형성된 제1 유기막(VIA);

상기 제2 개구에 형성되고, 상기 버퍼층과 물리적으로 직접 접촉하는 화소 전극;

상기 제2 개구와 중첩된 영역에 형성된 제3 개구(C8)를 포함하고, 상기 화소 전극의 단부를 덮는 제2 유기 절연막(PDL);

상기 화소 전극 상에 형성된 유기 발광층; 및

상기 유기 발광층 상에 형성된 대향 전극;을 포함하는 유기 발광 표시 장치.

청구항 2

제 1 항에 있어서,

상기 화소 전극은 반투과 전극이고, 상기 대향 전극은 반사 전극인 유기 발광 표시 장치.

청구항 3

제 2 항에 있어서,

상기 화소 전극은 상기 기판으로부터 제1 투명도전성 산화물층, 반투과 금속층, 제2 투명도전성 산화물층이 순차로 적층된 유기 발광 표시 장치.

청구항 4

제 3 항에 있어서,

상기 제1 및 제2 투명 도전성 산화물층은 인듐틴옥사이드(ITO), 인듐징크옥사이드(IZO), 징크옥사이드(ZnO), 인듐옥사이드(In₂O₃), 인듐갈륨옥사이드(IGO), 및 알루미늄징크옥사이드(AZO)을 포함하는 그룹에서 선택된 적어도 하나 이상을 포함하는 유기 발광 표시 장치.

청구항 5

제 3 항에 있어서,

상기 반투과 금속층은 은(Ag) 또는 은 합금을 포함하는 유기 발광 표시 장치.

청구항 6

제 1 항에 있어서,

상기 제1 개구의 폭은 상기 제2 개구의 폭보다 크고, 제2 개구의 폭은 제3 개구의 폭보다 큰 유기 발광 표시 장치.

청구항 7

제 1 항에 있어서,

상기 버퍼층은 기판으로부터 순차로 실리콘 질화막 및 실리콘 산화막의 순서로 적층된 유기 발광 표시 장치.

청구항 8

제 7 항에 있어서,

상기 실리콘 질화막의 두께는 상기 실리콘 산화막의 두께보다 두꺼운 유기 발광 표시 장치.

청구항 9

제 7 항에 있어서,

상기 화소 전극은 상기 실리콘 산화막에 직접 접촉하는 유기 발광 표시 장치.

청구항 10

제 9 항에 있어서,

상기 화소 전극과 접촉하는 실리콘 산화막의 두께는 상기 화소 전극과 접촉하지 않는 실리콘 산화막의 두께보다 얇은 유기 발광 표시 장치.

청구항 11

제 1 항에 있어서,

상기 버퍼층은 실리콘 질화막을 포함하고, 상기 화소 전극은 상기 실리콘 질화막에 직접 접촉하는 유기 발광 표시 장치.

청구항 12

제 1 항에 있어서,

상기 게이트 전극과 동일한 층에 형성된 거패시터의 제1 전극; 및

상기 소스 전극 및 드레인 전극과 동일 층에 형성된 커패시터의 제2 전극;을 더 포함하는 유기 발광 표시 장치.

청구항 13

제 12 항에 있어서,

상기 소스 전극 및 드레인 전극, 및 상기 커패시터의 제2 전극 상에 보호층이 더 위치하는 유기 발광 표시 장치.

청구항 14

제 1 항에 있어서,

상기 소스 전극 및 드레인 전극과 동일층에 형성된 패드 전극을 더 포함하는 유기 발광 표시 장치.

청구항 15

제 14 항에 있어서,

상기 패드 전극 상에 보호층이 더 위치하는 유기 발광 표시 장치.

청구항 16

기판 상에 버퍼층을 형성하고, 상기 버퍼층 상에 박막 트랜지스터의 활성층을 형성하는 제1 마스크 공정;

게이트 절연막을 형성하고, 상기 게이트 절연막 상에 박막트랜지스터의 게이트 전극과 커패시터의 제1 전극을 형성하는 제2 마스크 공정;

층간 절연막을 형성하고, 상기 층간 절연막에 버퍼층을 노출시키는 제1 개구, 및 상기 활성층의 일부를 노출시키는 콘택홀을 형성하는 제3 마스크 공정;

상기 층간 절연막 상에 소스 전극 및 드레인 전극, 커패시터의 제2 전극을 형성하는 제4 마스크 공정;

상기 소스 전극 및 드레인 전극을 덮도록 제1 유기 절연막을 형성하고, 상기 제1 유기 절연막에, 상기 제1 개구와 중첩되고 상기 버퍼층을 노출시키는 제2 개구를 형성하는 제5 마스크 공정;

상기 제2 개구에 화소 전극을 형성하는 제6 마스크 공정; 및

상기 화소 전극의 단부를 덮는 제2 유기 절연막을 형성하는 제7 마스크 공정을 포함하는 유기 발광 표시 장치의 제조 방법.

청구항 17

제 16 항에 있어서,

상기 제1 마스크 공정에서, 상기 버퍼층은 기판으로부터 순차로 실리콘 질화막 및 실리콘 산화막의 순서로 적층하는 유기 발광 표시 장치의 제조 방법.

청구항 18

제 16 항에 있어서,

상기 제3 마스크 공정 후, 상기 제1 개구 및 상기 콘택홀을 BOE로 세정하는 유기 발광 표시 장치의 제조 방법.

청구항 19

제 16 항에 있어서,

상기 제5 마스크 공정 후, 상기 제2 개구를 BOE로 세정하는 유기 발광 표시 장치의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명의 실시예들은 유기 발광 표시 장치 및 그 제조 방법에 관한 것이다.

배경 기술

[0002] 유기 발광 표시 장치(organic light-emitting display apparatus)는 정공 주입 전극과 전자 주입 전극, 그리고 정공 주입 전극과 전자 주입 전극 사이에 형성되어 있는 유기 발광층을 포함하고, 정공 주입 전극에서 주입되는 정공과 전자 주입 전극에서 주입되는 전자가 유기 발광층에서 재결합하고 소멸하면서 빛을 내는 자발광형 표시 장치이다. 유기 발광 표시 장치는 낮은 소비 전력, 높은 휘도 및 높은 반응 속도 등의 고품위 특성을 나타내므로 차세대 표시 장치로 주목 받고 있다.

발명의 내용

해결하려는 과제

[0003] 본 발명의 실시예들은 표시 품질이 향상되고 제조 비용을 절감할 수 있는 유기 발광 표시 장치 및 그 제조 방법을 제공한다.

과제의 해결 수단

[0004] 본 발명의 일 실시예에 따르면, 기판 상에 형성된 버퍼층; 상기 버퍼층 상에 형성되고, 활성층, 게이트 전극, 소스 전극 및 드레인 전극을 포함하는 박막 트랜지스터; 상기 활성층과 게이트 전극 사이에 형성된 게이트 절연막; 상기 게이트 전극과 상기 소스 전극 및 드레인 전극 사이에 형성된 층간 절연막; 상기 박막 트랜지스터와 중첩되지 않는 영역에 형성되고, 상기 게이트 절연막 및 상기 층간 절연막에 공통으로 형성된 제1 개구(C1); 상기 소스 전극 및 드레인 전극을 덮고, 상기 제1 개구와 중첩되는 영역에 제2 개구(C5)가 형성된 제1 유기막(VIA); 상기 제2 개구에 형성되고, 상기 버퍼층과 물리적으로 직접 접촉하는 화소 전극; 상기 제2 개구와 중첩

된 영역에 형성된 제3 개구(C8)를 포함하고, 상기 화소 전극의 단부를 덮는 제2 유기 절연막(PDL); 상기 화소 전극 상에 형성된 유기 발광층; 및 상기 유기 발광층 상에 형성된 대향 전극;을 포함하는 유기 발광 표시 장치를 제공한다.

- [0005] 본 실시예에 따르면, 상기 화소 전극은 반투과 전극이고, 상기 대향 전극은 반사 전극일 수 있다.
- [0006] 본 실시예에 따르면, 상기 화소 전극은 상기 기판으로부터 제1 투명도전성 산화물층, 반투과 금속층, 제2 투명도전성 산화물층이 순차로 적층될 수 있다.
- [0007] 본 실시예에 따르면, 상기 제1 및 제2 투명 도전성 산화물층은 인듐틴옥사이드(ITO), 인듐징크옥사이드(IZO), 징크옥사이드(ZnO), 인듐옥사이드(In₂O₃), 인듐갈륨옥사이드(IGO), 및 알루미늄징크옥사이드(AZO)을 포함하는 그룹에서 선택된 적어도 하나 이상을 포함할 수 있다.
- [0008] 본 실시예에 따르면, 상기 반투과 금속층은 은(Ag) 또는 은 합금을 포함할 수 있다.
- [0009] 본 실시예에 따르면, 상기 제1 개구의 폭은 상기 제2 개구의 폭보다 크고, 제2 개구의 폭은 제3 개구의 폭보다 클 수 있다.
- [0010] 본 실시예에 따르면, 상기 버퍼층은 기판으로부터 순차로 실리콘 질화막 및 실리콘 산화막의 순서로 적층될 수 있다.
- [0011] 본 실시예에 따르면, 상기 실리콘 질화막의 두께는 상기 실리콘 산화막의 두께보다 두꺼울 수 있다.
- [0012] 본 실시예에 따르면, 상기 화소 전극은 상기 실리콘 산화막에 직접 접촉할 수 있다.
- [0013] 본 실시예에 따르면, 상기 화소 전극과 접촉하는 실리콘 산화막의 두께는 상기 화소 전극과 접촉하지 않는 실리콘 산화막의 두께보다 얇을 수 있다.
- [0014] 본 실시예에 따르면, 상기 버퍼층은 실리콘 질화막을 포함하고, 상기 화소 전극은 상기 실리콘 질화막에 직접 접촉할 수 있다.
- [0015] 본 실시예에 따르면, 상기 게이트 전극과 동일한 층에 형성된 거패시터의 제1 전극; 및 상기 소스 전극 및 드레인 전극과 동일 층에 형성된 커패시터의 제2 전극;을 더 포함할 수 있다.
- [0016] 본 실시예에 따르면, 상기 소스 전극 및 드레인 전극, 및 상기 커패시터의 제2 전극 상에 보호층이 더 위치할 수 있다.
- [0017] 본 실시예에 따르면, 상기 소스 전극 및 드레인 전극과 동일층에 형성된 패드 전극을 더 포함할 수 있다.
- [0018] 본 실시예에 따르면, 상기 패드 전극 상에 보호층이 더 위치할 수 있다.
- [0019] 본 발명의 다른 실시예에 따르면, 기판 상에 버퍼층을 형성하고, 상기 버퍼층 상에 박막 트랜지스터의 활성층을 형성하는 제1 마스크 공정; 게이트 절연막을 형성하고, 상기 게이트 절연막 상에 박막트랜지스터의 게이트 전극과 커패시터의 제1 전극을 형성하는 제2 마스크 공정; 층간 절연막을 형성하고, 상기 층간 절연막에 버퍼층을 노출시키는 제1 개구, 및 상기 활성층의 일부를 노출시키는 콘택홀을 형성하는 제3 마스크 공정; 상기 층간 절연막 상에 소스 전극 및 드레인 전극, 커패시터의 제2 전극을 형성하는 제4 마스크 공정; 상기 소스 전극 및 드레인 전극을 덮도록 제1 유기 절연막을 형성하고, 상기 제1 유기 절연막에, 상기 제1 개구와 중첩되고 상기 버퍼층을 노출시키는 제2 개구를 형성하는 제5 마스크 공정; 상기 제2 개구에 화소 전극을 형성하는 제6 마스크 공정; 및 상기 화소 전극의 단부를 덮는 제2 유기 절연막을 형성하는 제7 마스크 공정을 포함하는 유기 발광 표시 장치의 제조 방법을 제공한다.
- [0020] 본 실시예에 따르면, 상기 제1 마스크 공정에서, 상기 버퍼층은 기판으로부터 순차로 실리콘 질화막 및 실리콘 산화막의 순서로 적층될 수 있다.
- [0021] 본 실시예에 따르면, 상기 제3 마스크 공정 후, 상기 제1 개구 및 상기 콘택홀을 BOE로 세정할 수 있다.
- [0022] 본 실시예에 따르면, 상기 제5 마스크 공정 후, 상기 제2 개구를 BOE로 세정할 수 있다.
- [0023] 전술한 것 외의 다른 측면, 특징, 이점이 이하의 도면, 특허청구범위 및 발명의 상세한 설명으로부터 명확해질 것이다.

발명의 효과

- [0024] 본 발명의 실시예들에 따른 유기 발광 표시 장치는 화소 전극(120)을 반투과 금속층(120b)으로 형성함으로써 마이크로 캐비티(micro-cavity)에 의한 유기 발광 표시 장치(1)의 광 효율을 향상시킬 수 있다.
- [0025] 또한, BOE 세정을 진행함으로써, 버퍼층(11)의 표면 거칠기를 완화할 수 있다.
- [0026] 또한, 버퍼층(11)의 두께를 얇게 형성하여 리페어 레이저를 잘 통과시켜 유기 발광 소자의 수율을 향상시킬 수 있다.
- [0027] 또한, 소스 전극(216a)이나 드레인 전극(216b)을 제1 유기 절연막(19)으로 덮는 구조로서, 소스 전극(216a)이나 드레인 전극(216b)이 은(Ag) 이온이 포함된 에천트에 노출되지 않도록 함으로써, 은(Ag)의 재석출에 의한 파티클성 불량을 방지할 수 있다.
- [0028] 또한, 7단계의 마스크 공정으로 유기 발광 표시 장치를 제조 할 수 있기 때문에 제조 비용을 절감할 수 있다.

도면의 간단한 설명

- [0029] 도 1은 본 발명의 실시예에 따른 유기 발광 표시 장치(1)를 개략적으로 도시한 평면도이다.
- 도 2는 본 발명의 실시예에 따른 유기 발광 표시 장치(1)의 발광 화소와 패드의 일부를 개략적으로 도시한 단면도이다.
- 도 3은 본 발명의 실시예에 따른 유기 발광 표시 장치(1)의 제1 마스크 공정의 결과를 개략적으로 도시한 단면도들이다.
- 도 4는 본 발명의 실시예에 따른 유기 발광 표시 장치(1)의 제2 마스크 공정의 결과를 개략적으로 도시한 단면도들이다.
- 도 5a 및 5b은 본 발명의 실시예에 따른 유기 발광 표시 장치(1)의 제3 마스크 공정의 결과를 개략적으로 도시한 단면도들이다.
- 도 6은 본 발명의 실시예에 따른 유기 발광 표시 장치(1)의 제4 마스크 공정의 결과를 개략적으로 도시한 단면도들이다.
- 도 7a 및 7b은 본 발명의 실시예에 따른 유기 발광 표시 장치(1)의 제5 마스크 공정의 결과를 개략적으로 도시한 단면도들이다.
- 도 8은 본 발명의 실시예에 따른 유기 발광 표시 장치(1)의 제6 마스크 공정의 결과를 개략적으로 도시한 단면도들이다.
- 도 9는 본 발명의 실시예에 따른 유기 발광 표시 장치(1)의 제7 마스크 공정의 결과를 개략적으로 도시한 단면도들이다.
- 도 10은 본 발명의 비교예에 따른 유기 발광 표시 장치(2)의 발광 화소와 패드의 일부를 개략적으로 도시한 단면도이다.
- 도 11은 비교예에 따른 유기 발광 표시 장치(2)의 픽셀 배선에 레이저를 조사하는 것을 도시한 단면도이다.
- 도 12는 본 발명의 실시예에 따른 유기 발광 표시 장치(1)의 픽셀 배선에 레이저를 조사하는 것을 도시한 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0030] 본 발명은 다양한 변환을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 상세한 설명에 상세하게 설명하고자 한다. 본 발명의 효과 및 특징, 그리고 그것들을 달성하는 방법은 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 다양한 형태로 구현될 수 있다.
- [0031] 이하, 첨부된 도면을 참조하여 본 발명의 실시예들을 상세히 설명하기로 하며, 도면을 참조하여 설명할 때 동일하거나 대응하는 구성 요소는 동일한 도면부호를 부여하고 이에 대한 중복되는 설명은 생략하기로 한다.
- [0032] 이하의 실시예에서, 제1, 제2 등의 용어는 한정적인 의미가 아니라 하나의 구성 요소를 다른 구성 요소와 구별하는 목적으로 사용되었다.

- [0033] 이하의 실시예에서, 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.
- [0034] 이하의 실시예에서, 포함하다 또는 가지다 등의 용어는 명세서상에 기재된 특징, 또는 구성요소가 존재함을 의미하는 것이고, 하나 이상의 다른 특징들 또는 구성요소가 부가될 가능성을 미리 배제하는 것은 아니다.
- [0035] 이하의 실시예에서, 막, 영역, 구성 요소 등의 부분이 다른 부분 위에 또는 상에 있다고 할 때, 다른 부분의 바로 위에 있는 경우뿐만 아니라, 그 중간에 다른 막, 영역, 구성 요소 등이 개재되어 있는 경우도 포함한다.
- [0036] 도면에서는 설명의 편의를 위하여 구성 요소들이 그 크기가 과장 또는 축소될 수 있다. 예컨대, 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로, 본 발명이 반드시 도시된 바에 한정되지 않는다.
- [0037] 도 1은 본 발명의 제1 실시예에 따른 유기 발광 표시 장치(1)를 개략적으로 도시한 평면도이고, 도 2는 본 발명의 제1 실시예에 따른 유기 발광 표시 장치(1)의 발광 화소와 패드의 일부를 개략적으로 도시한 단면도이다.
- [0038] 도 1을 참조하면, 본 발명의 제1 실시예에 따른 유기 발광 표시 장치(1)의 기관(10) 상에는 복수의 화소(P)가 포함되어 화상을 표시하는 표시 영역(DA)이 구비된다. 표시 영역(DA)은 밀봉 라인(SL) 내부에 형성되고, 밀봉 라인(SL)을 따라 표시 영역(DA)을 봉지하는 봉지 부재(미도시)가 구비된다.
- [0039] 도 2를 참조하면, 기관(10) 상에 적어도 하나의 유기 발광층(121)이 구비된 픽셀 영역(PXL1), 적어도 하나의 박막 트랜지스터가 구비된 트랜지스터 영역(TR1), 적어도 하나의 커패시터가 구비된 커패시터 영역(CAP1), 및 패드 영역(PAD1)이 구비된다.
- [0040] 트랜지스터 영역(TR1)에는 기관(10) 및 버퍼층(11) 상에 박막 트랜지스터의 활성층(212)이 구비된다.
- [0041] 기관(10)은 유리 기관뿐만 아니라, PET(Polyethylen terephthalate), PEN(Polyethylen naphthalate), 폴리이미드(Polyimide) 등을 포함하는 플라스틱 기관 등으로 구비될 수 있다.
- [0042] 기관(10)의 상부에 평활한 면을 형성하고 불순 원소가 침투하는 것을 차단하기 위한 버퍼층(11)이 더 구비될 수 있다. 후술하겠지만, 버퍼층(11)은 기관으로부터 실리콘 질화막(11a, 도 5b 참조) 및 실리콘 산화막(11b, 도 5b 참조)의 순서로 적층될 수 있다.
- [0043] 버퍼층(11) 상의 박막 트랜지스터 영역(TR1)에 활성층(212)이 구비된다. 활성층(212)은 비정질 실리콘 또는 결정질 실리콘을 포함하는 반도체로 형성될 수 있다. 활성층(212)은 채널영역(212c)과, 채널영역(212c) 외측에 이온 불순물이 도핑된 소스 영역(212a) 및 드레인 영역(212b)을 포함할 수 있다. 활성층(212)은 비정질 실리콘 또는 결정질 실리콘에만 한정되지는 않으며, 산화물 반도체를 포함할 수 있다.
- [0044] 활성층(212) 상에는 게이트 절연막(13)이 구비된다. 게이트 절연막(13)은 실리콘 질화막 및/또는 실리콘 산화막 등으로 단수층 또는 복수층으로 형성될 수 있다.
- [0045] 게이트 절연막(13) 상에 게이트 전극(214)이 구비된다. 게이트 전극(214)은, 예를 들어, 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 리튬(Li), 칼슘(Ca), 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속으로 단수층 또는 복수층으로 형성될 수 있다.
- [0046] 도 2에는 도시되어 있지 않지만, 게이트 전극(214)과 동일층에 게이트 전극(214)과 동일한 재료로 예들 들어, 스캔 라인과 같은 배선 등이 형성될 수 있다. 유기 발광 표시 장치(1)의 화면이 커질수록 배선의 두께를 두껍게 하여야 대화면화에 따른 신호 지연을 방지할 수 있다. 본 실시예에서, 게이트 전극(214)과 배선의 두께는 6,000 내지 12,000 옴스트롱(Å) 범위에서 형성될 수 있다. 게이트 전극(214)과 배선의 두께는 적어도 6,000 옴스트롱(Å) 이상일 때 50인치 이상의 대화면에서 신호 지연 방지 효과를 기대할 수 있다. 한편, 게이트 전극(214)과 배선의 두께를 증착으로 12,000 옴스트롱(Å) 보다 두껍게 형성하는 것은 공정상 어렵다.
- [0047] 게이트 전극(214) 상에는 층간 절연막(15)이 위치한다. 층간 절연막(15)은 실리콘 질화막 및/또는 실리콘 산화막이 단수층 또는 복수층으로 형성될 수 있다.
- [0048] 층간 절연막(15) 위에 소스 전극(216a) 및 드레인 전극(216b)이 구비된다. 소스 전극(216a) 및 드레인 전극(216b)은 예를 들어, 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 리튬(Li), 칼슘(Ca), 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W), 구리(Cu) 및 이들

의 합금 가운데 선택된 금속층이 단수층 또는 복수층으로 형성할 수 있다.

- [0049] 소스 전극(216a) 및 드레인 전극(216b) 상에 보호층(418)이 형성될 수 있다. 보호층(418)에 의해 화소 전극(120)을 에칭하는 동안 소스 전극(216a) 및 드레인 전극(216b)이 에천트에 노출되는 것을 방지하여, 파티클성 불량을 방지할 수 있다.
- [0050] 한편, 보호층(418)과 소스 전극(216a), 보호층(418)과 드레인 전극(216b)은 동일한 마스크로 에칭되기 때문에, 보호층(418)과 소스 전극(216a), 보호층(418)과 드레인 전극(216b) 각 단부의 식각면이 일치할 수 있다.
- [0051] 소스 전극(216a) 및 드레인 전극(216b) 상에는, 소스 전극(216a) 및 드레인 전극(216b)을 덮는 제1 유기 절연막(19)이 위치한다. 제1 유기 절연막(19) 상에 제2 유기 절연막(20)이 구비된다. 제1 유기 절연막(19) 및 제2 유기 절연막(20)은 일반 범용고분자(PMMA, PS), phenol그룹을 갖는 고분자 유도체, 아크릴계 고분자, 이미드계 고분자, 아릴에테르계 고분자, 아마이드계 고분자, 불소계고분자, p-자일렌계 고분자, 비닐알콜계 고분자 및 이들의 블렌드 등을 포함할 수 있다.
- [0052] 제1 유기 절연막(19)에 형성된 콘택홀(C6)를 통하여 화소 전극(120)이 소스 전극(216a) 및 드레인 전극(216b) 중 하나와 접촉한다.
- [0053] 픽셀 영역(PXL1)에는 버퍼층(11) 상에 화소 전극(120)이 구비된다.
- [0054] 화소 전극(120)은 반투과 금속층(120b)을 포함한다. 또한, 화소 전극(120)은 반투과 금속층(120b)의 하부에 형성된 제1 투명 도전성 산화물층(120a)과, 반투과 금속층(120b)의 상부에 형성된 제2 투명 도전성 산화물층(120c)을 포함할 수 있다.
- [0055] 반투과 금속층(120b)은 은(Ag) 또는 은 합금으로 형성될 수 있다. 반투과 금속층(120b)은 후술할 반사 전극인 대향 전극(122)과 함께 마이크로 캐비티(micro-cavity) 구조를 형성함으로써 유기 발광 표시 장치(1)의 광 효율을 향상시킬 수 있다.
- [0056] 제1 및 제2 투명 도전성 산화물층(120a, 120c)은 인듐틴옥사이드(indium tin oxide: ITO), 인듐징크옥사이드(indium zinc oxide: IZO), 징크옥사이드(zinc oxide: ZnO), 인듐옥사이드(indium oxide: In₂O₃), 인듐갈륨옥사이드(indium gallium oxide: IGO), 및 알루미늄징크옥사이드(aluminum zinc oxide: AZO)를 포함하는 그룹에서 선택된 적어도 하나 이상을 포함할 수 있다.
- [0057] 제1 투명 도전성 산화물층(120a)은 버퍼층(11)과 반투과 금속층(120b) 간의 접착력을 강화하고, 제2 투명 도전성 산화물층(120c)은 반투과 금속층(120b)을 보호하는 배리어층으로 기능할 수 있다.
- [0058] 한편, 반투과 금속층(120b)을 형성하는 은(Ag)과 같이 환원성이 강한 금속은, 화소 전극(120)을 식각하는 공정 중, 은(Ag) 입자를 석출하는 문제가 발생할 수 있다. 이렇게 석출된 은(Ag) 입자는 암점을 발생시키는 파티클성 불량 요인이 될 수 있다. 만약, 은(Ag)을 포함하는 화소 전극(120)을 식각하는 공정에서, 소스 전극(216a)이나 드레인 전극(216b), 패드 전극(416) 또는 배선이 에천트에 노출될 경우, 환원성이 강한 은(Ag) 이온은 이들 금속 재료로부터 전자를 전달받아 은(Ag) 입자로 재석출 될 수 있다.
- [0059] 그러나, 본 실시예에 따른 유기 발광 표시 장치(1)는 소스 전극(216a)이나 드레인 전극(216b), 패드 전극(416)은 보호층(418)으로 보호받고 있기 때문에, 에천트에 노출되지 않는다. 따라서, 은(Ag) 입자의 재석출에 의한 파티클성 불량을 방지할 수 있다.
- [0060] 픽셀 영역(PXL1)에서 버퍼층(11) 상에는 게이트 절연막(13)과 층간 절연막(15)을 동시에 식각하여 트렌치를 형성하며 버퍼층(11)을 노출시키는 제1 개구(C1)가 형성된다. 제1 개구(C1)는 박막 트랜지스터와 후술할 커패시터와 중첩되지 않는 영역에 형성된다.
- [0061] 제1 개구(C1)와 중첩되는 영역에 제2 개구(C5)가 형성된다. 제2 개구(C5)는 제1 유기막(19)을 식각하여 트렌치를 형성하며 버퍼층(11)을 노출시킨다. 제2 개구(C5)의 폭은 제1 개구(C1)보다 작게 형성된다.
- [0062] 화소 전극(120)은 제2 개구(C5)에 형성된다. 화소 전극(120)의 단부는 제2 개구(C5) 밖의 제1 유기 절연막(19) 상에 형성된다. 화소 전극(120)의 단부가 제2 개구(C5) 밖의 제1 유기 절연막(19) 상에까지 연장되어 형성됨으로써, 유기 발광층(121)에서 방출된 일부 광이 화소 전극(120)의 단부와 만나는 경계에서 굴절 및/또는 반사되어 기관(10) 측으로 방출됨으로써 본 실시예와 같은 배면 발광 디스플레이의 광효율을 향상시킨다.
- [0063] 화소 전극(120)의 단부는 제2 유기 절연막(20)에 의해 커버된다. 제2 유기 절연막(20)에는 제1 개구(C1) 및 제2

개구(C5)와 중첩되는 위치에 제3 개구(C8)가 형성되고, 제3 개구(C8)의 폭은 제2 개구(C5)의 폭보다 작게 형성된다.

- [0064] 제2 유기 절연막(20)이 형성된 개구(C8)에 의해 상면이 노출된 화소 전극(120) 상에는 유기 발광층(121)을 포함하는 중간층(미도시)이 구비된다. 유기 발광층(121)은 저분자 유기물 또는 고분자 유기물일 수 있다.
- [0065] 유기 발광층(121)이 저분자 유기물일 경우, 중간층(미도시)은 홀 수송층(hole transport layer: HTL), 홀 주입층(hole injection layer: HIL), 전자 수송층(electron transport layer: ETL) 및 전자 주입층(electron injection layer: EIL) 등을 더 포함할 수 있다. 이외에도 필요에 따라 다양한 층들을 더 포함할 수 있다. 이때, 사용 가능한 유기 재료로 구리 프탈로시아닌(CuPc: copper phthalocyanine), N'-디(나프탈렌-1-일)-N(N'-Di(naphthalene-1-yl)-N), N'-디페닐-벤지딘(N'-diphenyl-benzidine: NPB), 트리스-8-하이드록시퀴놀린 알루미늄(tris-8-hydroxyquinoline aluminum)(Alq3) 등을 비롯하여 다양하게 적용 가능하다.
- [0066] 유기 발광층(121)이 고분자 유기물일 경우, 중간층(미도시)은 홀 수송층(HTL)을 더 포함할 수 있다. 홀 수송층은 폴리에틸렌 디히드록시티오펜 (PEDOT: poly-(2,4)-ethylene-dihydroxy thiophene)이나, 폴리아닐린(PANI: polyaniline) 등을 사용할 수 있다. 이때, 사용 가능한 유기 재료로 PPV(Poly-Phenylenevinylene)계 및 폴리플루오렌(Polyfluorene)계 등의 고분자 유기물을 사용할 수 있다. 또한, 유기 발광층(121)과 화소 전극(120) 및 대향 전극(122) 사이에는 무기 재료가 더 구비될 수도 있다.
- [0067] 도 2에는 유기 발광층(121)이 제3 개구(C8) 안쪽에 위치하는 것으로 도시되어 있으나 이는 설명의 편의를 위한 것이며 본 발명은 이에 한정되지 않는다. 유기 발광층(121)은 제3 개구(C8)의 안쪽뿐 아니라 제2 유기 절연막(20)에 형성된 제3 개구(C8)의 식각면을 따라 제2 유기 절연막(20)의 상면까지 연장되어 형성될 수 있다.
- [0068] 유기 발광층(121) 상에는 복수의 픽셀에 공통으로 형성된 대향 전극(122)이 구비된다. 본 실시예에 따른 유기 발광 표시 장치(1)의 경우, 화소 전극(120)은 애노드로 사용되고, 대향 전극(122)은 캐소드로 사용되었다. 물론 전극의 극성은 반대로 적용될 수 있음은 물론이다.
- [0069] 대향 전극(122)은 반사 물질을 포함하는 반사 전극일 수 있다. 이때 상기 대향 전극(122)은 Al, Mg, Li, Ca, LiF/Ca, 및 LiF/Al에서 선택된 하나 이상의 재료를 포함할 수 있다. 대향 전극(122)이 반사 전극으로 구비됨으로써, 유기 발광층(121)에서 방출된 빛은 대향 전극(122)에 반사되어 반투과 금속인 화소 전극(120)을 투과하여 기관(10) 측으로 방출된다.
- [0070] 마이크로 캐비티를 적용한 구조에서는, 기관(10)과 반투과 전극인 화소 전극(120) 사이에 위치하는 절연층의 재료와 두께가 공진 거리에 영향을 미침으로써 유기 발광 소자의 광특성에 영향을 미칠 수 있다.
- [0071] 도 10은 본 발명의 비교예에 따른 유기 발광 표시 장치(2)의 발광 화소와 패드의 일부를 개략적으로 도시한 단면도이다.
- [0072] 비교예의 유기 발광 표시 장치(2)는 본 실시예의 유기 발광 표시 장치(1)와 비교할 때, 기관(10)과 화소 전극(120) 사이에 위치하는 절연층의 구조가 상이하고, 나머지 구성은 동일하다.
- [0073] 즉, 본 실시예에 따른 유기 발광 표시 장치(1)는 기관(10)과 화소 전극(120) 사이에 버퍼층(11)만 존재하지만, 비교예에 따른 유기 발광 표시 장치(2)는 기관(10)과 화소 전극(120) 사이에 버퍼층(11), 게이트 절연막(13), 층간 절연막(15)이 존재한다.
- [0074] 비교예에 따른 유기 발광 표시 장치(2)도 화소 전극(120)은 제1 투명 도전성 산화물층(120a), 반투과 금속층(120b), 제2 투명 도전성 산화물층(120c)을 포함하는 반투과 전극이고, 대향 전극(122)은 반사 전극으로 형성되어 마이크로 캐비티 구조가 적용되었다.
- [0075] 그리고, 비교예의 유기 발광 표시 장치(2)는 본 실시예의 유기 발광 표시 장치(1)와 마찬가지로 7번의 마스크 공정을 통해 형성된다.
- [0076] 비교예에 따른 유기 발광 표시 장치(2)는, 기관(10)과 화소 전극(120) 사이에 3,000 옴스트롱(Å)의 실리콘 산화막을 포함하는 버퍼층(11), 750 옴스트롱(Å)의 실리콘 산화막과 400 옴스트롱(Å)의 실리콘 질화막을 포함하는 게이트 절연막(13), 3,000 옴스트롱(Å)의 실리콘 질화막과 3,000 옴스트롱(Å)의 실리콘 산화막을 포함하는 층간 절연막(15)이 순차로 적층되어 공진 구조를 형성한다.
- [0077] 화소 리페어 배선(120)은 화소 전극(120)의 일부이거나 화소 전극(120)과 동일한 층에 동일한 물질로 형성된다.

- [0078] 유기 발광 표시 장치(2)에 점등 불량이 발생할 때, 기관(10) 측에서 화소 리페어 배선(120)에 리페어 레이저를 조사하여 불량이 발생한 영역의 화소 리페어 배선(120)을 제거 함으로써, 불량 화소를 리페어 한다. 그런데, 도 11과 같이, 비교예와 같은 유기 발광 표시 장치(1)에서는 리페어 레이저가 층간 절연막(15)을 통과하지 못하여 화소 리페어 배선(120-1)을 리페어 하지 못한다.
- [0079] 도 12는 본 발명의 실시예에 따른 유기 발광 표시 장치(1)의 화소 리페어 배선에 레이저를 조사하는 것을 도시한 단면도이다.
- [0080] 본 실시예에 따른 유기 발광 표시 장치(1)는, 기관(10)과 화소 전극(120) 사이에 3,000 옴스트롱(Å)의 실리콘 질화막과, 1,000 옴스트롱(Å) 이하의 실리콘 산화막을 포함하는 버퍼층(11)이 형성되어 공진 구조를 형성한다.
- [0081] 본 실시예에 따른 유기 발광 표시 장치(1)는 발광 영역에 게이트 절연막과 층간 절연막이 비록 형성되어 있지 않아서, 기관과 화소 전극 사이의 절연층의 두께가 비교예에 비하여 약 6,000~7,000 옴스트롱(Å) 얇다. 그러나, 본 실시예와 같은 절연층의 구조 변화에 의해 유기 발광 소자의 공진에는 특별한 영향을 미치지 않았다. 반면, 리페어 레이저는 버퍼층(11)을 통과하여 화소 리페어 배선(120-1)에 도달하기 때문에 화소 리페어 배선(120-1)을 리페어 할 수 있다. 따라서, 리페어 유기 발광 소자의 수율을 향상시킬 수 있다.
- [0082] 커패시터 영역(CAP1)에는 게이트 전극(214)과 동일층에 배치된 제1 전극(314)과, 소스 전극(216a) 및 드레인 전극(216b)과 동일층에 배치된 제2 전극(316)을 구비한 커패시터가 배치된다. 제1 전극(314)과 제2 전극(316) 사이에 층간 절연막(15)이 배치된다.
- [0083] 제1 전극(314)은 게이트 전극(214)과 동일한 물질로 형성될 수 있다.
- [0084] 제2 전극(316) 상에 보호층(418)이 형성될 수 있다. 보호층(418)에 의해 화소 전극(120)을 에칭하는 동안 커패시터의 제 2전극(316)이 에천트에 노출되는 것을 방지하여, 파티클성 불량을 방지할 수 있다.
- [0085] 한편, 보호층(418)과 제2 전극(316)은 동일한 마스크로 에칭되기 때문에, 보호층(418)과 제2 전극(316) 단부의 식각면이 일치할 수 있다.
- [0086] 표시 영역(DA)의 외곽에는 외장 드라이버의 접속 단자인 패드 전극(416)이 배치되는 패드 영역(PAD1)이 위치한다.
- [0087] 패드 전극(416)은 층간 절연막(15) 상에 위치하고, 패드 전극(416)의 단부는 제1 유기 절연막(19)에 의해 커버된다.
- [0088] 패드 전극(416)은 소스 전극(216a) 및 드레인 전극(216b)과 동일 재료로 형성되고, 패드 전극(416) 상에 보호층(418)이 형성된다. 보호층(418)에 의해 화소 전극(120)을 에칭하는 동안 패드 전극(416)이 에천트에 노출되는 것을 방지하여, 파티클성 불량을 방지할 수 있다. 또한, 보호층(418)은 패드 전극(416)이 수분과 산소에 노출되는 것을 방지하여 패드의 신뢰성 저하를 방지할 수 있다.
- [0089] 보호층(418)과 패드 전극(416)은 동일한 마스크로 에칭되기 때문에, 보호층(418)과 패드 전극(416) 단부의 식각면이 일치할 수 있다.
- [0090] 한편, 도 2에는 도시되어 있지 않으나, 본 실시예에 따른 유기 발광 표시 장치(1)는 픽셀 영역(PXL1), 커패시터 영역(CAP1), 및 박막 트랜지스터 영역(TR1)을 포함하는 표시 영역을 봉지하는 봉지 부재(30, 도 12 참조)를 더 포함할 수 있다. 봉지 부재(30)는 글라스재를 포함하는 기관, 금속 필름, 또는 유기 절연막 및 무기 절연막이 교번하여 배치된 봉지 박막 등으로 형성될 수 있다.
- [0091] 이하, 도 3 내지 9를 참조하여 본 실시예에 따른 유기 발광 표시 장치(1)의 제조 방법을 설명한다.
- [0092] 도 3은 본 실시예에 따른 유기 발광 표시 장치(1)의 제1 공정을 개략적으로 도시한 단면도이다.
- [0093] 도 3을 참조하면, 기관(10) 상에 버퍼층(11)을 형성하고, 버퍼층(11) 상에 반도체층(미도시)을 형성한 후, 반도체층(미도시)을 패터닝하여 박막 트랜지스터의 활성층(212)을 형성한다.
- [0094] 버퍼층(11)은 기관으로부터 실리콘 질화막(11a, 도 5b 참조) 및 실리콘 산화막(11b, 도 5b 참조)의 순서로 적층될 수 있다.
- [0095] 상기 도면에는 도시되어 있지 않지만, 반도체층(미도시) 상에 포토레지스터(미도시)가 도포된 후, 제1 포토마스

크(미도시)를 이용한 포토리소그래피 공정에 의해 반도체층(미도시)을 패터닝하여, 전술한 활성층(212)이 형성된다. 포토리소그래피에 의한 제1 공정은 제1 포토마스크(미도시)에 노광 장치(미도시)로 노광 후, 현상(developing), 식각(etching), 및 스트립핑(stripping) 또는 에싱(ashing) 등과 같은 일련의 공정을 거쳐 진행된다.

[0096] 반도체층(미도시)은 비정질 실리콘(amorphous silicon) 또는 결정질 실리콘(poly silicon)으로 구비될 수 있다. 이때, 결정질 실리콘은 비정질 실리콘을 결정화하여 형성될 수도 있다. 비정질 실리콘을 결정화하는 방법은 RTA(rapid thermal annealing)법, SPC(solid phase crystallization)법, ELA(excimer laser annealing)법, MIC(metal induced crystallization)법, MILC(metal induced lateral crystallization)법, SLS(sequential lateral solidification)법 등 다양한 방법에 의해 결정화될 수 있다. 한편, 반도체층(미도시)은 비정질 실리콘 또는 결정질 실리콘에만 한정되지는 않으며, 산화물 반도체를 포함할 수 있다.

[0097] 도 4는 본 실시예에 따른 유기 발광 표시 장치(1)의 제2 공정을 개략적으로 도시한 단면도이다.

[0098] 도 3의 제1 공정의 결과물 상에 게이트 절연막(13)을 형성하고, 게이트 절연막(13) 상에 제1 금속층(미도시)을 형성한 후 이를 패터닝한다. 제1 금속층(미도시)은 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 리튬(Li), 칼슘(Ca), 몰리브덴(Mo), 타이타늄(Ti), 텅스텐(W), 구리(Cu) 가운데 선택된 하나 이상의 금속으로 단층 또는 다층으로 형성될 수 있다.

[0099] 패터닝 결과, 게이트 절연막(13) 상에 게이트 전극(214)과 커패시터의 제1 전극(314)이 형성된다.

[0100] 상기와 같은 구조물 위에 이온 불순물이 도핑 된다. 이온 불순물은 B 또는 P 이온을 도핑할 수 있는데, 1×10^{15} atoms/cm² 이상의 농도로 박막 트랜지스터의 활성층(212)을 타겟으로 하여 도핑한다.

[0101] 게이트 전극(214)을 셀프-얼라인(self-align) 마스크로 사용하여 활성층(212)에 이온불순물을 도핑함으로써 활성층(212)은 이온불순물이 도핑된 소스 영역(212a) 및 드레인 영역(212b)과, 그 사이에 채널 영역(212c)을 구비하게 된다.

[0102] 도 5a 및 5b는 본 발명의 실시예에 따른 유기 발광 표시 장치(1)의 제3 마스크 공정의 결과를 개략적으로 도시한 단면도들이다.

[0103] 도 5a를 참조하면, 도 4의 제2 공정의 결과물 상에 층간 절연막(15)을 형성하고, 층간 절연막(15)을 패터닝하여, 이후 발광부가 될 영역을 노출시키는 제1 개구(C1)와, 활성층(212)의 소스 영역(212a) 및 드레인 영역(212b)을 노출시키는 개구(C3, C4)를 형성한다.

[0104] 제1 개구(C1)는 게이트 절연막(13)과 층간 절연막(15)을 동시에 식각하여 형성되며, 버퍼층(11)을 노출시킨다.

[0105] 5b를 참조하면, 도 5a의 구조물에 1차 BOE(Buffered Oxide Etchant) 세정을 진행할 수 있다.

[0106] 버퍼층(11)이 기판(10)으로부터 실리콘 질화막(11a) 및 실리콘 산화막(11b)의 순서로 적층된 경우, 실리콘 산화막(11b)의 표면이 일부 식각되어, 실리콘 산화막(11b)의 두께는 실리콘 질화막(11a)의 두께보다 얇게 형성된다.

[0107] BOE 세정을 진행함으로써, 버퍼층(11)의 표면 거칠기를 완화할 수 있고, 버퍼층(11)의 두께를 더욱 얇게 형성하여 리페어 레이어를 잘 통과시킬 수 있다.

[0108] 도 6은 본 실시예에 따른 유기 발광 표시 장치(1)의 제4 공정을 개략적으로 도시한 단면도이다.

[0109] 도 6을 참조하면, 도 5b의 제3 공정의 결과물 상에 제2 금속층(미도시) 및 보호층(418)을 형성하고, 제2 금속층(미도시) 및 보호층(418)을 패터닝하여 소스 전극(216a)과 보호층(418), 드레인 전극(216b)과 보호층(418), 커패시터의 제2전극(316)과 보호층(418), 패드 전극(418)과 보호층(418)을 동시에 형성한다.

[0110] 제2 금속층(미도시)은 전자 이동도가 다른 이종의 금속층이 2층 이상 형성된 것일 수 있다. 예를 들어, 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 리튬(Li), 칼슘(Ca), 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W), 구리(Cu) 및 이들의 합금 가운데 선택된 금속층이 2층 이상 형성된 것일 수 있다.

[0111] 보호층(418)은 인듐틴옥사이드(indium tin oxide: ITO), 인듐징크옥사이드(indium zinc oxide: IZO), 징크옥사이드(zinc oxide: ZnO), 인듐옥사이드(indium oxide: In₂O₃), 인듐갈륨옥사이드(indium gallium oxide: IGO), 및 알루미늄징크옥사이드(aluminum zinc oxide: AZO)를 포함하는 그룹에서 선택된 적어도 하나 이상을 포함하는

투명 도전성 산화물로 형성될 수 있다

- [0112] 도 7a 및 7b는 본 실시예에 따른 유기 발광 표시 장치(1)의 제5 공정의 결과를 개략적으로 도시한 단면도이다.
- [0113] 도 7a를 참조하면, 도 6의 제4 공정의 결과물 상에 제1 유기 절연막(19)을 형성하고, 제1 유기 절연막(19)을 패터닝하여 콘택홀(C6), 패드 전극의 보호층(418) 상부를 노출시키는 콘택홀(C7), 및 화소 전극(120)이 배치될 픽셀 영역(PXL1)에 제2 개구(C5)를 형성한다.
- [0114] 제2 개구(C5)는 박막 트랜지스터와 후커패시터와 중첩되지 않는 영역에 형성하고, 제1 개구(C1)에 중첩되는 영역에 제1 개구(C1)보다 좁은 폭으로 형성한다.
- [0115] 7b를 참조하면, 도 7a의 구조물에 2차 BOE(Buffered Oxide Etchant) 세정을 진행할 수 있다.
- [0116] 1차 BOE 세정 후, 2 차 BOE 세정을 진행하면, 버퍼층(11)의 상부에 형성된 실리콘 산화막(11b)이 전부 제거될 수 있다. 2차 BOE 세정을 진행함으로써, 버퍼층(11)의 표면 거칠기를 더욱 완화할 수 있고, 버퍼층(11)의 두께를 더욱 얇게 형성하여 리페어 레이저를 잘 통과시킬 수 있다.
- [0117] 도 8은 본 실시예에 따른 유기 발광 표시 장치(1)의 제6 공정의 결과를 개략적으로 도시한 단면도이다.
- [0118] 도 8을 참조하면, 도 7b의 제5 공정의 결과물 상에 제1 투명 도전성 산화물층(120a), 반투과 금속층(120b), 제2 투명 도전성 산화물층(120c)을 형성하고, 이를 패터닝하여 화소 전극(120)을 형성한다.
- [0119] 화소 전극(120)은 버퍼층(11) 위에 직접 접촉된다.
- [0120] 만약, 1차 BOE 세정을 진행하고 2차 BOE 세정을 진행하지 않는다면, 화소 전극(120)은 도 5b의 버퍼층(11), 즉 기판(10)에 가까운 실리콘 질화막(11b)보다 얇은 실리콘 산화막(11a)에 직접 접촉한다.
- [0121] 만약, 1차 BOE 세정과 2 차 BOE 세정을 모두 진행한다면, 화소 전극(120)은 도 7b의 버퍼층(11), 즉, 기판(10) 위에 실리콘 질화막(11b)만 형성된 버퍼층(11)에 직접 접촉한다.
- [0122] 화소 전극(120)의 단부는 제2 개구(C5) 밖의 제1 유기 절연막(19) 상에 형성된다. 화소 전극(120)의 단부가 제2 개구(C5) 밖의 제1 유기 절연막(19) 상에까지 연장되어 형성됨으로써, 유기 발광층(121)에서 방출된 일부 광이 화소 전극(120)의 단부와 만나는 경계에서 굴절 및/또는 반사되어 기판(10) 측으로 방출됨으로써 본 실시예와 같은 배면 발광 디스플레이의 광효율을 향상시킨다.
- [0123] 도 9는 본 실시예에 따른 유기 발광 표시 장치(1)의 제7 공정의 결과를 개략적으로 도시한 단면도이다.
- [0124] 도 9를 참조하면, 도 8의 제6 공정의 결과물 상에 제2 유기 절연막(20)을 형성한 후, 화소 전극(120) 상부를 노출시키는 제3 개구(C8)를 형성하는 제7 공정을 실시한다.
- [0125] 제2 유기 절연막(20)은 화소 정의막(pixel define layer) 역할을 하는 것으로, 예를 들어, 일반 범용고분자(PMMA, PS), phenol그룹을 갖는 고분자 유도체, 아크릴계 고분자, 이미드계 고분자, 아릴에테르계 고분자, 아마이드계 고분자, 불소계고분자, p-자일렌계 고분자, 비닐알콜계 고분자 및 이들의 블렌드 등을 포함하는 유기 절연막으로 형성될 수 있다.
- [0126] 도 9의 제7 공정의 결과물 상에 유기 발광층(121, 도 2 참조)을 포함하는 중간층(미도시)을 형성하고, 대향 전극(122, 도 2참조)을 형성한다.
- [0127] 상술한 본 발명의 실시예에 따른 유기 발광 표시 장치는, 화소 전극(120)을 반투과 금속층(120b)으로 형성함으로써 마이크로 캐비티(micro-cavity)에 의한 유기 발광 표시 장치(1)의 광 효율을 향상시킬 수 있다.
- [0128] 또한, BOE 세정을 진행함으로써, 버퍼층(11)의 표면 거칠기를 완화할 수 있다.
- [0129] 또한, 버퍼층(11)의 두께를 얇게 형성하여 리페어 레이저를 잘 통과시켜 유기 발광 소자의 수율을 향상 시킬 수 있다.
- [0130] 또한, 소스 전극(216a)이나 드레인 전극(216b)을 제1 유기 절연막(19)으로 덮는 구조로서, 소스 전극(216a)이나 드레인 전극(216b)이 은(Ag) 이온이 포함된 에천트에 노출되지 않도록 함으로써, 은(Ag)의 재석출에 의한 파티클성 불량을 방지할 수 있다.
- [0131] 또한, 7단계의 마스크 공정으로 유기 발광 표시 장치를 제조 할 수 있기 때문에 제조 비용을 절감할 수 있다.
- [0132] 본 발명은 도면에 도시된 실시 예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 당해 기술 분야에서 통

상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 다른 실시 예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

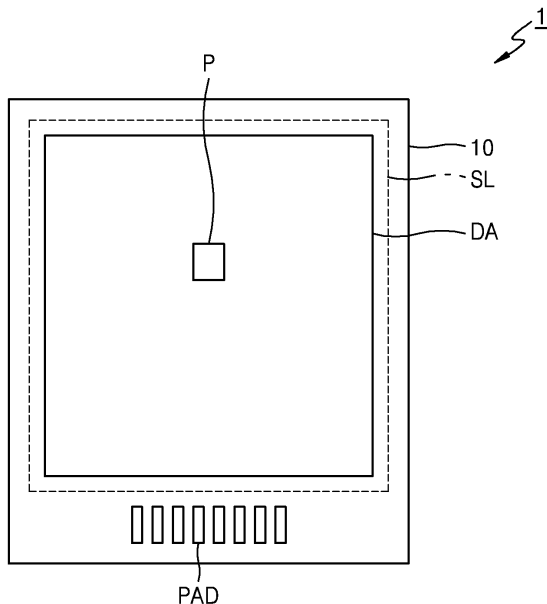
부호의 설명

[0133]

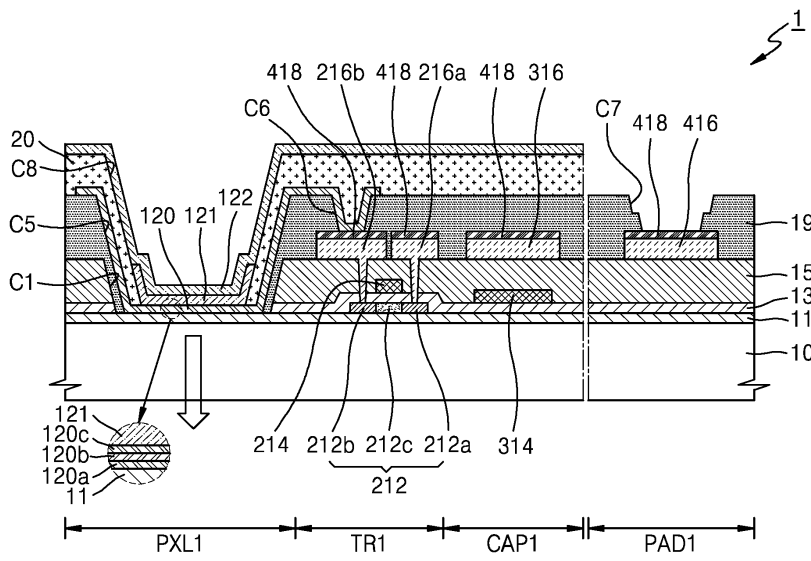
1: 유기 발광 표시 장치
 10: 기판 11: 버퍼층
 11a: 실리콘 질화막 1b: 실리콘 산화막
 13: 게이트 절연막 15: 층간 절연막
 19: 제1 유기 절연막 20: 제2 유기 절연막
 120: 화소 전극 121: 유기 발광층
 122: 대향 전극 212: 활성층
 212a: 소스 영역 212b: 드레인 영역
 212c: 채널 영역 214: 게이트 전극
 216a: 소스 전극 216b: 드레인 전극
 314: 커패시터의 제1 전극 316: 커패시터의 제2 전극
 416: 패드 전극 418: 보호층
 C1: 제1 개구 C5: 제2 개구
 C8: 제3 개구

도면

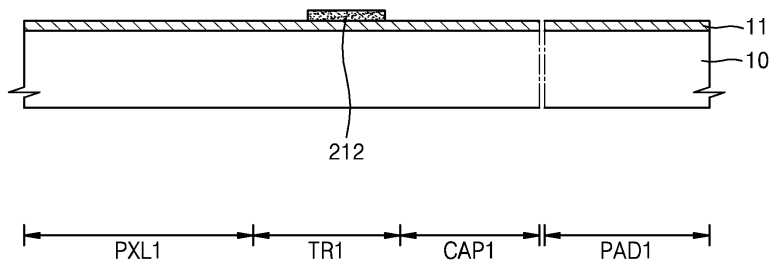
도면1



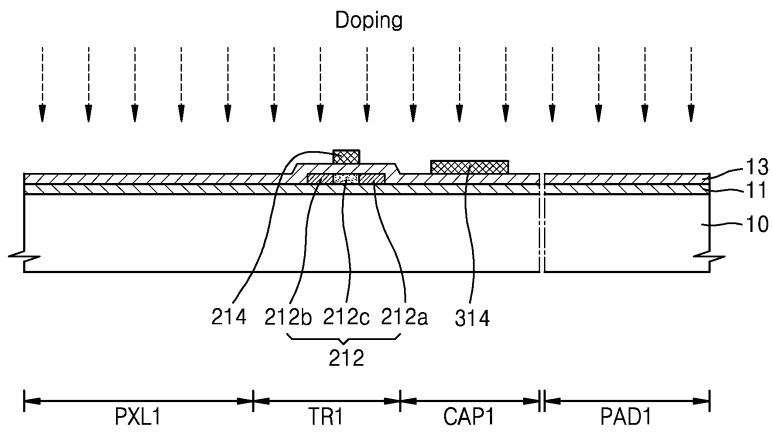
도면2



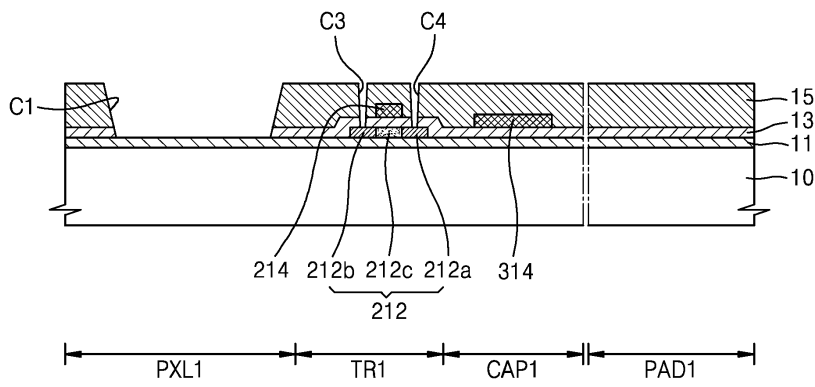
도면3



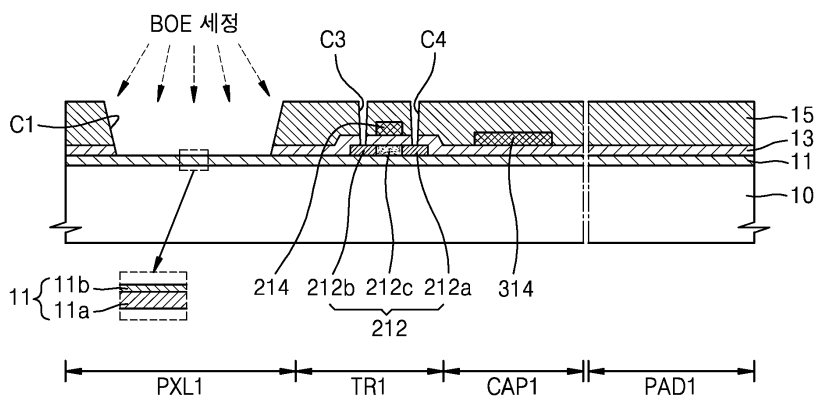
도면4



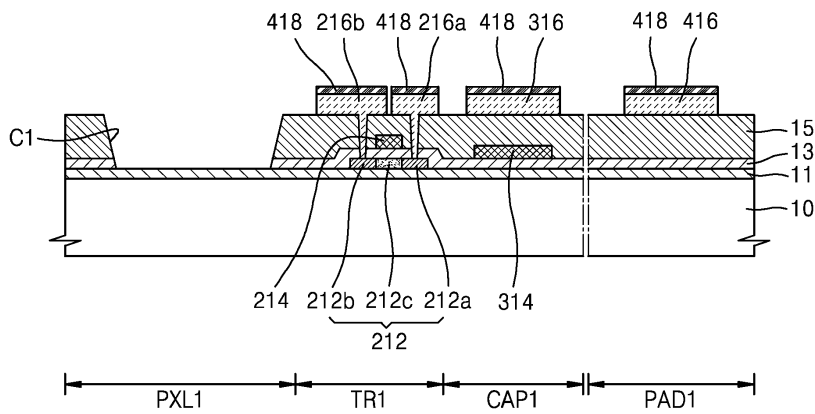
도면5a



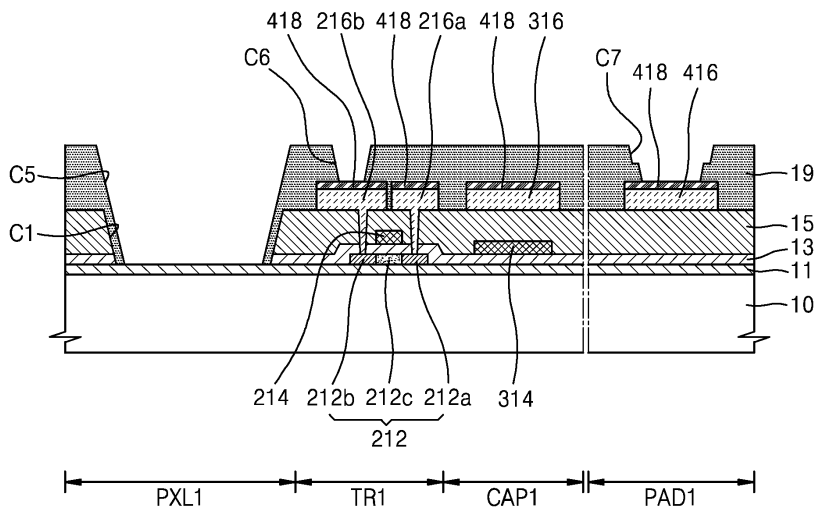
도면5b



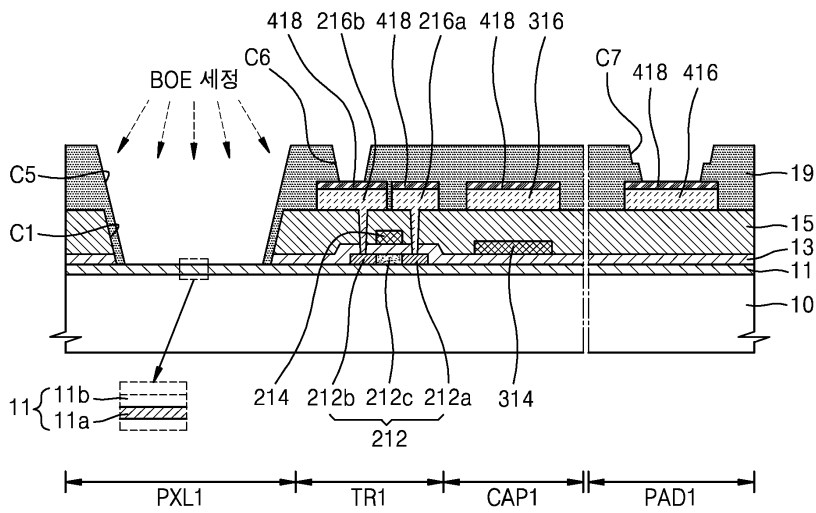
도면6



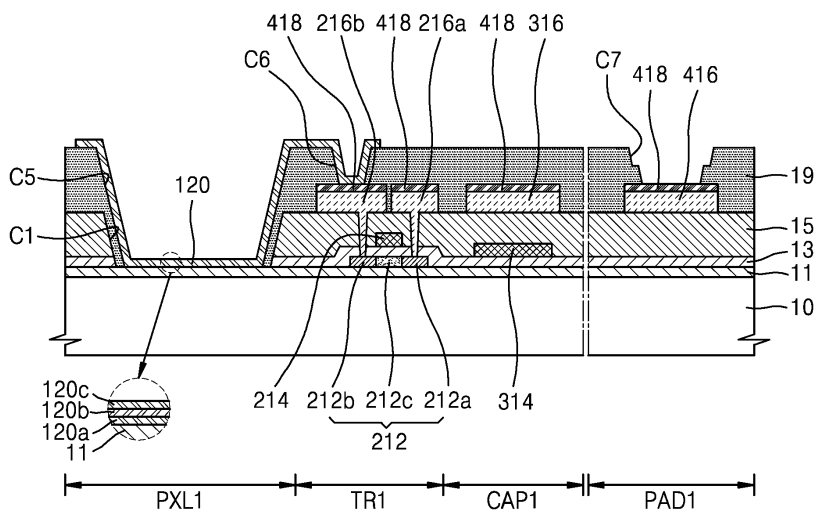
도면7a



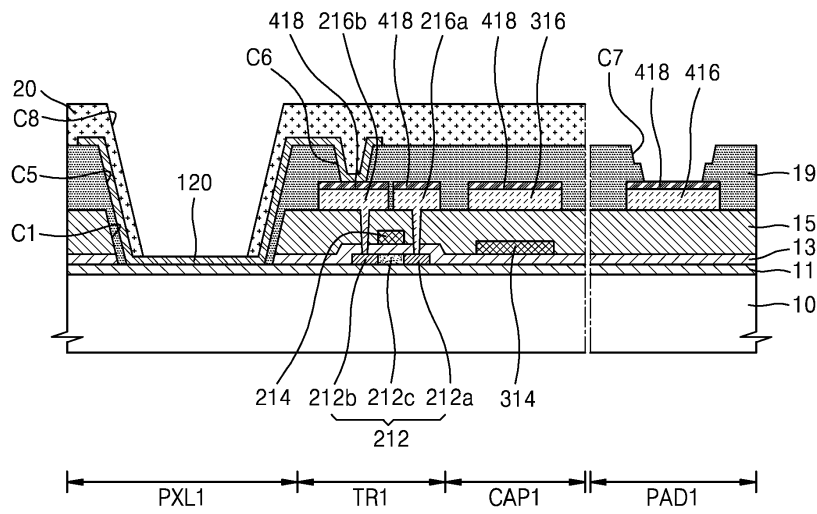
도면7b



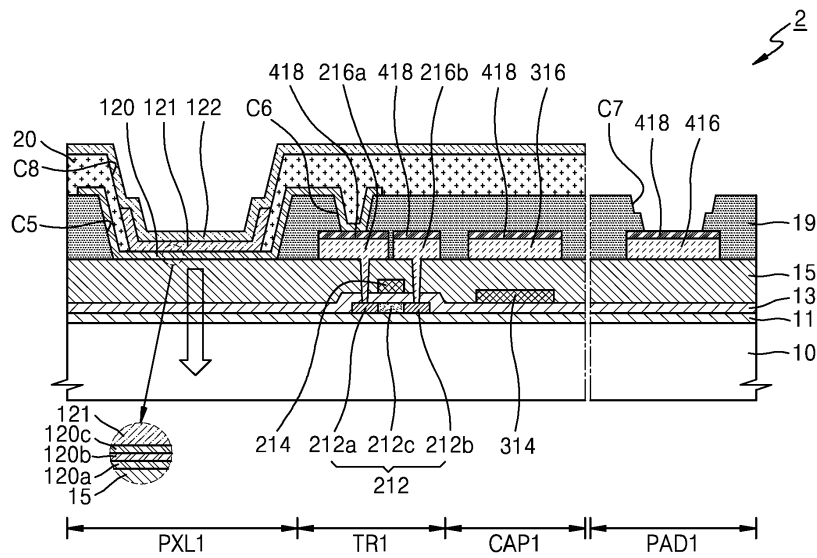
도면8



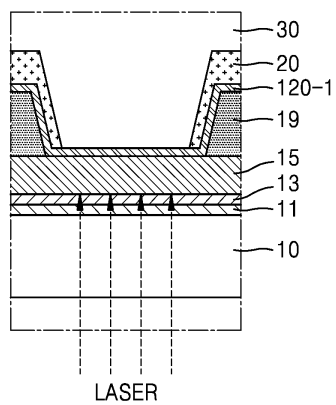
도면9



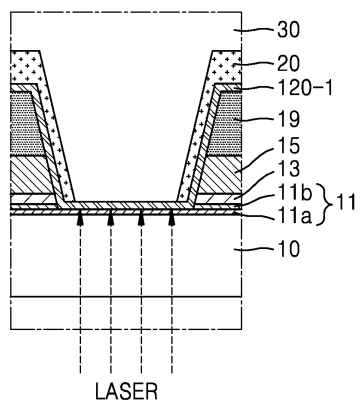
도면10



도면11



도면12



[illegible]