(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0043574
(43) 공개일자 2016년04월22일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) *H01L 51/50* (2006.01)
H01L 51/52 (2006.01) *H01L 51/56* (2006.01)
(21) 출원번호 10-2014-0137543
(22) 출원일자 2014년10월13일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
김득종
충청남도 천안시 서북구 봉서산샛길 64, 505동 1001호 (쌍용동, 쌍용마을뜨란채아파트)
박원모
경기도 성남시 분당구 양현로 192, 1009동 902호 (이매동, 이매촌삼성아파트)
양용호
경기도 수원시 영통구 매탄로126번길 66, 202동 503호 (매탄동, 주공그린빌아파트)
(74) 대리인
팬코리아특허법인

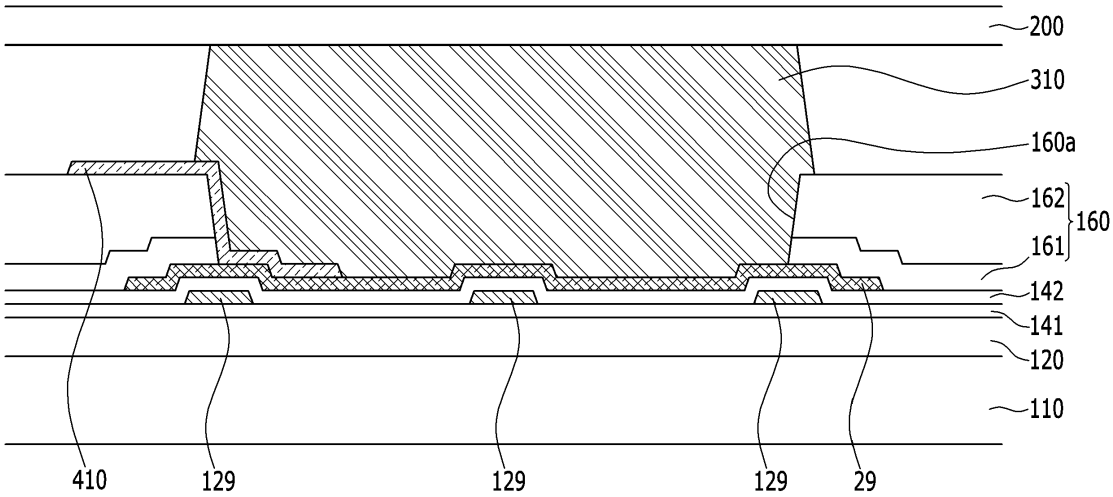
전체 청구항 수 : 총 13 항

(54) 발명의 명칭 **유기 발광 표시 장치 및 그 제조 방법**

(57) 요 약

본 발명에 따른 유기 발광 표시 장치는 화상을 표시하는 화소부, 상기 화소부를 둘러싸는 주변부를 포함하는 화소 기판, 상기 화소 기판을 덮고 있는 제1 절연막, 상기 주변부의 상기 제1 절연막 위에 형성되어 있는 팬아웃 배선, 상기 제1 절연막 및 상기 팬아웃 배선을 덮고 있는 제2 절연막, 상기 주변부의 제2 절연막 위에 형성되어 있으며 상기 제2 절연막의 과식각을 차단하는 식각 차단 부재, 상기 제2 절연막을 덮고 있는 제3 절연막, 상기 주변부의 제3 절연막 위에 형성되어 있으며 전위 전압을 전달하는 주변 전위 전압선, 상기 제3 절연막을 덮고 있는 보호막, 상기 화소부의 상기 보호막 위에 형성되어 있는 유기 발광 다이오드를 포함하고, 상기 식각 차단 부재는 상기 팬아웃 배선 및 상기 주변 전위 전압선과 중첩하고 있을 수 있다.

대 표 도 - 도9



명 세 서

청구범위

청구항 1

화상을 표시하는 화소부, 상기 화소부를 둘러싸는 주변부를 포함하는 화소 기판,

상기 화소 기판을 덮고 있는 제1 절연막,

상기 주변부의 상기 제1 절연막 위에 형성되어 있는 팬아웃 배선,

상기 제1 절연막 및 상기 팬아웃 배선을 덮고 있는 제2 절연막,

상기 주변부의 제2 절연막 위에 형성되어 있으며 상기 제2 절연막의 과식각을 차단하는 식각 차단 부재,

상기 제2 절연막을 덮고 있는 제3 절연막,

상기 주변부의 제3 절연막 위에 형성되어 있으며 전위 전압을 전달하는 주변 전위 전압선,

상기 제3 절연막을 덮고 있는 보호막,

상기 화소부의 상기 보호막 위에 형성되어 있는 유기 발광 다이오드

를 포함하고,

상기 식각 차단 부재는 상기 팬아웃 배선 및 상기 주변 전위 전압선과 중첩하고 있는 유기 발광 표시 장치.

청구항 2

제1항에서,

상기 주변부의 상기 제3 절연막에는 밀봉 홈이 형성되어 있고, 상기 밀봉 홈은 상기 식각 차단 부재 및 상기 팬아웃 배선과 중첩하고 있는 유기 발광 표시 장치.

청구항 3

제1항에서,

상기 제3 절연막은 상기 제2 절연막과 접촉하고 있는 제3 무기 절연막, 상기 제3 무기 절연막을 덮고 있는 제3 유기 절연막을 포함하는 유기 발광 표시 장치.

청구항 4

제3항에서,

상기 화소부의 제3 절연막에는 접촉 구멍이 형성되어 있고, 상기 접촉 구멍은 상기 제3 무기 절연막의 무기 접촉 구멍과 상기 제3 유기 절연막의 유기 접촉 구멍을 포함하고, 상기 무기 접촉 구멍과 상기 유기 접촉 구멍은 서로 동일한 경계선을 가지고 접촉하고 있는 유기 발광 표시 장치.

청구항 5

제1항에서,

상기 화소부의 상기 화소 기판 위에 형성되어 있는 반도체,

상기 화소부 중 상기 팬아웃 배선과 동일한 층에 형성되어 있는 제1 게이트배선,

상기 화소부 중 상기 식각 차단 부재와 동일한 층에 형성되어 있는 제2 게이트 배선,

상기 화소부 중 상기 주변 전위 전압선과 동일한 층에 형성되어 있는 데이터배선

을 더 포함하는 유기 발광 표시 장치.

청구항 6

제5항에서,

상기 제1 게이트 배선은 스캔 신호를 전달하는 스캔선을 포함하고,

상기 데이터 배선은 데이터 신호 및 구동 전압을 각각 전달하는 데이터선 및 구동 전압선을 포함하는 유기 발광 표시 장치.

청구항 7

제6항에서,

상기 반도체는 상기 스캔선 및 상기 데이터선과 연결되어 있는 스위칭 트랜지스터의 스위칭 채널, 상기 스위칭 트랜지스터와 연결되어 있는 구동 트랜지스터의 구동 채널을 포함하고,

상기 구동 채널은 평면상 굴곡되어 있는 유기 발광 표시 장치.

청구항 8

제7항에서,

상기 제1 절연막 위에 형성되어 있으며 상기 구동 채널과 중첩하고 있는 제1 스토리지 전극,

상기 제1 스토리지 전극을 덮고 있는 상기 제2 절연막 위에 형성되어 있으며 상기 제1 스토리지 전극과 중첩하고 있는 제2 스토리지 전극

을 포함하는 스토리지 커패시터를 더 포함하고,

상기 제1 스토리지 전극은 상기 구동 트랜지스터의 구동 게이트 전극이고,

상기 제2 게이트 배선은 상기 제2 스토리지 전극을 포함하는 유기 발광 표시 장치.

청구항 9

제6항에서,

상기 팬아웃 배선은 상기 데이터선과 연결되어 있으며, 상기 팬아웃 배선을 통해 외부로부터 데이터 신호를 상기 데이터선에 전달하는 유기 발광 표시 장치.

청구항 10

제6항에서,

상기 유기 발광 다이오드는 상기 보호막 위에 형성되어 있는 화소 전극, 상기 화소 전극 위에 형성되어 있는 유기 발광층, 그리고, 상기 유기 발광층 위에 형성되어 있는 공통 전극을 포함하고,

상기 주변 전위 전압선은 상기 공통 전극에 공통 전압을 전달하는 주변 공통 전압선 또는 상기 화소 전극에 구동 전압을 전달하는 주변 구동 전압선인 유기 발광 표시 장치.

청구항 11

화소부 및 주변부를 포함하는 화소 기판 위에 제1 절연막을 형성하는 단계,

상기 주변부의 상기 제1 절연막 위에 팬아웃 배선을 형성하는 단계,

상기 제1 절연막 및 상기 팬아웃 배선 위에 제2 절연막을 형성하는 단계,

상기 주변부의 제2 절연막 위에 식각 차단 부재를 형성하는 단계,

상기 제2 절연막 및 상기 식각 차단 부재 위에 제3 절연막을 형성하는 단계,

상기 주변부의 제3 절연막 위에 전위 전압을 전달하는 주변 전위 전압선을 형성하는 단계,

상기 제3 절연막 위에 보호막을 형성하는 단계,

상기 화소부의 상기 보호막 위에 유기 발광 다이오드를 형성하는 단계

를 포함하고,

상기 식각 차단 부재는 상기 팬아웃 배선 및 상기 주변 전위 전압선과 중첩하는 유기 발광 표시 장치의 제조 방법.

청구항 12

제11항에서,

상기 주변부의 상기 제3 절연막에 밀봉 홈을 형성하는 단계를 더 포함하고,

상기 밀봉 홈은 상기 식각 차단 부재 및 상기 팬아웃 배선과 중첩하는 유기 발광 표시 장치의 제조 방법.

청구항 13

제12항에서,

상기 제3 절연막은 상기 제2 절연막과 접촉하는 제3 무기 절연막, 상기 제3 무기 절연막을 덮는 제3 유기 절연막을 포함하고,

상기 밀봉 홈을 형성하는 단계에서, 상기 제3 무기 절연막과 제3 유기 절연막을 일괄 식각하여 상기 제3 절연막에 접촉 구멍을 형성하는 유기 발광 표시 장치의 제조 방법.

발명의 설명

기 술 분 야

[0001] 본 발명은 유기 발광 표시 장치 및 그 제조 방법에 관한 것이다.

배 경 기 술

[0002] 유기 발광 표시 장치는 두 개의 전극과 그 사이에 위치하는 유기 발광층을 포함하며, 하나의 전극으로부터 주입된 전자(electron)와 다른 전극으로부터 주입된 정공(hole)이 유기 발광층에서 결합하여 여기자(exciton)를 형성하고, 여기자가 에너지를 방출하면서 발광한다.

[0003] 이러한 유기 발광 표시 장치는 자발광 소자인 유기 발광 다이오드를 포함하는 복수개의 화소를 포함하며, 각 화소에는 유기 발광 다이오드를 구동하기 위한 복수개의 트랜지스터 및 스토리지 커패시터(Storage capacitor)가 형성되어 있다. 이러한 트랜지스터 및 스토리지 커패시터는 게이트 배선 또는 데이터 배선 등을 포함하는 복수개의 배선으로 이루어진다.

[0004] 고해상도 및 대형 유기 발광 표시 장치의 경우, 신호 지연 문제를 해결하기 위해서는 게이트 배선과 데이터 배선이 서로 중첩되어 발생하는 기생 커패시턴스(parasitic capacitance)를 줄여야 한다. 이를 위해 게이트 배선과 데이터 배선 사이에 형성된 절연막의 두께를 증가시킬 수 있으나, 절연막은 무기막으로 이루어지며 무기막은 큰 박막 스트레스를 가지므로 무기막의 두께가 두꺼운 경우 외부에서 가해지는 박막 스트레스에 의해 쉽게 깨질 수 있어 무기막의 두께 증가에 한계가 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명은 전술한 배경 기술의 문제점을 해결하기 위한 것으로서, 기생 커패시턴스를 최소화하여 고해상도 구현이 가능한 유기 발광 표시 장치에 관한 것이다.

과제의 해결 수단

[0006] 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 화상을 표시하는 화소부, 상기 화소부를 둘러싸는 주변부를 포함하는 화소 기판, 상기 화소 기판을 덮고 있는 제1 절연막, 상기 주변부의 상기 제1 절연막 위에 형성되어 있는 팬아웃 배선, 상기 제1 절연막 및 상기 팬아웃 배선을 덮고 있는 제2 절연막, 상기 주변부의 제2 절연막 위에 형성되어 있으며 상기 제2 절연막의 과식각을 차단하는 식각 차단 부재, 상기 제2 절연막을 덮고 있는 제3

절연막, 상기 주변부의 제3 절연막 위에 형성되어 있으며 전위 전압을 전달하는 주변 전위 전압선, 상기 제3 절연막을 덮고 있는 보호막, 상기 화소부의 상기 보호막 위에 형성되어 있는 유기 발광 다이오드를 포함하고, 상기 식각 차단 부재는 상기 팬아웃 배선 및 상기 주변 전위 전압선과 중첩하고 있을 수 있다.

[0007] 상기 주변부의 상기 제3 절연막에는 밀봉 홈이 형성되어 있고, 상기 밀봉 홈은 상기 식각 차단 부재 및 상기 팬아웃 배선과 중첩하고 있을 수 있다.

[0008] 상기 제3 절연막은 상기 제2 절연막과 접촉하고 있는 제3 무기 절연막, 상기 제3 무기 절연막을 덮고 있는 제3 유기 절연막을 포함할 수 있다.

[0009] 상기 화소부의 제3 절연막에는 접촉 구멍이 형성되어 있고, 상기 접촉 구멍은 상기 제3 무기 절연막의 무기 접촉 구멍과 상기 제3 유기 절연막의 유기 접촉 구멍을 포함하고, 상기 무기 접촉 구멍과 상기 유기 접촉 구멍은 서로 동일한 경계선을 가지고 접촉하고 있을 수 있다.

[0010] 상기 화소부의 상기 화소 기판 위에 형성되어 있는 반도체, 상기 화소부 중 상기 팬아웃 배선과 동일한 층에 형성되어 있는 제1 게이트 배선, 상기 화소부 중 상기 식각 차단 부재와 동일한 층에 형성되어 있는 제2 게이트 배선, 상기 화소부 중 상기 주변 전위 전압선과 동일한 층에 형성되어 있는 데이터 배선을 더 포함할 수 있다.

[0011] 상기 제1 게이트 배선은 스캔 신호를 전달하는 스캔선을 포함하고, 상기 데이터 배선은 데이터 신호 및 구동 전압을 각각 전달하는 데이터선 및 구동 전압선을 포함할 수 있다.

[0012] 상기 반도체는 상기 스캔선 및 상기 데이터선과 연결되어 있는 스위칭 트랜지스터의 스위칭 채널, 상기 스위칭 트랜지스터와 연결되어 있는 구동 트랜지스터의 구동 채널을 포함하고, 상기 구동 채널은 평면상 굴곡되어 있을 수 있다.

[0013] 상기 제1 절연막 위에 형성되어 있으며 상기 구동 채널과 중첩하고 있는 제1 스토리지 전극, 상기 제1 스토리지 전극을 덮고 있는 상기 제2 절연막 위에 형성되어 있으며 상기 제1 스토리지 전극과 중첩하고 있는 제2 스토리지 전극을 포함하는 스토리지 커패시터를 더 포함하고, 상기 제1 스토리지 전극은 상기 구동 트랜지스터의 구동 게이트 전극이고, 상기 제2 게이트 배선은 상기 제2 스토리지 전극을 포함할 수 있다.

[0014] 상기 팬아웃 배선은 상기 데이터선과 연결되어 있으며, 상기 팬아웃 배선을 통해 외부로부터 데이터 신호를 상기 데이터선에 전달할 수 있다.

[0015] 상기 유기 발광 다이오드는 상기 보호막 위에 형성되어 있는 화소 전극, 상기 화소 전극 위에 형성되어 있는 유기 발광층, 그리고, 상기 유기 발광층 위에 형성되어 있는 공통 전극을 포함하고, 상기 주변 전위 전압선은 상기 공통 전극에 공통 전압을 전달하는 주변 공통 전압선 또는 상기 화소 전극에 구동 전압을 전달하는 주변 구동 전압선일 수 있다.

[0016] 또한, 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 제조 방법은 화소부 및 주변부를 포함하는 화소 기판 위에 제1 절연막을 형성하는 단계, 상기 주변부의 상기 제1 절연막 위에 팬아웃 배선을 형성하는 단계, 상기 제1 절연막 및 상기 팬아웃 배선 위에 제2 절연막을 형성하는 단계, 상기 주변부의 제2 절연막 위에 식각 차단 부재를 형성하는 단계, 상기 제2 절연막 및 상기 식각 차단 부재 위에 제3 절연막을 형성하는 단계, 상기 주변부의 제3 절연막 위에 전위 전압을 전달하는 주변 전위 전압선을 형성하는 단계, 상기 제3 절연막 위에 보호막을 형성하는 단계, 상기 화소부의 상기 보호막 위에 유기 발광 다이오드를 형성하는 단계를 포함하고, 상기 식각 차단 부재는 상기 팬아웃 배선 및 상기 주변 전위 전압선과 중첩할 수 있다.

[0017] 상기 주변부의 상기 제3 절연막에 밀봉 홈을 형성하는 단계를 더 포함하고, 상기 밀봉 홈은 상기 식각 차단 부재 및 상기 팬아웃 배선과 중첩할 수 있다.

[0018] 상기 제3 절연막은 상기 제2 절연막과 접촉하는 제3 무기 절연막, 상기 제3 무기 절연막을 덮는 제3 유기 절연막을 포함하고, 상기 밀봉 홈을 형성하는 단계에서, 상기 제3 무기 절연막과 제3 유기 절연막을 일괄 식각하여 상기 제3 절연막에 접촉 구멍을 형성할 수 있다.

발명의 효과

[0019] 본 발명에 따르면, 제2 게이트 배선과 데이터 배선 사이에 형성되는 제3 절연막을 제3 무기 절연막 및 제3 유기 절연막의 이중막으로 형성함으로써, 제3 절연막의 박막 스트레스를 낮추어 제3 절연막의 두께를 증가시킬 수 있어 기생 커패시턴스를 최소화할 수 있다.

[0020] 또한, 팬아웃 배선 및 주변 전위 전압선 사이에 식각 차단 부재를 형성함으로써, 제2 게이트 배선과 데이터 배선 사이에 제3 무기 절연막 및 제3 유기 절연막의 이중막으로 형성되는 제3 절연막을 함께 일괄 식각할 수 있다. 따라서, 제조시 마스크 수를 줄여 제조 비용 및 제조 시간을 단축할 수 있다.

도면의 간단한 설명

[0021] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 평면도이다.

도 2는 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 화소부의 하나의 화소의 등가 회로도이다.

도 3은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 화소부의 하나의 화소에 인가되는 신호의 타이밍도이다.

도 4는 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 화소부의 복수개의 트랜지스터 및 커패시터를 개략적으로 도시한 도면이다.

도 5는 도 4의 하나의 화소의 구체적인 배치도이다.

도 6은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 주변부를 개략적으로 확대하여 도시한 평면도이다.

도 7은 도 5의 유기 발광 표시 장치를 VII-VII선을 따라 자른 단면도이다.

도 8은 도 5의 유기 발광 표시 장치를 VIII-VIII선을 따라 자른 단면도이다.

도 9는 도 6의 IX-IX선을 따라 자른 단면도이다.

도 10은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 화소부의 단면도로서 제1 게이트 배선을 형성하는 단계를 도시한 단면도이다.

도 11은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 주변부의 단면도로서 팬아웃부를 형성하는 단계를 도시한 단면도이다.

도 12는 도 10의 다음 단계로서 제3 절연막에 접촉 구멍을 형성하는 단계를 도시한 단면도이다.

도 13은 도 11의 다음 단계로서 제3 절연막에 밀봉 홈을 형성하는 단계를 도시한 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0022] 이하, 첨부한 도면을 참고로 하여 본 발명의 여러 실시예들에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예들에 한정되지 않는다.

[0023] 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 동일 또는 유사한 구성요소에 대해서는 동일한 참조 부호를 붙이도록 한다.

[0024] 또한, 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로, 본 발명이 반드시 도시된 바에 한정되지 않는다.

[0025] 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 그리고 도면에서, 설명의 편의를 위해, 일부 층 및 영역의 두께를 과장되게 나타내었다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 또는 "상에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다.

[0026] 또한, 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함" 한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다. 또한, 명세서 전체에서, "~상에"라 함은 대상 부분의 위 또는 아래에 위치함을 의미하는 것이며, 반드시 중력 방향을 기준으로 상 측에 위치하는 것을 의미하는 것은 아니다.

[0027] 또한, 명세서 전체에서, "평면상"이라 할 때, 이는 대상 부분을 위에서 보았을 때를 의미하며, "단면상"이라 할 때, 이는 대상 부분을 수직으로 자른 단면을 옆에서 보았을 때를 의미한다.

[0028] 그러면 본 발명의 일 실시예에 따른 유기 발광 표시 장치에 대하여 도 1 내지 도 9를 참고로 상세하게

설명한다.

[0029] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 평면도이다.

[0030] 도 1에 도시한 바와 같이, 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 화상을 표시하는 유기 발광 다이오드(OLED)로 이루어진 복수개의 화소(1)가 형성되어 있는 화소부(P), 화소부(P)를 둘러싸고 있으며 복수개의 주변 회로 또는 주변 배선이 형성되어 있는 주변부(S)를 포함하는 화소 기판(100)과, 화소 기판(100)과 대향하며 화소 기판(100)을 덮고 있는 밀봉 기판(200)을 포함한다.

[0031] 이하에서, 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 화소부(P)에 형성되어 있는 화소에 대하여 이하에서 상세히 설명한다.

[0032] 도 2는 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 화소부의 하나의 화소의 등가 회로도이다.

[0033] 도 2에 도시한 바와 같이, 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 화소부(P)에 형성되어 있는 하나의 화소(1)는 복수의 신호선(121, 122, 123, 128, 171, 172, 192), 복수의 신호선에 연결되어 있는 복수개의 트랜지스터(T1, T2, T3, T4, T5, T6, T7), 스토리지 커패시터(storage capacitor, Cst) 및 유기 발광 다이오드(organic light emitting diode, OLED)를 포함한다.

[0034] 트랜지스터(T1, T2, T3, T4, T5, T6, T7)는 구동 트랜지스터(driving transistor)(T1), 스위칭 트랜지스터(switching transistor)(T2), 보상 트랜지스터(compensation transistor)(T3), 초기화 트랜지스터(initialization transistor)(T4), 동작 제어 트랜지스터(operation control transistor)(T5), 발광 제어 트랜지스터(light emission control transistor)(T6) 및 바이패스 트랜지스터(bypass transistor)(T7)를 포함한다.

[0035] 신호선(121, 122, 123, 128, 171, 172, 192)은 스캔 신호(Sn)를 전달하는 스캔선(121), 초기화 트랜지스터(T4)에 전단 스캔 신호(Sn-1)를 전달하는 전단 스캔선(122), 동작 제어 트랜지스터(T5) 및 발광 제어 트랜지스터(T6)에 발광 제어 신호(EM)를 전달하는 발광 제어선(123), 바이패스 트랜지스터(T7)에 바이패스 신호(BP)를 전달하는 바이패스 제어선(128), 스캔선(121)과 교차하며 데이터 신호(Dm)를 전달하는 데이터선(171), 구동 전압(ELVDD)을 전달하며 데이터선(171)과 거의 평행하게 형성되어 있는 구동 전압선(172), 구동 트랜지스터(T1)를 초기화하는 초기화 전압(Vint)을 전달하는 초기화 전압선(192)을 포함한다.

[0036] 구동 트랜지스터(T1)의 게이트 전극(G1)은 스토리지 커패시터(Cst)의 일단(Cst1)과 연결되어 있고, 구동 트랜지스터(T1)의 소스 전극(S1)은 동작 제어 트랜지스터(T5)를 경유하여 구동 전압선(172)과 연결되어 있으며, 구동 트랜지스터(T1)의 드레인 전극(D1)은 발광 제어 트랜지스터(T6)를 경유하여 유기 발광 다이오드(OLED)의 애노드(anode)와 전기적으로 연결되어 있다. 구동 트랜지스터(T1)는 스위칭 트랜지스터(T2)의 스위칭 동작에 따라 데이터 신호(Dm)를 전달받아 유기 발광 다이오드(OLED)에 구동 전류(Id)를 공급한다.

[0037] 스위칭 트랜지스터(T2)의 게이트 전극(G2)은 스캔선(121)과 연결되어 있고, 스위칭 트랜지스터(T2)의 소스 전극(S2)은 데이터선(171)과 연결되어 있으며, 스위칭 트랜지스터(T2)의 드레인 전극(D2)은 구동 트랜지스터(T1)의 소스 전극(S1)과 연결되어 있으면서 동작 제어 트랜지스터(T5)을 경유하여 구동 전압선(172)과 연결되어 있다. 이러한 스위칭 트랜지스터(T2)는 스캔선(121)을 통해 전달받은 스캔 신호(Sn)에 따라 턴 온되어 데이터선(171)으로 전달된 데이터 신호(Dm)을 구동 트랜지스터(T1)의 소스 전극으로 전달하는 스위칭 동작을 수행한다.

[0038] 보상 트랜지스터(T3)의 게이트 전극(G3)은 스캔선(121)에 연결되어 있고, 보상 트랜지스터(T3)의 소스 전극(S3)은 구동 트랜지스터(T1)의 드레인 전극(D1)과 연결되어 있으면서 발광 제어 트랜지스터(T6)를 경유하여 유기 발광 다이오드(OLED)의 애노드(anode)와 연결되어 있으며, 보상 트랜지스터(T3)의 드레인 전극(D3)은 초기화 트랜지스터(T4)의 드레인 전극(D4), 스토리지 커패시터(Cst)의 일단(Cst1) 및 구동 트랜지스터(T1)의 게이트 전극(G1)에 함께 연결되어 있다. 이러한 보상 트랜지스터(T3)는 스캔선(121)을 통해 전달받은 스캔 신호(Sn)에 따라 턴 온되어 구동 트랜지스터(T1)의 게이트 전극(G1)과 드레인 전극(D1)을 서로 연결하여 구동 트랜지스터(T1)를 다이오드 연결시킨다.

[0039] 초기화 트랜지스터(T4)의 게이트 전극(G4)은 전단 스캔선(122)과 연결되어 있고, 초기화 트랜지스터(T4)의 소스 전극(S4)은 초기화 전압선(192)과 연결되어 있으며, 초기화 트랜지스터(T4)의 드레인 전극(D4)은 보상 트랜지스터(T3)의 드레인 전극(D3)을 거쳐 스토리지 커패시터(Cst)의 일단(Cst1) 및 구동 트랜지스터(T1)의 게이트 전극(G1)에 함께 연결되어 있다. 이러한 초기화 트랜지스터(T4)는 전단 스캔선(122)을 통해 전달받은 전단 스캔 신호(Sn-1)에 따라 턴 온되어 초기화 전압(Vint)을 구동 트랜지스터(T1)의 게이트 전극(G1)에 전달하여 구동 트랜지스터(T1)의 게이트 전극(G1)의 게이트 전압을 초기화시키는 초기화 동작을 수행한다.

[0040] 동작 제어 트랜지스터(T5)의 게이트 전극(G5)은 발광 제어선(123)과 연결되어 있으며, 동작 제어 트랜지스터(T5)의 소스 전극(S5)은 구동 전압선(172)와 연결되어 있고, 동작 제어 트랜지스터(T5)의 드레인 전극(D5)은 구동 트랜지스터(T1)의 소스 전극(S1) 및 스위칭 트랜지스터(T2)의 드레인 전극(S2)에 연결되어 있다.

[0041] 발광 제어 트랜지스터(T6)의 게이트 전극(G6)은 발광 제어선(123)과 연결되어 있으며, 발광 제어 트랜지스터(T6)의 소스 전극(S6)은 구동 트랜지스터(T1)의 드레인 전극(D1) 및 보상 트랜지스터(T3)의 소스 전극(S3)과 연결되어 있고, 발광 제어 트랜지스터(T6)의 드레인 전극(D6)은 유기 발광 다이오드(OLED)의 애노드(anode)와 전기적으로 연결되어 있다. 이러한 동작 제어 트랜지스터(T5) 및 발광 제어 트랜지스터(T6)는 발광 제어선(123)을 통해 전달받은 발광 제어 신호(EM)에 따라 동시에 턴 온되고 이를 통해 구동 전압(ELVDD)이 다이오드 연결된 구동 트랜지스터(T1)를 통해 보상되어 유기 발광 다이오드(OLED)에 전달된다.

[0042] 바이패스 트랜지스터(T7)의 게이트 전극(G7)은 바이패스 제어선(128)과 연결되어 있고, 바이패스 트랜지스터(T7)의 소스 전극(S7)은 발광 제어 트랜지스터(T6)의 드레인 전극(D6) 및 유기 발광 다이오드(OLED)의 애노드에 함께 연결되어 있고, 바이패스 트랜지스터(T7)의 드레인 전극(D7)은 초기화 전압선(192) 및 초기화 박막 트랜지스터(T4)의 소스 전극(S4)에 함께 연결되어 있다.

[0043] 스토리지 커패시터(Cst)의 타단(Cst2)은 구동 전압선(172)과 연결되어 있으며, 유기 발광 다이오드(OLED)의 캐소드(cathode)는 공통 전압(ELVSS)을 전달하는 공통 전압선(741)과 연결되어 있다.

[0044] 한편, 본 발명의 일 실시예에서는 바이패스 트랜지스터(T7)를 포함하는 7 트랜지스터 1 커패시터 구조를 도시하고 있지만, 본 발명이 이에 한정되는 것은 아니며 트랜지스터의 수와 커패시터의 수는 다양하게 변형 가능하다.

[0045] 이하에서 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 화소부의 한 화소의 구체적인 동작 과정을 도 3을 참고하여 상세히 설명한다.

[0046] 도 3은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 하나의 화소에 인가되는 신호의 타이밍도이다.

[0047] 도 3에 도시한 바와 같이, 우선, 초기화 기간 동안 전단 스캔선(122)을 통해 로우 레벨(low level)의 전단 스캔 신호(Sn-1)가 공급된다. 이 때, 이미 로우 레벨(low level)의 발광 제어 신호(EM)가 발광 제어선(123)을 통하여 인가되고 있다. 그러면, 로우 레벨의 전단 스캔 신호(Sn-1)에 대응하여 초기화 트랜지스터(T4)가 턴 온(Turn on)되며, 초기화 전압선(192)으로부터 초기화 트랜지스터(T4)를 통해 초기화 전압(Vint)이 구동 트랜지스터(T1)의 게이트 전극에 연결되고, 초기화 전압(Vint)에 의해 구동 트랜지스터(T1)가 초기화된다.

[0048] 이 후, 데이터 프로그래밍 기간 중 스캔선(121)을 통해 로우 레벨의 스캔 신호(Sn)가 공급된다. 그러면, 로우 레벨의 스캔 신호(Sn)에 대응하여 스위칭 트랜지스터(T2) 및 보상 트랜지스터(T3)가 턴 온된다. 이 때, 구동 트랜지스터(T1)는 턴 온된 보상 트랜지스터(T3)에 의해 다이오드 연결되고, 순방향으로 바이어스 된다.

[0049] 그러면, 데이터선(171)으로부터 공급된 데이터 신호(Dm)에서 구동 트랜지스터(T1)의 문턱 전압(Threshold voltage, Vth)만큼 감소한 보상 전압(Dm+Vth, Vth는 (-)의 값)이 구동 트랜지스터(T1)의 게이트 전극(G1)에 인가된다. 스토리지 커패시터(Cst)의 양단에는 구동 전압(ELVDD)과 보상 전압(Dm+Vth)이 인가되고, 스토리지 커패시터(Cst)에는 양단 전압 차에 대응하는 전하가 저장된다.

[0050] 이 후, 발광 기간 동안 발광 제어선(123)으로부터 공급되는 발광 제어 신호(EM)가 하이 레벨에서 로우 레벨로 변경된다. 그러면, 발광 기간 동안 로우 레벨의 발광 제어 신호(EM)에 의해 동작 제어 트랜지스터(T5) 및 발광 제어 트랜지스터(T6)가 턴 온된다.

[0051] 그러면, 구동 트랜지스터(T1)의 게이트 전극(G1)의 게이트 전압과 구동 전압(ELVDD) 간의 전압차에 따르는 구동 전류(Id)가 발생하고, 발광 제어 트랜지스터(T6)를 통해 구동 전류(Id)가 유기 발광 다이오드(OLED)에 공급된다. 발광 기간동안 스토리지 커패시터(Cst)에 의해 구동 트랜지스터(T1)의 게이트-소스 전압(Vgs)은 '(Dm+Vth)-ELVDD'으로 유지되고, 구동 트랜지스터(T1)의 전류-전압 관계에 따르면, 구동 전류(Id)는 소스-게이트 전압에서 문턱 전압을 차감한 값의 제곱 '$(Dm-ELVDD)^2$'에 비례한다. 따라서 구동 전류(Id)는 구동 트랜지스터(T1)의 문턱 전압(Vth)에 관계 없이 결정된다.

[0052] 이 때, 바이패스 트랜지스터(T7)는 바이패스 제어선(128)으로부터 바이패스 신호(BP)를 전달받는다. 바이패스 신호(BP)는 바이패스 트랜지스터(T7)를 항상 오프시킬 수 있는 소정 레벨의 전압으로서, 바이패스 트랜지스터(T7)는 트랜지스터 오프 레벨의 전압을 게이트 전극(G7)에 전달받게 됨으로써, 바이패스 트랜지스터(T7)가 항상 오프되고, 오프된 상태에서 구동 전류(Id)의 일부는 바이패스 전류(Ibp)로 바이패스 트랜지스터(T7)를 통해 빠

져나가게 한다.

[0053] 블랙 영상을 표시하는 구동 트랜지스터(T1)의 최소 전류가 구동 전류로 흐를 경우에도 유기 발광 다이오드(OLED)가 발광하게 된다면 제대로 블랙 영상이 표시되지 않는다. 따라서, 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 바이패스 트랜지스터(T7)는 구동 트랜지스터(T1)의 최소 전류의 일부를 바이패스 전류(Ibp)로서 유기 발광 다이오드 쪽의 전류 경로 외의 다른 전류 경로로 분산시킬 수 있다. 여기서 구동 트랜지스터(T1)의 최소 전류란 구동 트랜지스터(T1)의 게이트-소스 전압(Vgs)이 문턱 전압(Vth)보다 작아서 구동 트랜지스터(T1)가 오프되는 조건에서의 전류를 의미한다. 이렇게 구동 트랜지스터(T1)를 오프시키는 조건에서의 최소 구동 전류(예를 들어 10pA 이하의 전류)가 유기 발광 다이오드(OLED)에 전달되어 블랙 휘도의 영상으로 표현된다. 블랙 영상을 표시하는 최소 구동 전류가 흐르는 경우 바이패스 전류(Ibp)의 우회 전달의 영향이 큰 반면, 일반 영상 또는 화이트 영상과 같은 영상을 표시하는 큰 구동 전류가 흐를 경우에는 바이패스 전류(Ibp)의 영향이 거의 없다고 할 수 있다. 따라서, 블랙 영상을 표시하는 구동 전류가 흐를 경우에 구동 전류(Id)로부터 바이패스 트랜지스터(T7)를 통해 빠져나온 바이패스 전류(Ibp)의 전류량만큼 감소된 유기 발광 다이오드(OLED)의 발광 전류(Ioled)는 블랙 영상을 확실하게 표현할 수 있는 수준으로 최소의 전류량을 가지게 된다. 따라서, 바이패스 트랜지스터(T7)를 이용하여 정확한 블랙 휘도 영상을 구현하여 콘트라스트비를 향상시킬 수 있다. 도 3에서는 바이패스 신호(BP)는 후단 스캔 신호(Sn+1)와 동일하나, 반드시 이에 한정되는 것은 아니다.

[0054] 그러면 도 1 내지 도 3에 도시한 유기 발광 표시 장치의 화소부와 주변부의 상세 구조에 대하여 도 4 내지 도 9를 참고하여 상세하게 설명한다.

[0055] 도 4는 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 화소부의 복수개의 트랜지스터 및 커패시터를 개략적으로 도시한 도면이고, 도 5는 도 4의 하나의 화소의 구체적인 배치도이고, 도 6은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 주변부를 개략적으로 확대하여 도시한 평면도이고, 도 7은 도 5의 유기 발광 표시 장치를 VII-VII선을 따라 자른 단면도이며, 도 8은 도 5의 유기 발광 표시 장치를 VIII-VIII선을 따라 자른 단면도이고, 도 9는 도 6의 IX-IX선을 따라 자른 단면도이다.

[0056] 이하에서 도 4 내지 도 6을 참고하여 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 화소부 및 주변부의 구체적인 평면상 구조에 대해 우선 상세히 설명하고, 도 7 내지 도 9를 참고하여 화소부 및 주변부의 구체적인 단면상 구조에 대해 상세히 설명한다.

[0057] 우선, 도 4에 도시한 바와 같이, 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 스캔 신호(Sn), 전단 스캔 신호(Sn-1), 발광 제어 신호(EM) 및 바이패스 신호(BP)를 각각 인가하며 행 방향을 따라 형성되어 있는 스캔선(121), 전단 스캔선(122), 발광 제어선(123) 및 바이패스 제어선(128)을 포함하고, 스캔선(121), 전단 스캔선(122), 발광 제어선(123) 및 바이패스 제어선(128)과 교차하고 있으며 화소에 데이터 신호(Dm) 및 구동 전압(ELVDD)을 각각 인가하는 데이터선(171) 및 구동 전압선(172)을 포함한다. 초기화 전압(Vint)은 초기화 전압선(192)을 통해 보상 트랜지스터(T3)로 전달된다.

[0058] 또한, 화소에는 구동 트랜지스터(T1), 스위칭 트랜지스터(T2), 보상 트랜지스터(T3), 초기화 트랜지스터(T4), 동작 제어 트랜지스터(T5), 발광 제어 트랜지스터(T6), 바이패스 트랜지스터(T7), 스토리지 커패시터(Cst), 그리고 화소 전극(191), 유기 발광층(370) 및 공통 전극(270)으로 이루어진 유기 발광 다이오드(OLED)가 형성되어 있다. 이 때, 보상 트랜지스터(T3)와 초기화 트랜지스터(T4)는 누설 전류를 차단하기 위해 듀얼 게이트(dual gate) 구조의 트랜지스터로 구성되어 있다.

[0059] 구동 트랜지스터(T1), 스위칭 트랜지스터(T2), 보상 트랜지스터(T3), 초기화 트랜지스터(T4), 동작 제어 트랜지스터(T5), 발광 제어 트랜지스터(T6) 및 바이패스 트랜지스터(T7)의 각각의 채널(channel)은 연결되어 있는 하나의 반도체(130)의 내부에 형성되어 있으며, 반도체(130)는 다양한 형상으로 굴곡되어 형성될 수 있다. 이러한 반도체(130)는 다결정 반도체 물질 또는 산화물 반도체 물질로 이루어질 수 있다. 산화물 반도체 물질은 티타늄(Ti), 하프늄(Hf), 지르코늄(Zr), 알루미늄(Al), 탄탈륨(Ta), 게르마늄(Ge), 아연(Zn), 갈륨(Ga), 주석(Sn) 또는 인듐(In)을 기본으로 하는 산화물, 이들의 복합 산화물인 인듐-갈륨-아연 산화물(InGaZnO4), 인듐-아연 산화물(Zn-In-O), 아연-주석 산화물(Zn-Sn-O) 인듐-갈륨 산화물 (In-Ga-O), 인듐-주석 산화물(In-Sn-O), 인듐-지르코늄 산화물(In-Zr-O), 인듐-지르코늄-아연 산화물(In-Zr-Zn-O), 인듐-지르코늄-주석 산화물(In-Zr-Sn-O), 인듐-지르코늄-갈륨 산화물(In-Zr-Ga-O), 인듐-알루미늄 산화물(In-Al-O), 인듐-아연-알루미늄 산화물(In-Zn-Al-O), 인듐-주석-알루미늄 산화물(In-Sn-Al-O), 인듐-알루미늄-갈륨 산화물(In-Al-Ga-O), 인듐-탄탈륨 산화물(In-Ta-O), 인듐-탄탈륨-아연 산화물(In-Ta-Zn-O), 인듐-탄탈륨-주석 산화물(In-Ta-Sn-O), 인듐-탄탈륨-갈륨 산화물(In-Ta-Ga-O), 인듐-게르마늄 산화물(In

-Ge-O), 인듐-게르마늄-아연 산화물(In-Ge-Zn-O), 인듐-게르마늄-주석 산화물(In-Ge-Sn-O), 인듐-게르마늄-갈륨 산화물(In-Ge-Ga-O), 티타늄-인듐-아연 산화물(Ti-In-Zn-O), 하프늄-인듐-아연 산화물(Hf-In-Zn-O) 중 어느 하나를 포함할 수 있다. 반도체(130)가 산화물 반도체 물질로 이루어지는 경우에는 고온 등의 외부 환경에 취약한 산화물 반도체 물질를 보호하기 위해 별도의 보호층이 추가될 수 있다.

[0060] 반도체(130)는 N형 불순물 또는 P형 불순물로 채널 도핑이 되어 있는 채널 (channel)(131)과, 채널의 양 옆에 형성되어 있으며 채널에 도핑된 도핑 불순물과 반대 타입의 도핑 불순물이 도핑되어 형성된 소스 도핑부 및 드레인 도핑부를 포함한다. 본 실시예에서 소스 도핑부 및 드레인 도핑부는 각각 소스 전극 및 드레인 전극에 해당한다. 반도체(130)에 형성되어 있는 소스 전극 및 드레인 전극은 해당 영역만 도핑하여 형성할 수 있다. 또한, 반도체(130)에서 서로 다른 트랜지스터의 소스 전극과 드레인 전극의 사이 영역도 도핑되어 소스 전극과 드레인 전극이 전기적으로 연결될 수 있다.

[0061] 도 5에 도시한 바와 같이, 채널(131)은 구동 트랜지스터(T1)에 형성되는 구동 채널(131a), 스위칭 트랜지스터(T2)에 형성되는 스위칭 채널(131b), 보상 트랜지스터(T3)에 형성되는 보상 채널(131c), 초기화 트랜지스터(T4)에 형성되는 초기화 채널(131d), 동작 제어 트랜지스터(T5)에 형성되는 동작 제어 채널(131e), 발광 제어 트랜지스터(T6)에 형성되는 발광 제어 채널(131f) 및 바이패스 트랜지스터(T7)에 형성되는 바이패스 채널(131g)을 포함한다.

[0062] 구동 트랜지스터(T1)는 구동 채널(131a), 구동 게이트 전극(155a), 구동 소스 전극(136a) 및 구동 드레인 전극(137a)을 포함한다. 구동 채널(131a)은 굴곡되어 있으며, 사행 형상 또는 지그재그 형상을 가질 수 있다. 이와 같이, 굴곡된 형상의 구동 채널(131a)을 형성함으로써, 좁은 공간 내에 길게 구동 채널(131a)을 형성할 수 있다. 따라서, 길게 형성된 구동 채널(131a)에 의해 구동 게이트 전극(155a)에 인가되는 게이트 전압의 구동 범위(driving range)는 넓어지게 된다. 게이트 전압의 구동 범위가 넓으므로 게이트 전압의 크기를 변화시켜 유기 발광 다이오드(OLED)에서 방출되는 빛의 계조를 보다 세밀하게 제어할 수 있으며, 그 결과 유기 발광 표시 장치의 해상도를 높이고 표시 품질을 향상시킬 수 있다. 이러한 구동 채널(131a)의 형상을 다양하게 변형하여 '역S', 'S', 'M', 'W' 등의 다양한 실시예가 가능하다.

[0063] 구동 게이트 전극(155a)은 구동 채널(131a)과 중첩하고 있으며, 구동 소스 전극(136a) 및 구동 드레인 전극(137a)은 구동 채널(131a)과 중첩하지 않는다.

[0064] 스위칭 트랜지스터(T2)는 스위칭 채널(131b), 스위칭 게이트 전극(155b), 스위칭 소스 전극(136b) 및 스위칭 드레인 전극(137b)을 포함한다. 스캔선(121)에서 아래쪽으로 확장된 일부인 스위칭 게이트 전극(155b)은 스위칭 채널(131b)과 중첩하고 있으며, 스위칭 소스 전극(136b) 및 스위칭 드레인 전극(137b)은 스위칭 채널(131b)과 중첩하지 않는다. 스위칭 소스 전극(136b)은 접촉 구멍(62)을 통해 데이터선(171)과 연결되어 있다.

[0065] 보상 트랜지스터(T3)는 누설 전류 방지를 위해 2개가 형성되어 있으며 서로 인접하고 있는 제1 보상 트랜지스터(T3-1) 및 제2 보상 트랜지스터(T3-2)를 포함한다. 제1 보상 트랜지스터(T3-1)는 스캔선(121)을 중심으로 위치하고 있으며, 제2 보상 트랜지스터(T3-2)는 스캔선(121)의 돌출부를 중심으로 위치하고 있다. 제1 보상 트랜지스터(T3-1)는 제1 보상 채널(131c1), 제1 보상 게이트 전극(155c1), 제1 보상 소스 전극(136c1) 및 제1 보상 드레인 전극(137c1)을 포함하고, 제2 보상 트랜지스터(T3-2)는 제2 보상 채널(131c2), 제2 보상 게이트 전극(155c2), 제2 보상 소스 전극(136c2) 및 제2 보상 드레인 전극(137c2)을 포함한다.

[0066] 스캔선(121)의 일부인 제1 보상 게이트 전극(155c1)은 제1 보상 채널(131c1)과 중첩하고 있으며, 제1 보상 소스 전극(136c1) 및 제1 보상 드레인 전극(137c1)은 제1 보상 채널(131c1)과 중첩하지 않는다. 제1 보상 소스 전극(136c1)은 발광 제어 소스 전극(136f) 및 구동 드레인 전극(137a)과 연결되어 있으며, 제1 보상 드레인 전극(137c1)은 제2 보상 소스 전극(136c2)과 연결되어 있다.

[0067] 스캔선(121)에서 위쪽으로 돌출된 돌출부인 제2 보상 게이트 전극(155c2)은 제2 보상 채널(131c2)과 중첩하고 있으며, 제2 보상 소스 전극(136c2) 및 제2 보상 드레인 전극(137c2)은 제2 보상 채널(131c2)과 중첩하지 않는다. 제2 보상 드레인 전극(137c2)은 접촉 구멍(63)을 통해 제1 데이터 연결 부재(174)와 연결되어 있다.

[0068] 초기화 트랜지스터(T4)는 누설 전류 방지를 위해 2개가 형성되어 있으며 서로 인접하고 있는 제1 초기화 트랜지스터(T4-1) 및 제2 초기화 트랜지스터(T4-2)를 포함한다. 제1 초기화 트랜지스터(T4-1)는 전단 스캔선(122)을 중심으로 위치하고 있으며, 제2 초기화 트랜지스터(T4-2)는 전단 스캔선(122)의 돌출부를 중심으로 위치하고 있다. 제1 초기화 트랜지스터(T4-1)는 제1 초기화 채널(131d1), 제1 초기화 게이트 전극(155d1), 제1 초기화 소스 전극(136d1) 및 제1 초기화 드레인 전극(137d1)을 포함하고, 제2 초기화 트랜지스터(T4-2)는 제2 초기화 채널

(131d2), 제2 초기화 게이트 전극(155d2), 제2 초기화 소스 전극(136d2) 및 제2 초기화 드레인 전극(137d2)을 포함한다.

[0069] 전단 스캔선(122)의 일부인 제1 초기화 게이트 전극(155d1)은 제1 초기화 채널(131d1)과 중첩하고 있으며, 제1 초기화 소스 전극(136d1) 및 제1 초기화 드레인 전극(137d1)은 제1 초기화 채널(131d1)과 중첩하지 않는다. 제1 초기화 소스 전극(136d1)은 접촉 구멍(64)을 통해 제2 데이터 연결 부재(175)와 연결되어 있으며, 제1 초기화 드레인 전극(137d1)은 제2 초기화 소스 전극(136d2)과 연결되어 있다.

[0070] 전단 스캔선(122)에서 아래쪽으로 돌출된 돌출부인 제2 초기화 게이트 전극(155d2)은 제2 초기화 채널(131d2)과 중첩하고 있으며, 제2 초기화 소스 전극(136d2) 및 제2 초기화 드레인 전극(137d2)은 제2 초기화 채널(131c2)과 중첩하지 않는다. 제2 초기화 드레인 전극(137d2)은 접촉 구멍(63)을 통해 제1 데이터 연결 부재(174)와 연결되어 있다.

[0071] 이와 같이, 보상 트랜지스터(T3)는 제1 보상 트랜지스터(T3-1) 및 제2 보상 트랜지스터(T3-2)로 2개를 형성하고, 초기화 트랜지스터(T4)는 제1 초기화 트랜지스터(T4-1) 및 제2 초기화 트랜지스터(T4-2)로 2개를 형성함으로써, 오프 상태에서 반도체층(130)의 전자 이동 경로를 차단하여 누설 전류가 발생하는 것을 효과적으로 방지할 수 있다.

[0072] 동작 제어 트랜지스터(T5)는 동작 제어 채널(131e), 동작 제어 게이트 전극(155e), 동작 제어 소스 전극(136e) 및 동작 제어 드레인 전극(137e)을 포함한다. 발광 제어선(123)의 일부인 동작 제어 게이트 전극(155e)은 동작 제어 채널(131e)과 중첩하고 있으며, 동작 제어 소스 전극(136e) 및 동작 제어 드레인 전극(137e)과 중첩하지 않는다. 동작 제어 소스 전극(136e)은 접촉 구멍(65)을 통해 구동 전압선(172)의 일부와 연결되어 있다.

[0073] 발광 제어 트랜지스터(T6)는 발광 제어 채널(131f), 발광 제어 게이트 전극(155f), 발광 제어 소스 전극(136f) 및 발광 제어 드레인 전극(137f)을 포함한다. 발광 제어선(123)의 일부인 발광 제어 게이트 전극(155f)은 발광 제어 채널(131f)과 중첩하고 있으며, 발광 제어 소스 전극(136f) 및 발광 제어 드레인 전극(137f)과 중첩하지 않는다. 발광 제어 드레인 전극(137f)은 접촉 구멍(66)을 통해 제3 데이터 연결 부재(179)와 연결되어 있다.

[0074] 바이패스 박막 트랜지스터(T7)는 바이패스 채널(131g), 바이패스 게이트 전극(155g), 바이패스 소스 전극(136g) 및 바이패스 드레인 전극(137g)을 포함한다. 바이패스 제어선(128)의 일부인 바이패스 게이트 전극(155g)은 바이패스 채널(131g)과 중첩하고 있으며, 바이패스 소스 전극(136g) 및 바이패스 드레인 전극(137g)과 중첩하지 않는다. 바이패스 소스 전극(136g)은 발광 제어 드레인 전극(137f)과 직접 연결되어 있고, 바이패스 드레인 전극(137g)은 접촉 구멍(82)을 통해 제2 데이터 연결 부재(175)와 연결되어 있다.

[0075] 구동 트랜지스터(T1)의 구동 채널(131a)의 일단은 스위칭 드레인 전극(137b) 및 동작 제어 드레인 전극(137e)과 연결되어 있으며, 구동 채널(131a)의 타단은 보상 소스 전극(136c) 및 발광 제어 소스 전극(136f)과 연결되어 있다.

[0076] 스토리지 커패시터(Cst)는 제2 절연막(142)을 사이에 두고 배치되는 제1 스토리지 전극(155a)과 제2 스토리지 전극(156)을 포함한다. 제1 스토리지 전극(155a)은 구동 게이트 전극(155a)에 해당하고, 제2 스토리지 전극(156)은 스토리지선(126)에서 확장된 부분으로서, 구동 게이트 전극(155a)보다 넓은 면적을 차지하며 구동 게이트 전극(155a)을 전부 덮고 있다. 여기서, 제2 절연막(142)은 유전체가 되며, 스토리지 커패시터(Cst)에서 축전된 전하와 양 전극(155a, 156) 사이의 전압에 의해 스토리지 커패시턴스(Storage Capacitance)가 결정된다. 이와 같이, 구동 게이트 전극(155a)을 제1 스토리지 전극(155a)으로 사용함으로써, 화소 내에서 큰 면적을 차지하는 구동 채널(131a)에 의해 좁아진 공간에서 스토리지 커패시터를 형성할 수 있는 공간을 확보할 수 있다.

[0077] 구동 게이트 전극(155a)인 제1 스토리지 전극(155a)은 접촉 구멍(61) 및 스토리지 개구부(68)를 통하여 제1 데이터 연결 부재(174)의 일단과 연결되어 있다. 스토리지 개구부(68)은 제2 스토리지 전극(156)에 형성된 개구부이다. 제1 데이터 연결 부재(174)는 데이터선(171)과 거의 평행하게 동일한 층에 형성되어 있으며 제1 데이터 연결 부재(174)의 타단은 접촉 구멍(63)을 통해 제2 보상 트랜지스터(T3-2)의 제2 보상 드레인 전극(137c2) 및 제2 초기화 트랜지스터(T4-2)의 제2 초기화 드레인 전극(137d2)과 연결되어 있다. 따라서, 제1 데이터 연결 부재(174)는 구동 게이트 전극(155a)과 제2 보상 트랜지스터(T3-2)의 제2 보상 드레인 전극(137c2) 및 제2 초기화 트랜지스터(T4-2)의 제2 초기화 드레인 전극(137d2)을 서로 연결하고 있다.

[0078] 제2 스토리지 전극(156)은 접촉 구멍(69)을 통해 구동 전압선(172)과 연결되어 있다.

[0079] 따라서, 스토리지 커패시터(Cst)는 구동 전압선(172)을 통해 제2 스토리지 전극(156)에 전달된 구동 전압

(ELVDD)과 구동 게이트 전극(155a)의 게이트 전압간의 차에 대응하는 스토리지 커패시턴스를 저장한다.

[0080] 제3 데이터 연결 부재(179)는 접촉 구멍(81)을 통해 화소 전극(191)과 연결되어 있으며, 제2 데이터 연결 부재(175)는 접촉 구멍(82)을 통해 초기화 전압선(192)과 연결되어 있다.

[0081] 한편, 도 6에 도시한 바와 같이, 주변부(P)에는 데이터 신호(Dm)를 전달하는 팬아웃 배선(Fanout line)(129)이 형성되어 있다. 팬아웃 배선(129)은 접촉 구멍(6)을 통해 데이터선(171)의 단부인 데이터 패드(79)와 연결되어 있다. 따라서, 팬아웃 배선(129)은 외부로부터 데이터 신호(Dm)를 인가받아 데이터 패드(79)를 통해 데이터선(171)에 데이터 신호(Dm)를 전달한다.

[0082] 주변부(P)에는 공통 전압(ELVSS) 또는 구동 전압(ELVDD)을 포함하는 전위 전압을 전달하는 주변 전위 전압선(400)이 형성되어 있다. 주변 전위 전압선(400)은 공통 전극(270)에 공통 전압(ELVSS)을 전달하는 주변 공통 전압선이거나 화소 전극(191)에 구동 전압(ELVDD)을 전달하는 주변 구동 전압선일 수 있다. 본 실시예에서는 주변 전위 전압선이 주변 공통 전압선(400)인 경우를 도시하여 설명하고 있다.

[0083] 주변 공통 전압선(400)은 화소부(P)를 둘러싸며 형성되어 있는 공통 전압 연결부(410), 공통 전압 연결부(410)에서 연장되어 있으며 외부로부터 공통 전압이 인가되는 복수개의 공통 전압 패드(420)를 포함한다. 공통 전압 연결부(410)의 일단은 공통 전극(270)과 접촉하여 공통 전압 패드(420)로부터 인가된 공통 전압(ELVSS)을 공통 전극(270)에 전달하게 된다.

[0084] 주변부(P)에 형성되어 있는 주변 공통 전압선(400)의 공통 전압 연결부(410)와 팬아웃 배선(129)은 서로 교차하고 있다. 이러한 공통 전압 연결부(410)와 팬아웃 배선(129)이 제3 절연막(160)의 과식각에 의해 서로 단락되는 것을 방지하기 위해 팬아웃 배선(129)과 공통 전압 연결부(410) 사이에는 식각 차단 부재(29)가 형성되어 있다.

[0085] 이와 같이, 팬아웃 배선과 주변 전위 전압선 사이에 식각 차단 부재를 형성함으로써, 게이트 배선과 데이터 배선 사이에 형성되며 무기막 및 유기막의 이중막으로 형성된 절연막을 함께 일괄 식각할 수 있다. 따라서, 마스크 수를 줄여 제조 비용 및 제조 시간을 단축할 수 있다.

[0086] 이하, 도 7 내지 도 9를 참고하여 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 화소부 및 주변부의 단면상 구조에 대해 적층 순서에 따라 구체적으로 설명한다.

[0087] 이 때, 동작 제어 트랜지스터(T5)는 발광 제어 트랜지스터(T6)의 적층 구조와 대부분 동일하므로 상세한 설명은 생략한다.

[0088] 화소 기판(100) 위에는 버퍼층(120)이 형성되어 있다. 화소 기판(100)은 유리, 석영, 세라믹, 플라스틱 등으로 이루어진 절연성 기판으로 형성될 수 있고, 버퍼층(120)은 다결정 반도체를 형성하기 위한 결정화 공정 시 화소 기판(100)으로부터 불순물을 차단하여 다결정 반도체의 특성을 향상시키고, 화소 기판(100)이 받는 스트레스를 줄이는 역할을 할 수 있다.

[0089] 화소부(P)의 버퍼층(120) 위에는 구동 채널(131a), 스위칭 채널(131b), 보상 채널(131c), 초기화 채널(131d), 동작 제어 채널(131e) 및 발광 제어 채널(131f)을 포함하는 반도체(130)가 형성되어 있다. 반도체(130) 중 구동 채널(131a)의 양 옆에는 구동 소스 전극(136a) 및 구동 드레인 전극(137a)이 형성되어 있고, 스위칭 채널(131b)의 양 옆에는 스위칭 소스 전극(136b) 및 스위칭 드레인 전극(137b)이 형성되어 있다. 그리고, 제1 보상 채널(131c1)의 양 옆에는 제1 보상 소스 전극(136c1) 및 제1 보상 드레인 전극(137c1)이 형성되어 있고, 제2 보상 채널(131c2)의 양 옆에는 제2 보상 소스 전극(136c2) 및 제2 보상 드레인 전극(137c2)이 형성되어 있고, 제1 초기화 채널(131d1)의 양 옆에는 제1 초기화 소스 전극(136d1) 및 제1 초기화 드레인 전극(137d1)이 형성되어 있고, 제2 초기화 채널(131d2)의 양 옆에는 제2 초기화 소스 전극(136d2) 및 제2 초기화 드레인 전극(137d2)이 형성되어 있다. 그리고, 동작 제어 채널(131e)의 양 옆에는 동작 제어 소스 전극(136e) 및 동작 제어 드레인 전극(137e)이 형성되어 있고, 발광 제어 채널(131f)의 양 옆에는 발광 제어 소스 전극(136f) 및 발광 제어 드레인 전극(137f)이 형성되어 있다.

[0090] 반도체(130) 위에는 이를 덮는 제1 절연막(141)이 형성되어 있다. 화소부(P)의 제1 절연막(141) 위에는 스위칭 게이트 전극(155b), 제1 보상 게이트 전극(155c1) 및 제2 보상 게이트 전극(155c2)을 포함하는 스캔선(121), 제1 초기화 게이트 전극(155d1) 및 제2 초기화 게이트 전극(155d2)을 포함하는 전단 스캔선(122), 동작 제어 게이트 전극(155e) 및 발광 제어 게이트 전극(155f)을 포함하는 발광 제어선(123), 바이패스 게이트 전극(155g)을 포함하는 바이패스 제어선(128), 그리고 구동 게이트 전극(제1 스토리지 전극)(155a)을 포함하는 제1 게이트 배

선(121, 122, 123, 128, 155a, 155b, 155c1, 155c2, 155d1, 155d2, 155e, 155f)이 형성되어 있다.

[0091] 그리고, 주변부(S)의 제1 절연막(141) 위에는 복수개의 팬아웃 배선(129)이 형성되어 있다. 팬아웃 배선(129)은 제1 게이트 배선(121, 122, 123, 128, 155a, 155b, 155c1, 155c2, 155d1, 155d2, 155e, 155f)과 동일한 물질로 형성되어 있다.

[0092] 제1 게이트 배선(121, 122, 123, 128, 155a, 155b, 155c1, 155c2, 155d1, 155d2, 155e, 155f), 팬아웃 배선(129) 및 제1 절연막(141) 위에는 이를 덮는 제2 절연막(142)이 형성되어 있다. 제1 절연막(141) 및 제2 절연막(142)은 질화 규소(SiNx) 또는 산화 규소(SiO_2) 따위로 형성되어 있다.

[0093] 화소부(P)의 제2 절연막(142) 위에는 스캔선(121)과 평행하게 배치되어 있는 스토리지선(126), 스토리지선(126)에서 확장된 부분인 제2 스토리지 전극(156)을 포함하는 제2 게이트 배선(126, 156)이 형성되어 있다.

[0094] 그리고, 주변부(S)의 제2 절연막(142) 위에는 식각 차단 부재(29)가 형성되어 있다. 식각 차단 부재(29)는 제2 게이트 배선(126, 156)과 동일한 물질로 형성되어 있다.

[0095] 제2 절연막(142), 제2 게이트 배선(126, 156) 및 식각 차단 부재(29) 위에는 제3 절연막(160)이 형성되어 있다.

[0096] 제3 절연막(160)은 제2 절연막(142)과 접촉하고 있는 제3 무기 절연막(161), 제3 무기 절연막(161)을 덮고 있는 제3 유기 절연막(162)을 포함한다. 제3 무기 절연막(161)은 질화 규소(SiNx) 또는 산화 규소(SiO_2) 등의 무기막으로 형성될 수 있고, 제3 유기 절연막(162)은 유기막으로 형성될 수 있다.

[0097] 이와 같이, 제3 절연막을 제3 무기 절연막 및 제3 유기 절연막의 이중막으로 형성함으로써, 제3 절연막의 박막 스트레스를 최소화할 수 있어 제3 절연막의 두께를 증가시킬 수 있다. 따라서, 제2 게이트 배선과 데이터 배선 사이에 형성되는 제3 절연막의 두께를 증가시켜 제1 게이트 배선 및 제2 게이트 배선과 데이터 배선간의 기생 커패시턴스를 최소화할 수 있다.

[0098] 또한, 제3 유기 절연막은 증착 공정이 아닌 코팅 공정 또는 도포 공정으로 형성하므로 두께 조절이 용이하다. 또한, 제3 절연막을 제3 유기 절연막 및 제3 무기 절연막의 이중막으로 형성함으로서 유전율을 3이하로 낮출 수 있어 기생 커패시턴스를 최소화할 수 있다. 또한, 제3 유기 절연막은 벤딩 시 크랙 발생을 최소화할 수 있으므로 제1 절연막, 제2 절연막 및 제3 무기 절연막 대비하여 벤딩에 유리하다.

[0099] 화소부(P)의 제3 절연막(160)에는 접촉 구멍(61, 62, 63, 64, 66, 69)이 형성되어 있다. 이러한 제3 절연막(160)을 이루는 제3 무기 절연막(161)과 제3 유기 절연막(162)은 일괄 식각하여 접촉 구멍(61, 62, 63, 64, 66, 69)을 형성하므로, 제3 무기 절연막(161)에 형성된 무기 접촉 구멍(61a, 62a, 63a, 64a, 66a, 69a)과 제3 유기 절연막(162)에 형성된 유기 접촉 구멍(61b, 62b, 63b, 64b, 66b, 69b)은 서로 동일한 경계선을 가지고 접촉하고 있다.

[0100] 주변부(S)의 제3 절연막(160)에는 밀봉재(310)의 접촉 면적을 증가시켜 화소 기판(100)과 밀봉 기판(200)의 접착력을 향상시키기 위한 밀봉 홈(160a)이 형성되어 있다. 도 9에는 밀봉 홈(160a)이 식각 차단 부재(29)를 노출하고 있는 것으로 도시하고 있으나, 이는 제3 절연막(160)이 일괄 식각에 의해 과식각되었을 경우에 식각 차단 부재(29)가 제2 절연막(142)의 식각을 차단하는 것을 나타내기 위해 도시한 것으로서, 밀봉 홈(160a)은 식각 차단 부재(29)를 노출하지 않는 것이 바람직하다.

[0101] 화소부(P)의 제3 절연막(160) 위에는 데이터선(171), 구동 전압선(172), 제1 데이터 연결 부재(174), 제2 데이터 연결 부재(175), 그리고 제3 데이터 연결 부재(179)를 포함하는 데이터 배선(171, 172, 174, 175, 178, 179)이 형성되어 있다.

[0102] 데이터선(171)은 제1 절연막(141), 제2 절연막(142) 및 제3 절연막(160)에 형성된 접촉 구멍(62)을 통해 스위칭 소스 전극(136b)와 연결되어 있으며, 제1 데이터 연결 부재(174)의 일단은 제2 절연막(142) 및 제3 절연막(160)에 형성된 접촉 구멍(61)을 통하여 제1 스토리지 전극(155a)과 연결되어 있고, 제1 데이터 연결 부재(174)의 타단은 제1 절연막(141), 제2 절연막(142) 및 제3 절연막(160)에 형성된 접촉 구멍(63)을 통해 제2 보상 드레인 전극(137c2) 및 제2 초기화 드레인 전극(137d2)와 연결되어 있다.

[0103] 사각 형상의 제2 데이터 연결 부재(175)는 제1 절연막(141), 제2 절연막(142) 및 제3 절연막(160)에 형성된 접촉 구멍(64)을 통해 제1 초기화 소스 전극(136d1)과 연결되어 있다. 그리고, 사각 형상의 제3 데이터 연결 부재(179)는 제1 절연막(141), 제2 절연막(142) 및 제3 절연막(160)에 형성된 접촉 구멍(66)을 통해 발광 제어 드레

인 전극(137f)과 연결되어 있다.

[0104] 그리고, 주변부(S)의 제3 절연막(160) 위에는 주변 전위 전압선(410)이 형성되어 있다.

[0105] 식각 차단 부재(29)가 밀봉 홈(160a)에 대응하는 위치의 제2 절연막(142) 위에 형성되어 있으므로, 밀봉 홈(160a)을 형성하기 위한 제3 절연막(160)의 식각 공정에서 제3 절연막(160)이 과식각되는 경우에도 주변 전위 전압선(410)과 중첩하고 있는 팬아웃 배선(129)이 주변 전위 전압선(410)과 서로 단락되는 것을 방지할 수 있다.

[0106] 데이터 배선(171, 172, 174, 175, 178, 179), 식각 차단 부재(29) 및 제3 절연막(160) 위에는 이를 덮는 보호막(180)이 형성되어 있다. 보호막(180)은 유기막으로 형성될 수 있다.

[0107] 화소부(P)의 보호막(180) 위에는 화소 전극(191) 및 초기화 전압선(192)이 형성되어 있다. 제3 데이터 연결 부재(179)는 보호막(180)에 형성된 접촉 구멍(81)을 통해 화소 전극(191)과 연결되어 있고, 제2 데이터 연결 부재(175)는 보호막(180)에 형성된 접촉 구멍(82)을 통해 초기화 전압선(192)과 연결되어 있다.

[0108] 보호막(180), 초기화 전압선(192) 및 화소 전극(191)의 가장자리 위에는 이를 덮는 화소 정의막(Pixel Defined Layer, PDL)(350)이 형성되어 있고, 화소 정의막(350)은 화소 전극(191)을 드러내는 화소 개구부(351)를 가진다. 화소 정의막(350)은 폴리아크릴계 수지(polyacrylates resin) 및 폴리이미드계(polyimides) 등의 수지 또는 실리카 계열의 무기물 등으로 만들 수 있다.

[0109] 화소 개구부(351)에 의해 노출된 화소 전극(191) 위에는 유기 발광층(370)이 형성되고, 유기 발광층(370) 상에는 공통 전극(270)이 형성된다. 공통 전극(270)은 화소 정의막(350) 위에도 형성되어 복수의 화소에 걸쳐 형성된다. 이와 같이, 화소 전극(191), 유기 발광층(370) 및 공통 전극(270)을 포함하는 유기 발광 다이오드(OLED)가 형성된다.

[0110] 여기서, 화소 전극(191)은 정공 주입 전극인 애노드이며, 공통 전극(270)은 전자 주입 전극인 캐소드가 된다. 그러나 본 발명에 따른 일 실시예는 반드시 이에 한정되는 것은 아니며, 유기 발광 표시 장치의 구동 방법에 따라 화소 전극(191)이 캐소드가 되고, 공통 전극(270)이 애노드가 될 수도 있다. 화소 전극(191) 및 공통 전극(270)으로부터 각각 정공과 전자가 유기 발광층(370) 내부로 주입되고, 주입된 정공과 전자가 결합한 엑시톤(exiton)이 여기상태로부터 기저상태로 떨어질 때 발광이 이루어진다.

[0111] 유기 발광층(370)은 저분자 유기물 또는 PEDOT(Poly 3,4-ethylenedioxythiophene) 등의 고분자 유기물로 이루어진다. 또한, 유기 발광층(370)은 발광층과, 정공 주입층(hole injection layer, HIL), 정공 수송층(hole transporting layer, HTL), 전자 수송층(electron transporting layer, ETL), 및 전자 주입층(electron injection layer, EIL) 중 하나 이상을 포함하는 다중막으로 형성될 수 있다. 이들 모두를 포함할 경우, 정공 주입층이 양극인 화소 전극(191) 상에 배치되고, 그 위로 정공 수송층, 발광층, 전자 수송층, 전자 주입층이 차례로 적층된다.

[0112] 유기 발광층(370)은 적색을 발광하는 적색 유기 발광층, 녹색을 발광하는 녹색 유기 발광층 및 청색을 발광하는 청색 유기 발광층을 포함할 수 있으며, 적색 유기 발광층, 녹색 유기 발광층 및 청색 유기 발광층은 각각 적색 화소, 녹색 화소 및 청색 화소에 형성되어 컬러 화상을 구현하게 된다.

[0113] 또한, 유기 발광층(370)은 적색 유기 발광층, 녹색 유기 발광층 및 청색 유기 발광층을 적색 화소, 녹색 화소 및 청색 화소에 모두 함께 적층하고, 각 화소별로 적색 색필터, 녹색 색필터 및 청색 색필터를 형성하여 컬러 화상을 구현할 수 있다. 다른 예로, 백색을 발광하는 백색 유기 발광층을 적색 화소, 녹색 화소 및 청색 화소 모두에 형성하고, 각 화소별로 각각 적색 색필터, 녹색 색필터 및 청색 색필터를 형성하여 컬러 화상을 구현할 수도 있다. 백색 유기 발광층과 색필터를 이용하여 컬러 화상을 구현하는 경우, 적색 유기 발광층, 녹색 유기 발광층 및 청색 유기 발광층을 각각의 개별 화소 즉, 적색 화소, 녹색 화소 및 청색 화소에 증착하기 위한 증착 마스크를 사용하지 않아도 된다.

[0114] 다른 예에서 설명한 백색 유기 발광층은 하나의 유기 발광층으로 형성될 수 있음은 물론이고, 복수 개의 유기 발광층을 적층하여 백색을 발광할 수 있도록 한 구성까지 포함한다. 예로, 적어도 하나의 옐로우 유기 발광층과 적어도 하나의 청색 유기 발광층을 조합하여 백색 발광을 가능하게 한 구성, 적어도 하나의 시안 유기 발광층과 적어도 하나의 적색 유기 발광층을 조합하여 백색 발광을 가능하게 한 구성, 적어도 하나의 마젠타 유기 발광층과 적어도 하나의 녹색 유기 발광층을 조합하여 백색 발광을 가능하게 한 구성 등도 포함할 수 있다.

[0115] 공통 전극(270) 상에는 유기 발광 다이오드(OLED)를 보호하는 밀봉 기판(200)이 위치하고 있다. 밀봉 기판

(200)은 유리, 석영, 세라믹, 플라스틱, 및 금속 등 다양한 소재로 제조될 수 있다. 화소 기판(100)의 주변부(S)와 밀봉 기판(200) 사이에는 화소 기판(100)과 밀봉 기판(200) 사이를 밀봉하기 위한 밀봉재(310)가 위치하고 있다.

[0116] 상기 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 제조 방법에 대해 이하에서 도면을 참조하여 상세히 설명한다.

[0117] 도 10은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 화소부의 단면도로서 제1 게이트 배선을 형성하는 단계를 도시한 단면도이고, 도 11은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 주변부의 단면도로서 팬아웃부를 형성하는 단계를 도시한 단면도이며, 도 12는 도 10의 다음 단계로서 제3 절연막에 접촉 구멍을 형성하는 단계를 도시한 단면도이고, 도 13은 도 11의 다음 단계로서 제3 절연막에 밀봉 홈을 형성하는 단계를 도시한 단면도이다.

[0118] 우선, 도 10 및 도 11에 도시한 바와 같이, 화소 기판(100)의 주변부(S)와 화소부(P) 모두에 버퍼층(120)을 형성한다. 버퍼층(120)은 질화규소의 단일막 또는 질화규소와 산화규소의 적층막으로 형성될 수 있으며, 플라즈마 화학기상증착(PECVD) 등의 방법으로 화소 기판(100) 위에 전면 증착된다. 그리고, 화소부(P)의 버퍼층(120) 위에 반도체(130)를 형성한다. 반도체(130)는 다결정 반도체층 또는 산화물 반도체층으로 형성할 수 있으며, 다결정 반도체층은 비정질 규소층을 형성한 후 이를 결정화하는 방법으로 형성할 수 있다. 결정화 방법으로는 공지된 다양한 방법이 적용될 수 있으며, 예를 들어 열, 레이저, 주울(Joule)열, 전기장, 또는 촉매 금속 등을 이용하여 비정질 규소층을 결정화할 수 있다. 그리고, 다결정 반도체층 위에 제1 마스크를 사용하여 사진 식각 공정을 진행함으로써, 다결정 반도체층을 도 9에서 도시하고 있는 형태의 반도체(130)로 패터닝한다. 이 때, 반도체(130)는 도핑되지 않아서 각 트랜지스터를 구성하는 채널, 소스 전극 및 드레인 전극으로 구분되어 있지 않다. 그리고, 버퍼층(120) 및 반도체(130) 위에 이를 덮는 제1 절연막(141)을 형성한다. 제1 절연막(141)은 질화 규소(SiNx) 또는 산화 규소(SiO2) 따위를 플라즈마 화학기상증착(PECVD) 등의 방법으로 전면 증착하여 형성한다. 그리고, 제1 절연막(141) 위에 제1 게이트 금속층을 적층한다. 제1 게이트 금속층은 구리(Cu), 구리 합금, 알루미늄(Al), 및 알루미늄 합금 중 어느 하나를 포함하는 금속막, 몰리브덴(Mo)과 몰리브덴 합금 중 어느 하나를 포함하는 금속막이 적층된 다중막으로 형성될 수 있다. 그리고, 제2 마스크를 이용하여 제1 게이트 금속층을 사진 식각 공정으로 패터닝한다. 그 결과 화소부(P)에 스위칭 게이트 전극(155b)을 포함하는 스캔선(121), 전단 스캔선(122), 발광 제어 게이트 전극(155f)을 포함하는 발광 제어선(123), 바이패스 제어선(128) 및 구동 게이트 전극(155a)을 포함하는 제1 게이트 배선이 형성되고, 주변부(S)에 복수개의 팬아웃 배선(129)이 형성된다.

[0119] 그리고, 반도체(130)에 불순물을 도핑한다. 반도체(130)는 스위칭 게이트 전극(155b), 보상 게이트 전극(155c), 초기화 게이트 전극(155d), 동작 제어 게이트 전극(155e), 발광 제어 게이트 전극(155f), 바이패스 게이트 전극(155g) 및 구동 게이트 전극(155a)에 의하여 각각 가려진 부분을 제외하고 노출된 영역에 도핑된다. 그 결과 각 트랜지스터의 소스 전극과 드레인 전극이 형성된다. 반도체(130)에 가려져 도핑되지 않은 영역에는 각 트랜지스터의 채널이 형성된다. 즉, 구동 채널(131a), 스위칭 채널(131b), 보상 채널(131c), 초기화 채널(131d), 동작 제어 채널(131e), 발광 제어 채널(131f) 및 바이패스 채널(131g)를 동시에 형성한다. 이와 같이, 반도체(130)에 도핑시에는 별도의 마스크가 필요하지 않다.

[0120] 다음으로, 도 12 및 도 13에 도시한 바와 같이, 제1 절연막(141), 스캔선(121), 전단 스캔선(122), 발광 제어선(123), 바이패스 제어선(128) 및 구동 게이트 전극(155a) 위에 이를 덮는 제2 절연막(142)을 형성한다. 제2 절연막(142)은 질화 규소(SiNx) 또는 산화 규소(SiO2) 따위를 플라즈마 화학기상증착(PECVD) 등의 방법으로 전면 증착하여 형성한다. 그리고, 도펀트 활성화(Dopant activation) 공정을 진행하여 반도체(130)에 도핑된 불순물이 제대로 자리잡게 하고, 반도체(130)와 제1 절연막(141)간의 경계면의 손상을 제거한다.

[0121] 그리고, 제2 절연막(142) 위에 제2 게이트 금속층을 형성한다. 제2 게이트 금속층은 구리(Cu), 구리 합금, 알루미늄(Al), 및 알루미늄 합금 중 어느 하나를 포함하는 금속막, 몰리브덴(Mo)과 몰리브덴 합금 중 어느 하나를 포함하는 금속막이 적층된 다중막으로 형성될 수 있다. 그리고, 제3 마스크를 이용하여 제2 게이트 금속층을 사진 식각 공정으로 패터닝하여 화소부(P)에 스토리지선(126) 및 제2 스토리지 전극(156)을 포함하는 제2 게이트 배선을 형성하고, 주변부(S)에 식각 차단 부재(29)를 형성한다.

[0122] 그리고, 제2 절연막, 제2 게이트 배선 및 식각 차단 부재(29) 위에 이를 덮는 제3 절연막(160)을 형성한다. 제3 절연막(160)은 제3 무기 절연막(161) 및 제3 유기 절연막(162)을 적층하여 형성한다.

[0123] 그리고, 제4 마스크를 이용한 사진 식각 공정으로 제1 절연막(141), 제2 절연막(142) 및 제3 절연막(160)을 패터닝하여 화소부(P)에는 제1 절연막(141), 제2 절연막(142) 및 제3 절연막(160)에 복수개의 접촉 구멍(61, 62, 63, 64, 66)을 형성하고, 주변부(P)에는 제3 절연막(160)에 밀봉재(310)의 접촉 면적을 증가시키기 위한 밀봉 홈(160a)을 형성한다. 이 때, 제1 절연막(141), 제2 절연막(142) 및 제3 절연막(160)을 일괄 식각하여 접촉 구멍(61, 62, 63, 64, 66)과 밀봉 홈(160a)을 형성한다. 밀봉 홈(160a) 아래에는 식각 차단 부재(29)가 형성되어 있으므로 제1 절연막(141), 제2 절연막(142) 및 제3 절연막(160)을 일괄 식각하는 경우 제3 절연막(160)이 과식각 되는 경우에도 식각 차단 부재(29) 아래의 제2 절연막(142)은 식각되지 않는다. 따라서, 제2 절연막(142)이 덮고 있는 팬아웃 배선(129)은 외부로 노출되지 않는다.

[0124] 다음으로, 도 7 내지 도 9에 도시한 바와 같이, 제3 절연막(160) 위에 데이터 금속층을 형성한다. 데이터 금속층은 구리, 구리 합금, 알루미늄, 및 알루미늄 합금 중 어느 하나를 포함하는 금속막과, 몰리브덴과 몰리브덴 합금 중 어느 하나를 포함하는 금속막이 적층된 다중막으로 형성될 수 있다. 예를 들어, 데이터 금속층은 티타늄/알루미늄/티타늄(Ti/Al/Ti)의 3중막, 몰리브덴/알루미늄/몰리브덴(Mo/Al/Mo) 또는 몰리브덴/구리/몰리브덴(Mo/Cu/Mo)의 3중막으로 형성될 수 있다. 그리고, 제5 마스크를 이용하여 데이터 금속층을 사진 식각 공정으로 패터닝한다. 이로써 화소부(P)의 제3 절연막(160) 위에 데이터선(171), 구동 전압선(172), 제1 데이터 연결 부재(174), 제2 데이터 연결 부재(175) 및 제3 데이터 연결 부재(179)를 포함하는 데이터 배선을 형성한다. 동시에 주변부(S)의 제3 절연막(160) 위에 주변 전위 전압선(410)을 형성한다. 주변 전위 전압선(410)은 팬아웃 배선(129) 및 밀봉 홈(160a)와 중첩한다. 이 때, 밀봉 홈(160a)을 형성하기 위한 제3 절연막(160)의 식각 공정에서 제3 절연막(160)이 과식각되는 경우에도 식각 차단 부재(29)에 의해 제2 절연막(142)이 덮고 있는 팬아웃 배선(129)은 외부로 노출되지 않으므로, 주변 전위 전압선(410)과 중첩하는 팬아웃 배선(129)이 주변 전위 전압선(410)과 단락되는 것을 방지할 수 있다.

[0125] 그리고, 제3 절연막(160), 데이터 배선 및 식각 차단 부재(29) 위에 이를 덮는 보호막(180)을 형성하고, 제6 마스크를 이용하여 사진 식각 공정으로 보호막(180)에 접촉 구멍(81, 82)을 형성한다. 그리고, 화소부(P)의 보호막(180) 위에는 화소 전극층을 형성하고, 제7 마스크를 이용하여 사진 식각 공정으로 화소 전극층을 패터닝하여 접촉 구멍(81)을 통해 제3 데이터 연결 부재(179)와 연결되는 화소 전극(191), 접촉 구멍(82)을 통해 제2 데이터 연결 부재(175)와 연결되는 초기화 전압선(192)을 형성한다.

[0126] 그리고, 보호막(180) 상에 화소 전극(191) 및 초기화 전압선(192)을 덮는 화소 정의막(350)을 형성하고, 제8 마스크를 이용하여 화소 정의막(350)에 화소 전극(191)의 일부를 드러내는 화소 개구부(351)를 형성한다. 그리고, 화소 개구부(351)를 통해 드러난 화소 전극(191) 상에 유기 발광층(370)을 형성한다. 그리고 유기 발광층(370) 상에 공통 전극(270)을 형성하여 유기 발광 다이오드(OLED)를 완성한다. 그리고, 화소 기판(100)의 공통 전극(270) 상에 밀봉 기판(200)을 위치시키고, 화소 기판(100)과 밀봉 기판(200) 사이에 밀봉재(310)를 위치시켜 화소 기판(100)과 밀봉 기판(200)을 서로 부착한다.

[0127] 본 발명을 앞서 기재한 바에 따라 바람직한 실시예를 통해 설명하였지만, 본 발명은 이에 한정되지 않으며 다음에 기재하는 특허청구범위의 개념과 범위를 벗어나지 않는 한, 다양한 수정 및 변형이 가능하다는 것을 본 발명이 속하는 기술 분야에 종사하는 자들은 쉽게 이해할 것이다.

부호의 설명

[0128] 29: 시각 차단 부재 129: 팬아웃 배선

100: 화소 기판 121: 스캔선

122: 전단 스캔선 123: 발광 제어선

128: 바이패스 제어선 155a: 구동 게이트 전극

155b: 스위칭 게이트 전극 131a: 구동 채널

132b: 스위칭 채널 141: 제1 절연막

142: 제2 절연막 160: 제3 절연막

160a: 밀봉 홈 161: 제3 무기 절연막

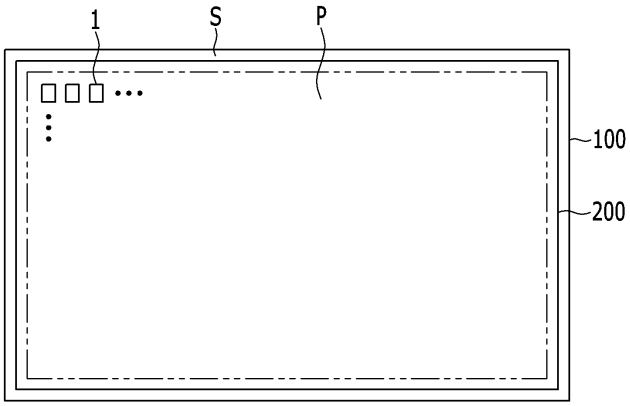
162: 제3 유기 절연막 171: 데이터선

172: 구동 전압선　200: 밀봉 기판

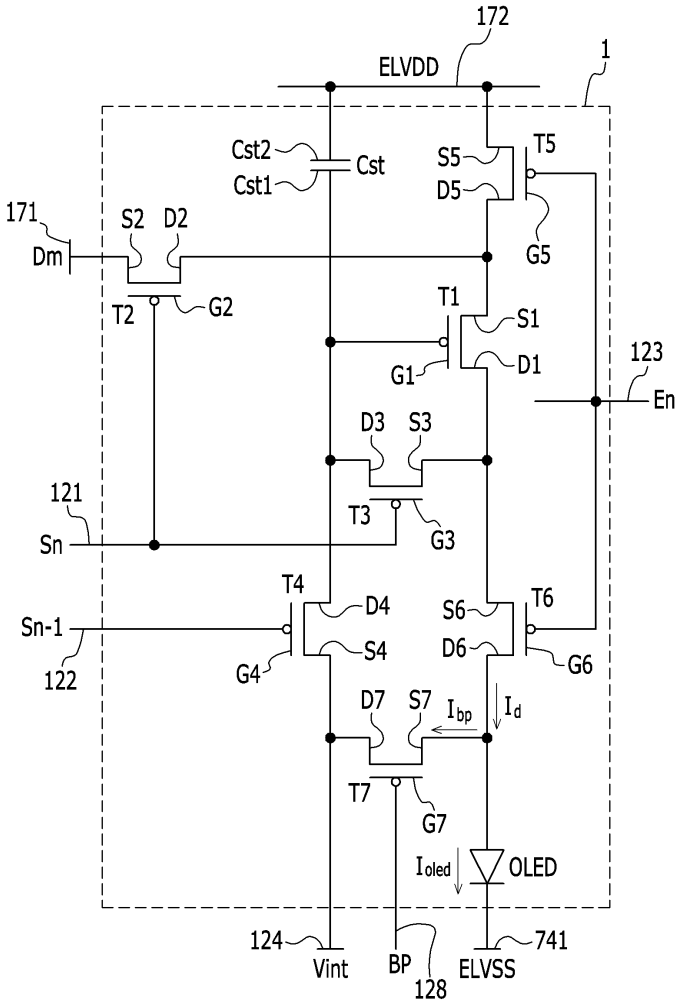
310: 밀봉재　400: 주변 전위 전압선

도면

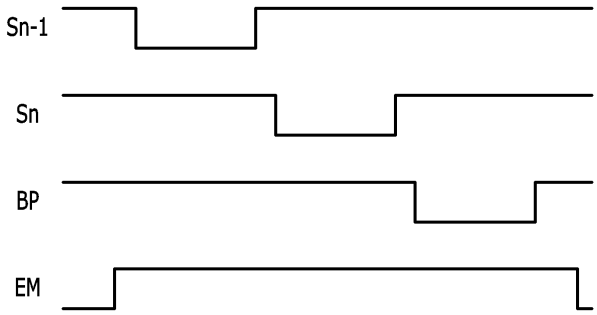
도면1



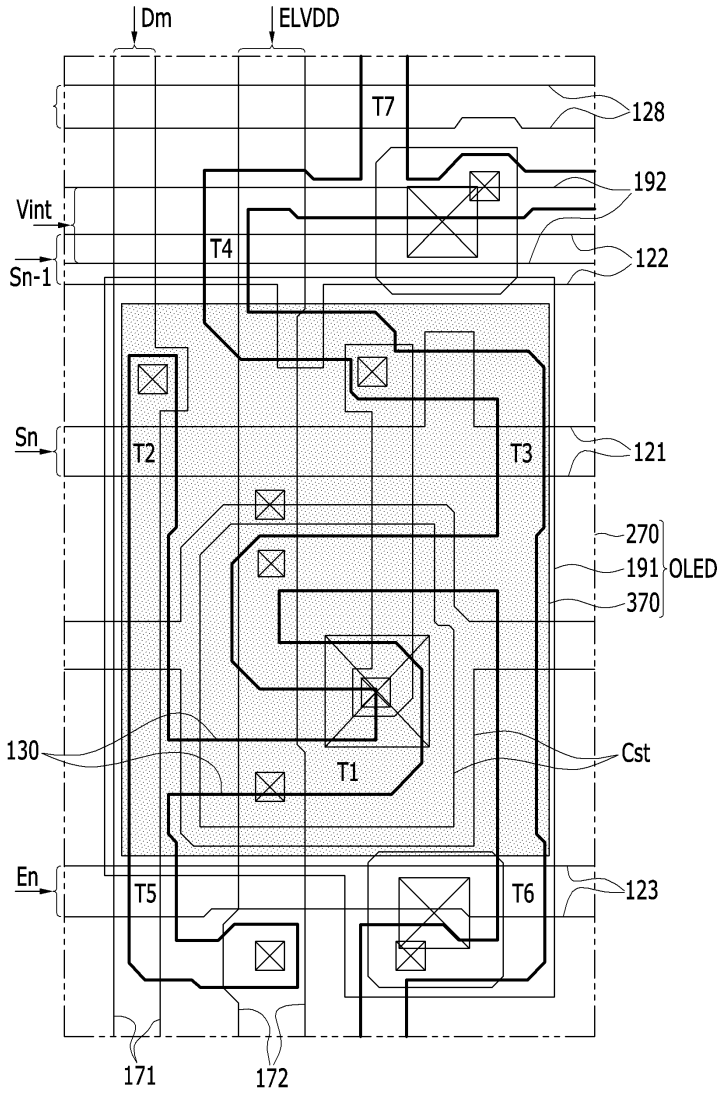
도면2



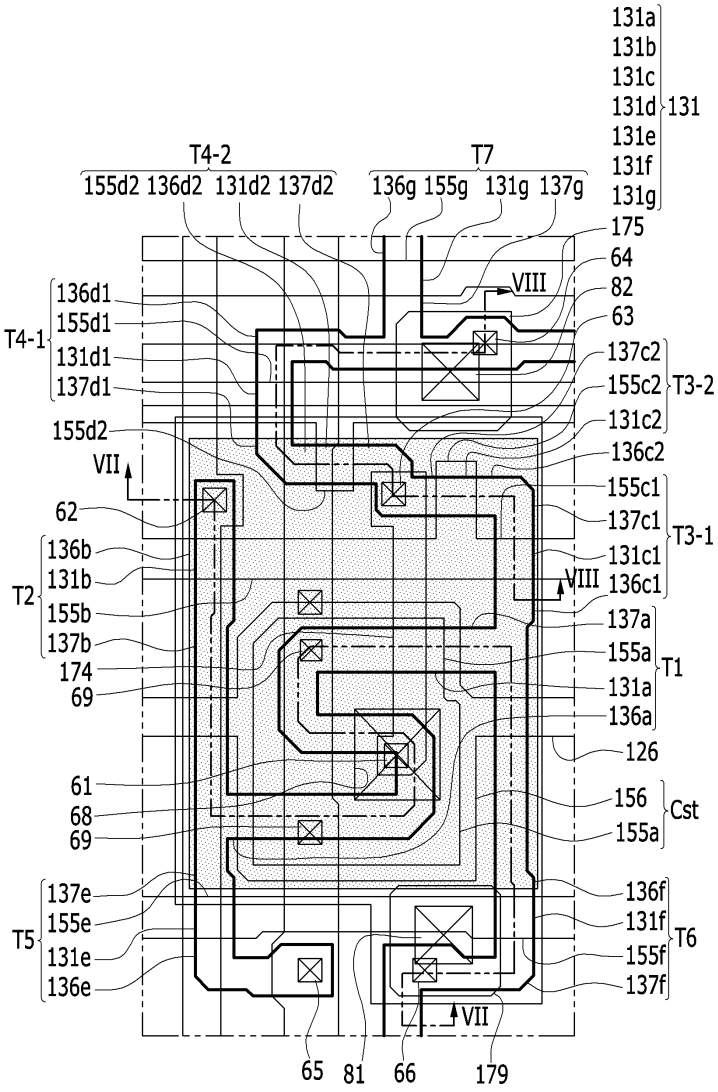
도면3


Sn-1
Sn
BP
EM

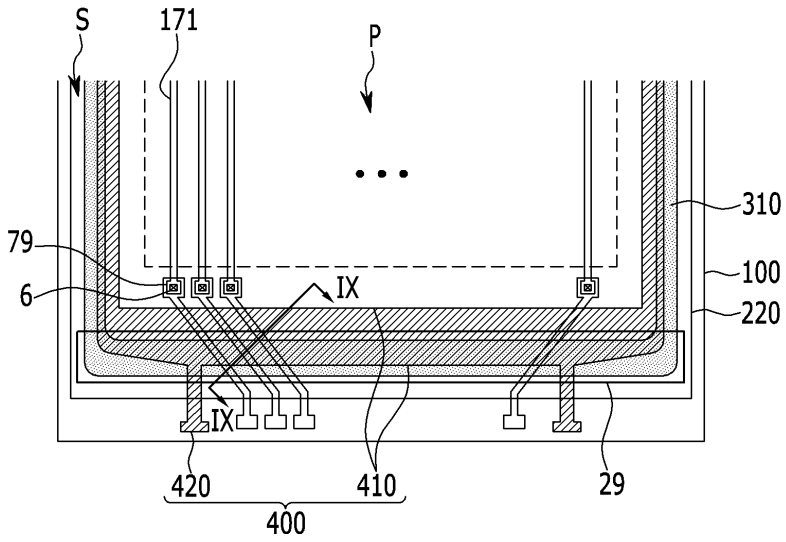
도면4


Dm
ELVDD
T7
128
192
Vint
T4
122
Sn-1
Sn
T2
T3
121
270
191
OLED
370
130
T1
Cst
En
T5
T6
123
171
172

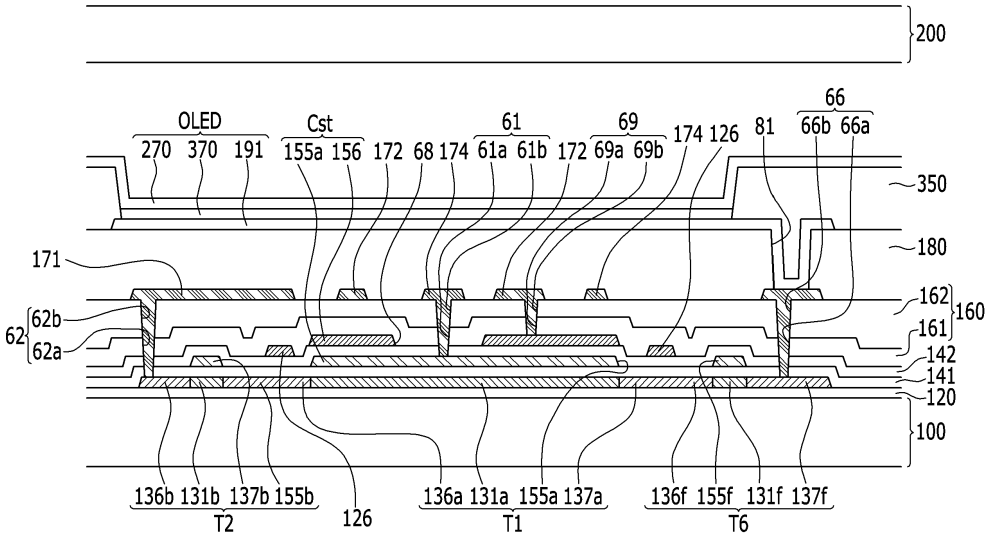
도면5


131a
131b
131c
131d
131
131e
131f
131g
T4-2
155d2 136d2 131d2 137d2
T7
136g 155g 131g 137g
175
64
82
63
VIII
136d1
155d1
131d1
137d1
T4-1
137c2
155c2
131c2
T3-2
155d2
VII
136c2
155c1
137c1
131c1
136c1
T3-1
62
136b
131b
155b
137b
T2
VIII
137a
155a
131a
136a
T1
174
69
126
61
68
69
156
155a
Cst
137e
155e
131e
136e
T5
136f
131f
155f
137f
T6
VII
65
81
66
179

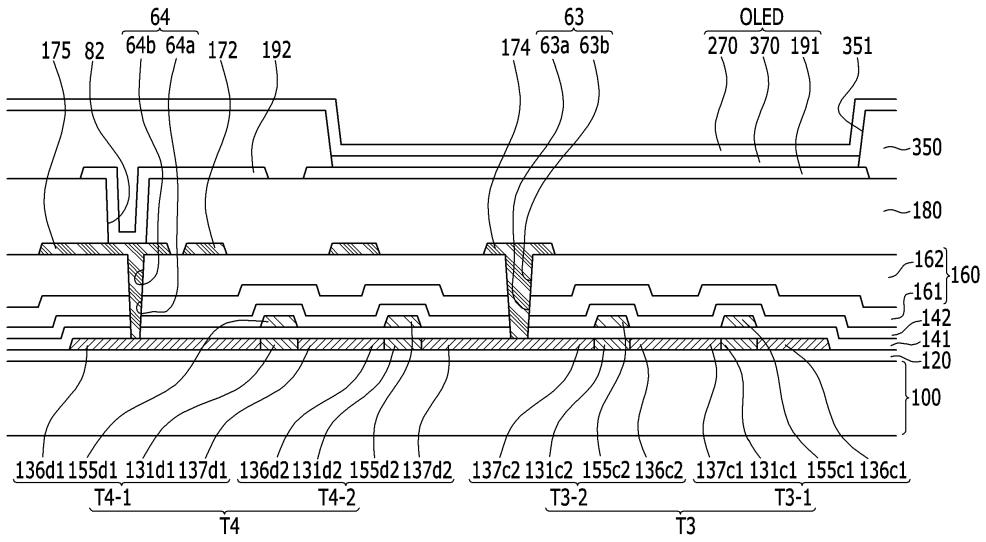
도면6


S
171
P
310
79
6
IX
100
220
IX
420
410
29
400

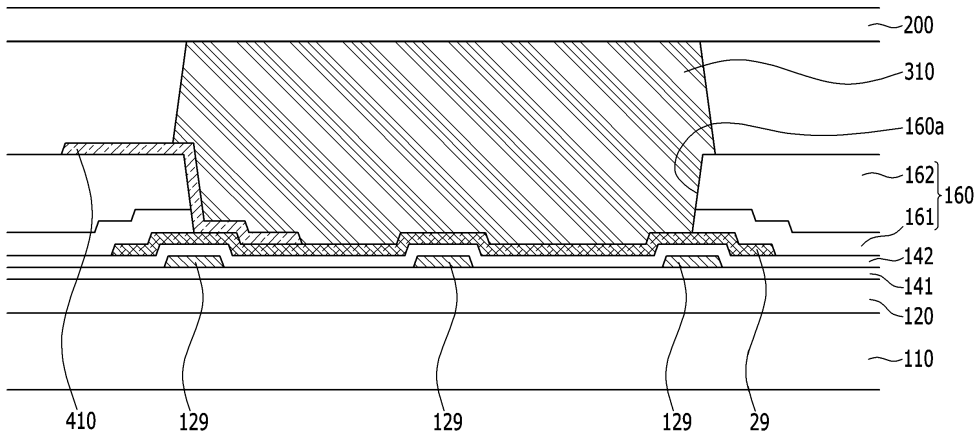
도면7


200
OLED
270 370 191
Cst
155a 156
172 68 174
61
61a 61b
172
69
69a 69b
174 126
81
66
66b 66a
350
180
171
62
62b
62a
162
161
160
142
141
120
100
136b 131b 137b 155b
T2
126
136a 131a 155a 137a
T1
136f 155f 131f 137f
T6

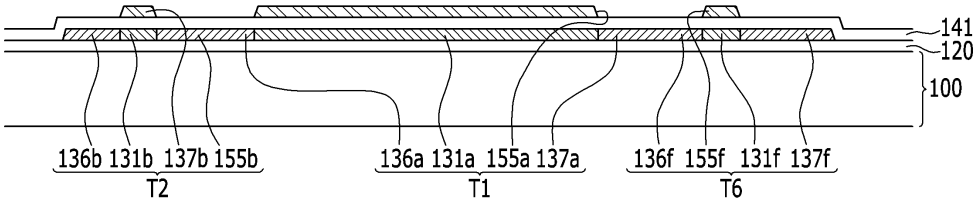
도면8


64
64b 64a
175 82
172
192
63
174 63a 63b
OLED
270 370 191
351
350
180
162
161
160
142
141
120
100
136d1 155d1 131d1 137d1
T4-1
136d2 131d2 155d2 137d2
T4-2
T4
137c2 131c2 155c2 136c2
T3-2
137c1 131c1 155c1 136c1
T3-1
T3

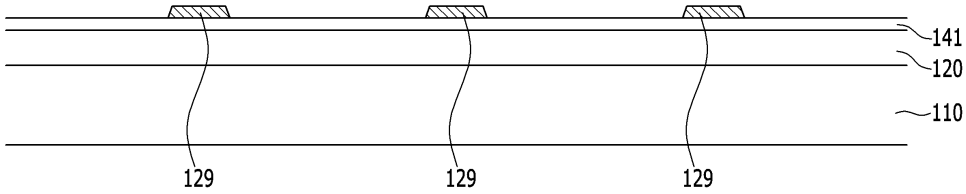
도면9


200
310
160a
162
161
160
142
141
120
110
410
129
129
129
29

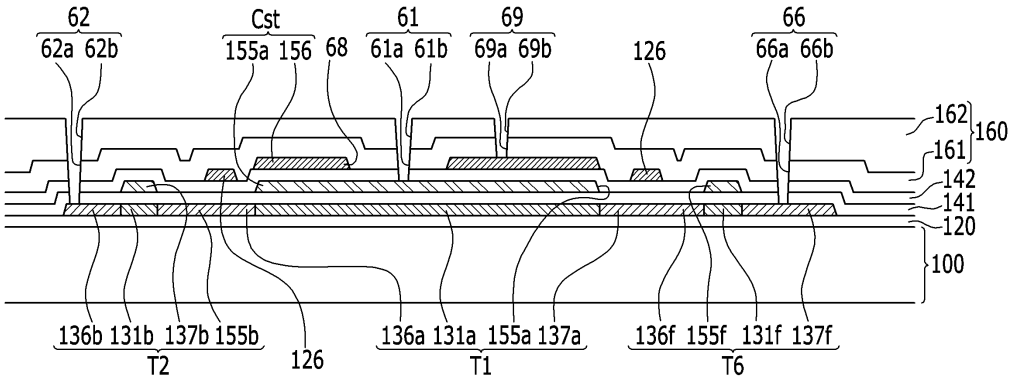
도면10



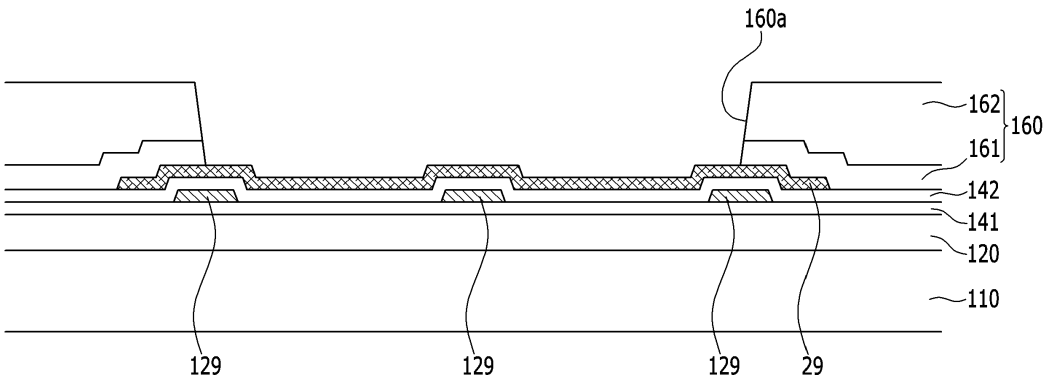
도면11



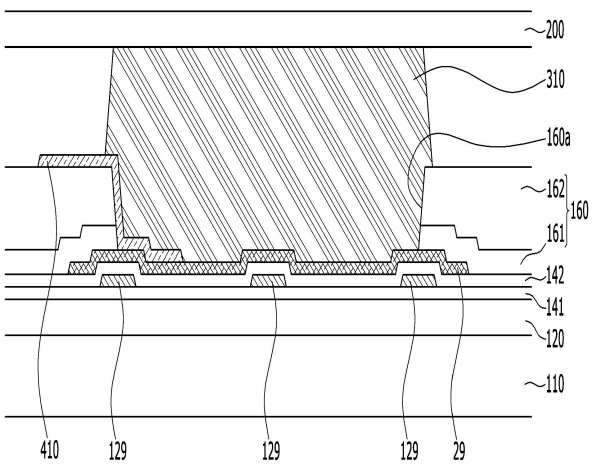
도면12



도면13



专利名称(译)	标题：OLED显示器及其制造方法		
公开(公告)号	KR1020160043574A	公开(公告)日	2016-04-22
申请号	KR1020140137543	申请日	2014-10-13
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	KIM DEUK JONG 김득종 PARK WON MO 박원모 YANG YONG HO 양용호		
发明人	김득종 박원모 양용호		
IPC分类号	H01L27/32 H01L51/50 H01L51/52 H01L51/56		
CPC分类号	H01L27/3276 H01L27/1222 H01L27/1225 H01L27/124 H01L27/1255		
外部链接	Espacenet		

摘要(译)

根据本发明的有机发光显示器包括用于显示图像的像素部分，包括围绕像素部分的外围部分的像素基板，覆盖像素基板的第一绝缘层，形成在外围部分的第一绝缘层上的风扇，布线，覆盖第一绝缘膜和扇出布线的第二绝缘膜，形成在周边部分的第二绝缘膜上并阻挡第二绝缘膜的过蚀刻角的蚀刻阻挡构件，形成在第一绝缘层上的第三绝缘层，形成在第三绝缘层上以传输电位电压的外围电位线，覆盖第三绝缘层的保护层，以及形成在像素部分的钝化层上的有机发光二极管，阻挡构件可以与扇出布线和外围电位电压线重叠。