



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0042363  
(43) 공개일자 2016년04월19일

(51) 국제특허분류(Int. Cl.)

H01L 27/32 (2006.01) H01L 51/50 (2006.01)

H01L 51/52 (2006.01) H01L 51/56 (2006.01)

(21) 출원번호 10-2014-0136205

(22) 출원일자 2014년10월08일

심사청구일자 없음

(71) 출원인

삼성디스플레이 주식회사

경기 용인시 기흥구 삼성로1(농서동)

(72) 발명자

김현태

충청남도 천안시 서북구 봉서산로 85, 107동 120  
4호 (불당동, 호반리첼시빌아파트)

(74) 대리인

팬코리아특허법인

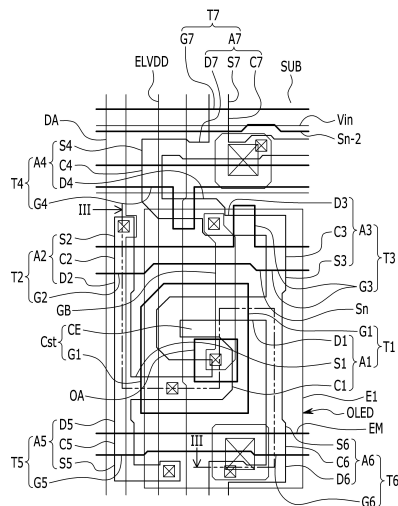
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 유기 발광 표시 장치 및 유기 발광 표시 장치의 제조 방법

### (57) 요약

유기 발광 표시 장치는 기판, 상기 기판 상에 위치하는 제1 액티브 패턴 및 상기 제1 액티브 패턴 상에 위치하는 제1 게이트 전극을 포함하는 제1 박막 트랜지스터, 상기 제1 액티브 패턴과 연결된 유기 발광 소자, 및 상기 제1 게이트 전극 상에서 상기 제1 게이트 전극과 중첩하고 있으며, 상기 제1 게이트 전극과 동일한 테두리를 가지는 커패시터 전극을 포함한다.

대표도 - 도2



## 명세서

### 청구범위

#### 청구항 1

기관;

상기 기관 상에 위치하는 제1 액티브 패턴 및 상기 제1 액티브 패턴 상에 위치하는 제1 게이트 전극을 포함하는 제1 박막 트랜지스터;

상기 제1 액티브 패턴과 연결된 유기 발광 소자; 및

상기 제1 게이트 전극 상에서 상기 제1 게이트 전극과 중첩하고 있으며, 상기 제1 게이트 전극과 동일한 테두리를 가지는 커패시터 전극

을 포함하는 유기 발광 표시 장치.

#### 청구항 2

제1항에서,

상기 제1 게이트 전극과 상기 커패시터 전극은 평면적으로 동일한 테두리를 가지는 유기 발광 표시 장치.

#### 청구항 3

제1항에서,

상기 제1 게이트 전극과 상기 커패시터 전극이 형성하는 커패시터를 더 포함하는 유기 발광 표시 장치.

#### 청구항 4

제1항에서,

상기 제1 게이트 전극과 상기 커패시터 전극 각각은 메탈(metal)로 형성되는 유기 발광 표시 장치.

#### 청구항 5

제1항에서,

상기 커패시터 전극은 섬(island) 형태를 가지는 유기 발광 표시 장치.

#### 청구항 6

제1항에서,

상기 제1 게이트 전극과 중첩하는 상기 제1 액티브 패턴의 채널 영역은 한 번 이상 절곡 연장된 형태를 가지는 유기 발광 표시 장치.

#### 청구항 7

제1항에서,

상기 제1 액티브 패턴과 연결된 제2 액티브 패턴 및 상기 제2 액티브 패턴 상에 위치하는 제2 게이트 전극을 포함하는 제2 박막 트랜지스터;

상기 제1 액티브 패턴과 상기 제1 게이트 전극 사이를 연결하는 제3 액티브 패턴 및 상기 제3 액티브 패턴 상에 위치하는 제3 게이트 전극을 포함하는 제3 박막 트랜지스터;

상기 제2 액티브 패턴 상에 위치하여 상기 제2 액티브 패턴 및 상기 제3 액티브 패턴 각각을 가로지르며, 상기 제2 게이트 전극 및 상기 제3 게이트 전극과 연결된 제1 스캔 라인;

상기 제1 스캔 라인 상에 위치하여 상기 제1 스캔 라인을 가로지르며, 상기 제2 액티브 패턴과 연결된 데이터

라인; 및

상기 제1 스캔 라인 상에 위치하여 상기 데이터 라인과 이격되어 상기 제1 스캔 라인을 가로지르며, 상기 커패시터 전극 및 상기 제1 액티브 패턴과 연결된 구동 전원 라인

을 더 포함하는 유기 발광 표시 장치.

#### 청구항 8

제7항에서,

상기 제1 스캔 라인 상에 위치하여 상기 구동 전원 라인과 이격되어 있으며, 상기 제3 액티브 패턴과 상기 제1 게이트 전극을 연결하는 게이트 브릿지를 더 포함하는 유기 발광 표시 장치.

#### 청구항 9

제8항에서,

상기 커패시터 전극은 상기 제1 게이트 전극의 일 부분을 노출하는 개구부를 포함하며, 상기 게이트 브릿지는 상기 개구부를 통해 상기 제1 게이트 전극과 연결된 유기 발광 표시 장치.

#### 청구항 10

제8항에서,

상기 제1 액티브 패턴, 상기 제2 액티브 패턴, 상기 제3 액티브 패턴 각각은 서로 동일한 층에 위치하며,

상기 데이터 라인, 상기 구동 전원 라인, 상기 게이트 브릿지 각각은 서로 동일한 층에 위치하는 유기 발광 표시 장치.

#### 청구항 11

제7항에서,

상기 제1 게이트 전극 및 제3 액티브 패턴과 연결된 제4 액티브 패턴 및 상기 제4 액티브 패턴 상에 위치하는 제4 게이트 전극을 포함하는 제4 박막 트랜지스터;

상기 제4 액티브 패턴 상에 위치하여 상기 제4 액티브 패턴을 가로지르며, 상기 제4 게이트 전극과 연결된 제2 스캔 라인; 및

상기 제2 스캔 라인 상에 위치하며, 상기 제4 액티브 패턴과 연결된 초기화 전원 라인

을 더 포함하는 유기 발광 표시 장치.

#### 청구항 12

제11항에서,

상기 제1 게이트 전극, 상기 제2 게이트 전극, 상기 제3 게이트 전극, 상기 제4 게이트 전극, 상기 제1 스캔 라인 및 상기 제2 스캔 라인 각각은 서로 동일한 층에 위치하는 유기 발광 표시 장치.

#### 청구항 13

제11항에서,

상기 제4 액티브 패턴과 연결된 제7 액티브 패턴 및 상기 제7 액티브 패턴 상에 위치하는 제7 게이트 전극을 포함하는 제7 박막 트랜지스터; 및

상기 제7 액티브 패턴 상에 위치하여 상기 제7 액티브 패턴을 가로지르며, 상기 제7 게이트 전극과 연결된 제3 스캔 라인

을 더 포함하는 유기 발광 표시 장치.

#### 청구항 14

제7항에서,

상기 제1 액티브 패턴과 상기 구동 전원 라인 사이를 연결하는 제5 액티브 패턴 및 상기 제5 액티브 패턴 상에 위치하는 제5 게이트 전극을 포함하는 제5 박막 트랜지스터;

상기 제1 액티브 패턴과 상기 유기 발광 소자 사이를 연결하는 제6 액티브 패턴 및 상기 제6 액티브 패턴 상에 위치하는 제6 게이트 전극을 포함하는 제6 박막 트랜지스터; 및

상기 제5 액티브 패턴 및 상기 제6 액티브 패턴 각각의 상에 위치하여 상기 제5 액티브 패턴 및 상기 제6 액티브 패턴 각각을 가로지르며, 상기 제5 게이트 전극 및 상기 제6 게이트 전극 각각과 연결된 발광 제어 라인을 더 포함하는 유기 발광 표시 장치.

#### 청구항 15

제14항에서,

상기 제1 게이트 전극, 상기 제2 게이트 전극, 상기 제3 게이트 전극, 상기 제5 게이트 전극, 상기 제6 게이트 전극, 상기 발광 제어 라인 각각은 서로 동일한 층에 위치하는 유기 발광 표시 장치.

#### 청구항 16

기판 상에 제1 액티브 패턴 및 상기 제1 액티브 패턴과 연결된 제2 액티브 패턴을 형성하는 단계;

상기 제1 액티브 패턴 및 상기 제2 액티브 패턴 상에 제1 금속층, 절연층, 및 제2 금속층을 순차적으로 형성하는 단계;

상기 제1 액티브 패턴에 대응하는 상기 제2 금속층 상에 제1 두께를 가지는 제1 포토레지스트 패턴을 형성하고, 상기 제2 액티브 패턴에 대응하는 상기 제2 금속층 상에 상기 제1 두께 대비 얇은 제2 두께를 가지는 제2 포토레지스트 패턴을 형성하는 단계;

상기 제1 포토레지스트 패턴 및 상기 제2 포토레지스트 패턴 각각을 마스크로 이용하여 상기 제1 금속층, 상기 절연층, 상기 제2 금속층을 식각하는 단계;

상기 기판 전체에 걸쳐서 에칭 공정을 수행하여 상기 제2 포토레지스트 패턴을 제거하여 상기 제2 액티브 패턴 상에 위치하는 상기 제2 금속층을 노출하는 단계;

상기 제2 액티브 패턴 상에 위치하는 상기 절연층 및 상기 제2 금속층을 제거하는 단계

를 포함하는 유기 발광 표시 장치의 제조 방법.

#### 청구항 17

제16항에서,

상기 제1 포토레지스트 패턴 및 상기 제2 포토레지스트 패턴은 형성하는 단계는 하프톤 마스크를 이용해 수행하는 유기 발광 표시 장치의 제조 방법.

#### 청구항 18

제16항에서,

상기 제1 금속층, 상기 절연층, 상기 제2 금속층을 식각하는 단계는 건식 식각을 이용해 수행하는 유기 발광 표시 장치의 제조 방법.

#### 청구항 19

제18항에서,

상기 제1 금속층, 상기 절연층, 상기 제2 금속층을 식각하는 단계는 상기 제1 액티브 패턴 상에 상기 제1 금속층으로부터 제1 게이트 전극을 형성하고 상기 제2 금속층으로부터 상기 제1 게이트 전극과 동일한 테두리를 가지는 커패시터 전극을 형성하는 동시에, 제2 액티브 패턴 상에 상기 제1 금속층으로부터 제2 게이트 전극을 형성하는 유기 발광 표시 장치의 제조 방법.

## 청구항 20

제19항에서,

상기 제2 금속층을 제거하는 단계는 상기 제2 게이트 전극 상에 위치하는 상기 절연층 및 상기 제2 금속층을 제거하는 유기 발광 표시 장치의 제조 방법.

## 발명의 설명

### 기술 분야

[0001] 본 발명은 유기 발광 표시 장치 및 유기 발광 표시 장치의 제조 방법에 관한 것으로서, 보다 상세하게는 복수의 박막 트랜지스터 및 커패시터를 포함하는 유기 발광 표시 장치 및 유기 발광 표시 장치의 제조 방법에 관한 것이다.

### 배경 기술

[0002] 일반적으로, 평판 표시 장치의 대표적인 예로서, 유기 발광 표시 장치(organic light emitting display), 액정 표시 장치(liquid crystal display) 및 플라즈마 디스플레이 패널(plasma display panel) 등이 있다.

[0003] 이 중, 유기 발광 표시 장치는 복수의 박막 트랜지스터, 커패시터 및 복수의 배선들을 포함한다.

[0004] 종래의 유기 발광 표시 장치는 복수의 박막 트랜지스터, 커패시터 및 복수의 배선들을 포함함으로써, 복수의 마스크를 이용해 제조하였다.

## 발명의 내용

### 해결하려는 과제

[0005] 본 발명의 일 실시예는, 제조 시 이용되는 마스크의 수가 절감된 유기 발광 표시 장치 및 유기 발광 표시 장치의 제조 방법을 제공하고자 한다.

[0006] 또한, 제조 시간 및 제조 비용이 절감된 유기 발광 표시 장치 및 유기 발광 표시 장치의 제조 방법을 제공하고자 한다.

### 과제의 해결 수단

[0007] 상술한 기술적 과제를 달성하기 위한 본 발명의 일 측면은 기판, 상기 기판 상에 위치하는 제1 액티브 패턴 및 상기 제1 액티브 패턴 상에 위치하는 제1 게이트 전극을 포함하는 제1 박막 트랜지스터, 상기 제1 액티브 패턴과 연결된 유기 발광 소자, 및 상기 제1 게이트 전극 상에서 상기 제1 게이트 전극과 중첩하고 있으며, 상기 제1 게이트 전극과 동일한 테두리를 가지는 커패시터 전극을 포함하는 유기 발광 표시 장치를 제공한다.

[0008] 상기 제1 게이트 전극과 상기 커패시터 전극은 평면적으로 동일한 테두리를 가질 수 있다.

[0009] 상기 제1 게이트 전극과 상기 커패시터 전극이 형성하는 커패시터를 더 포함할 수 있다.

[0010] 상기 제1 게이트 전극과 상기 커패시터 전극 각각은 메탈(metal)로 형성될 수 있다.

[0011] 상기 커패시터 전극은 섬(island) 형태를 가질 수 있다.

[0012] 상기 제1 게이트 전극과 중첩하는 상기 제1 액티브 패턴의 채널 영역은 한 번 이상 절곡 연장된 형태를 가질 수 있다.

[0013] 상기 제1 액티브 패턴과 연결된 제2 액티브 패턴 및 상기 제2 액티브 패턴 상에 위치하는 제2 게이트 전극을 포함하는 제2 박막 트랜지스터, 상기 제1 액티브 패턴과 상기 제1 게이트 전극 사이를 연결하는 제3 액티브 패턴 및 상기 제3 액티브 패턴 상에 위치하는 제3 게이트 전극을 포함하는 제3 박막 트랜지스터, 상기 제2 액티브 패턴 상에 위치하여 상기 제2 액티브 패턴 및 상기 제3 액티브 패턴 각각을 가로지르며, 상기 제2 게이트 전극 및 상기 제3 게이트 전극과 연결된 제1 스캔 라인, 상기 제1 스캔 라인 상에 위치하여 상기 제1 스캔 라인을 가로지르며, 상기 제2 액티브 패턴과 연결된 데이터 라인, 및 상기 제1 스캔 라인 상에 위치하여 상기 데이터 라인과 이격되어 상기 제1 스캔 라인을 가로지르며, 상기 커패시터 전극 및 상기 제1 액티브 패턴과 연결된 구동 전

원 라인을 더 포함할 수 있다.

- [0014] 상기 제1 스캔 라인 상에 위치하여 상기 구동 전원 라인과 이격되어 있으며, 상기 제3 액티브 패턴과 상기 제1 게이트 전극을 연결하는 게이트 브릿지를 더 포함할 수 있다.
- [0015] 상기 커패시터 전극은 상기 제1 게이트 전극의 일 부분을 노출하는 개구부를 포함하며, 상기 게이트 브릿지는 상기 개구부를 통해 상기 제1 게이트 전극과 연결될 수 있다.
- [0016] 상기 제1 액티브 패턴, 상기 제2 액티브 패턴, 상기 제3 액티브 패턴 각각은 서로 동일한 층에 위치하며, 상기 데이터 라인, 상기 구동 전원 라인, 상기 게이트 브릿지 각각은 서로 동일한 층에 위치할 수 있다.
- [0017] 상기 제1 게이트 전극 및 제3 액티브 패턴과 연결된 제4 액티브 패턴 및 상기 제4 액티브 패턴 상에 위치하는 제4 게이트 전극을 포함하는 제4 박막 트랜지스터, 상기 제4 액티브 패턴 상에 위치하여 상기 제4 액티브 패턴을 가로지르며, 상기 제4 게이트 전극과 연결된 제2 스캔 라인, 및 상기 제2 스캔 라인 상에 위치하며, 상기 제4 액티브 패턴과 연결된 초기화 전원 라인을 더 포함할 수 있다.
- [0018] 상기 제1 게이트 전극, 상기 제2 게이트 전극, 상기 제3 게이트 전극, 상기 제4 게이트 전극, 상기 제1 스캔 라인 및 상기 제2 스캔 라인 각각은 서로 동일한 층에 위치할 수 있다.
- [0019] 상기 제4 액티브 패턴과 연결된 제7 액티브 패턴 및 상기 제7 액티브 패턴 상에 위치하는 제7 게이트 전극을 포함하는 제7 박막 트랜지스터, 및 상기 제7 액티브 패턴 상에 위치하여 상기 제7 액티브 패턴을 가로지르며, 상기 제7 게이트 전극과 연결된 제3 스캔 라인을 더 포함할 수 있다.
- [0020] 상기 제1 액티브 패턴과 상기 구동 전원 라인 사이를 연결하는 제5 액티브 패턴 및 상기 제5 액티브 패턴 상에 위치하는 제5 게이트 전극을 포함하는 제5 박막 트랜지스터, 상기 제1 액티브 패턴과 상기 유기 발광 소자 사이를 연결하는 제6 액티브 패턴 및 상기 제6 액티브 패턴 상에 위치하는 제6 게이트 전극을 포함하는 제6 박막 트랜지스터, 및 상기 제5 액티브 패턴 및 상기 제6 액티브 패턴 각각의 상에 위치하여 상기 제5 액티브 패턴 및 상기 제6 액티브 패턴 각각을 가로지르며, 상기 제5 게이트 전극 및 상기 제6 게이트 전극 각각과 연결된 발광 제어 라인을 더 포함할 수 있다.
- [0021] 상기 제1 게이트 전극, 상기 제2 게이트 전극, 상기 제3 게이트 전극, 상기 제5 게이트 전극, 상기 제6 게이트 전극, 상기 발광 제어 라인 각각은 서로 동일한 층에 위치할 수 있다.
- [0022] 또한, 본 발명의 다른 측면은 기판 상에 제1 액티브 패턴 및 상기 제1 액티브 패턴과 연결된 제2 액티브 패턴을 형성하는 단계, 상기 제1 액티브 패턴 및 상기 제2 액티브 패턴 상에 제1 금속층, 절연층, 및 제2 금속층을 순차적으로 형성하는 단계, 상기 제1 액티브 패턴에 대응하는 상기 제2 금속층 상에 제1 두께를 가지는 제1 포토레지스트 패턴을 형성하고, 상기 제2 액티브 패턴에 대응하는 상기 제2 금속층 상에 상기 제1 두께 대비 얇은 제2 두께를 가지는 제2 포토레지스트 패턴을 형성하는 단계, 상기 제1 포토레지스트 패턴 및 상기 제2 포토레지스트 패턴 각각을 마스크로 이용하여 상기 제1 금속층, 상기 절연층, 상기 제2 금속층을 식각하는 단계, 상기 기판 전체에 걸쳐서 에칭 공정을 수행하여 상기 제2 포토레지스트 패턴을 제거하여 상기 제2 액티브 패턴 상에 위치하는 상기 제2 금속층을 노출하는 단계, 상기 제2 액티브 패턴 상에 위치하는 상기 절연층 및 상기 제2 금속층을 제거하는 단계를 포함하는 유기 발광 표시 장치의 제조 방법을 제공한다.
- [0023] 상기 제1 포토레지스트 패턴 및 상기 제2 포토레지스트 패턴은 형성하는 단계는 하프톤 마스크를 이용해 수행할 수 있다.
- [0024] 상기 제1 금속층, 상기 절연층, 상기 제2 금속층을 식각하는 단계는 건식 식각을 이용해 수행할 수 있다.
- [0025] 상기 제1 금속층, 상기 절연층, 상기 제2 금속층을 식각하는 단계는 상기 제1 액티브 패턴 상에 상기 제1 금속층으로부터 제1 게이트 전극을 형성하고 상기 제2 금속층으로부터 상기 제1 게이트 전극과 동일한 테두리를 가지는 커패시터 전극을 형성하는 동시에, 제2 액티브 패턴 상에 상기 제1 금속층으로부터 제2 게이트 전극을 형성할 수 있다.
- [0026] 상기 제2 금속층을 제거하는 단계는 상기 제2 게이트 전극 상에 위치하는 상기 절연층 및 상기 제2 금속층을 제거할 수 있다.

### 발명의 효과

- [0027] 상술한 본 발명의 과제 해결 수단의 일부 실시예 중 하나에 의하면, 제조 시 이용되는 마스크의 수가 절감된 유

기 발광 표시 장치 및 유기 발광 표시 장치의 제조 방법이 제공된다.

[0028] 또한, 제조 시간 및 제조 비용이 절감된 유기 발광 표시 장치 및 유기 발광 표시 장치의 제조 방법이 제공된다.

### 도면의 간단한 설명

[0029] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 화소를 나타낸 회로도이다.

도 2는 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 화소를 나타낸 배치도이다.

도 3은 도 2의 III-III을 따른 단면도이다.

도 4는 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 제조 방법을 나타낸 순서도이다.

도 5 내지 도 10은 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 제조 방법을 설명하기 위한 도면들이다.

### 발명을 실시하기 위한 구체적인 내용

[0030] 이하, 첨부한 도면을 참고로 하여 본 발명의 여러 실시예들에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예들에 한정되지 않는다.

[0031] 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 동일 또는 유사한 구성요소에 대해서는 동일한 참조 부호를 붙이도록 한다.

[0032] 또한, 여러 실시예들에 있어서, 동일한 구성을 가지는 구성요소에 대해서는 동일한 부호를 사용하여 대표적으로 일 실시예에서 설명하고, 그 외의 실시예에서는 일 실시예와 다른 구성에 대해서만 설명하기로 한다.

[0033] 또한, 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로, 본 발명이 반드시 도시된 바에 한정되지 않는다.

[0034] 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 그리고 도면에서, 설명의 편의를 위해, 일부 층 및 영역의 두께를 과장되게 나타내었다. 층, 막, 영역, 판 등의 부분이 다른 부분 "상에" 있다고 할 때, 이는 다른 부분 "바로 상에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다.

[0035] 또한, 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함" 한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다. 또한, 명세서 전체에서, "~상에"라 함은 대상 부분의 위 또는 아래에 위치함을 의미하는 것이며, 반드시 중력 방향을 기준으로 상 측에 위치하는 것을 의미하는 것은 아니다.

[0036] 이하, 도 1 내지 도 3을 참조하여 본 발명의 일 실시예에 따른 유기 발광 표시 장치를 설명한다.

[0037] 이하, 도 1을 참조하여 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 화소의 회로를 설명한다. 여기서, 화소는 이미지를 표시하는 최소 단위를 의미할 수 있다.

[0038] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 화소를 나타낸 회로도이다.

[0039] 도 1에 도시된 바와 같이, 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 하나의 화소(Px)는 복수의 박막 트랜지스터(T1, T2, T3, T4, T5, T6, T7), 복수의 박막 트랜지스터(T1, T2, T3, T4, T5, T6, T7)에 선택적으로 연결되는 복수의 배선(Sn, Sn-1, Sn-2, EM, Vin, DA, ELVDD), 커패시터(Cst), 유기 발광 소자(OLED)를 포함한다.

[0040] 복수의 박막 트랜지스터(T1, T2, T3, T4, T5, T6, T7)는 제1 박막 트랜지스터(T1), 제2 박막 트랜지스터(T2), 제3 박막 트랜지스터(T3), 제4 박막 트랜지스터(T4), 제5 박막 트랜지스터(T5), 제6 박막 트랜지스터(T6), 제7 박막 트랜지스터(T7)를 포함한다.

[0041] 제1 박막 트랜지스터(T1)의 제1 게이트 전극(G1)은 제3 박막 트랜지스터(T3)의 제3 드레인 전극(D3) 및 제4 박막 트랜지스터(T4)의 제4 드레인 전극(D4) 각각에 연결되어 있고, 제1 소스 전극(S1)은 제2 박막 트랜지스터(T2)의 제2 드레인 전극(D2) 및 제5 박막 트랜지스터(T5)의 제5 드레인 전극(D5)에 연결되어 있고, 제1 드레인 전극(D1)은 제3 박막 트랜지스터(T3)의 제3 소스 전극(S3) 및 제6 박막 트랜지스터(T6)의 제6 소스 전극(S6) 각

각에 연결되어 있다.

- [0042] 제2 박막 트랜지스터(T2)의 제2 게이트 전극(G2)은 제1 스캔 라인(Sn)과 연결되어 있고, 제2 소스 전극(S2)은 데이터 라인(DA)과 연결되어 있으며, 제2 드레인 전극(D2)은 제1 박막 트랜지스터(T1)의 제1 소스 전극(S1)과 연결되어 있다.
- [0043] 제3 박막 트랜지스터(T3)의 제3 게이트 전극(G3)은 제1 스캔 라인(Sn)과 연결되어 있고, 제3 소스 전극(S3)은 제1 박막 트랜지스터(T1)의 제1 드레인 전극(D1)과 연결되어 있으며, 제3 드레인 전극(D3)은 제1 박막 트랜지스터(T1)의 제1 게이트 전극(G1)과 연결되어 있다.
- [0044] 제4 박막 트랜지스터(T4)의 제4 게이트 전극(G4)은 제2 스캔 라인(Sn-1)과 연결되어 있고, 제4 소스 전극(S4)은 초기화 전원 라인(Vin)과 연결되어 있으며, 제4 드레인 전극(D4)은 제1 박막 트랜지스터(T1)의 제1 게이트 전극(G1)과 연결되어 있다.
- [0045] 제5 박막 트랜지스터(T5)의 제5 게이트 전극(G5)은 발광 제어 라인(EM)과 연결되어 있고, 제5 소스 전극(S5)은 구동 전원 라인(ELVDD)과 연결되어 있으며, 제5 드레인 전극(D5)은 제1 박막 트랜지스터(T1)의 제1 소스 전극(S1)과 연결되어 있다.
- [0046] 제6 박막 트랜지스터(T6)의 제6 게이트 전극(G6)은 발광 제어 라인(EM)과 연결되어 있으며, 제6 소스 전극(S6)은 제1 박막 트랜지스터(T1)의 제1 드레인 전극(D1)과 연결되어 있다.
- [0047] 제7 박막 트랜지스터(T7)의 제7 게이트 전극(G7)은 제3 스캔 라인(Sn-2)과 연결되어 있고, 제7 소스 전극(S7)은 유기 발광 소자(OLED)와 연결되어 있으며, 제7 드레인 전극(D7)은 제4 박막 트랜지스터(T4)의 제4 소스 전극(S4)과 연결되어 있다.
- [0048] 복수의 배선들은 제2 박막 트랜지스터(T2) 및 제3 박막 트랜지스터(T3) 각각의 제2 게이트 전극(G2) 및 제3 게이트 전극(G3) 각각에 제1 스캔 신호를 전달하는 제1 스캔 라인(Sn), 제4 박막 트랜지스터(T4)의 제4 게이트 전극(G4)에 제2 스캔 신호를 전달하는 제2 스캔 라인(Sn-1), 제7 박막 트랜지스터(T7)의 제7 게이트 전극(G7)에 제3 스캔 신호를 전달하는 제3 스캔 라인(Sn-2), 제5 박막 트랜지스터(T5) 및 제6 박막 트랜지스터(T6) 각각의 제5 게이트 전극(G5) 및 제6 게이트 전극(G6) 각각에 발광 제어 신호를 전달하는 발광 제어 라인(EM), 제2 박막 트랜지스터(T2)의 제2 소스 전극(S2)에 데이터 신호를 전달하는 데이터 라인(DA), 커패시터(Cst)의 일 전극 및 제5 박막 트랜지스터(T5)의 제5 소스 전극(S5) 각각에 구동 신호를 공급하는 구동 전원 라인(ELVDD), 제4 박막 트랜지스터(T4)의 제4 소스 전극(S4)에 초기화 신호를 공급하는 초기화 전원 라인(Vin)을 포함한다.
- [0049] 커패시터(Cst)는 구동 전원 라인(ELVDD)과 연결된 일 전극 및 제1 게이트 전극(G1) 및 제3 박막 트랜지스터(T3)의 제3 드레인 전극(D3)과 연결된 타 전극을 포함한다.
- [0050] 유기 발광 소자(OLED)는 제1 전극, 제1 전극 상에 위치하는 제2 전극, 제1 전극과 제2 전극 사이에 위치하는 유기 발광층을 포함한다. 유기 발광 소자(OLED)의 제1 전극은 제7 박막 트랜지스터(T7)의 제7 소스 전극(S7) 및 제6 박막 트랜지스터(T6)의 제6 드레인 전극(D6) 각각과 연결되어 있으며, 제2 전극은 공통 신호가 전달되는 공통 전원(ELVSS)과 연결된다.
- [0051] 이러한 화소 회로는 구동의 일례로서, 우선, 제3 스캔 라인(Sn-2)에 제3 스캔 신호가 전달되어 제7 박막 트랜지스터(T7)가 턴 온(turn on)되면, 유기 발광 소자(OLED)의 제1 전극에 흐르는 잔류 전류가 제7 박막 트랜지스터(T7)를 통해 제4 박막 트랜지스터(T4)로 빠져나감으로써, 유기 발광 소자(OLED)의 제1 전극에 흐르는 잔류 전류에 의한 유기 발광 소자(OLED)의 의도치 않은 발광이 억제된다.
- [0052] 다음, 제2 스캔 라인(Sn-1)에 제2 스캔 신호가 전달되고, 초기화 전원 라인(Vin)에 초기화 신호가 전달되면, 제4 박막 트랜지스터(T4)가 턴 온되어 초기화 신호에 의한 초기화 전압이 제4 박막 트랜지스터(T4)를 통해 제1 박막 트랜지스터(T1)의 제1 게이트 전극(G1) 및 커패시터(Cst)의 타 전극에 공급되며, 이로 인해 제1 게이트 전극(G1) 및 커패시터(Cst)가 초기화된다. 이때, 제1 게이트 전극(G1)이 초기화되면서 제1 박막 트랜지스터(T1)가 턴 온된다.
- [0053] 다음, 제1 스캔 라인(Sn)에 제1 스캔 신호가 전달되고, 데이터 라인(DA)에 데이터 신호가 전달되면, 제2 박막 트랜지스터(T2) 및 제3 박막 트랜지스터(T3) 각각이 턴 온되어 데이터 신호에 의한 데이터 전압(Vd)이 제2 박막 트랜지스터(T2), 제1 박막 트랜지스터(T1), 제3 박막 트랜지스터(T3)를 통해 제1 게이트 전극(G1)에 공급된다. 이때, 제1 게이트 전극(G1)에 공급되는 전압은 최초 데이터 라인(DA)으로부터 공급된 데이터 전압(Vd)으로부터 제1 박막 트랜지스터(T1)의 문턱 전압(Threshold voltage,  $V_{th}$ )만큼 감소한 보상 전압( $V_d + V_{th}$ ,  $V_{th}$ 는 (-)의

값}이 공급된다. 제1 게이트 전극(G1)에 공급되는 보상 전압( $V_d+V_{th}$ )은 제1 게이트 전극(G1)에 연결된 커패시터(Cst)의 타 전극에도 공급된다.

[0054] 다음, 커패시터(Cst)의 일 전극에는 구동 전원 라인(ELVDD)으로부터 구동 신호에 의한 구동 전압( $V_{el}$ )이 공급되고, 타 전극에는 상술한 보상 전압( $V_d+V_{th}$ )이 공급됨으로써, 커패시터(Cst)에는 양 전극에 각각에 인가되는 전압 차에 대응하는 전하가 저장되어 일정 시간 동안 제1 박막 트랜지스터(T1)가 턴 온된다.

[0055] 다음, 발광 제어 라인(EM)에 발광 제어 신호가 인가되면, 제5 박막 트랜지스터(T5) 및 제6 박막 트랜지스터(T6) 각각이 턴 온되어 구동 전원 라인(ELVDD)으로부터 구동 신호에 의한 구동 전압( $V_{el}$ )이 제5 박막 트랜지스터(T5)를 통해 제1 박막 트랜지스터(T1)로 공급된다.

[0056] 그러면, 구동 전압( $V_{el}$ )이 커패시터(Cst)에 의해 턴 온되어 있는 제1 박막 트랜지스터(T1)를 통과하면서, 커패시터(Cst)에 의해 제1 게이트 전극(G1)에 공급되는 전압과 구동 전압( $V_{el}$ ) 간의 전압차에 대응하는 구동 전류( $I_d$ )가 제1 박막 트랜지스터(T1)의 제1 드레인 전극(D1)을 흐르게 되고, 이 구동 전류( $I_d$ )가 제6 박막 트랜지스터(T6)를 통해 유기 발광 소자(OLED)로 공급되어 유기 발광 소자(OLED) 일정 시간 동안 발광된다.

[0057] 한편, 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 화소 회로는 제1 박막 트랜지스터(T1) 내지 제7 박막 트랜지스터(T7), 커패시터(Cst), 제1 스캔 라인( $S_n$ ) 내지 제3 스캔 라인( $S_{n-2}$ ), 데이터 라인(DA), 구동 전원 라인(ELVDD), 초기화 전원 라인( $V_{in}$ )으로 구성되었으나, 이에 한정되지 않고 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 화소 회로는 2개 이상인 복수의 박막 트랜지스터, 하나 이상의 커패시터, 하나 이상의 스캔 라인 및 하나 이상의 구동 전원 라인을 포함하는 배선들로 구성될 수 있다.

[0058] 이하, 도 2 및 도 3을 참조하여 상술한 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 화소의 배치를 설명한다. 이하에서 설명하는 서로 다른 층에 위치하는 구성들 사이에는 절연층들이 위치하며, 이 절연층은 실리콘 질화물 또는 실리콘 산화물 등의 무기 절연층 또는 유기 절연층일 수 있다. 또한, 이 절연층들은 단층 또는 복층으로 형성될 수 있다.

[0059] 도 2는 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 화소를 나타낸 배치도이다. 도 3은 도 2의 III-III을 따른 단면도이다.

[0060] 도 2 및 도 3에 도시된 바와 같이, 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 기판(SUB), 제1 박막 트랜지스터(T1), 제2 박막 트랜지스터(T2), 제3 박막 트랜지스터(T3), 제4 박막 트랜지스터(T4), 제5 박막 트랜지스터(T5), 제6 박막 트랜지스터(T6), 제7 박막 트랜지스터(T7), 제1 스캔 라인( $S_n$ ), 제2 스캔 라인( $S_{n-1}$ ), 제3 스캔 라인( $S_{n-2}$ ), 발광 제어 라인(EM), 커패시터(Cst), 데이터 라인(DA), 구동 전원 라인(ELVDD), 게이트 브릿지(GB), 초기화 전원 라인( $V_{in}$ ), 유기 발광 소자(OLED)를 포함한다.

[0061] 기판(SUB)은 유리, 석영, 세라믹, 사파이어, 플라스틱, 금속 등으로 형성될 수 있으며, 플렉서블(flexible)하거나, 스트레처블(stretchable)하거나, 롤러블(rollable)하거나, 폴더블(foldable)할 수 있다. 기판(SUB)이 플렉서블하거나, 스트레처블하거나, 롤러블하거나, 폴더블함으로써, 전체적인 유기 발광 표시 장치가 플렉서블하거나, 스트레처블하거나, 롤러블하거나, 폴더블할 수 있다.

[0062] 제1 박막 트랜지스터(T1)는 기판(SUB) 상에 위치하며, 제1 액티브 패턴(A1) 및 제1 게이트 전극(G1)을 포함한다.

[0063] 제1 액티브 패턴(A1)은 제1 소스 전극(S1), 제1 채널(C1), 제1 드레인 전극(D1)을 포함한다. 제1 소스 전극(S1)은 제2 박막 트랜지스터(T2)의 제2 드레인 전극(D2) 및 제5 박막 트랜지스터(T5)의 제5 드레인 전극(D5) 각각과 연결되어 있으며, 제1 드레인 전극(D1)은 제3 박막 트랜지스터(T3)의 제3 소스 전극(S3) 및 제6 박막 트랜지스터(T6)의 제6 소스 전극(S6) 각각과 연결되어 있다. 제1 게이트 전극(G1)과 중첩하는 제1 액티브 패턴(A1)의 채널 영역인 제1 채널(C1)은 한 번 이상 절곡 연장된 형태를 가지고 있으며, 제1 채널(C1)이 한정된 공간인 제1 게이트 전극(G1)과 중첩하는 공간 내에서 한 번 이상 절곡 연장되어 있음으로써, 제1 채널(C1)의 길이를 길게 형성할 수 있기 때문에, 제1 게이트 전극(G1)에 인가되는 게이트 전압의 구동 범위(driving range)를 넓게 형성할 수 있다. 이로 인해, 제1 게이트 전극(G1)에 인가되는 게이트 전압의 크기를 넓은 구동 범위 내에서 변화시켜 유기 발광 소자(OLED)로부터 발광되는 빛의 계조를 보다 세밀하게 제어함으로써, 유기 발광 표시 장치로부터 표시되는 이미지의 품질이 향상될 수 있다. 이러한 제1 액티브 패턴(A1)은 그 형태가 다양하게 변형될 수 있으며, 일례로 '역S', 'S', 'M', 'W' 등의 다양한 형태로 변형될 수 있다.

[0064] 제1 액티브 패턴(A1)은 폴리 실리콘 또는 산화물 반도체로 이루어질 수 있다. 산화물 반도체는 티타늄(Ti), 하

프늄(Hf), 지르코늄(Zr), 알루미늄(Al), 탄탈륨-Ta), 게르마늄(Ge), 아연(Zn), 갈륨(Ga), 주석(Sn) 또는 인듐(In)을 기본으로 하는 산화물, 이들의 복합 산화물인 산화아연(ZnO), 인듐-갈륨-아연 산화물(InGaZnO<sub>4</sub>), 인듐-아연 산화물(Zn-In-O), 아연-주석 산화물(Zn-Sn-O) 인듐-갈륨 산화물 (In-Ga-O), 인듐-주석 산화물(In-Sn-O), 인듐-지르코늄 산화물(In-Zr-O), 인듐-지르코늄-아연 산화물(In-Zr-Zn-O), 인듐-지르코늄-주석 산화물(In-Zr-Sn-O), 인듐-지르코늄-갈륨 산화물(In-Zr-Ga-O), 인듐-알루미늄 산화물(In-Al-O), 인듐-아연-알루미늄 산화물(In-Zn-Al-O), 인듐-주석-알루미늄 산화물(In-Sn-Al-O), 인듐-알루미늄-갈륨 산화물(In-Al-Ga-O), 인듐-탄탈륨 산화물(In-Ta-O), 인듐-탄탈륨-아연 산화물(In-Ta-Zn-O), 인듐-탄탈륨-주석 산화물(In-Ta-Sn-O), 인듐-탄탈륨-갈륨 산화물(In-Ta-Ga-O), 인듐-게르마늄 산화물(In-Ge-O), 인듐-게르마늄-아연 산화물(In-Ge-Zn-O), 인듐-게르마늄-주석 산화물(In-Ge-Sn-O), 인듐-게르마늄-갈륨 산화물(In-Ge-Ga-O), 티타늄-인듐-아연 산화물(Ti-In-Zn-O), 하프늄-인듐-아연 산화물(Hf-In-Zn-O) 중 어느 하나를 포함할 수 있다. 제1 액티브 패턴(A1)이 산화물 반도체로 이루어지는 경우에는 고온 등의 외부 환경에 취약한 산화물 반도체를 보호하기 위해 별도의 보호층이 추가될 수 있다.

[0065] 제1 액티브 패턴(A1)의 제1 채널(C1)은 N형 불순물 또는 P형 불순물로 채널 도핑될 수 있으며, 제1 소스 전극(S1) 및 제1 드레인 전극(D1) 각각은 제1 채널(C1)을 사이에 두고 이격되어 제1 채널(C1)에 도핑된 도핑 불순물과 반대 타입의 도핑 불순물이 도핑될 수 있다.

[0066] 제1 게이트 전극(G1)은 제1 액티브 패턴(A1)의 제1 채널(C1) 상에 위치하고 있으며, 섬(island) 형태를 가지고 있다. 제1 게이트 전극(G1)은 콘택홀(contact hole)을 통하는 게이트 브릿지(GB)에 의해 제4 박막 트랜지스터(T4)의 제4 드레인 전극(D4) 및 제3 박막 트랜지스터(T3)의 제3 드레인 전극(D3)과 연결되어 있다. 제1 게이트 전극(G1)은 커패시터 전극(CE)과 중첩하고 있으며, 제1 박막 트랜지스터(T1)의 게이트 전극으로서 기능하는 동시에 커패시터(Cst)의 타 전극으로서도 기능할 수 있다. 즉, 제1 게이트 전극(G1)은 커패시터 전극(CE)과 함께 커패시터(Cst)를 형성한다. 제1 게이트 전극(G1)은 커패시터 전극(CE)을 형성하는 식각 공정에 의해 커패시터 전극(CE)과 동시에 형성될 수 있으며, 이로 인해 제1 게이트 전극(G1)과 커패시터 전극(CE)은 평면적으로 동일한 테두리를 가질 수 있다. 제1 게이트 전극(G1)은 메탈(metal)로 형성될 수 있다.

[0067] 제2 박막 트랜지스터(T2)는 기판(SUB) 상에 위치하며, 제2 액티브 패턴(A2) 및 제2 게이트 전극(G2)을 포함한다.

[0068] 제2 액티브 패턴(A2)은 제2 소스 전극(S2), 제2 채널(C2), 제2 드레인 전극(D2)을 포함한다. 제2 소스 전극(S2)은 콘택홀을 통해 데이터 라인(DA)과 연결되어 있으며, 제2 드레인 전극(D2)은 제1 박막 트랜지스터(T1)의 제1 소스 전극(S1)과 연결되어 있다. 제2 게이트 전극(G2)과 중첩하는 제2 액티브 패턴(A2)의 채널 영역인 제2 채널(C2)은 제2 소스 전극(S2)과 제2 드레인 전극(D2) 사이에 위치하고 있다. 즉, 제2 액티브 패턴(A2)은 제1 액티브 패턴(A1)과 연결되어 있다.

[0069] 제2 액티브 패턴(A2)의 제2 채널(C2)은 N형 불순물 또는 P형 불순물로 채널 도핑될 수 있으며, 제2 소스 전극(S2) 및 제2 드레인 전극(D2) 각각은 제1 채널(C1)을 사이에 두고 이격되어 제1 채널(C1)에 도핑된 도핑 불순물과 반대 타입의 도핑 불순물이 도핑될 수 있다. 제2 액티브 패턴(A2)은 제1 액티브 패턴(A1)과 동일한 층에 위치하며, 제1 액티브 패턴(A1)과 동일한 재료로 형성되며, 제1 액티브 패턴(A1)과 일체로 형성되어 있다.

[0070] 제2 게이트 전극(G2)은 제2 액티브 패턴(A2)의 제2 채널(C2) 상에 위치하고 있으며, 제1 스캔 라인(Sn)과 일체로 형성되어 있다.

[0071] 제3 박막 트랜지스터(T3)는 기판(SUB) 상에 위치하며, 제3 액티브 패턴(A3) 및 제3 게이트 전극(G3)을 포함한다.

[0072] 제3 액티브 패턴(A3)은 제3 소스 전극(S3), 제3 채널(C3), 제3 드레인 전극(D3)을 포함한다. 제3 소스 전극(S3)은 제1 드레인 전극(D1)과 연결되어 있으며, 제3 드레인 전극(D3)은 콘택홀을 통하는 게이트 브릿지(GB)에 의해 제1 박막 트랜지스터(T1)의 제1 게이트 전극(G1)과 연결되어 있다. 제3 게이트 전극(G3)과 중첩하는 제3 액티브 패턴(A3)의 채널 영역인 제3 채널(C3)은 제3 소스 전극(S3)과 제3 드레인 전극(D3) 사이에 위치하고 있다. 즉, 제3 액티브 패턴(A3)은 제1 액티브 패턴(A1)과 제1 게이트 전극(G1) 사이를 연결하고 있다.

[0073] 제3 액티브 패턴(A3)의 제3 채널(C3)은 N형 불순물 또는 P형 불순물로 채널 도핑될 수 있으며, 제3 소스 전극(S3) 및 제3 드레인 전극(D3) 각각은 제3 채널(C3)을 사이에 두고 이격되어 제3 채널(C3)에 도핑된 도핑 불순물과 반대 타입의 도핑 불순물이 도핑될 수 있다. 제3 액티브 패턴(A3)은 제1 액티브 패턴(A1) 및 제2 액티브 패턴(A2)과 동일한 층에 위치하며, 제1 액티브 패턴(A1) 및 제2 액티브 패턴(A2)과 동일한 재료로 형성되며, 제1

액티브 패턴(A1) 및 제2 액티브 패턴(A2)과 일체로 형성되어 있다.

- [0074] 제3 게이트 전극(G3)은 제3 액티브 패턴(A3)의 제3 채널(C3) 상에 위치하고 있으며, 제1 스캔 라인(Sn)과 일체로 형성되어 있다. 제3 게이트 전극(G3)은 듀얼 게이트(dual gate) 전극으로서 형성되어 있다.
- [0075] 제4 박막 트랜지스터(T4)는 기판(SUB) 상에 위치하며, 제4 액티브 패턴(A4) 및 제4 게이트 전극(G4)을 포함한다.
- [0076] 제4 액티브 패턴(A4)은 제4 소스 전극(S4), 제4 채널(C4), 제4 드레인 전극(D4)을 포함한다. 제4 소스 전극(S4)은 콘택홀을 통해 초기화 전원 라인(Vin)과 연결되어 있으며, 제4 드레인 전극(D4)은 콘택홀을 통하는 게이트 브릿지(GB)에 의해 제1 박막 트랜지스터(T1)의 제1 게이트 전극(G1)과 연결되어 있다. 제4 게이트 전극(G4)과 중첩하는 제4 액티브 패턴(A4)의 채널 영역인 제4 채널(C4)은 제4 소스 전극(S4)과 제4 드레인 전극(D4) 사이에 위치하고 있다. 즉, 제4 액티브 패턴(A4)은 초기화 전원 라인(Vin)과 제1 게이트 전극(G1) 사이를 연결하는 동시에, 제3 액티브 패턴(A3)과 제1 게이트 전극(G1) 각각과 연결되어 있다.
- [0077] 제4 액티브 패턴(A4)의 제4 채널(C4)은 N형 불순물 또는 P형 불순물로 채널 도핑될 수 있으며, 제4 소스 전극(S4) 및 제4 드레인 전극(D4) 각각은 제4 채널(C4)을 사이에 두고 이격되어 제4 채널(C4)에 도핑된 도핑 불순물과 반대 타입의 도핑 불순물이 도핑될 수 있다. 제4 액티브 패턴(A4)은 제1 액티브 패턴(A1), 제2 액티브 패턴(A2), 제3 액티브 패턴(A3)과 동일한 층에 위치하며, 제1 액티브 패턴(A1), 제2 액티브 패턴(A2), 제3 액티브 패턴(A3)과 동일한 재료로 형성되며, 제1 액티브 패턴(A1), 제2 액티브 패턴(A2), 제3 액티브 패턴(A3)과 일체로 형성되어 있다.
- [0078] 제4 게이트 전극(G4)은 제4 액티브 패턴(A4)의 제4 채널(C4) 상에 위치하고 있으며, 제2 스캔 라인(Sn-1)과 일체로 형성되어 있다. 제4 게이트 전극(G4)은 듀얼 게이트(dual gate) 전극으로서 형성되어 있다.
- [0079] 제5 박막 트랜지스터(T5)는 기판(SUB) 상에 위치하며, 제5 액티브 패턴(A5) 및 제5 게이트 전극(G5)을 포함한다.
- [0080] 제5 액티브 패턴(A5)은 제5 소스 전극(S5), 제5 채널(C5), 제5 드레인 전극(D5)을 포함한다. 제5 소스 전극(S5)은 콘택홀을 통해 구동 전원 라인(ELVDD)과 연결되어 있으며, 제5 드레인 전극(D5)은 제1 박막 트랜지스터(T1)의 제1 소스 전극(S1)과 연결되어 있다. 제5 게이트 전극(G5)과 중첩하는 제5 액티브 패턴(A5)의 채널 영역인 제5 채널(C5)은 제5 소스 전극(S5)과 제5 드레인 전극(D5) 사이에 위치하고 있다. 즉, 제5 액티브 패턴(A5)은 구동 전원 라인(ELVDD)과 제1 액티브 패턴(A1) 사이를 연결하고 있다.
- [0081] 제5 액티브 패턴(A5)의 제5 채널(C5)은 N형 불순물 또는 P형 불순물로 채널 도핑될 수 있으며, 제5 소스 전극(S5) 및 제5 드레인 전극(D5) 각각은 제5 채널(C5)을 사이에 두고 이격되어 제5 채널(C5)에 도핑된 도핑 불순물과 반대 타입의 도핑 불순물이 도핑될 수 있다. 제5 액티브 패턴(A5)은 제1 액티브 패턴(A1), 제2 액티브 패턴(A2), 제3 액티브 패턴(A3), 제4 액티브 패턴(A4)과 동일한 층에 위치하며, 제1 액티브 패턴(A1), 제2 액티브 패턴(A2), 제3 액티브 패턴(A3), 제4 액티브 패턴(A4)과 동일한 재료로 형성되며, 제1 액티브 패턴(A1), 제2 액티브 패턴(A2), 제3 액티브 패턴(A3), 제4 액티브 패턴(A4)과 일체로 형성되어 있다.
- [0082] 제5 게이트 전극(G5)은 제5 액티브 패턴(A5)의 제5 채널(C5) 상에 위치하고 있으며, 발광 제어 라인(EM)과 일체로 형성되어 있다.
- [0083] 제6 박막 트랜지스터(T6)는 기판(SUB) 상에 위치하며, 제6 액티브 패턴(A6) 및 제6 게이트 전극(G6)을 포함한다.
- [0084] 제6 액티브 패턴(A6)은 제6 소스 전극(S6), 제6 채널(C6), 제6 드레인 전극(D6)을 포함한다. 제6 소스 전극(S6)은 제1 박막 트랜지스터(T1)의 제1 드레인 전극(D1)과 연결되어 있으며, 제6 드레인 전극(D6)은 콘택홀을 통해 유기 발광 소자(OLED)의 제1 전극(E1)과 연결되어 있다. 제6 게이트 전극(G6)과 중첩하는 제6 액티브 패턴(A6)의 채널 영역인 제6 채널(C6)은 제6 소스 전극(S6)과 제6 드레인 전극(D6) 사이에 위치하고 있다. 즉, 제6 액티브 패턴(A6)은 제1 액티브 패턴(A1)과 유기 발광 소자(OLED)의 제1 전극(E1) 사이를 연결하고 있다.
- [0085] 제6 액티브 패턴(A6)의 제6 채널(C6)은 N형 불순물 또는 P형 불순물로 채널 도핑될 수 있으며, 제6 소스 전극(S6) 및 제6 드레인 전극(D6) 각각은 제6 채널(C6)을 사이에 두고 이격되어 제6 채널(C6)에 도핑된 도핑 불순물과 반대 타입의 도핑 불순물이 도핑될 수 있다. 제6 액티브 패턴(A6)은 제1 액티브 패턴(A1), 제2 액티브 패턴(A2), 제3 액티브 패턴(A3), 제4 액티브 패턴(A4), 제5 액티브 패턴(A5)과 동일한 층에 위치하며, 제1 액티브 패턴(A1), 제2 액티브 패턴(A2), 제3 액티브 패턴(A3), 제4 액티브 패턴(A4), 제5 액티브 패턴(A5)과 동일한 재

료로 형성되며, 제1 액티브 패턴(A1), 제2 액티브 패턴(A2), 제3 액티브 패턴(A3), 제4 액티브 패턴(A4), 제5 액티브 패턴(A5)과 일체로 형성되어 있다.

[0086] 제6 게이트 전극(G6)은 제6 액티브 패턴(A6)의 제6 채널(C6) 상에 위치하고 있으며, 발광 제어 라인(EM)과 일체로 형성되어 있다.

[0087] 제7 박막 트랜지스터(T7)는 기판(SUB) 상에 위치하며, 제7 액티브 패턴(A7) 및 제7 게이트 전극(G7)을 포함한다.

[0088] 제7 액티브 패턴(A7)은 제7 소스 전극(S7), 제7 채널(C7), 제7 드레인 전극(D7)을 포함한다. 제7 소스 전극(S7)은 도 2에 도시되지 않은 다른 화소(도 2에 도시된 화소의 상층에 위치하는 화소일 수 있다.)의 유기 발광 소자의 제1 전극과 연결되어 있으며, 제7 드레인 전극(D7)은 제4 박막 트랜지스터(T4)의 제4 소스 전극(S4)과 연결되어 있다. 제7 게이트 전극(G7)과 중첩하는 제7 액티브 패턴(A7)의 채널 영역인 제7 채널(C7)은 제7 소스 전극(S7)과 제7 드레인 전극(D7) 사이에 위치하고 있다. 즉, 제7 액티브 패턴(A7)은 유기 발광 소자의 제1 전극과 제4 액티브 패턴(A4) 사이를 연결하고 있다.

[0089] 제7 액티브 패턴(A7)의 제7 채널(C7)은 N형 불순물 또는 P형 불순물로 채널 도핑될 수 있으며, 제7 소스 전극(S7) 및 제7 드레인 전극(D7) 각각은 제7 채널(C7)을 사이에 두고 이격되어 제7 채널(C7)에 도핑된 도핑 불순물과 반대 타입의 도핑 불순물이 도핑될 수 있다. 제7 액티브 패턴(A7)은 제1 액티브 패턴(A1), 제2 액티브 패턴(A2), 제3 액티브 패턴(A3), 제4 액티브 패턴(A4), 제5 액티브 패턴(A5), 제6 액티브 패턴(A6)과 동일한 층에 위치하며, 제1 액티브 패턴(A1), 제2 액티브 패턴(A2), 제3 액티브 패턴(A3), 제4 액티브 패턴(A4), 제5 액티브 패턴(A5), 제6 액티브 패턴(A6)과 동일한 재료로 형성되며, 제1 액티브 패턴(A1), 제2 액티브 패턴(A2), 제3 액티브 패턴(A3), 제4 액티브 패턴(A4), 제5 액티브 패턴(A5), 제6 액티브 패턴(A6)과 일체로 형성되어 있다.

[0090] 제7 게이트 전극(G7)은 제7 액티브 패턴(A7)의 제7 채널(C7) 상에 위치하고 있으며, 제3 스캔 라인(Sn-2)과 일체로 형성되어 있다.

[0091] 제1 스캔 라인(Sn)은 제2 액티브 패턴(A2) 및 제3 액티브 패턴(A3) 상에 위치하여 제2 액티브 패턴(A2) 및 제3 액티브 패턴(A3)을 가로지르는 일 방향으로 연장되어 있으며, 제2 게이트 전극(G2) 및 제3 게이트 전극(G3)과 일체로 형성되어 제2 게이트 전극(G2) 및 제3 게이트 전극(G3)과 연결되어 있다.

[0092] 제2 스캔 라인(Sn-1)은 제1 스캔 라인(Sn)과 이격되어 제4 액티브 패턴(A4) 상에 위치하며, 제4 액티브 패턴(A4)을 가로지르는 일 방향으로 연장되어 있으며, 제4 게이트 전극(G4)과 일체로 형성되어 제4 게이트 전극(G4)과 연결되어 있다.

[0093] 제3 스캔 라인(Sn-2)은 제2 스캔 라인(Sn-1)과 이격되어 제7 액티브 패턴(A7) 상에 위치하며, 제7 액티브 패턴(A7)을 가로지르는 일 방향으로 연장되어 있으며, 제7 게이트 전극(G7)과 일체로 형성되어 제7 게이트 전극(G7)과 연결되어 있다.

[0094] 발광 제어 라인(EM)은 제1 스캔 라인(Sn)과 이격되어 제5 액티브 패턴(A5) 및 제6 액티브 패턴(A6) 상에 위치하며, 제5 액티브 패턴(A5) 및 제6 액티브 패턴(A6)을 가로지르는 일 방향으로 연장되어 있으며, 제5 게이트 전극(G5) 및 제6 게이트 전극(G6)과 일체로 형성되어 제5 게이트 전극(G5) 및 제6 게이트 전극(G6)과 연결되어 있다.

[0095] 상술한, 발광 제어 라인(EM), 제3 스캔 라인(Sn-2), 제2 스캔 라인(Sn-1), 제1 스캔 라인(Sn), 제1 게이트 전극(G1), 제2 게이트 전극(G2), 제3 게이트 전극(G3), 제4 게이트 전극(G4), 제5 게이트 전극(G5), 제6 게이트 전극(G6), 제7 게이트 전극(G7)은 동일한 층에 위치하며, 동일한 재료로 형성되어 있다. 한편, 본 발명의 다른 실시예에서, 발광 제어 라인(EM), 제3 스캔 라인(Sn-2), 제2 스캔 라인(Sn-1), 제1 스캔 라인(Sn), 제1 게이트 전극(G1), 제2 게이트 전극(G2), 제3 게이트 전극(G3), 제4 게이트 전극(G4), 제5 게이트 전극(G5), 제6 게이트 전극(G6), 제7 게이트 전극(G7) 각각은 선택적으로 서로 다른 층에 위치하여 서로 다른 재료로 형성될 수 있다.

[0096] 커패시터(Cst)는 절연층을 사이에 두고 서로 대향하는 일 전극 및 타 전극을 포함한다. 상술한 일 전극은 커패시터 전극(CE)이며, 타 전극은 제1 게이트 전극(G1)일 수 있다. 커패시터 전극(CE)은 제1 게이트 전극(G1) 상에 위치하며, 콘택홀을 통해 구동 전원 라인(ELVDD)과 연결되어 있다. 커패시터 전극(CE)은 제1 게이트 전극(G1) 상에서 제1 게이트 전극(G1)과 중첩하고 있으며, 제1 게이트 전극(G1)과 동일한 테두리를 가지고 있다. 구체적으로, 커패시터 전극(CE)은 제1 게이트 전극(G1)과 평면적으로 동일한 테두리를 가진다.

[0097] 커패시터 전극(CE)은 제1 게이트 전극(G1)과 함께 커패시터(Cst)를 형성하며, 제1 게이트 전극(G1)과 커패시터

전극(CE) 각각은 서로 다른 층에서 서로 다르거나 서로 동일한 메탈로 형성되어 있다. 커패시터 전극(CE)은 섬(island) 형태를 가지고 있다. 커패시터 전극(CE)은 제1 게이트 전극(G1)을 형성하는 식각 공정에 의해 제1 게이트 전극(G1)과 동시에 형성될 수 있으며, 이로 인해 커패시터 전극(CE)은 제1 게이트 전극(G1)과 평면적으로 동일한 테두리를 가질 수 있다. 구체적으로, 커패시터 전극(CE)은 제1 게이트 전극(G1), 발광 제어 라인(EM), 제3 스캔 라인(Sn-2), 제2 스캔 라인(Sn-1), 제1 스캔 라인(Sn), 제2 게이트 전극(G2), 제3 게이트 전극(G3), 제4 게이트 전극(G4), 제5 게이트 전극(G5), 제6 게이트 전극(G6), 제7 게이트 전극(G7)을 형성하는 식각 공정에 의해 제1 게이트 전극(G1), 발광 제어 라인(EM), 제3 스캔 라인(Sn-2), 제2 스캔 라인(Sn-1), 제1 스캔 라인(Sn), 제2 게이트 전극(G2), 제3 게이트 전극(G3), 제4 게이트 전극(G4), 제5 게이트 전극(G5), 제6 게이트 전극(G6), 제7 게이트 전극(G7)과 동시에 형성될 수 있다.

[0098] 커패시터 전극(CE)은 제1 게이트 전극(G1)의 일 부분을 노출하는 개구부(OA)를 포함하며, 이 개구부(OA)를 통해 게이트 브릿지(GB)가 제1 게이트 전극(G1)과 연결되어 있다.

[0099] 데이터 라인(DA)은 제1 스캔 라인(Sn) 상에 위치하여 제1 스캔 라인(Sn)을 가로지르는 타 방향으로 연장되어 있으며, 콘택홀을 통해 제2 액티브 패턴(A2)의 제2 소스 전극(S2)과 연결되어 있다. 데이터 라인(DA)은 제1 스캔 라인(Sn), 제2 스캔 라인(Sn-1), 제3 스캔 라인(Sn-2), 발광 제어 라인(EM)을 가로질러 연장되어 있다.

[0100] 구동 전원 라인(ELVDD)은 데이터 라인(DA)과 이격되어 제1 스캔 라인(Sn) 상에 위치하여 제1 스캔 라인(Sn)을 가로지르는 타 방향으로 연장되어 있으며, 콘택홀을 통해 커패시터 전극(CE) 및 제1 액티브 패턴(A1)과 연결된 제5 액티브 패턴(A5)의 제5 소스 전극(S5)과 연결되어 있다. 구동 전원 라인(ELVDD)은 제1 스캔 라인(Sn), 제2 스캔 라인(Sn-1), 제3 스캔 라인(Sn-2), 발광 제어 라인(EM)을 가로질러 연장되어 있다.

[0101] 게이트 브릿지(GB)는 제1 스캔 라인(Sn) 상에 위치하여 구동 전원 라인(ELVDD)과 이격되어 있으며, 콘택홀을 통해 제3 액티브 패턴(A3)의 제3 드레인 전극(D3) 및 제4 액티브 패턴(A4)의 제4 드레인 전극(D4) 각각과 연결되어 콘택홀을 통해 커패시터 전극(CE)의 개구부(OA)에 의해 노출된 제1 게이트 전극(G1)과 연결되어 있다.

[0102] 상술한, 데이터 라인(DA), 구동 전원 라인(ELVDD), 게이트 브릿지(GB)는 동일한 층에 위치하며, 동일한 재료로 형성되어 있다. 한편, 본 발명의 다른 실시예에서, 데이터 라인(DA), 구동 전원 라인(ELVDD), 게이트 브릿지(GB) 각각은 선택적으로 서로 다른 층에 위치하여 서로 다른 재료로 형성될 수 있다.

[0103] 초기화 전원 라인(Vin)은 제2 스캔 라인(Sn-1) 상에 위치하며, 콘택홀을 통해 제4 액티브 패턴(A4)의 제4 소스 전극(S4)과 연결되어 있다. 초기화 전원 라인(Vin)은 유기 발광 소자(OLED)의 제1 전극(E1)과 동일한 층에 위치하여 동일한 재료로 형성되어 있다. 한편, 본 발명의 다른 실시예에서 초기화 전원 라인(Vin)은 제1 전극(E1)과 다른 층에 위치하여 다른 재료로 형성될 수 있다.

[0104] 유기 발광 소자(OLED)는 제1 전극(E1), 유기 발광층(OL), 제2 전극(E2)을 포함한다. 제1 전극(E1)은 콘택홀을 통해 제6 박막 트랜지스터(T6)의 제6 드레인 전극(D6)과 연결되어 있다. 유기 발광층(OL)은 제1 전극(E1)과 제2 전극(E2) 사이에 위치하고 있다. 제2 전극(E2)은 유기 발광층(OL) 상에 위치하고 있다. 제1 전극(E1) 및 제2 전극(E2) 중 하나 이상의 전극은 광 투과성 전극, 광 반사성 전극, 광 반투과성 전극 중 어느 하나 이상일 수 있으며, 유기 발광층(OL)으로부터 발광된 빛은 제1 전극(E1) 및 제2 전극(E2) 어느 하나 이상의 전극 방향으로 방출될 수 있다.

[0105] 유기 발광 소자(OLED) 상에는 유기 발광 소자(OLED)를 덮는 캡핑층(capping layer)가 위치할 수 있으며, 이 캡핑층을 사이에 두고 유기 발광 소자(OLED) 상에는 박막 봉지층(thin film encapsulation)이 위치하거나, 또는 봉지 기판이 위치할 수 있다.

[0106] 이상과 같은 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 커패시터(Cst)를 형성하는 커패시터 전극(CE)이 제1 게이트 전극(G1)을 형성하는 식각 공정에 의해 제1 게이트 전극(G1)과 동시에 형성되어 커패시터 전극(CE)이 제1 게이트 전극(G1)과 평면적으로 동일한 테두리를 가지기 때문에, 제조 시 이용되는 마스크의 수가 절감된다. 즉, 제조 시 이용되는 마스크의 수가 절감됨으로써, 제조 시간 및 제조 비용이 절감된 유기 발광 표시 장치가 제공된다.

[0107] 또한, 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 커패시터(Cst)를 형성하는 커패시터 전극(CE) 및 제1 게이트 전극(G1) 각각이 메탈로 형성됨으로써, 폴리 실리콘 대비 메탈의 표면 조도를 작게 형성할 수 있기 때문에, 한정된 면적에서 커패시터(Cst)의 유지 용량을 증가시킬 수 있다. 이로 인해, 표시 품질이 향상된 유기 발광 표시 장치가 제공된다.

- [0108] 또한, 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 커패시터(Cst)를 형성하는 커패시터 전극(CE) 및 제1 게이트 전극(G1)이 평면적으로 동일한 테두리를 가지기 때문에, 커패시터(Cst)가 저장하는 유지 용량이 최초 설계된 유지 용량 대비 오차가 발생하는 것이 억제된다.
- [0109] 또한, 본 발명의 일 실시예에 따른 유기 발광 표시 장치는 커패시터(Cst)를 형성하는 커패시터 전극(CE) 및 제1 게이트 전극(G1)이 평면적으로 동일한 테두리를 가지기 때문에, 커패시터(Cst)를 형성하는 영역 외의 영역에서 의도치 않은 유지 용량이 형성되는 것이 억제된다.
- [0110] 이하, 도 4 내지 도 10을 참조하여 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 제조 방법을 설명한다. 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 제조 방법을 이용해 상술한 본 발명의 일 실시예에 따른 유기 발광 표시 장치를 제조할 수 있다.
- [0111] 도 4는 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 제조 방법을 나타낸 순서도이다. 도 5 내지 도 10은 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 제조 방법을 설명하기 위한 도면들이다. 도 6은 도 5의 VI-VI을 따른 단면도이다.
- [0112] 우선, 도 4 내지 도 6에 도시된 바와 같이, 기판(SUB) 상에 제1 액티브 패턴(A1), 제2 액티브 패턴(A2), 제3 액티브 패턴(A3), 제4 액티브 패턴(A4), 제5 액티브 패턴(A5), 제6 액티브 패턴(A6) 및 제7 액티브 패턴(A7)을 형성한다(S100).
- [0113] 구체적으로, 기판(SUB) 상에 폴리 실리콘 또는 산화물 반도체 등을 포함하는 반도체층을 형성하고, 포토리소그래피 공정 등을 이용하여 반도체층을 식각하여 반도체층으로부터 일체로 형성된 제1 액티브 패턴(A1), 제2 액티브 패턴(A2), 제3 액티브 패턴(A3), 제4 액티브 패턴(A4), 제5 액티브 패턴(A5), 제6 액티브 패턴(A6) 및 제7 액티브 패턴(A7)을 형성한다.
- [0114] 다음, 제1 액티브 패턴(A1), 제2 액티브 패턴(A2), 제3 액티브 패턴(A3), 제4 액티브 패턴(A4), 제5 액티브 패턴(A5), 제6 액티브 패턴(A6) 및 제7 액티브 패턴(A7) 상에 제1 금속층(M1), 절연층(IL), 제2 금속층(M2)을 순차적으로 형성한다(S200).
- [0115] 구체적으로, 제1 액티브 패턴(A1), 제2 액티브 패턴(A2), 제3 액티브 패턴(A3), 제4 액티브 패턴(A4), 제5 액티브 패턴(A5), 제6 액티브 패턴(A6) 및 제7 액티브 패턴(A7) 상에 스퍼터링 공정 등의 증착 공정을 이용해 제1 금속층(M1), 절연층(IL), 제2 금속층(M2)을 순차적으로 형성한다.
- [0116] 다음, 제2 금속층(M2) 상에 제1 포토레지스트 패턴(PR1) 및 제2 포토레지스트 패턴(PR2)을 형성한다(S300).
- [0117] 구체적으로, 제2 금속층(M2) 상에 포토레지스트층을 도포하고, 하프톤 마스크 또는 슬릿 마스크 등의 마스크를 이용하여 포토레지스트층을 노광 및 현상하여 제1 액티브 패턴(A1)에 대응하는 제2 금속층(M2) 상에는 제1 두께를 가지는 제1 포토레지스트 패턴(PR1)을 형성하고, 제2 액티브 패턴(A2), 제3 액티브 패턴(A3), 제4 액티브 패턴(A4), 제5 액티브 패턴(A5), 제6 액티브 패턴(A6) 및 제7 액티브 패턴(A7) 각각에 대응하는 제2 금속층(M2) 상에는 제1 두께 대비 얇은 제2 두께를 가지는 제2 포토레지스트 패턴(PR2)을 형성한다. 이때, 제1 포토레지스트 패턴(PR1)은, 나중에 형성될 상술한 커패시터 전극의 개구부에 대응하는 일 부분이 제2 두께를 가지도록 형성한다. 또한, 제1 포토레지스트 패턴(PR1)은 나중에 형성될 상술한 제1 게이트 전극에 평면적으로 대응하는 형태로 형성하며, 제2 포토레지스트 패턴(PR2)은 나중에 형성될 상술한 발광 제어 라인, 제3 스캔 라인, 제2 스캔 라인, 제1 스캔 라인, 제2 게이트 전극, 제3 게이트 전극, 제4 게이트 전극, 제5 게이트 전극, 제6 게이트 전극, 제7 게이트 전극에 평면적으로 대응하는 형태로 형성한다.
- [0118] 다음, 도 7에 도시된 바와 같이, 제1 금속층(M1), 절연층(IL), 제2 금속층(M2)을 식각한다(S400).
- [0119] 구체적으로, 제1 포토레지스트 패턴(PR1) 및 제2 포토레지스트 패턴(PR2) 각각을 마스크로서 이용한 건식 식각을 이용하여 제1 금속층(M1), 절연층(IL), 제2 금속층(M2)을 식각한다. 이로 인해, 제1 금속층(M1) 및 제2 금속층(M2) 각각으로부터 제1 포토레지스트 패턴(PR1) 아래에 위치하는 제1 액티브 패턴(A1) 상에 평면적으로 동일한 테두리를 가지는 제1 게이트 전극(G1) 및 커패시터 전극(CE) 각각이 형성되며, 제1 금속층(M1)으로부터 제2 포토레지스트 패턴(PR2) 아래에 위치하는 제2 액티브 패턴(A2), 제3 액티브 패턴, 제4 액티브 패턴, 제5 액티브 패턴, 제6 액티브 패턴(A6), 제7 액티브 패턴 각각의 상에 제2 게이트 전극(G2), 제3 게이트 전극, 제4 게이트 전극, 제5 게이트 전극, 제6 게이트 전극(G6), 제7 게이트 전극 각각이 형성되는 동시에 제1 스캔 라인, 제2 스캔 라인, 제3 스캔 라인, 발광 제어 라인이 형성된다.
- [0120] 다음, 도 8에 도시된 바와 같이, 제2 액티브 패턴(A2), 제3 액티브 패턴, 제4 액티브 패턴, 제5 액티브 패턴,

제6 액티브 패턴(A6) 및 제7 액티브 패턴 상에 위치하는 제2 금속층(M2)을 노출한다(S500).

[0121] 구체적으로, 기판(SUB) 전체에 걸쳐서 에칭(ashing) 공정을 수행하여 제2 포토레지스트 패턴(PR2)을 제거한다. 이때, 제2 두께를 가지는 제2 포토레지스트 패턴(PR2)이 제거되면서 제1 두께를 가지는 제1 포토레지스트 패턴(PR1)은 두께만 줄어든 상태로 커패시터 전극(CE) 상에 존재하게 된다. 이때, 제1 포토레지스트 패턴(PR1)은, 나중에 형성될 상술한 커패시터 전극(CE)의 개구부에 대응하는 일 부분이 제거된다.

[0122] 다음, 도 9에 도시된 바와 같이, 제2 액티브 패턴(A2), 제3 액티브 패턴, 제4 액티브 패턴, 제5 액티브 패턴, 제6 액티브 패턴(A6) 및 제7 액티브 패턴 상에 위치하는 절연층(IL) 및 제2 금속층(M2)을 제거한다(S600).

[0123] 구체적으로, 제1 포토레지스트 패턴(PR1)을 마스크로서 이용한 건식 식각 또는 습식 식각을 이용하여 제2 게이트 전극(G2), 제3 게이트 전극, 제4 게이트 전극, 제5 게이트 전극, 제6 게이트 전극(G6), 제7 게이트 전극, 제1 스캔 라인, 제2 스캔 라인, 제3 스캔 라인, 발광 제어 라인 상에 위치하는 절연층(IL) 및 제2 금속층(M2)을 제거하는 동시에 커패시터 전극(CE)에 개구부(OA)를 형성한다.

[0124] 다음, 도 10에 도시된 바와 같이, 제1 포토레지스트 패턴(PR1)을 제거하고, 게이트 전극들을 마스크로서 이용하여 액티브 패턴들의 소스 전극 및 드레인 전극 각각에 불순물을 도핑하고, 데이터 라인(DA), 구동 전원 라인(ELVDD), 게이트 브릿지(GB), 초기화 전원 라인(Vin), 유기 발광 소자(OLED), 박막 봉지층을 순차적으로 형성하여 유기 발광 표시 장치를 제조한다.

[0125] 이상과 같은 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 제조 방법은 하프톤 마스크에 의해 형성된 서로 다른 두께를 가지는 제1 포토레지스트 패턴(PR1) 및 제2 포토레지스트 패턴(PR2)을 마스크로서 이용한 하나의 식각 공정을 이용해 커패시터(Cst)를 형성하는 제1 게이트 전극(G1) 및 커패시터(Cst)을 동시에 형성하기 때문에, 유기 발광 표시 장치의 제조 시 이용되는 마스크의 수가 절감된다. 즉, 제조 시 이용되는 마스크의 수가 절감됨으로써, 제조 시간 및 제조 비용이 절감된 유기 발광 표시 장치의 제조 방법이 제공된다.

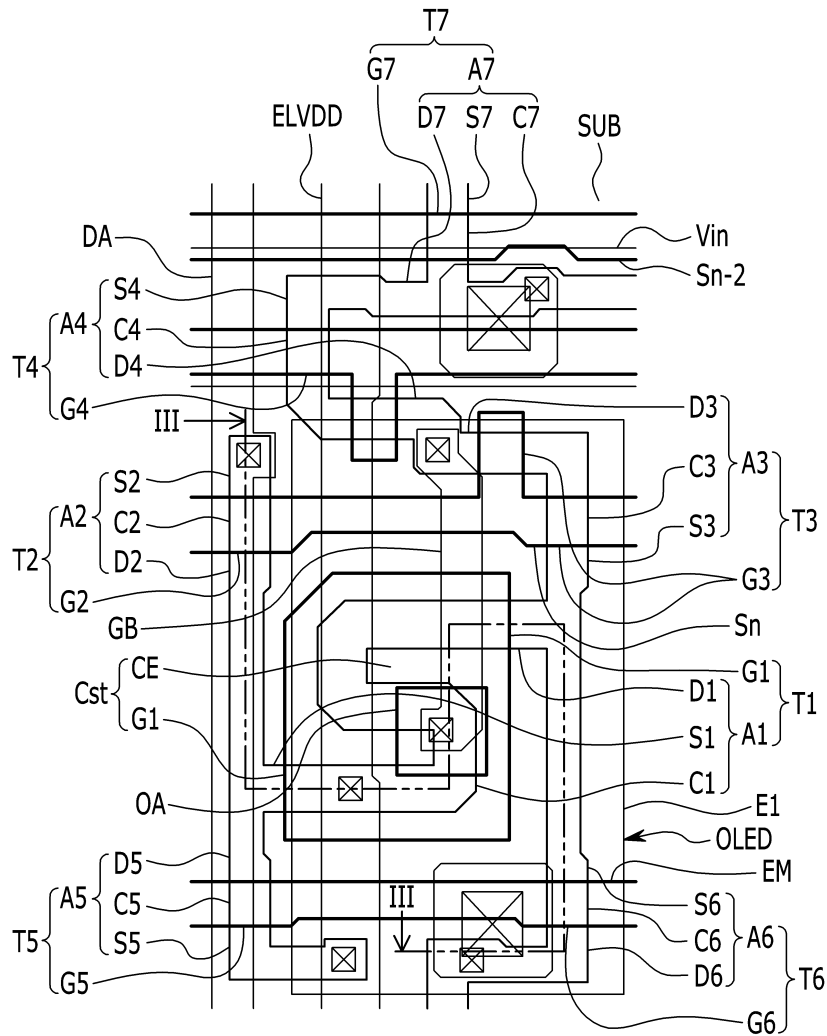
[0126] 본 발명을 앞서 기재한 바에 따라 일 실시예를 통해 설명하였지만, 본 발명은 이에 한정되지 않으며 다음에 기재하는 특허청구범위의 개념과 범위를 벗어나지 않는 한, 다양한 수정 및 변형이 가능하다는 것을 본 발명이 속하는 기술 분야에 종사하는 자들은 쉽게 이해할 것이다.

## 부호의 설명

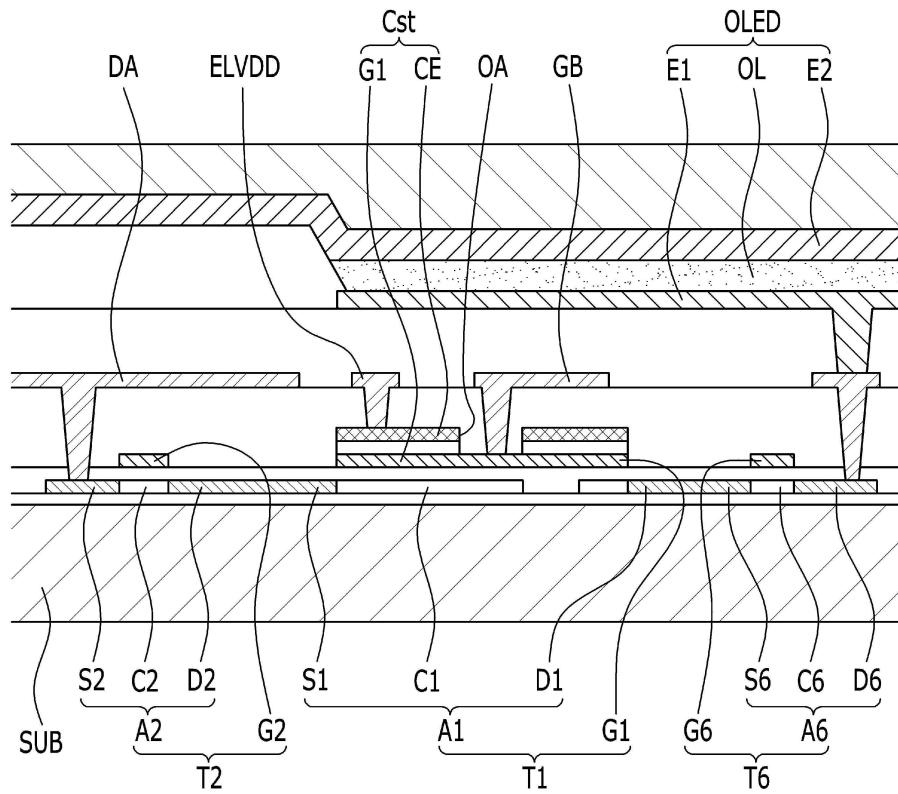
[0127] 제1 액티브 패턴(A1), 제1 게이트 전극(G1), 제1 박막 트랜지스터(T1), 유기 발광 소자(OLED), 커패시터 전극(CE)



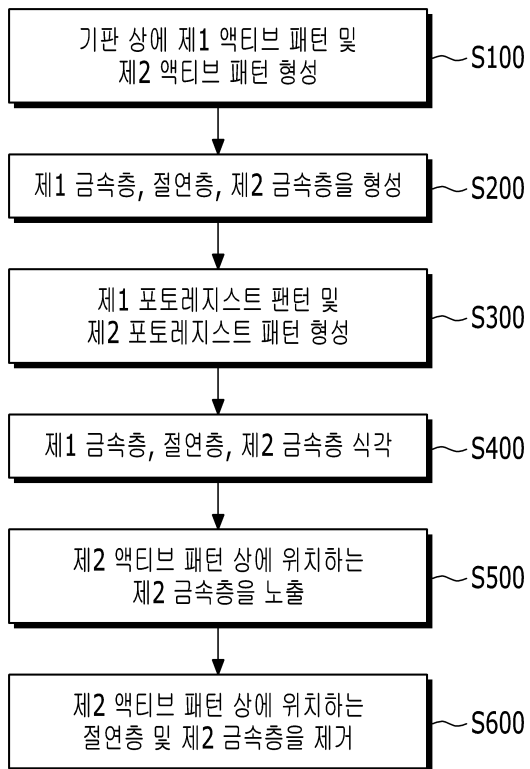
도면2



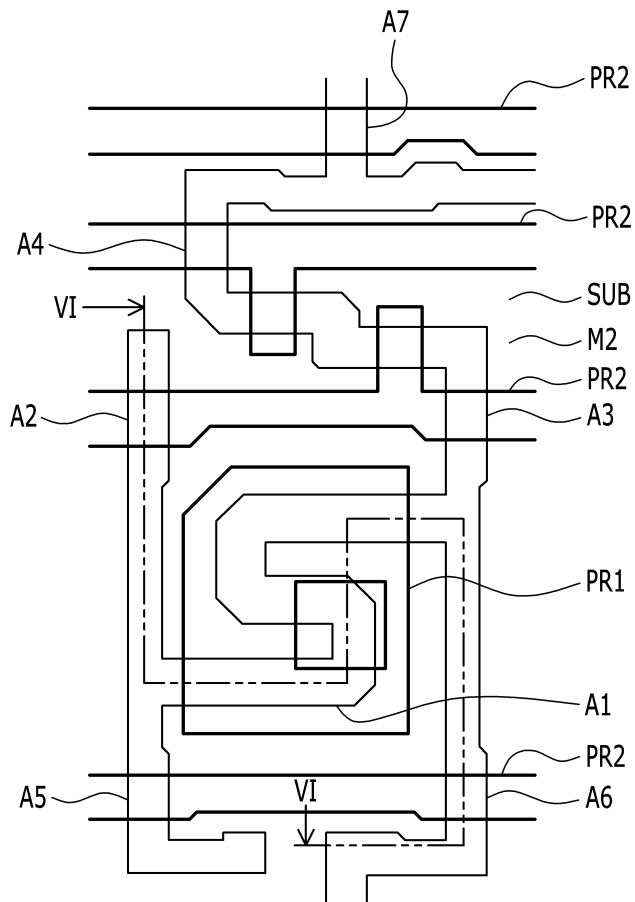
도면3



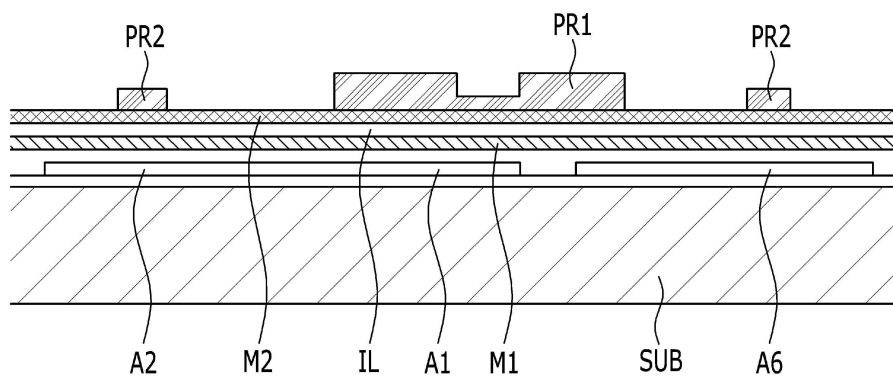
도면4



도면5

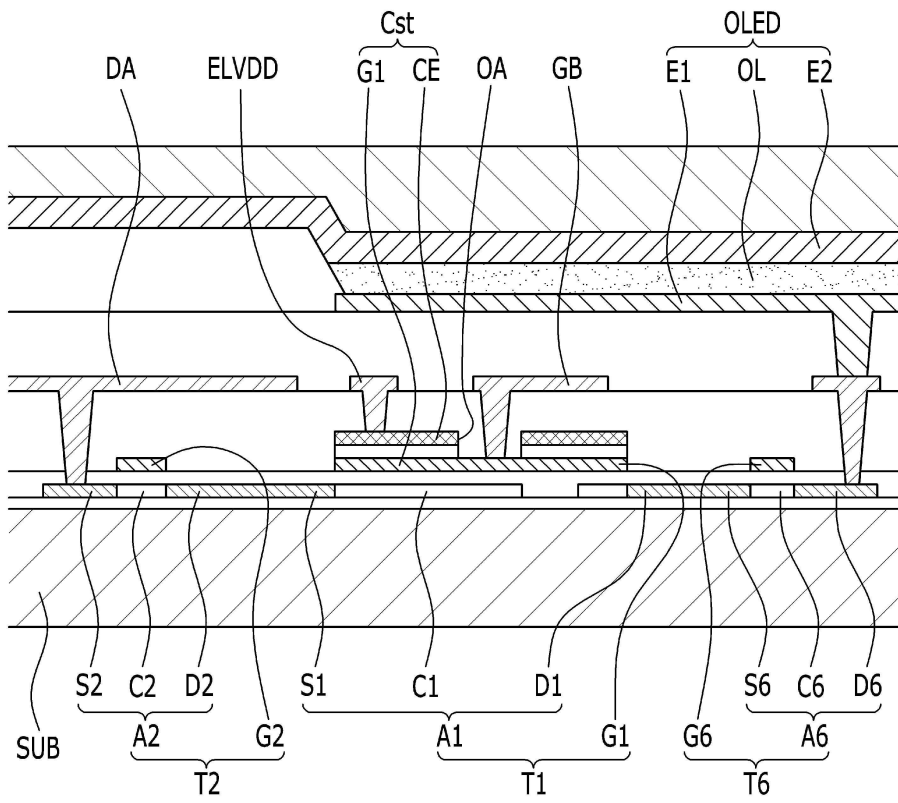


도면6





도면10



|                |                                         |         |            |
|----------------|-----------------------------------------|---------|------------|
| 专利名称(译)        | 标题：OLED显示装置和制造OLED显示装置的方法               |         |            |
| 公开(公告)号        | <a href="#">KR1020160042363A</a>        | 公开(公告)日 | 2016-04-19 |
| 申请号            | KR1020140136205                         | 申请日     | 2014-10-08 |
| [标]申请(专利权)人(译) | 三星显示有限公司                                |         |            |
| 申请(专利权)人(译)    | 三星显示器有限公司                               |         |            |
| 当前申请(专利权)人(译)  | 三星显示器有限公司                               |         |            |
| [标]发明人         | KIM HYUN TAE<br>김현태                     |         |            |
| 发明人            | 김현태                                     |         |            |
| IPC分类号         | H01L27/32 H01L51/50 H01L51/52 H01L51/56 |         |            |
| CPC分类号         | H01L28/60 H01L27/3244 H01L27/3265       |         |            |
| 外部链接           | <a href="#">Espacenet</a>               |         |            |

## 摘要(译)

一种有机发光显示器，包括基板，第一薄膜晶体管，包括位于基板上的第一有源图案和位于第一有源图案上的第一栅电极，连接到第一有源图案的有机发光元件，并且电容器电极与第一栅电极上的第一栅电极重叠并且具有与第一栅电极相同的边缘。

