



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0017194

(43) 공개일자 2016년02월16일

(51) 국제특허분류(Int. Cl.)

H01L 27/32 (2006.01) H01L 51/52 (2006.01)

(21) 출원번호 10-2014-0098526

(22) 출원일자 2014년07월31일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

박진우

경기 고양시 일산동구 무궁화로 7-45, 533호 (장항동, 양우로데오시티플러스)

(74) 대리인

특허법인로알

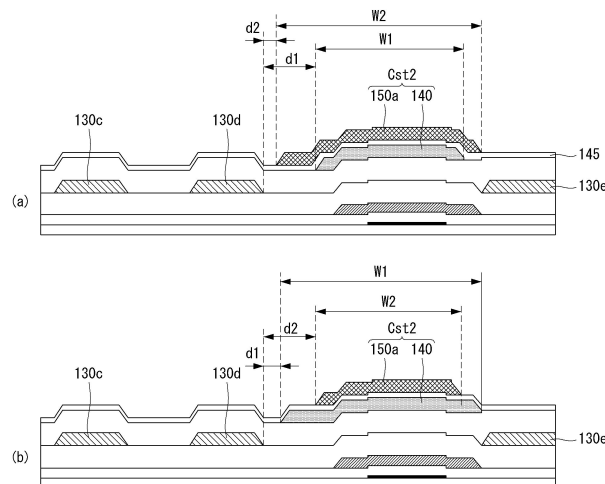
전체 청구항 수 : 총 5 항

(54) 발명의 명칭 유기전계발광표시장치

(57) 요약

본 발명의 일 실시예에 따른 유기전계발광표시장치는 기판, 상기 기판 상에 위치하며, 제1 캐패시터 하부전극과 제1 캐패시터 상부전극 사이에 개재된 게이트 절연막을 포함하는 제1 캐패시터, 상기 제1 캐패시터 상에 위치하는 제1 패시베이션막, 상기 제1 패시베이션막 상에 위치하며, 제2 캐패시터 하부전극과 제2 캐패시터 상부전극 사이에 개재된 제2 패시베이션막을 포함하는 제2 캐패시터, 상기 제2 캐패시터 상에 위치하는 유기절연막, 상기 유기절연막 상에 위치하는 화소 전극, 상기 화소 전극 상에 위치하며, 적어도 발광층을 포함하는 유기막층, 및 상기 유기막층 상에 위치하는 대향 전극을 포함하며, 상기 제2 캐패시터 하부전극의 폭은 상기 제2 캐패시터 상부전극의 폭보다 큰 것을 특징으로 한다.

대표도 - 도4



특허청구의 범위

청구항 1

기관;

상기 기관 상에 위치하며, 제1 캐패시터 하부전극과 제1 캐패시터 상부전극 사이에 개재된 게이트 절연막을 포함하는 제1 캐패시터;

상기 제1 캐패시터 상에 위치하는 제1 패시베이션막;

상기 제1 패시베이션막 상에 위치하며, 제2 캐패시터 하부전극과 제2 캐패시터 상부전극 사이에 개재된 제2 패시베이션막을 포함하는 제2 캐패시터;

상기 제2 캐패시터 상에 위치하는 유기절연막;

상기 유기절연막 상에 위치하는 화소 전극;

상기 화소 전극 상에 위치하며, 적어도 발광층을 포함하는 유기막층; 및

상기 유기막층 상에 위치하는 대향 전극을 포함하며,

상기 제2 캐패시터 하부전극의 폭은 상기 제2 캐패시터 상부전극의 폭보다 큰 것을 특징으로 하는 유기전계발광 표시장치.

청구항 2

기관;

상기 기관 상에 일 방향으로 배열된 제1 및 제2 게이트 라인, 상기 제1 및 제2 게이트 라인과 수직하는 데이터 라인 및 상기 데이터 라인과 평행한 공통전원 라인 및 기준전압 라인;

상기 제1 게이트 라인과 상기 데이터 라인의 교차 영역에 형성된 스위칭 박막트랜지스터;

상기 제2 게이트 라인과 상기 데이터 라인의 교차 영역에 형성된 구동 박막트랜지스터;

상기 스위칭 박막트랜지스터와 상기 공통전원 라인에 각각 연결되되, 게이트 절연막을 사이에 두고 제1 캐패시터 하부전극과 제1 캐패시터 상부전극이 정전용량을 형성하는 제1 캐패시터;

상기 구동 박막트랜지스터와 상기 기준전압 라인에 각각 연결되되, 제1 패시베이션막을 사이에 두고 제2 캐패시터 하부전극과 제2 캐패시터 상부전극이 정전용량을 형성하는 제2 캐패시터; 및

상기 구동 박막트랜지스터에 연결된 화소 전극과 대향 전극 사이에 개재된 유기막층을 포함하며,

상기 제2 캐패시터 하부전극의 폭은 상기 제2 캐패시터 상부전극의 폭보다 큰 것을 특징으로 하는 유기전계발광 표시장치.

청구항 3

제1 항 또는 제2 항에 있어서,

상기 제2 캐패시터 하부전극은 상기 제2 캐패시터 상부전극보다 상기 데이터 라인에 인접한 것을 특징으로 하는 유기전계발광 표시장치.

청구항 4

제1 항 또는 제2 항에 있어서,

상기 제2 캐패시터 하부전극과 상기 데이터 라인 간의 평면 상에서의 거리는 상기 제2 캐패시터 상부전극과 상기 데이터 라인 간의 평면 상에서의 거리보다 짧은 것을 특징으로 하는 유기전계발광표시장치.

청구항 5

제1 항 또는 제2 항에 있어서,

상기 제1 캐패시터와 상기 제2 캐패시터는 서로 중첩되는 것을 특징으로 하는 유기전계발광표시장치.

명세서

기술분야

[0001]

본 발명은 유기전계발광표시장치에 관한 것으로, 보다 자세하게는 기생 캐패시터를 감소시켜 크로스토크를 저감할 수 있는 유기전계발광표시장치에 관한 것이다.

배경기술

[0002]

최근, 음극선관(CRT : Cathode Ray Tube)의 단점인 무게와 부피를 줄일 수 있는 각종 평판표시장치들이 개발되고 있다. 이러한, 평판표시장치의 예로는, 액정표시장치(LCD : Liquid Crystal Display), 전계방출표시장치(FED : Field Emission Display), 플라즈마표시장치(PDP : Plasma Display Panel) 및 유기전계발광표시장치(OLED : Organic Light Emitting Display) 등이 있다. 이 중에서 유기전계발광표시장치는(Organic Light Emitting Display)는 유기화합물을 여기시켜 발광하게 하는 자발광형 표시장치로, LCD에서 사용되는 백라이트가 필요하지 않아 경량 박형이 가능할 뿐만 아니라 공정을 단순화시킬 수 있다. 또한, 저온 제작이 가능하고, 응답속도가 1ms 이하로서 고속의 응답속도를 가지며, 낮은 소비 전력, 넓은 시야각 및 높은 콘트라스트(Contrast) 등의 특성을 나타낸다.

[0003]

유기전계발광표시장치는 애노드인 제1 전극과 캐소드인 제2 전극 사이에 유기물로 이루어진 발광층을 포함하고 있어 제1 전극으로부터 공급받는 정공과 제2 전극으로부터 받은 전자가 발광층 내에서 결합하여 정공-전자쌍인 여기자(exciton)를 형성하고 다시 여기자가 바닥상태로 돌아오면서 발생하는 에너지에 의해 발광하게 된다.

[0004]

유기전계발광표시장치는 빛이 출사되는 방향에 따라 배면 발광형과 전면 발광형으로 나눌 수 있다. 배면 발광형은 기판의 하부 방향 즉, 발광층에서 제1 전극 방향으로 빛이 출사되는 것이고, 전면 발광형은 기판의 상부 방향 즉, 발광층에서 제2 전극 방향으로 빛이 출사되는 것을 말한다.

[0005]

최근에는 표시장치가 점점 고해상도화 되면서 더욱 작은 픽셀 사이즈가 요구되고 있다. 하나의 픽셀은 게이트 라인, 데이터 라인 및 공통전원 라인의 교차에 의해 구획되고, 이 픽셀에는 스위칭 박막트랜지스터, 구동 박막트랜지스터, 캐패시터 및 유기발광 다이오드가 형성된다. 픽셀 사이즈가 작아지면 박막트랜지스터들과 전술한 라인들이 집적화되어 매우 밀접하게 배치된다. 이에 따라, 데이터 라인 또는 공통전원 라인과, 이들에 인접하게 배치된 박막트랜지스터 사이에서 기생 캐패시터가 형성된다. 따라서, 박막트랜지스터에 인가되는 전압에 차이가 발생하여 픽셀의 발광 휘도가 달라지는 크로스토크(crosstalk)가 발생하는 문제점이 있다.

발명의 내용

해결하려는 과제

[0006]

본 발명은 기생 캐패시터를 감소시켜 크로스토크를 저감할 수 있는 유기전계발광표시장치를 제공한다.

과제의 해결 수단

- [0007] 상기한 목적을 달성하기 위해, 본 발명의 일 실시예에 따른 유기전계발광표시장치는 기관, 상기 기관 상에 위치하며, 제1 캐패시터 하부전극과 제1 캐패시터 상부전극 사이에 개재된 게이트 절연막을 포함하는 제1 캐패시터, 상기 제1 캐패시터 상에 위치하는 제1 패시베이션막, 상기 제1 패시베이션막 상에 위치하며, 제2 캐패시터 하부전극과 제2 캐패시터 상부전극 사이에 개재된 제2 패시베이션막을 포함하는 제2 캐패시터, 상기 제2 캐패시터 상에 위치하는 유기절연막, 상기 유기절연막 상에 위치하는 화소 전극, 상기 화소 전극 상에 위치하며, 적어도 발광층을 포함하는 유기막층, 및 상기 유기막층 상에 위치하는 대향 전극을 포함하며, 상기 제2 캐패시터 하부전극의 폭은 상기 제2 캐패시터 상부전극의 폭보다 큰 것을 특징으로 한다.
- [0008] 또한, 본 발명의 일 실시예에 따른 유기전계발광표시장치는 기관, 상기 기관 상에 일 방향으로 배열된 제1 및 제2 게이트 라인, 상기 제1 및 제2 게이트 라인과 수직하는 데이터 라인 및 상기 데이터 라인과 평행한 공통전원 라인 및 기준전압 라인, 상기 제1 게이트 라인과 상기 데이터 라인의 교차 영역에 형성된 스위칭 박막트랜지스터, 상기 제2 게이트 라인과 상기 데이터 라인의 교차 영역에 형성된 구동 박막트랜지스터, 상기 스위칭 박막트랜지스터와 상기 공통전원 라인에 각각 연결되되, 게이트 절연막을 사이에 두고 제1 캐패시터 하부전극과 제1 캐패시터 상부전극이 정전용량을 형성하는 제1 캐패시터, 상기 구동 박막트랜지스터와 상기 기준전압 라인에 각각 연결되되, 제1 패시베이션막을 사이에 두고 제2 캐패시터 하부전극과 제2 캐패시터 상부전극이 정전용량을 형성하는 제2 캐패시터, 및 상기 구동 박막트랜지스터에 연결된 화소 전극과 대향 전극 사이에 개재된 유기막층을 포함하며, 상기 제2 캐패시터 하부전극의 폭은 상기 제2 캐패시터 상부전극의 폭보다 큰 것을 특징으로 한다.
- [0009] 상기 제2 캐패시터 하부전극은 상기 제2 캐패시터 상부전극보다 상기 데이터 라인에 인접한 것을 특징으로 한다.
- [0010] 상기 제2 캐패시터 하부전극과 상기 데이터 라인 간의 평면 상에서의 거리는 상기 제2 캐패시터 상부전극과 상기 데이터 라인 간의 평면 상에서의 거리보다 짧은 것을 특징으로 한다.
- [0011] 상기 제1 캐패시터와 상기 제2 캐패시터는 서로 중첩되는 것을 특징으로 한다.

발명의 효과

- [0012] 본 발명의 일 실시예에 따른 유기전계발광표시장치는 제2 캐패시터 하부전극의 폭을 제2 캐패시터 상부전극의 폭보다 크게 형성함으로써, 제2 캐패시터 상부전극과 데이터 라인 사이의 기생 캐패시터를 감소시켜 크로스토크를 저감할 수 있는 이점이 있다.
- [0013] 또한, 본 발명의 일 실시예에 따른 유기전계발광표시장치는 제1 캐패시터와 함께 제2 캐패시터를 추가로 형성함으로써, 고해상도되어 서브픽셀의 사이즈가 줄어들어 제1 캐패시터의 정전용량이 줄어들어도 정전용량을 유지할 수 있는 이점이 있다.

도면의 간단한 설명

- [0014] 도 1은 본 발명의 일 실시예에 따른 유기전계발광표시장치의 서브픽셀을 나타낸 평면도.
 도 2는 도 1의 I-I'에 따라 절취한 단면도.
 도 3은 도 1의 II-II'에 따라 절취한 단면도.
 도 4는 본 발명의 일 실시예에 따른 유기전계발광표시장치의 제2 캐패시터의 형상을 나타낸 모식도.
 도 5는 제2 캐패시터와 데이터 라인에 형성되는 캐패시턴스를 나타낸 모식도.

발명을 실시하기 위한 구체적인 내용

- [0015] 이하, 첨부한 도면들을 참조하여 본 발명에 따른 바람직한 실시 예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조 번호들은 실질적으로 동일한 구성 요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지된 내용 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다.

- [0016] 이하, 도 1 내지 도 3을 참조하여 본 발명의 일 실시예에 따른 유기전계발광표시장치에 대해 설명한다. 하기에 서는 유기전계발광표시장치를 설명하기 위해 하나의 서브픽셀을 예로 도시하여 설명하기로 한다.
- [0017] 도 1은 본 발명의 일 실시예에 따른 유기전계발광표시장치의 서브픽셀을 나타낸 평면도이고, 도 2는 도 1의 I-I'에 따라 절취한 단면도이며, 도 3은 도 1의 II-II'에 따라 절취한 단면도이다.
- [0018] 도 1을 참조하면, 본 발명의 일 실시예에 따른 유기전계발광표시장치(100)는 기판(105) 상에 제1 게이트 라인(120a) 및 제2 게이트 라인(120c)이 가로로 서로 평행하게 배열된다. 기준전압 라인(130c), 데이터 라인(130d) 및 공통전원 라인(130e)은 상기 제1 게이트 라인(120a) 및 제2 게이트 라인(120c)에 수직하도록 세로로 배치되며 서로 평행하게 배열된다. 이들 제1 게이트 라인(120a), 제2 게이트 라인(120c), 기준전압 라인(130c), 데이터 라인(130d) 및 공통전원 라인(130e)의 교차에 의해 서브픽셀 영역이 구획된다.
- [0019] 제1 게이트 라인(120a), 드레인 전극(130a), 데이터 라인(130d)에 인접하여 배치된 제1 액티브층(110a)이 스위칭 박막트랜지스터(Switching TFT, S_TFT)를 구성하고, 제2 게이트 라인(120c)과 기준전압 라인(130c)에 인접하여 배치된 제2 액티브층(110c)이 구동 박막트랜지스터(Driving TFT, D_TFT)를 구성한다. 스위칭 박막트랜지스터와 구동 박막트랜지스터 사이에는 공통전원 라인(130e)으로부터 전압을 인가받는 제1 캐패시터 하부전극(110b)과 스위칭 박막트랜지스터로부터 전압을 인가받는 제1 캐패시터 상부전극(120b)이 제1 캐패시터(Cst1)를 구성한다. 또한, 공통전원 라인(130e)으로부터 전압을 인가받는 제2 캐패시터 하부전극(140)과 스위칭 박막트랜지스터로부터 전압을 인가받는 제2 캐패시터 상부전극(150a)이 제2 캐패시터(Cst2)를 구성한다.
- [0020] 한편, 제1 캐패시터 하부전극(110b)을 통해 공통전원 라인(130e)으로부터 연결된 연결패턴(130b)이 위치하고, 연결패턴(130b)은 구동 박막트랜지스터의 드레인 전극(150b)에 연결된다. 화소 전극(165)은 드레인 전극(150b)에 연결된다. 화소 전극(165)은 유기막층과 대향 전극이 형성되어 유기발광 다이오드를 구성한다.
- [0021] 전술한 도 1에 도시된 유기전계발광표시장치의 서브픽셀의 구조를 하기 도 2와 3을 참조하여 보다 자세히 설명하도록 한다.
- [0022] 도 2를 참조하면, 본 발명의 일 실시예에 따른 유기전계발광표시장치(100)는 기판(105) 상에 제1 액티브층(110a), 제1 캐패시터 하부전극(110b) 및 제2 액티브층(미도시)이 위치한다. 제1 액티브층(110a), 제1 캐패시터 하부전극(110b) 및 제2 액티브층(미도시)은 비정질 실리콘(a-Si)에 불순물 이온이 주입되어 도전화된 것으로 이루어질 수 있다. 또한, 기판(105)과 제1 액티브층(110a), 제1 캐패시터 하부전극(110b) 및 제2 액티브층(미도시) 사이에 도시하지 않았지만 실리콘 산화물 또는 실리콘 질화물로 이루어진 버퍼층이 더 위치할 수 있다.
- [0023] 상기 제1 액티브층(110a), 제1 캐패시터 하부전극(110b) 및 제2 액티브층(미도시) 상에 이들을 절연시키는 게이트 절연막(115)이 위치한다. 게이트 절연막(115)은 실리콘 질화물(SiNx), 실리콘 산화물(SiOx) 또는 이들의 다중층으로 이루어질 수 있다. 게이트 절연막(115) 상에 제1 게이트 전극(120a), 제1 캐패시터 상부전극(120b) 및 제2 게이트 전극(120c)이 위치한다. 제1 게이트 전극(120a), 제1 캐패시터 상부전극(120b) 및 제2 게이트 전극(120c)은 알루미늄(Al), 몰리브덴(Mo), 티타늄(Ti), 금(Au), 은(Ag), 텅스텐(W) 또는 이들의 합금으로 이루어진 군에서 선택되는 어느 하나로 이루어진 단일층 또는 이들의 다중층으로 이루어질 수 있다.
- [0024] 상기 제1 게이트 전극(120a), 제1 캐패시터 상부전극(120b) 및 제2 게이트 전극(120c) 상에 이들을 절연시키는 층간 절연막(125)이 위치한다. 층간 절연막(125)은 실리콘 질화물(SiNx), 실리콘 산화물(SiOx) 또는 이들의 다중층으로 이루어질 수 있다. 층간 절연막(125) 상에 스위칭 박막트랜지스터의 드레인 전극(130a)과 연결패턴(130b)이 위치한다. 연결패턴(130b)은 제1 캐패시터 하부전극(110b)과 구동 박막트랜지스터의 드레인 전극(150b)을 연결한다. 드레인 전극(130a)과 연결패턴(130b)은 배선 저항을 낮추기 위해 저저항 물질로 형성되어 있으며, 몰리브덴(Mo), 티타늄(Ti), 알루미늄(Al), 금(Au), 은(Ag), 텅스텐(W) 또는 이들의 합금으로 이루어진 군에서 선택된 어느 하나로 이루어진 단일층 또는 이들의 다중층으로 이루어질 수 있다. 드레인 전극(130a)은 게이트 절연막(115)과 층간 절연막(125)에 형성된 제1 콘택홀(127a)을 통해 제1 액티브층(110a)에 연결되고, 연결패턴(130b)은 게이트 절연막(115)과 층간 절연막(125)에 형성된 제2 콘택홀(127b)을 통해 제1 캐패시터 하부전극(110b)에 연결된다. 제1 캐패시터 하부전극(110b)과 제1 캐패시터 상부전극(120b)은 게이트 절연막(115)을 사이에 두고 제1 캐패시터(Cst1)를 형성한다.
- [0025] 한편, 드레인 전극(130a)과 연결패턴(130b) 상에 제1 패시베이션막(135)이 위치한다. 제1 패시베이션막(135)은 실리콘 질화물(SiNx), 실리콘 산화물(SiOx) 또는 이들의 다중층으로 이루어질 수 있다. 제1 패시베이션막(135) 상에 제2 캐패시터 하부전극(140)이 위치한다. 제2 캐패시터 하부전극(140)은 전술한 제1 캐패시터(Cst1)와 대

응되는 영역에 위치한다. 제2 캐패시터 하부전극(140)은 정전용량을 형성하기 위해 도전성을 가지는 물질로 형성되며, 몰리브덴(Mo), 티타늄(Ti), 알루미늄(Al), 금(Au), 은(Ag), 텅스텐(W) 또는 이들의 합금으로 이루어진 군에서 선택된 어느 하나로 이루어진 단일층 또는 이들의 다중층으로 이루어질 수 있다.

[0026] 제2 캐패시터 하부전극(140) 상에 제2 패시베이션막(145)이 위치한다. 제2 패시베이션막(145)은 실리콘 질화물(SiNx), 실리콘 산화물(SiOx) 또는 이들의 다중층으로 이루어질 수 있다. 제2 패시베이션막(145) 상에 제2 캐패시터 상부전극(150a) 및 구동 박막트랜지스터의 드레인 전극(150b)이 위치한다. 제2 캐패시터 상부전극(150a)은 전술한 제2 캐패시터 하부전극(140)과 대응되도록 위치한다. 제2 캐패시터 상부전극(150a) 및 구동 박막트랜지스터의 드레인 전극(150b)은 정전용량을 형성하기 위해 도전성을 가지는 물질로 형성되며, 몰리브덴(Mo), 티타늄(Ti), 알루미늄(Al), 금(Au), 은(Ag), 텅스텐(W) 또는 이들의 합금으로 이루어진 군에서 선택된 어느 하나로 이루어진 단일층 또는 이들의 다중층으로 이루어질 수 있다.

[0027] 상기 제2 캐패시터 상부전극(150a)은 제1 패시베이션막(135) 및 제2 패시베이션막(145)에 형성된 제3 콘택홀(137a)을 통해 스위칭 박막트랜지스터의 드레인 전극(130a)과 연결된다. 또한, 제2 캐패시터 하부전극(140)은 제1 패시베이션막(135)과 제2 패시베이션막(145)에 형성된 제4 콘택홀(137b)을 통해 연결패턴(130b)에 연결된다. 따라서, 제2 캐패시터 상부전극(150a)과 제2 캐패시터 하부전극(140)은 제2 패시베이션막(145)을 사이에 두고 제2 캐패시터(Cst2)를 형성한다.

[0028] 한편, 기판(105) 상에 형성된 제1 캐패시터(Cst1) 및 제2 캐패시터(Cst2) 상에 유기절연막(160)이 위치한다. 유기절연막(160)은 하부의 단차를 평탄화하는 평탄화막으로, 벤조사이클로부텐(benzocyclobutene, BCB)계 수지, 포토아크릴(photo acryl)과 같은 아크릴레이트계 수지 또는 폴리이미드(polyimide)드 수지 등의 유기물로 이루어질 수 있다. 유기절연막(160) 상에 화소 전극(165)이 위치한다. 화소 전극(165)은 투명 전극으로 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), ICO(Indium Cerium Oxide) 또는 ZnO(Zinc Oxide)와 같은 일함수가 높은 투명한 물질로 이루어질 수 있다. 여기서, 화소 전극(165)이 반사 전극일 경우에는 하부에 반사막을 포함할 수 있으며 예를 들어 APC/ITO, ITO/APC/ITO 의 적층 구조로 이루어질 수 있다.

[0029] 화소 전극(165)을 포함하는 유기절연막(160) 상에 뱅크층(170)이 위치한다. 뱅크층(170)은 화소 전극(165)의 일부를 노출시킴으로써 발광영역을 정의하는 역할을 하는 것으로, 폴리이미드(polyimide) 수지, 벤조사이클로부텐계 수지, 아크릴레이트(acrylate)계 수지 등의 유기물로 이루어질 수 있다. 뱅크층(170)은 화소 전극(165)을 노출시키는 개구부(172)가 형성된다. 뱅크층(170) 및 화소 전극(165) 상에 유기막층(175)이 위치한다. 유기막층(175)은 적어도 발광층을 포함하며, 정공주입층, 정공수송층, 전자수송층 및 전자주입층 중 적어도 하나 이상을 더 포함할 수 있다. 유기막층(175)을 포함하는 기판(105) 상에 대향 전극(180)이 위치한다. 대향 전극(175)은 발광층으로부터 발광된 광을 투과하는 투과 전극이며, 일함수가 낮은마그네슘(Mg), 은(Ag), 칼슘(Ca), 알루미늄(Al) 또는 이들의 합금으로 이루어질 수 있다. 따라서, 화소 전극(165), 유기막층(175) 및 대향 전극(180)을 포함하는 유기발광 다이오드를 구성한다.

[0030] 한편, 도 3을 참조하여, 본 발명의 유기전계발광표시장치의 캐패시터와 공통전원라인 간의 관계를 상세히 설명하기로 한다. 하기에서는 전술한 도 2와 동일한 구성요소에 대해 그 설명을 간략히 한다.

[0031] 도 3을 참조하면, 본 발명의 일 실시예에 따른 유기전계발광표시장치(100)는 기판(105) 상에 제1 캐패시터 하부전극(110b)이 위치하고, 이를 절연시키는 게이트 절연막(115)이 위치한다. 게이트 절연막(115) 상에 제1 캐패시터 상부전극(120b)이 위치하여 제1 캐패시터 하부전극(110b)과 제1 캐패시터(Cst1)를 구성한다. 제1 캐패시터 상부전극(120b) 상에 층간 절연막(125)이 위치하고, 층간 절연막(125) 상에 기준전압 라인(130c), 데이터 라인(130d) 및 공통전원 라인(130e)이 위치한다. 기준전압 라인(130c)과 데이터 라인(130d)은 서로 인접하여 제1 캐패시터(Cst1)의 일측에 위치하고, 공통전원 라인(130e)은 제1 캐패시터(Cst1)의 타측에 위치한다.

[0032] 기준전압 라인(130c), 데이터 라인(130d) 및 공통전원 라인(130e) 상에 제1 패시베이션막(135)이 위치한다. 제1 패시베이션막(135) 상에 제2 캐패시터 하부전극(140)이 위치하고, 제2 캐패시터 하부전극(140) 상에 제2 패시베이션막(145)이 위치하며, 제2 패시베이션막(145) 상에 제2 캐패시터 상부전극(150a)이 위치한다. 따라서, 제2 캐패시터 하부전극(140)과 제2 캐패시터 상부전극(150a)은 제2 패시베이션막(145)을 사이에 두고 제2 캐패시터(Cst2)를 구성한다. 제2 캐패시터(Cst2)는 제1 캐패시터(Cst1)와 대응되는 위치에 위치한다.

[0033] 한편, 유기전계발광표시장치는 고해상도화 되면서 서브픽셀의 사이즈가 줄어들기 때문에, 기존에 서브픽셀 내에 형성되던 캐패시터의 용량 또한 감소되었다. 따라서, 본 발명의 유기전계발광표시장치(100)는 기존의 제1 캐패시터(Cst1)만 형성되던 것에 더하여 별도의 제2 캐패시터(Cst2)를 제1 캐패시터(Cst1) 위에 더 형성하였다. 제2

캐패시터(Cst2)는 제1 캐패시터(Cst1)의 사이즈가 줄어들어 감소된 정전용량을 보충하기 위한 역할을 한다. 따라서, 제2 캐패시터(Cst2)는 제1 캐패시터(Cst1)와 대응되는 위치에 형성되어 추가의 면적을 차지하는 것을 최소화한다.

[0034] 그리고, 서브픽셀의 사이즈가 줄어들면 제2 캐패시터(Cst2)가 데이터 라인(130d)에 매우 가깝게 위치하게 되어, 제2 캐패시터(Cst2)와 데이터 라인(130d) 사이에 기생 캐패시터(parastic capacitor)가 형성될 수 있다. 따라서, 본 발명의 실시예에서는 데이터 라인(130d)에 인접한 제2 캐패시터 하부전극(140)의 폭을 제2 캐패시터 상부전극(150a)의 폭보다 크게 형성하여 제2 캐패시터 상부전극(150a)과 데이터 라인(130d) 사이에서 발생하는 기생 캐패시터를 감소시킨다.

[0035] 보다 자세하게 제2 캐패시터 전극들의 폭을 변경한 구조를 살펴보면 다음과 같다. 도 4는 본 발명의 일 실시예에 따른 유기전계발광표시장치의 제2 캐패시터의 형상을 나타낸 모식도이고, 도 5는 제2 캐패시터와 데이터 라인에 형성되는 캐패시턴스를 나타낸 모식도이다.

[0036] 도 4를 참조하면, 본 발명의 실시예에서는 데이터 라인(130d)에 인접한 제2 캐패시터(Cst2)가 형성된다. 제2 캐패시터(Cst2)는 제2 캐패시터 하부전극(140)과 제2 캐패시터 상부전극(150a)이 제2 패시베이션막(145)을 사이에 두고 정전용량을 형성하게 된다. 도 4의 (a)를 참조하면, 제2 캐패시터(Cst2)의 제2 캐패시터 상부전극(150a)의 폭(W2)이 제2 캐패시터 하부전극(140)의 폭(W1)보다 크게 형성되면, 제2 캐패시터 상부전극(150a)이 데이터 라인(130d)에 상대적으로 인접하게 배치된다. 이에 따라, 제2 캐패시터 상부전극(150a)과 데이터 라인(130d) 사이에서 기생 캐패시터가 형성된다. 따라서, 데이터 라인(130d)의 신호에 의해 구동 박막트랜지스터의 전압/전류 변동이 생겨 크로스토크가 발생하게 된다. 특히, 고해상도 모델에서는 서브픽셀 내의 영역이 협소하기 때문에 제2 캐패시터 상부전극(150a)과 데이터 라인(130d) 사이의 거리를 늘리는데 한계가 있기 때문에, 제2 캐패시터 상부전극(150a)과 데이터 라인(130d) 사이에서 기생 캐패시터가 형성될 수 밖에 없다.

[0037] 본 발명에서는 도 4의 (b)에 도시된 바와 같이, 제2 캐패시터 하부전극(140)의 폭(W1)을 제2 캐패시터 상부전극(150a)의 폭(W2)보다 크게 형성하여 제2 캐패시터 상부전극(150a)과 데이터 라인(130d) 사이에서 발생하는 기생 캐패시터를 감소시킬 수 있게 된다. 다르게 말하면, 제2 캐패시터 하부전극(140)과 데이터 라인(130d) 간의 평면 상에서의 거리(d1)를 제2 캐패시터 상부전극(150a)과 데이터 라인(130d) 간의 평면 상에서의 거리(d2)보다 짧게 형성한다.

[0038] 도 5를 참조하면, 제2 캐패시터 하부전극(140)은 소스 전극 또는 드레인 전극에 접촉되어 있고, 제2 캐패시터 상부전극(150a)은 게이트 전극에 접촉되어 있다. 따라서, 제2 캐패시터 하부전극(140)이 데이터 라인(130d)과 인접하게 되면 제2 캐패시터 하부전극(140)과 데이터 라인(130d) 사이에서 기생 캐패시터(Cps)가 증가된다. 그러나, 크로스토크는 제2 캐패시터 상부전극(150a)과 데이터 라인(130d) 사이에 형성되는 기생 캐패시터(Cpg)가 더 유효하게 작용하기 때문에, 제2 캐패시터 상부전극(150a)과 데이터 라인(130d) 사이의 기생 캐패시터(Cpg)를 줄여 크로스토크를 억제한다.

[0039] 따라서, 본 발명에서는 제2 캐패시터 하부전극(140)의 폭(W1)을 제2 캐패시터 상부전극(150a)의 폭(W2)보다 크게 형성하거나, 제2 캐패시터 하부전극(140)과 데이터 라인(130d) 간의 평면상에서 거리(d1)를 제2 캐패시터 상부전극(150a)과 데이터 라인(130d) 간의 평면상에서 거리(d2)보다 짧게 형성함으로써, 제2 캐패시터 상부전극(150a)과 데이터 라인(130d) 사이의 프린지(fringe) 성분을 차폐하여 크로스토크를 저감할 수 있는 이점이 있다.

[0040] 특히, 본 발명에서는 제2 캐패시터 하부전극(140)의 폭(W1)을 제2 캐패시터 상부전극(150a)의 폭(W2)보다 크게 형성하게 되더라도 제2 캐패시터 하부전극(140)의 폭(W1)을 크게하는 대신에 제2 캐패시터 상부전극(150a)의 폭(W2)을 작게함으로써, 실질적으로 제2 캐패시터(Cst2)의 정전용량은 그대로 유지할 수 있다.

[0041] 하기 표 1은 비교예와 실시예에 따른 제2 캐패시터 상부전극과 데이터 라인 사이의 정전용량 및 1 프레임 전류 편차를 측정하여 나타낸 표이다. 하기에서 비교예는 전술한 도 4의 (a)의 구조로 제2 캐패시터 상부전극이 제2 캐패시터 하부전극보다 데이터 라인에 더 인접한 구조이고, 실시예는 도 4의 (b)의 구조로 제2 캐패시터 하부전극이 제2 캐패시터 상부전극보다 데이터 라인에 더 인접한 구조이다.

표 1

	비교예	실시예
Cpg (제2캐패시터 상부전극과 데이터 라인 사이의 정전용량)	3.46	0.87
1프레임 전류 편차(%)	2.93	0.82

상기 표 1을 참조하면, 본 발명의 실시예에 따른 유기전계발광표시장치는 제2 캐패시터 상부전극과 데이터 라인 사이의 기생 캐패시터(Cpg)의 정전용량이 0.87로 나타나 비교예의 3.46보다 약 75% 가량 감소하였다. 또한, 크로스토크를 유발시키는 1프레임 전류 편차에 있어서 실시예에 따른 유기전계발광표시장치는 0.82%로 나타나 비교예의 2.93%보다 현저하게 줄어든 것을 확인할 수 있었다.

상기와 같이, 본 발명의 일 실시예에 따른 유기전계발광표시장치는 제2 캐패시터 하부전극의 폭을 제2 캐패시터 상부전극의 폭보다 크게 형성함으로써, 제2 캐패시터 상부전극과 데이터 라인 사이의 기생 캐패시터를 감소시켜 크로스토크를 저감할 수 있는 이점이 있다.

또한, 본 발명의 일 실시예에 따른 유기전계발광표시장치는 제1 캐패시터와 함께 제2 캐패시터를 추가로 형성함으로써, 고해상도되어 서브픽셀의 사이즈가 줄어들어 제1 캐패시터의 정전용량이 줄어들어도 정전용량을 유지할 수 있는 이점이 있다.

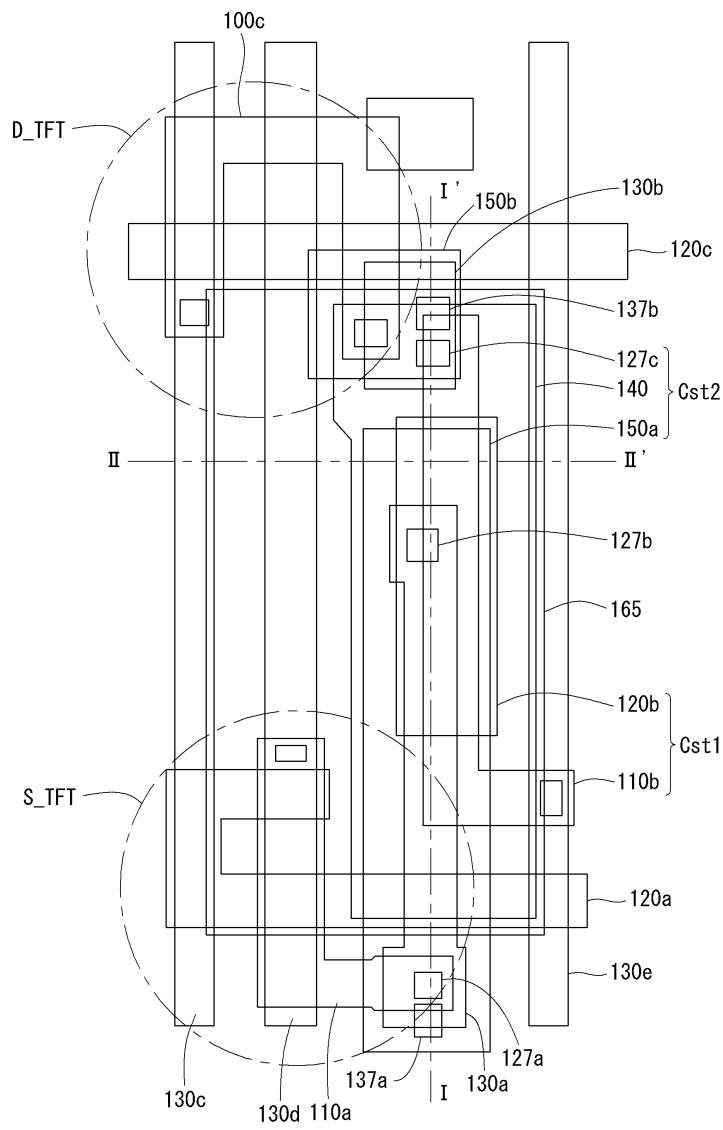
이상 설명한 내용을 통해 당업자라면 본 발명의 기술 사상을 일탈하지 아니하는 범위 내에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명은 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구 범위에 의해 정해져야만 할 것이다.

부호의 설명

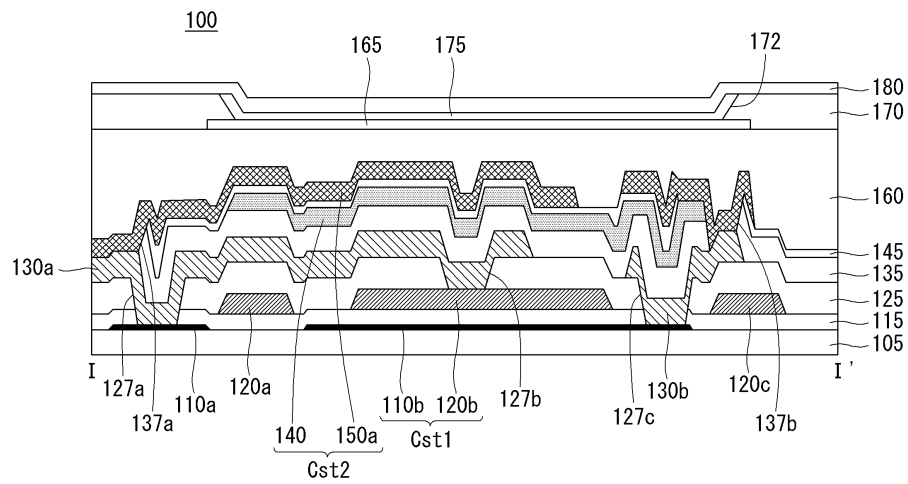
100 : 유기전계발광표시장치 105 : 기관
 110a : 제1 액티브층 110b : 제1 캐패시터 하부전극
 110c : 제2 액티브층 115 : 게이트 절연막
 120a : 제1 게이트 전극 120b : 제2 게이트 전극
 125 : 층간 절연막 130a : 제1 캐패시터 상부전극
 130c : 기준전압 라인 130d : 데이터 라인
 130e : 공통전원 라인 135 : 제1 패시베이션막
 140 : 제2 캐패시터 하부전극 150a : 제2 캐패시터 상부전극
 160 : 화소 전극 170 : 뱅크층
 175 : 유기막층 180 : 대향 전극

도면

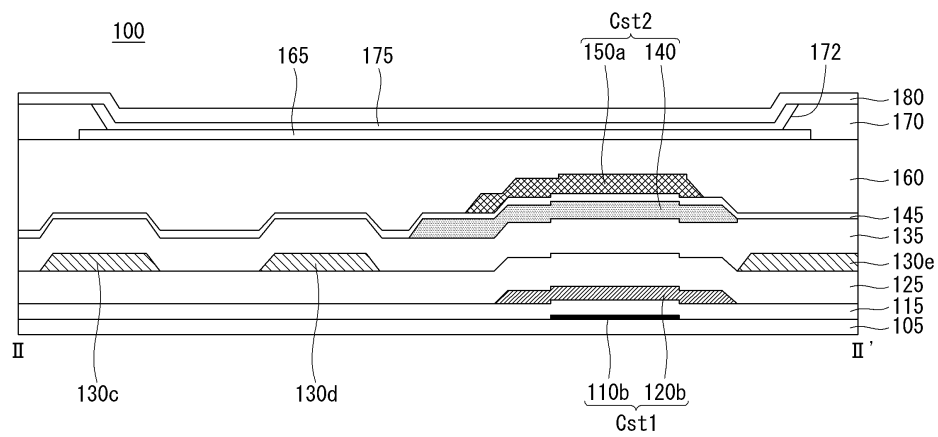
도면1



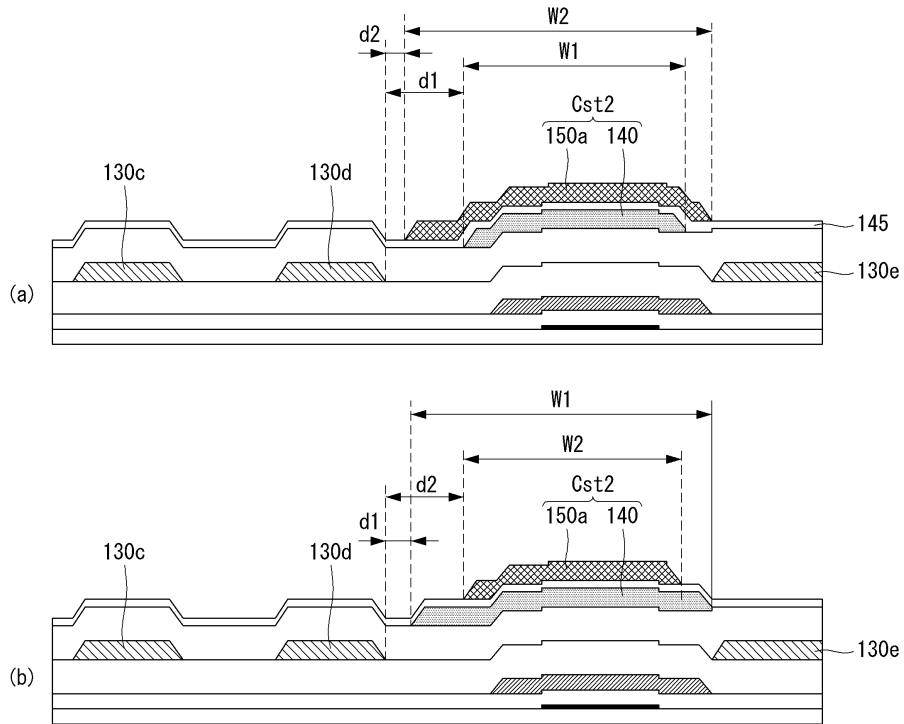
도면2



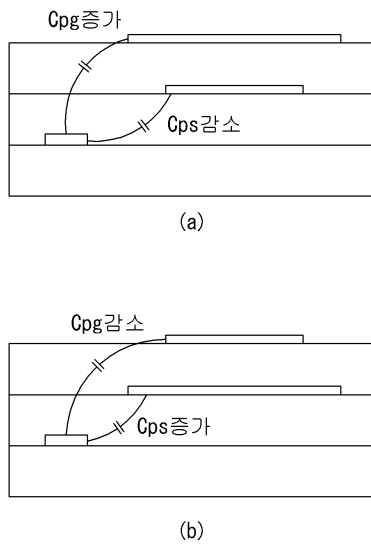
도면3



도면4



도면5



专利名称(译)	标题：有机电致发光显示装置		
公开(公告)号	KR1020160017194A	公开(公告)日	2016-02-16
申请号	KR1020140098526	申请日	2014-07-31
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	PARK JIN WOO 박진우		
发明人	PARK JIN WOO 박진우		
IPC分类号	H01L27/32 H01L51/52		
CPC分类号	H01L27/3265 H01L27/3276		
外部链接	Espacenet		

摘要(译)

根据本发明实施例的有机发光显示器包括基板，设置在基板上的第一电容器，包括插入在第一电容器下电极和第一电容器上电极之间的栅极绝缘膜的第一电容器，第二电容器，设置在第一钝化膜上，并包括插入在第二电容器下电极和第二电容器上电极之间的第二钝化膜，第二电容器，位于第二电容器上，设置在有机绝缘层上的像素电极，设置在像素电极上的有机层，至少包括发光层的有机层，和位于有机层上的对电极，并且电极的宽度大于第二电容器的上电极的宽度。

