



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0137214
(43) 공개일자 2015년12월09일

- | | |
|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| <p>(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) H01L 21/336 (2006.01)
H01L 29/78 (2006.01)</p> <p>(21) 출원번호 10-2014-0064567</p> <p>(22) 출원일자 2014년05월28일
심사청구일자 없음</p> | <p>(71) 출원인
삼성디스플레이 주식회사
경기 용인시 기흥구 삼성로1(농서동)</p> <p>(72) 발명자
김훈
경기도 용인시 기흥구 삼성2로 95 (농서동)
권효정
경기도 용인시 기흥구 삼성2로 95(농서동)
(뒷면에 계속)</p> <p>(74) 대리인
리앤목특허법인</p> |
|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|

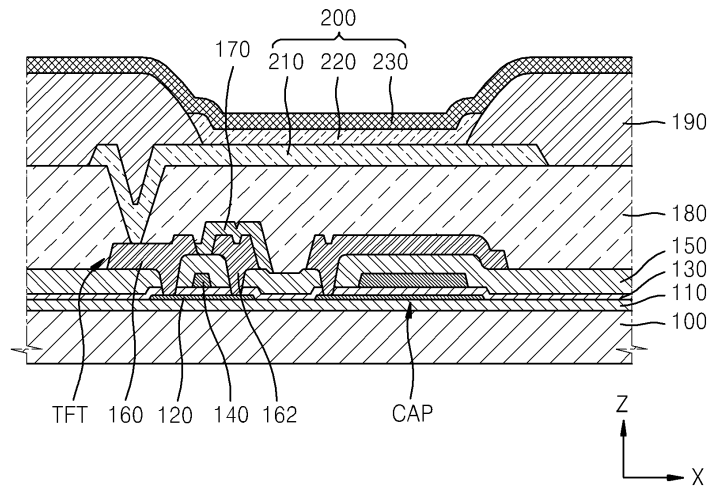
전체 청구항 수 : 총 11 항

(54) 발명의 명칭 유기발광 디스플레이 장치 및 그 제조방법

(57) 요약

본 발명은 이물에 의한 픽셀 구동 불량을 방지하기 위한 유기발광 디스플레이 장치 및 그 제조방법을 위하여, 기관, 상기 기관 상에 배치되며, 게이트전극, 제1전극 및 제2전극을 포함하는 박막트랜지스터, 상기 제1전극을 덮도록 상기 제1전극 상에 배치되며, 일 단부의 적어도 일부가 상기 제2전극에 접하는, 제1보호막 및 상기 제2전극과 전기적으로 연결되는 화소전극을 포함하는 유기발광소자를 구비하는, 유기발광 디스플레이 장치가 제공된다.

대표도 - 도1



(72) 발명자

장문원

경기도 용인시 기흥구 삼성2로 95(농서동)

최원규

경기도 용인시 기흥구 삼성2로 95(농서동)

명세서

청구범위

청구항 1

기관;

상기 기관 상에 배치되며, 게이트전극, 제1전극 및 제2전극을 포함하는 박막트랜지스터;

상기 제1전극을 덮도록 상기 제1전극 상에 배치되며, 일 단부의 적어도 일부가 상기 제2전극에 접하는, 제1보호막; 및

상기 제2전극과 전기적으로 연결되는 화소전극을 포함하는 유기발광소자;

를 구비하는, 유기발광 디스플레이 장치.

청구항 2

제1항에 있어서,

상기 게이트전극과 상기 제1전극 및 상기 제2전극 사이에 개재되는 제1절연막을 더 포함하고,

상기 제1보호막의 타 단부의 적어도 일부는 상기 제1절연막에 접하는, 유기발광 디스플레이 장치.

청구항 3

제2항에 있어서,

상기 제1보호막은 상기 박막트랜지스터가 배치되지 않는 영역 상에는 배치되지 않는, 유기발광 디스플레이 장치.

청구항 4

제1항에 있어서,

상기 제1보호막은 무기물을 포함하는, 유기발광 디스플레이 장치.

청구항 5

기관;

상기 기관 상에 배치되며, 게이트전극, 제1전극 및 제2전극을 포함하는 박막트랜지스터;

상기 게이트전극과 상기 제1전극 및 상기 제2전극 사이에 개재되는 제1절연막;

상기 게이트전극 상부에 배치된 제1절연막 상에 배치되며, 일 단부의 적어도 일부는 상기 제1전극에 접하고, 타 단부의 적어도 일부는 상기 제2전극에 접하는, 제1보호막;

상기 제2전극과 전기적으로 연결되는 화소전극을 포함하는 유기발광소자;

상기 박막트랜지스터를 덮으며 상기 박막트랜지스터와 상기 화소전극 사이에 개재되는 제2절연막; 및

상기 제2절연막과 상기 화소전극 사이에 개재되는 제2보호막을 더 포함하는, 유기발광 디스플레이 장치.

청구항 6

제5항에 있어서,

상기 제2보호막은 적어도 상기 제1전극 상부에 배치되는, 유기발광 디스플레이 장치.

청구항 7

제5항에 있어서,

상기 제1보호막 및 상기 제2보호막은 무기물을 포함하는, 유기발광 디스플레이 장치.

청구항 8

기판 상에 게이트전극, 제1전극 및 제2전극을 포함하는 박막트랜지스터를 형성하는 단계;
박막트랜지스터의 제1전극을 덮도록 제1전극 상에 형성되며, 일 단부의 적어도 일부가 제2전극에 접하도록 제1 보호막을 형성하는 단계; 및
제2전극과 전기적으로 연결되는 화소전극을 포함하는 유기발광소자를 형성하는 단계;
를 포함하는, 유기발광 디스플레이 장치의 제조방법

청구항 9

제8항에 있어서,
게이트전극과 제1전극 및 제2전극 사이에 제1절연막을 형성하는 단계를 더 포함하고,
상기 제1보호막을 형성하는 단계는, 제1보호막의 타 단부의 적어도 일부가 제1절연막에 접하도록 제1보호막을 형성하는 단계인, 유기발광 디스플레이 장치의 제조방법.

청구항 10

제9항에 있어서,
상기 제1보호막을 형성하는 단계는, 박막트랜지스터가 배치되지 않는 영역 상에는 제1보호막을 형성하지 않는 단계인, 유기발광 디스플레이 장치의 제조방법.

청구항 11

제8항에 있어서,
상기 제1보호막을 형성하는 단계는, 제1보호막을 무기물을 포함하여 형성하는 단계인, 유기발광 디스플레이 장치의 제조방법.

발명의 설명

기술 분야

[0001] 본 발명은 유기발광 디스플레이 장치 및 그 제조방법에 관한 것으로서, 더 상세하게는 이물에 의한 픽셀 구동 불량을 방지하기 위한 유기발광 디스플레이 장치 및 그 제조방법에 관한 것이다.

배경 기술

[0002] 디스플레이 장치들 중, 유기발광 디스플레이 장치는 시야각이 넓고 콘트라스트가 우수할 뿐만 아니라 응답속도가 빠르다는 장점을 가지고 있어 차세대 디스플레이 장치로서 주목을 받고 있다.

[0003] 일반적으로 유기발광 디스플레이 장치는 기판에 유기발광소자들을 형성하고, 유기발광소자들이 내부에 위치하도록 기판과 상부기판을 접합하여 제조한다. 이러한 유기발광 디스플레이 장치는 휴대폰 등과 같은 소형 제품의 디스플레이부로 사용되기도 하고, 텔레비전 등과 같은 대형 제품의 디스플레이부로 사용되기도 한다.

[0004] 유기발광 디스플레이 장치는 화소전극과 대향전극 사이에 발광층을 포함하는 중간층이 개재된 유기발광소자를 각 (부)화소로 갖는다. 이러한 유기발광 디스플레이 장치는 일반적으로 각 화소의 발광여부나 발광정도를 화소 전극에 전기적으로 연결된 박막트랜지스터를 통해 제어하고, 화소전극과 대향전극 사이의 전기적 신호의 흐름에 의해 발광층을 포함하는 중간층이 발광한다.

발명의 내용

해결하려는 과제

[0005] 그러나 이러한 종래의 유기발광 디스플레이 장치에는 유기발광 디스플레이 장치의 내부로 침투한 이물에 의해 화소전극이 박막트랜지스터의 일부 전극과 직접적으로 접촉하게 되면 암점 또는 명점 발생에 의해 고품질의 이미지를 디스플레이할 수 없다는 문제점이 있었다.

[0006] 본 발명은 상기와 같은 문제점을 포함하여 여러 문제점들을 해결하기 위한 것으로서, 이물에 의한 픽셀 구동 불량을 방지하기 위한 유기발광 디스플레이 장치 및 그 제조방법을 제공하는 것을 목적으로 한다. 그러나 이러한 과제는 예시적인 것으로, 이에 의해 본 발명의 범위가 한정되는 것은 아니다.

과제의 해결 수단

[0007] 본 발명의 일 관점에 따르면, 기판, 상기 기판 상에 배치되며, 게이트전극, 제1전극 및 제2전극을 포함하는 박막트랜지스터, 상기 제1전극을 덮도록 상기 제1전극 상에 배치되며, 일 단부의 적어도 일부가 상기 제2전극에 접하는, 제1보호막 및 상기 제2전극과 전기적으로 연결되는 화소전극을 포함하는 유기발광소자를 구비하는, 유기발광 디스플레이 장치가 제공된다.

[0008] 상기 게이트전극과 상기 제1전극 및 상기 제2전극 사이에 개재되는 제1절연막을 더 포함하고, 상기 제1보호막의 타 단부의 적어도 일부는 상기 제1절연막에 접할 수 있다.

[0009] 상기 제1보호막은 상기 박막트랜지스터가 배치되지 않는 영역 상에는 배치되지 않을 수 있다.

[0010] 상기 제1보호막은 무기물을 포함할 수 있다.

[0011] 본 발명의 다른 일 관점에 따르면, 기판, 상기 기판 상에 배치되며, 게이트전극, 제1전극 및 제2전극을 포함하는 박막트랜지스터, 상기 게이트전극과 상기 제1전극 및 상기 제2전극 사이에 개재되는 제1절연막, 상기 게이트전극 상부에 배치된 제1절연막 상에 배치되며, 일 단부의 적어도 일부는 상기 제1전극에 접하고, 타 단부의 적어도 일부는 상기 제2전극에 접하는, 제1보호막, 상기 제2전극과 전기적으로 연결되는 화소전극을 포함하는 유기발광소자, 상기 박막트랜지스터를 덮으며 상기 박막트랜지스터와 상기 화소전극 사이에 개재되는 제2절연막 및 상기 제2절연막과 상기 화소전극 사이에 개재되는 제2보호막을 포함하는, 유기발광 디스플레이 장치가 제공된다.

[0012] 상기 제2보호막은 적어도 상기 제1전극 상부에 배치될 수 있다.

[0013] 상기 제1보호막 및 상기 제2보호막은 무기물을 포함할 수 있다.

[0014] 본 발명의 또 다른 일 관점에 따르면, 기판 상에 게이트전극, 제1전극 및 제2전극을 포함하는 박막트랜지스터를 형성하는 단계, 박막트랜지스터의 제1전극을 덮도록 제1전극 상에 형성되며, 일 단부의 적어도 일부가 제2전극에 접하도록 제1보호막을 형성하는 단계 및 제2전극과 전기적으로 연결되는 화소전극을 포함하는 유기발광소자를 형성하는 단계를 포함하는, 유기발광 디스플레이 장치의 제조방법이 제공된다.

[0015] 게이트전극과 제1전극 및 제2전극 사이에 제1절연막을 형성하는 단계를 더 포함하고, 상기 제1보호막을 형성하는 단계는, 제1보호막의 타 단부의 적어도 일부가 제1절연막에 접하도록 제1보호막을 형성하는 단계일 수 있다.

[0016] 상기 제1보호막을 형성하는 단계는, 박막트랜지스터가 배치되지 않는 영역 상에는 제1보호막을 형성하지 않는 단계일 수 있다.

[0017] 상기 제1보호막을 형성하는 단계는, 제1보호막을 무기물을 포함하여 형성하는 단계일 수 있다.

[0018] 전술한 것 외의 다른 측면, 특징, 이점이 이하의 도면, 특허청구범위 및 발명의 상세한 설명으로부터 명확해질 것이다.

[0019] 이러한 일반적이고 구체적인 측면이 시스템, 방법, 컴퓨터 프로그램, 또는 어떠한 시스템, 방법, 컴퓨터 프로그램의 조합을 사용하여 실시될 수 있다.

발명의 효과

[0020] 상기한 바와 같이 이루어진 본 발명의 일 실시예에 따르면, 이물에 의한 픽셀 구동 불량을 방지하기 위한 유기발광 디스플레이 장치 및 그 제조방법을 구현할 수 있다. 물론 이러한 효과에 의해 본 발명의 범위가 한정되는 것은 아니다.

도면의 간단한 설명

- [0021] 도 1은 본 발명의 일 실시예에 따른 유기발광 디스플레이 장치를 개략적으로 도시하는 단면도이다.
- 도 2은 보호막이 없는 경우 유기발광 디스플레이 장치에 이물이 침투한 것을 개략적으로 도시하는 단면도이다.
- 도 3은 도 1의 유기발광 디스플레이 장치에 이물이 침투한 것을 개략적으로 도시하는 단면도이다.
- 도 4는 본 발명의 다른 일 실시예에 따른 유기발광 디스플레이 장치를 개략적으로 도시하는 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0022] 본 발명은 다양한 변환을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 상세한 설명에 상세하게 설명하고자 한다. 본 발명의 효과 및 특징, 그리고 그것들을 달성하는 방법은 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 다양한 형태로 구현될 수 있다.
- [0023] 이하, 첨부된 도면을 참조하여 본 발명의 실시예들을 상세히 설명하기로 하며, 도면을 참조하여 설명할 때 동일하거나 대응하는 구성 요소는 동일한 도면부호를 부여하고 이에 대한 중복되는 설명은 생략하기로 한다.
- [0024] 본 발명은 다양한 변환을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 상세한 설명에 상세하게 설명하고자 한다. 본 발명의 효과 및 특징, 그리고 그것들을 달성하는 방법은 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 다양한 형태로 구현될 수 있다.
- [0025] 이하, 첨부된 도면을 참조하여 본 발명의 실시예들을 상세히 설명하기로 하며, 도면을 참조하여 설명할 때 동일하거나 대응하는 구성 요소는 동일한 도면부호를 부여하고 이에 대한 중복되는 설명은 생략하기로 한다.
- [0026] 이하의 실시예에서, 제1, 제2 등의 용어는 한정적인 의미가 아니라 하나의 구성 요소를 다른 구성 요소와 구별하는 목적으로 사용되었다. 또한, 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.
- [0027] 한편, 포함하다 또는 가지다 등의 용어는 명세서상에 기재된 특징, 또는 구성요소가 존재함을 의미하는 것이고, 하나 이상의 다른 특징들 또는 구성요소가 부가될 가능성을 미리 배제하는 것은 아니다. 또한, 막, 영역, 구성 요소 등의 부분이 다른 부분 "위에" 또는 "상에" 있다고 할 때, 다른 부분의 "바로 위에" 또는 "바로 상에" 있는 경우뿐만 아니라, 그 중간에 다른 막, 영역, 구성 요소 등이 개재되어 있는 경우도 포함한다.
- [0028] 도면에서는 설명의 편의를 위하여 구성 요소들이 그 크기가 과장 또는 축소될 수 있다. 예컨대, 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로, 본 발명이 반드시 도시된 바에 한정되지 않는다.
- [0029] x축, y축 및 z축은 직교 좌표계 상의 세 축으로 한정되지 않고, 이를 포함하는 넓은 의미로 해석될 수 있다. 예를 들어, x축, y축 및 z축은 서로 직교할 수도 있지만, 서로 직교하지 않는 서로 다른 방향을 지칭할 수도 있다.
- [0030] 어떤 실시예가 달리 구현 가능한 경우에 특정한 공정 순서는 설명되는 순서와 다르게 수행될 수도 있다. 예를 들어, 연속하여 설명되는 두 공정이 실질적으로 동시에 수행될 수도 있고, 설명되는 순서와 반대의 순서로 진행될 수 있다.
- [0031] 도 1은 본 발명의 일 실시예에 관한 유기발광 디스플레이 장치를 개략적으로 도시하는 단면도이다.
- [0032] 도 1을 참조하면, 본 발명의 일 실시예에 관한 유기발광 디스플레이 장치는 기판(100), 기판(100) 상에 배치되는 박막트랜지스터(TFT), 제1보호막(170) 및 유기발광소자(200)를 구비한다.
- [0033] 기판(100)은 글라스재, 금속재, 또는 PET(Polyethylen terephthalate), PEN(Polyethylen naphthalate), 폴리이미드(Polyimide) 등과 같은 플라스틱재 등, 다양한 재료로 형성된 것일 수 있다. 이러한 기판(100)은 복수개의 화소들이 배치되는 디스플레이영역과, 이 디스플레이영역을 감싸는 주변영역을 가질 수 있다.
- [0034] 기판(100) 상에는 박막트랜지스터(TFT)가 배치되는데, 박막트랜지스터(TFT) 외에 박막트랜지스터(TFT)에 전기적으로 연결되는 유기발광소자(200)가 배치될 수 있다. 유기발광소자(200)가 박막트랜지스터(TFT)에 전기적으로 연결된다는 것은, 화소전극(210)이 박막트랜지스터(TFT)에 전기적으로 연결되는 것으로 이해될 수 있다.
- [0035] 이러한 박막트랜지스터(TFT)는 비정질실리콘, 다결정실리콘 또는 유기반도체물질들을 포함하는 반도체층(120), 게

이트전극(140), 제1전극(162) 및 제2전극(160)을 포함한다. 박막트랜지스터(TFT)의 제1전극(162)은 소스전극에 대응하고, 제2전극(160)은 드레인전극에 대응하는 것으로 이해될 수 있다.

- [0036] 기판(100) 상에는 기판(100)의 면을 평탄화하기 위해 또는 반도체층(120)으로 불순물 등이 침투하는 것을 방지하기 위해, 실리콘옥사이드 또는 실리콘나이트라이드 등으로 형성된 버퍼층(110)이 배치되고, 이 버퍼층(110) 상에 반도체층(120)이 위치하도록 할 수 있다.
- [0037] 반도체층(120)의 상부에는 게이트전극(140)이 배치되는데, 이 게이트전극(140)에 인가되는 신호에 따라 제1전극(162) 및 제2전극(160)이 전기적으로 소통된다. 게이트전극(140)은 인접층과의 밀착성, 적층되는 층의 표면 평탄성 그리고 가공성 등을 고려하여, 예컨대 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 리튬(Li), 칼슘(Ca), 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W), 구리(Cu) 중 하나 이상의 물질로 단층 또는 다층으로 형성될 수 있다. 이때 반도체층(120)과 게이트전극(140)과의 절연성을 확보하기 위하여, 실리콘옥사이드 및/또는 실리콘나이트라이드 등으로 형성되는 게이트절연막(130)이 반도체층(120)과 게이트전극(140) 사이에 개재될 수 있다.
- [0038] 게이트전극(140)의 상부에는 제1절연층(150)이 배치될 수 있는데, 이러한 제1절연층(150)은 게이트전극(140)과 제1전극(162) 및 제2전극(160) 사이에 개재되는 중간절연막으로 이해될 수 있다. 제1절연층(150)은 실리콘옥사이드 또는 실리콘나이트라이드 등의 물질로 단층으로 형성되거나 또는 다층으로 형성될 수 있다.
- [0039] 제1절연층(150)의 상부에는 제1전극(162) 및 제2전극(160)이 배치된다. 제1전극(162) 및 제2전극(160)은 제1절연층(150)과 게이트절연막(130)에 형성되는 컨택홀을 통하여 반도체층(120)에 각각 전기적으로 연결된다. 제1전극(162) 및 제2전극(160)은 도전성 등을 고려하여 예컨대 알루미늄(Al), 백금(Pt), 팔라듐(Pd), 은(Ag), 마그네슘(Mg), 금(Au), 니켈(Ni), 네오디뮴(Nd), 이리듐(Ir), 크롬(Cr), 리튬(Li), 칼슘(Ca), 몰리브덴(Mo), 티타늄(Ti), 텅스텐(W), 구리(Cu) 중 하나 이상의 물질로 단층 또는 다층으로 형성될 수 있다.
- [0040] 한편, 도 1에 도시된 것과 같이 이러한 구조의 박막트랜지스터(TFT) 상에는 필요에 따라 박막트랜지스터(TFT)의 제1전극(162)을 덮는 제1보호막(170)이 배치될 수도 있다. 이때 제1보호막(170)의 일 단부의 적어도 일부가 제2전극(160)에 접할 수 있다. 다시 말해 제1보호막(170)은 박막트랜지스터(TFT)의 소스전극 및/또는 데이터 라인에 대응하는 제1전극(162)을 덮도록 배치될 수 있고, 이는 제1보호막(170)이 박막트랜지스터(TFT)의 드레인전극에 대응하며 화소전극(210)과 전기적으로 연결되는 제2전극(160) 및 박막트랜지스터(TFT)가 배치되지 않는 제1절연층(150) 상에는 배치되지 않는 것으로 이해될 수 있다. 또한 제1보호막(170)의 타 단부의 적어도 일부는 제2전극(160)에 접할 수 있다. 제1보호막(170)은 예컨대 실리콘옥사이드, 실리콘나이트라이드 또는 실리콘옥시나이트라이드 등과 같은 무기물로 형성될 수 있다.
- [0041] 도 1과 같은 단면도를 참조하면, 이러한 제1보호막(170)이 박막트랜지스터(TFT)의 데이터 라인에 대응하는 제1전극(162)과 화소전극(210)과 전기적으로 연결되는 제2전극(160)이 이격된 사이에 배치됨에 따라, 박막트랜지스터(TFT)의 제1전극(162)과 제2전극(160)의 쇼트를 방지 할 수 있다.
- [0042] 뿐만 아니라, 본 발명의 일 실시예에 관한 유기발광 디스플레이 장치에서는 제1보호막(170)이 박막트랜지스터(TFT)의 소스전극에 대응하는 제1전극(162)의 상부를 덮고 있기 때문에, 외부에서 침투한 이물(D, 도 2 및 도 3 참조)에 의해 화소전극(210)이 박막트랜지스터(TFT)의 소스전극에 대응하는 제1전극(162)과 접촉하여 쇼트가 일어나는 것을 획기적으로 방지할 수 있다. 또한, 제1보호막(170)은 상술한 것과 같이 무기물로 형성되는데 실제 공정상 무기물을 이용한 공정은 높은 비용이 들기 때문에 이러한 무기물로 형성되는 제1보호막(170)을 최소한의 범위에 배치함으로써 제조 단가적인 측면에서도 획기적인 절감을 기대할 수 있다.
- [0043] 제1보호막(170) 상에는 제2절연층(180)이 배치될 수 있다. 이 경우 제2절연층(180)은 평탄화막일 수도 있고 보호막일 수도 있다. 예컨대 도 1에 도시된 것과 같이 박막트랜지스터(TFT) 상부에 유기발광소자(200)가 배치될 경우 박막트랜지스터(TFT)의 상면을 대체로 평탄화하기 위한 평탄화막으로서 제2절연층(180)이 배치될 수 있다. 이러한 제2절연층(180)은 예컨대 아크릴계 유기물 또는 BCB(Benzocyclobutene) 등으로 형성될 수 있다. 도 1에서는 제2절연층(180)이 단층으로 도시되어 있으나, 다층일 수도 있는 등 다양한 변형이 가능하다.
- [0044] 제2절연층(180) 상에는, 화소전극(210), 화소전극(210)에 대항하는 대항전극(230) 및 그 사이에 개재되며 발광층을 포함하는 중간층(220)을 갖는 유기발광소자(200)가 배치된다.
- [0045] 제2절연층(180)에는 박막트랜지스터(TFT)의 제1전극(162) 및 제2전극(160) 중 적어도 어느 하나를 노출시키는 개구부가 존재하며, 이 개구부를 통해 제1전극(162) 및 제2전극(160) 중 어느 하나와 컨택하여 박막트랜지스터(TFT)와 전기적으로 연결되는 화소전극(210)이 제2절연층(180) 상에 배치된다. 화소전극(210)은 (반)투명 전극

또는 반사형 전극으로 형성될 수 있다. (반)투명 전극으로 형성될 때에는 예컨대 ITO, IZO, ZnO, In₂O₃, IGO 또는 AZO로 형성될 수 있다. 반사형 전극으로 형성될 때에는 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr 및 이들의 화합물 등으로 형성된 반사막과, ITO, IZO, ZnO, In₂O₃, IGO 또는 AZO로 형성된 층을 가질 수 있다. 물론 본 발명이 이에 한정되는 것은 아니고 다양한 재료로 형성될 수 있으며, 그 구조 또한 단층 또는 다층이 될 수 있는 등 다양한 변형이 가능하다.

[0046] 제2절연층(180) 상부에는 제3절연층(190)이 배치될 수 있다. 이 제3절연층(190)은 화소정의막으로서, 각 부화소들에 대응하는 개구들, 즉 화소전극(210)의 가장자리를 덮으며 각각의 적어도 중앙부가 노출되도록 하는 개구들을 가짐으로써 화소를 정의하는 역할을 한다. 또한, 도 1에 도시된 바와 같이, 제3절연층(190)은 화소전극(210)의 단부와 화소전극(210) 상부에 배치된 대향전극(230)과의 사이의 거리를 증가시킴으로써 화소전극(210)의 단부에서 아크가 발생하는 것을 방지하는 역할을 한다. 이와 같은 제3절연층(190)은 예컨대 폴리이미드 등과 같은 유기물로 형성될 수 있다.

[0047] 유기발광소자(200)의 중간층(220)은 저분자 또는 고분자 물질을 포함할 수 있다. 저분자 물질을 포함할 경우 홀 주입층(HIL: Hole Injection Layer), 홀 수송층(HTL: Hole Transport Layer), 발광층(EML: Emission Layer), 전자 수송층(ETL: Electron Transport Layer), 전자 주입층(EIL: Electron Injection Layer) 등이 단일 혹은 복합의 구조로 적층되어 형성될 수 있으며, 사용 가능한 유기 재료도 구리 프탈로시아닌(CuPc: copper phthalocyanine), N,N'-디(나프탈렌-1-일)-N,N'-디페닐-벤지딘 (N,N'-Di(naphthalene-1-yl)-N,N'-diphenylbenzidine: NPB), 트리스-8-하이드록시퀴놀린 알루미늄(tris-8-hydroxyquinoline aluminum)(Alq3) 등을 비롯해 다양한 물질이 사용될 수 있다. 이러한 층들은 진공증착 등의 방법으로 형성될 수 있다.

[0048] 중간층(220)이 고분자 물질을 포함할 경우에는 대개 홀 수송층(HTL) 및 발광층(EML)을 포함하는 구조를 가질 수 있다. 이 때, 홀 수송층으로 PEDOT를 사용하고, 발광층으로 PPV(Poly-Phenylenevinylene)계 및 폴리플루오렌(Polyfluorene)계 등 고분자 물질을 사용하며, 이를 스크린 인쇄나 잉크젯 인쇄방법, 레이저열전사방법(LITI; Laser induced thermal imaging) 등으로 형성할 수 있다. 물론 중간층(220)은 반드시 이에 한정되는 것은 아니고, 다양한 구조를 가질 수도 있음은 물론이다.

[0049] 대향전극(230)은 발광층을 포함하는 중간층(220)을 사이에 두고 화소전극(210)에 대향하도록 배치될 수 있다. 도 1에는 도시되어 있지 않으나, 대향전극(230)은 기판(100)의 전면(全面)에 걸쳐 배치될 수 있다. 즉, 대향전극(230)은 유기발광소자(200)에 있어서 일체(一體)로 형성되어 화소전극(210)에 대응할 수 있다.

[0050] 대향전극(230)은 (반)투명 전극 또는 반사형 전극으로 형성될 수 있다. 대향전극(230)이 (반)투명 전극으로 형성될 때에는 일함수가 작은 금속 즉, Li, Ca, LiF/Ca, LiF/Al, Al, Ag, Mg 및 이들의 화합물로 형성된 층과 ITO, IZO, ZnO 또는 In₂O₃ 등의 (반)투명 도전층을 가질 수 있다. 대향전극(230)이 반사형 전극으로 형성될 때에는 Li, Ca, LiF/Ca, LiF/Al, Al, Ag, Mg 및 이들의 화합물로 형성된 층을 가질 수 있다. 물론 대향전극(230)의 구성 및 재료가 이에 한정되는 것은 아니며 다양한 변형이 가능함은 물론이다.

[0051] 도 1을 참조하여 전술한 것과 같이 본 발명의 일 실시예에 관한 유기발광 디스플레이 장치에서는, 이러한 제1보호막(170)에 의해 박막트랜지스터(TFT)의 제1전극(162)과 제2전극(160)의 쇼트를 방지할 수 있을 뿐만 아니라, 외부에서 침투한 이물(D, 도 2 및 도 3 참조)에 의해 화소전극(210)이 박막트랜지스터(TFT)의 소스전극에 대응하는 제1전극(162)에 접촉하여 쇼트가 일어나는 것을 획기적으로 방지할 수 있다. 또한, 제1보호막(170)은 상술한 것과 같이 무기물로 형성되는데 무기물을 이용한 공정은 높은 비용이 들기 때문에 이러한 무기물로 형성되는 제1보호막(170)을 최소한의 범위에 배치함으로써 제조 단가적인 측면에서도 획기적인 절감을 기대할 수 있다.

[0052] 도 2는 보호막이 없는 경우 유기발광 디스플레이 장치에 이물(D)이 침투한 것을 개략적으로 도시하는 단면도이고, 도 3은 도 1의 유기발광 디스플레이 장치에 이물(D)이 침투한 것을 개략적으로 도시하는 단면도이다. 이하에서는 이물(D)이 디스플레이부 내부로 침투했을 경우에 제1보호막(170)의 존재 유무에 따른 유기발광 디스플레이 장치를 도 2와 도 3을 비교하여 설명한다.

[0053] 도 2를 참조하면, 제1보호막(170)이 없는 경우 유기발광 디스플레이 장치는, 박막트랜지스터(TFT) 상에 제2절연층(180)이 바로 배치된다. 이러한 제2절연층(180)은 상술한 것과 같이 예컨대 유기물로 형성되기 때문에 외부 이물이 침투한 경우 하부 소자 보호에 취약할 수 있다. 디스플레이부 내에 이물(D)이 침투한 경우에, 이물(D)에 의해 화소전극(210)과 대향전극(230)이 접촉하게 되면 픽셀에 암점에 의한 불량 발생된다. 그러나 도 2에 도시된 것과 같이 이물(D)이 디스플레이부 내부로 깊숙하게 침투한 경우에는 화소전극(210)과 박막트랜지스터(TFT)의 데이터 라인에 대응하는 제1전극(162)의 접촉부분(10)이 발생하게 되고 이러한 경우 픽셀 내에 명점에

의한 불량률이 발생된다. 이러한 압점에 의한 불량은 시인성 여부에 따라 일부 양품 처리가 가능하나, 명점에 의한 불량은 하나의 픽셀이라도 명점이 발생하면 불량으로 처리되어 전체 수율에 치명적인 결과를 초래한다. 또한, 초반에는 압점이었다가 점차적으로 이물(D)이 디스플레이부 내부로 침투하여 명점으로 발현되는 경우가 발생하기도 하며, 이러한 경우 제품 출하 후 발생하는 진행성 불량률이 되기도 한다.

[0054] 따라서 이러한 픽셀 내에 명점에 의한 불량을 방지하기 위하여, 본 발명의 일 실시예에 관한 유기발광 디스플레이 장치에서는 도 3에 도시된 것과 같이 박막트랜지스터(TFT)의 데이터 라인에 대응하는 제1전극(162) 상에 제1보호막(170)이 배치될 수 있다. 제1보호막(170)이 배치됨에 따라, 이물(D)이 디스플레이부 내부로 깊숙하게 침투하는 경우 화소전극(210)과 박막트랜지스터(TFT)의 접촉부분(20)에서 제1보호막(170)에 의해 화소전극(210)이 박막트랜지스터(TFT)의 제1전극(162)과 직접적으로 접촉하는 것을 막을 수 있어 쇼트를 방지하여 픽셀 내부 명점에 의한 불량을 획기적으로 감소시킬 수 있다. 도 4는 본 발명의 다른 일 실시예에 따른 유기발광 디스플레이 장치를 개략적으로 도시하는 단면도이다.

[0055] 도 4를 참조하면, 본 발명의 다른 일 실시예에 관한 유기발광 디스플레이 장치는 기판(100), 기판(100) 상에 배치되는 박막트랜지스터(TFT), 제1보호막(172), 제2보호막(182) 및 유기발광소자(200)를 구비한다. 이하 도 4를 참조하여 설명하는 본 발명의 다른 일 실시예에 관한 유기발광 디스플레이 장치 중 전술한 내용과 공통되는 부분은 상기 도 1 내지 도 3의 설명을 원용한다.

[0056] 박막트랜지스터(TFT)의 게이트전극(140) 상부에 배치된 층간절연막인 제1절연층(150) 상에 제1보호막(172)이 배치될 수 있다, 제1보호막(172)의 일 단부의 적어도 일부는 제1전극(162)에 접하고, 제1보호막(172)의 타 단부의 적어도 일부는 제2전극(160)에 접할 수 있다. 즉, 도 4와 같은 단면도를 참조하면 박막트랜지스터(TFT)의 제1전극(162)과 제2전극(160)은 일정 간격으로 이격되어 배치될 수 있으며, 박막트랜지스터(TFT)의 제1전극(162)과 제2전극(160)이 이격된 부분에 제1보호막(172)이 배치될 수 있다. 이러한 제1보호막(172)을 통해 박막트랜지스터(TFT)의 제1전극(162)과 제2전극(160)의 직접적인 접촉에 의한 쇼트를 방지할 수 있다.

[0057] 한편 도 4에 도시된 것과 같이, 제2절연막(180)과 화소전극(210) 사이에 개재되는 제2보호막(182)을 더 포함할 수 있다. 이때 제2보호막(182)은 적어도 박막트랜지스터(TFT)의 제1전극(162) 상부에 배치될 수 있다. 이는 제2보호막(182)이 박막트랜지스터(TFT)의 제1전극(162) 상부에 배치됨에 따라, 이물(D)이 디스플레이부 내부로 깊숙하게 침투하는 경우 화소전극(210)하부에 배치되는 제2보호막(182)에 의해 화소전극(210)과 박막트랜지스터(TFT)의 제1전극(162)의 직접적인 접촉을 방지하여, 화소전극(210)과 박막트랜지스터(TFT)의 제1전극(162)의 직접적인 접촉으로 인한 쇼트 및 픽셀 내부의 명점 불량을 획기적으로 방지할 수 있다.

[0058] 이러한 제1보호막(172) 및 제2보호막(182)은 예컨대 실리콘옥사이드, 실리콘나이트라이드 또는 실리콘옥시나이트라이드 등과 같은 무기물로 형성될 수 있다. 이와 같은 무기물을 이용한 공정은 공정상 많은 비용이 들기 때문에, 이러한 무기물로 형성되는 제1보호막(172) 및 제2보호막(182)을 전술한 것과 같은 최소한의 범위에 배치함으로써 제조 단가적인 측면에서도 획기적인 절감을 기대할 수 있다.

[0059] 지금까지는 유기발광 디스플레이 장치에 대해서만 주로 설명하였으나, 본 발명이 이에 한정되는 것은 아니다. 예컨대 이러한 유기발광 디스플레이 장치를 이용한 유기발광 디스플레이 장치 제조방법 역시 본 발명의 범위에 속한다고 할 것이다.

[0060] 도 1의 참조하여 본 발명의 일 실시예에 관한 유기발광 디스플레이 장치의 제조방법에 대하여 설명한다.

[0061] 도 1을 참조하면, 기판(100)을 준비하는 단계를 거쳐, 기판(100) 상에 박막트랜지스터(TFT)를 형성하는 단계를 거칠 수 있다. 박막트랜지스터(TFT)를 형성하는 단계는 게이트전극(140), 소스전극에 대응하는 제1전극(162) 및 게이트전극에 대응하는 제2전극(160)을 포함하여 형성하는 단계일 수 있다.

[0062] 이때 박막트랜지스터(TFT)를 형성하는 단계는, 먼저 기판(100) 상에 버퍼층(110)을 형성한 후 버퍼층(110) 상에 반도체층(120)을 패터닝하는 단계를 거칠 수 있다. 반도체층(120)을 패터닝 한 후 반도체층(120) 상에 게이트절연막(130)을 적층하고 게이트절연막(130) 상에 게이트전극(140)을 패터닝하는 단계를 거칠 수 있다. 게이트절연막(130) 상에 반도체층(120)과 전기적으로 연결되는 제1전극(162) 및 제2전극(160)을 패터닝 할 수 있다.

[0063] 그 후, 박막트랜지스터(TFT)들 상에 제1보호막(170) 및 제2절연층(180)을 적층하는 단계를 거칠 수 있다. 제1보호막(170)은 박막트랜지스터(TFT)를 보호하는 보호막으로 이해될 수 있으며, 제2절연층(180)은 박막트랜지스터(TFT)를 보호하는 보호막 또는 제2절연층(180)의 상면을 대체로 평탄화하기 위한 평탄화막으로서 이해될 수 있다.

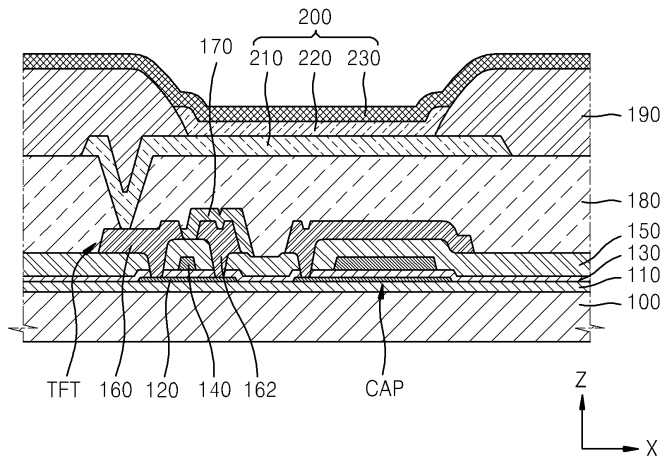
- [0064] 제2절연층(180)과 제1절연층(150)에 컨택홀을 형성한 후 컨택홀을 통해 박막트랜지스터(TFT)의 제1전극(162) 및 제2전극(160) 중 어느 하나와 전기적으로 연결되도록 화소전극(210)을 형성하는 단계를 거칠 수 있다. 본 발명의 일 실시예에 관한 유기발광 디스플레이 장치에서는 화소전극(210)은 드레인전극에 대응하는 제2전극(160)과 전기적으로 연결될 수 있다. 이 경우 화소전극(210)은 박막트랜지스터(TFT) 상에 형성될 수 있다.
- [0065] 그 후, 제2절연층(180) 상에 화소전극(210)을 형성하고 난 후, 화소전극(210) 상에 제3절연층(190)을 형성할 수 있다. 화소전극(210) 상에 형성된 제3절연층(190)은 화소부를 정의하는 화소정의막의 역할을 한다. 이러한 제3절연층(190)은 화소전극(210)의 각각의 중앙부가 노출되도록 화소전극(210)의 가장자리를 덮도록 형성될 수 있다.
- [0066] 이와 같이 제2절연층(180) 상에 제3절연층(190)을 형성하는 단계를 거친 후, 제3절연층(190)에 의해 노출된 화소전극(210)의 중앙부 상에 발광층을 포함한 중간층(220)을 형성하는 단계를 거칠 수 있다. 그 후, 화소전극(210)과 대응되도록 대향전극(230)을 형성하는 단계를 더 거칠 수 있다. 예컨대 도 5에 도시된 것과 같이 대향전극(230)은 제3절연층(190) 전면(全面)에 걸쳐서 형성될 수 있다.
- [0067] 본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 당해 기술분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 다른 실시예가 가능하다는 점을 이해할 것이다. 따라서 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

부호의 설명

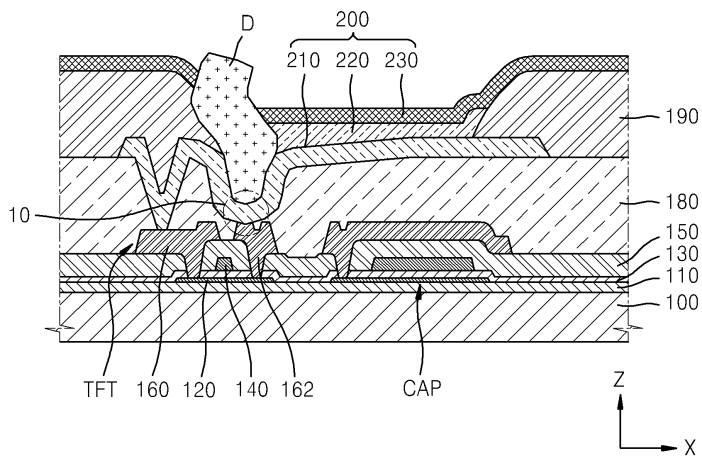
- [0068] D: 이물
- 100: 기판
- 140: 게이트전극
- 150: 제1절연층
- 160: 제2전극
- 162: 제1전극
- 170: 제1보호막
- 172: 제1보호막
- 180: 제2절연층
- 182: 제2보호막
- 190: 제3절연층
- 200: 유기발광소자
- 210: 화소전극
- 220: 중간층
- 230: 대향전극

도면

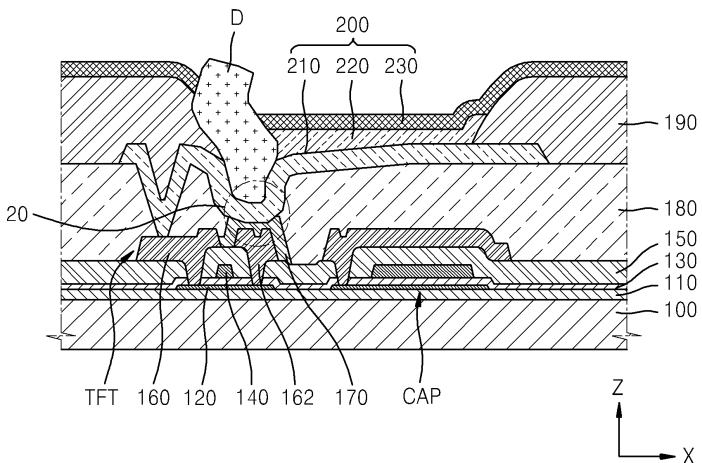
도면1



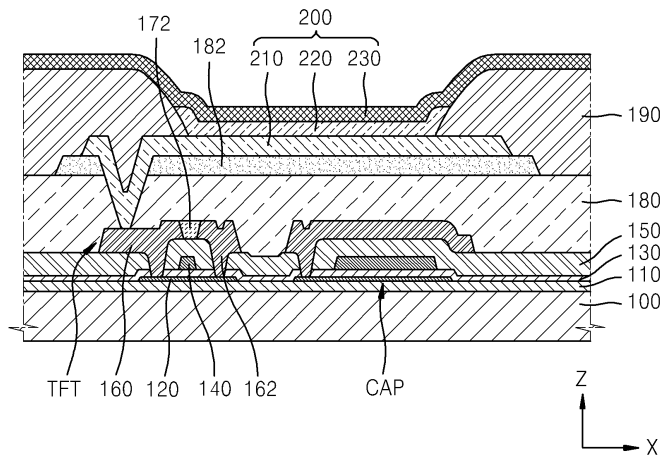
도면2



도면3



도면4



专利名称(译)	标题：OLED显示装置及其制造方法		
公开(公告)号	KR1020150137214A	公开(公告)日	2015-12-09
申请号	KR1020140064567	申请日	2014-05-28
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	KIM HUN 김훈 KWON HYO JEONG 권효정 CHANG MOON WON 장문원 CHOE WON KYU 최원규		
发明人	김훈 권효정 장문원 최원규		
IPC分类号	H01L27/32 H01L29/78 H01L21/336		
CPC分类号	H01L27/3258 H01L27/1248 H01L27/3248 H01L2251/5392		
外部链接	Espacenet		

摘要(译)

薄膜晶体管包括基板，设置在基板上的薄膜晶体管，薄膜晶体管包括栅电极，第一电极和第二电极，一种有机发光元件，包括：第一保护层，设置在第一电极上，以覆盖第一电极，其至少一部分与第二电极接触；以及像素电极，电连接到第二电极，提供一种有机发光显示装置。

