



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0114080
(43) 공개일자 2015년10월12일

(51) 국제특허분류(Int. Cl.)

G09G 3/32 (2006.01)

(21) 출원번호 10-2014-0037771

(22) 출원일자 2014년03월31일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

최영준

서울 노원구 노원로 532, 920동 1310호 (상계동, 상계주공아파트9단지)

김범식

경기 수원시 권선구 권광로 55, 113동 1302호 (권선동, 권선자이이편한세상)

(뒷면에 계속)

(74) 대리인

특허법인로알

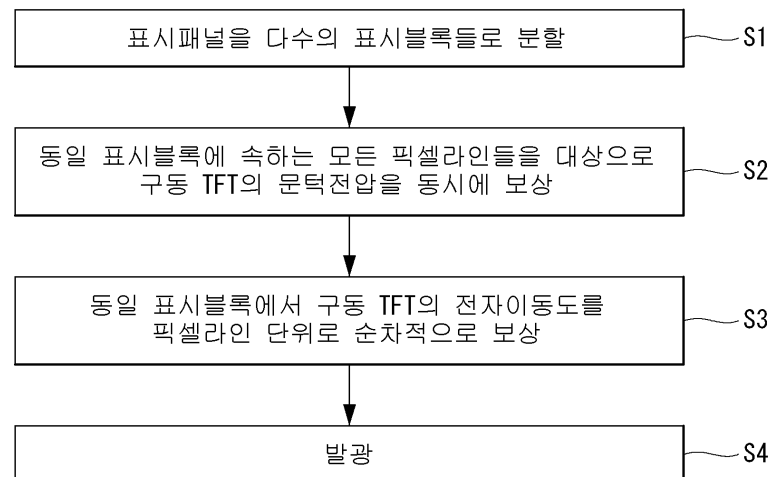
전체 청구항 수 : 총 26 항

(54) 발명의 명칭 유기발광 표시장치와 그 구동방법

(57) 요약

본 발명은 유기발광다이오드와 구동 TFT를 각각 포함하여 화상을 표시하며 소스 팔로워 내부 보상 방식에 따라 상기 구동 TFT의 문턱전압 및 전자이동도를 보상하는 다수의 픽셀들이 형성되고, 상기 픽셀들에 의해 다수의 픽셀라인들이 이루어지며, 소정 개수씩 그룹핑되는 상기 픽셀라인들에 의해 데이터 스캔 방향을 따라 다수의 표시블록들로 분할되는 표시패널; 상기 표시패널에 형성된 게이트신호 공급라인들을 구동하는 게이트 구동회로; 상기 표시패널에 형성된 데이터신호 공급라인들을 구동하는 데이터 구동회로; 및 상기 게이트 구동회로와 데이터 구동회로의 동작을 제어하여, 상기 구동 TFT의 문턱전압 및 전자이동도를 표시블록 단위로 순차적으로 보상하되, 동일 표시블록에 속하는 모든 픽셀라인들을 대상으로 상기 구동 TFT의 문턱전압을 동시에 보상한 후, 상기 동일 표시블록에서 상기 구동 TFT의 전자이동도를 픽셀라인 단위로 순차적으로 보상하는 타이밍 콘트롤러를 구비한다.

대표도 - 도3



(72) 발명자

박혜민

경기 고양시 일산서구 일현로 140, 103동 1803호
(탄현동, 큰마을대림현대아파트)

김창희

대구 달서구 장기로 115, 102동 1803호 (성당동,
성당포스코더샵아파트)

명세서

청구범위

청구항 1

유기발광다이오드와 구동 TFT를 각각 포함하여 화상을 표시하며 소스 팔로워 내부 보상 방식에 따라 상기 구동 TFT의 문턱전압 및 전자기동도를 보상하는 다수의 픽셀들이 형성되고, 상기 픽셀들에 의해 다수의 픽셀라인들이 이루어지며, 소정 개수씩 그룹핑되는 상기 픽셀라인들에 의해 데이터 스캔 방향을 따라 다수의 표시블록들로 분할되는 표시패널;

상기 표시패널에 형성된 게이트신호 공급라인들을 구동하는 게이트 구동회로;

상기 표시패널에 형성된 데이터신호 공급라인들을 구동하는 데이터 구동회로; 및

상기 게이트 구동회로와 데이터 구동회로의 동작을 제어하여, 상기 구동 TFT의 문턱전압 및 전자기동도를 표시블록 단위로 순차적으로 보상하되, 동일 표시블록에 속하는 모든 픽셀라인들을 대상으로 상기 구동 TFT의 문턱전압을 동시에 보상한 후, 상기 동일 표시블록에서 상기 구동 TFT의 전자기동도를 픽셀라인 단위로 순차적으로 보상하는 타이밍 컨트롤러를 구비하는 유기발광 표시장치.

청구항 2

제 1 항에 있어서,

상기 표시블록들에는 이웃하게 배치되어 순차적이며 비 중첩적으로 보상되는 제1 표시블록과 제2 표시블록이 포함되고;

상기 타이밍 컨트롤러는,

상기 제1 표시블록을 대상으로 상기 구동 TFT의 문턱전압을 동시에 보상한 후, 상기 제1 표시블록에서 상기 구동 TFT의 전자기동도를 픽셀라인 단위로 순차적으로 보상한 다음, 이어서

상기 제2 표시블록을 대상으로 상기 구동 TFT의 문턱전압을 동시에 보상한 후, 상기 제2 표시블록에서 상기 구동 TFT의 전자기동도를 픽셀라인 단위로 순차적으로 보상하는 유기발광 표시장치.

청구항 3

제 1 항에 있어서,

상기 표시블록들에는 이웃하게 배치되어 순차적이며 중첩적으로 보상되는 제1 표시블록과 제2 표시블록이 포함되고;

상기 타이밍 컨트롤러는,

상기 제1 표시블록을 대상으로 상기 구동 TFT의 문턱전압을 동시에 보상한 후, 상기 제2 표시블록을 대상으로 상기 구동 TFT의 문턱전압을 동시에 보상한 다음, 이어서

상기 제1 표시블록에서 상기 구동 TFT의 전자기동도를 픽셀라인 단위로 순차적으로 보상한 후, 상기 제2 표시블록에서 상기 구동 TFT의 전자기동도를 픽셀라인 단위로 순차적으로 보상하는 유기발광 표시장치.

청구항 4

제 1 항에 있어서,

상기 표시블록들의 각 픽셀라인에 대해, 상기 구동 TFT의 문턱전압이 보상되는 기간과 상기 구동 TFT의 전자기동도가 보상되는 기간 사이에는 플로팅 기간이 존재하며,

상기 플로팅 기간은, 동일 표시블록 내의 픽셀라인별로 달라지되, 상기 구동 TFT의 전자기동도에 대한 보상 순서가 가장 빠른 픽셀라인에서 가장 짧고 상기 구동 TFT의 전자기동도에 대한 보상 순서가 가장 늦은 픽셀라인에서 가장 긴 유기발광 표시장치.

청구항 5

제 3 항 또는 제 4 항에 있어서,

상기 제2 표시블록을 대상으로 상기 구동 TFT의 문턱전압을 동시에 보상하는 기간은 상기 제1 표시블록의 가장 짧은 플로팅 기간과 중첩되는 유기발광 표시장치.

청구항 6

제 4 항에 있어서,

상기 플로팅 기간 차이로 인해 동일 표시블록 내의 픽셀라인들 사이에서, 문턱전압 보상을 통해 셋팅된 상기 구동 TFT의 게이트-소스 간 전압이 서로 달라지는 것이 최소화되도록,

상기 타이밍 콘트롤러는 상기 플로팅 기간과 중첩하여 블랙 기입 기간을 설정하고, 상기 블랙 기입 기간 내에서 상기 구동 TFT의 게이트에 블랙 게조용 데이터전압을 인가하여 상기 구동 TFT의 게이트-소스 간 전압을 상기 구동 TFT의 문턱전압보다 낮춤으로써 상기 구동 TFT를 통해 흐르는 누설 전류를 차단하는 유기발광 표시장치.

청구항 7

제 4 항에 있어서,

상기 플로팅 기간 차이로 인해 동일 표시블록 내의 픽셀라인들 사이에서, 문턱전압 보상을 통해 셋팅된 상기 구동 TFT의 게이트-소스 간 전압이 서로 달라지는 것이 최소화되도록,

상기 타이밍 콘트롤러는, 상기 동일 표시블록 내에서 상기 구동 TFT의 문턱전압이 보상되는 기간을 상기 플로팅 기간에 비례하여 픽셀라인 별로 증가되도록 설정하여, 상기 구동 TFT의 문턱전압이 보상되는 기간을 상기 구동 TFT의 전자이동도에 대한 보상 순서가 가장 빠른 픽셀라인에서 가장 짧게 하는 반면 상기 구동 TFT의 전자이동도에 대한 보상 순서가 가장 늦은 픽셀라인에서 가장 길게 하는 유기발광 표시장치.

청구항 8

제 4 항에 있어서,

상기 타이밍 콘트롤러는, 상기 구동 TFT의 게이트전위를 제1 펄스와 제2 펄스를 포함하여 멀티 펄스 형태로 인가되는 게이트신호를 통해 제어하며;

상기 구동 TFT의 문턱전압이 보상되는 기간은 상기 게이트신호의 제1 펄스에 따라 결정되고, 상기 구동 TFT의 전자이동도가 보상되는 기간은 상기 게이트신호의 제2 펄스에 따라 결정되는 유기발광 표시장치.

청구항 9

제 8 항에 있어서,

상기 타이밍 콘트롤러는, 상기 구동 TFT의 전자이동도가 보상되는 기간 내에서 상기 구동 TFT의 게이트에 일정한 레벨의 프리차지용 전압과 화상표시용 게조전압을 포함한 2 스텝 데이터전압이 인가되도록 제어하는 유기발광 표시장치.

청구항 10

제 8 항에 있어서,

상기 타이밍 콘트롤러는, 상기 구동 TFT의 전자이동도가 보상되는 기간 내에서 상기 구동 TFT의 게이트에 화상 표시용 게조전압이 1 스텝 데이터전압으로 인가되도록 제어하고;

상기 게이트신호의 제2 펄스는 상기 화상표시용 게조전압이 상기 데이터 구동회로에서 출력되고 있는 도중에 인가되되, 상기 화상표시용 게조전압의 출력 시간의 1/2 이하에 대응되는 펄스폭을 갖는 유기발광 표시장치.

청구항 11

제 10 항에 있어서,

상기 타이밍 콘트롤러는, 상기 게이트신호의 제1 펄스가 추가보상용 플로팅 구간을 사이에 두고 제1-1 펄스와

제1-2 펄스로 분할되도록 제어하고;

상기 제1-1 펄스에 의해 상기 구동 TFT의 문턱전압이 1차 보상되고, 상기 추가보상용 플로팅 구간에서 상기 구동 TFT의 문턱전압이 2차 보상되는 유기발광 표시장치.

청구항 12

제 11 항에 있어서,

상기 제1-2 펄스는 상기 플로팅 기간과 중첩되는 블랙 기입 기간 내에서 인가되며,

상기 제1-2 펄스에 의해 상기 구동 TFT의 게이트에는 블랙 계조용 데이터전압이 인가되는 유기발광 표시장치.

청구항 13

제 1 항에 있어서,

상기 픽셀들 각각은,

상기 유기발광다이오드;

게이트 노드에 접속된 게이트전극, 소스 노드에 접속된 소스전극, 및 고전위 픽셀 구동전압의 입력단에 접속된 드레인전극을 포함하며, 게이트-소스 간 전압에 따라 상기 유기발광다이오드에 흐르는 구동전류를 제어하는 상기 구동 TFT;

상기 게이트 노드와 상기 소스 노드 사이에 접속된 스토리지 커패시터;

게이트전위제어용 게이트신호가 공급되는 제1 게이트신호 공급라인에 접속된 게이트전극, 데이터신호가 공급되는 데이터신호 공급라인에 접속된 드레인전극, 및 상기 게이트 노드에 접속된 소스전극을 포함하며, 상기 게이트전위제어용 게이트신호에 따라 스위칭되어 상기 게이트 노드의 전위를 제어하는 제1 스위치 TFT; 및

소스전위제어용 게이트신호가 공급되는 제2 게이트신호 공급라인에 접속된 게이트전극, 초기화전압의 입력단에 접속된 드레인전극, 및 상기 소스 노드에 접속된 소스전극을 포함하며, 상기 소스전위제어용 게이트신호에 따라 스위칭되어 상기 소스 노드의 전위를 제어하는 제2 스위치 TFT를 구비하는 유기발광 표시장치.

청구항 14

제 13 항에 있어서,

상기 픽셀들 각각은,

추가 게이트전위제어용 게이트신호가 공급되는 제3 게이트신호 공급라인에 접속된 게이트전극, 읍셋 전압의 입력단에 접속된 드레인전극, 및 상기 게이트 노드에 접속된 소스전극을 포함하며, 상기 추가 게이트전위제어용 게이트신호에 따라 스위칭되어 상기 게이트 노드의 전위를 제어하는 제3 스위치 TFT를 더 구비하는 유기발광 표시장치.

청구항 15

유기발광다이오드와 구동 TFT를 각각 포함하여 화상을 표시하며 소스 팔로워 내부 보상 방식에 따라 상기 구동 TFT의 문턱전압 및 전자기동도를 보상하는 다수의 픽셀들이 형성되고, 상기 픽셀들에 의해 다수의 픽셀라인들이 이루어진 표시패널과, 상기 표시패널에 형성된 게이트신호 공급라인들을 구동하는 게이트 구동회로와, 상기 표시패널에 형성된 데이터신호 공급라인들을 구동하는 데이터 구동회로를 갖는 유기발광 표시장치의 구동방법에 있어서,

소정 개수씩 그룹핑되는 상기 픽셀라인들에 의해 데이터 스캔 방향을 따라 다수의 표시블록들로 표시패널을 분할하는 단계; 및

상기 게이트 구동회로와 데이터 구동회로의 동작을 제어하여, 상기 구동 TFT의 문턱전압 및 전자기동도를 표시블록 단위로 순차적으로 보상하되, 동일 표시블록에 속하는 모든 픽셀라인들을 대상으로 상기 구동 TFT의 문턱전압을 동시에 보정한 후, 상기 동일 표시블록에서 상기 구동 TFT의 전자기동도를 픽셀라인 단위로 순차적으로 보상하는 단계를 포함하는 유기발광 표시장치의 구동방법.

청구항 16

제 15 항에 있어서,

상기 표시블록들에는 이웃하게 배치되어 순차적이며 비 중첩적으로 보상되는 제1 표시블록과 제2 표시블록이 포함되고;

상기 구동 TFT의 문턱전압 및 전자기동도를 보상하는 단계는,

상기 제1 표시블록을 대상으로 상기 구동 TFT의 문턱전압을 동시에 보상한 후, 상기 제1 표시블록에서 상기 구동 TFT의 전자기동도를 픽셀라인 단위로 순차적으로 보상한 다음, 이어서

상기 제2 표시블록을 대상으로 상기 구동 TFT의 문턱전압을 동시에 보상한 후, 상기 제2 표시블록에서 상기 구동 TFT의 전자기동도를 픽셀라인 단위로 순차적으로 보상하는 유기발광 표시장치의 구동방법.

청구항 17

제 15 항에 있어서,

상기 표시블록들에는 이웃하게 배치되어 순차적이며 중첩적으로 보상되는 제1 표시블록과 제2 표시블록이 포함되고;

상기 구동 TFT의 문턱전압 및 전자기동도를 보상하는 단계는,

상기 제1 표시블록을 대상으로 상기 구동 TFT의 문턱전압을 동시에 보상한 후, 상기 제2 표시블록을 대상으로 상기 구동 TFT의 문턱전압을 동시에 보상한 다음, 이어서

상기 제1 표시블록에서 상기 구동 TFT의 전자기동도를 픽셀라인 단위로 순차적으로 보상한 후, 상기 제2 표시블록에서 상기 구동 TFT의 전자기동도를 픽셀라인 단위로 순차적으로 보상하는 유기발광 표시장치의 구동방법.

청구항 18

제 15 항에 있어서,

상기 표시블록들의 각 픽셀라인에 대해, 상기 구동 TFT의 문턱전압이 보상되는 기간과 상기 구동 TFT의 전자기동도가 보상되는 기간 사이에는 플로팅 기간이 존재하며,

상기 플로팅 기간은, 동일 표시블록 내의 픽셀라인별로 달라지되, 상기 구동 TFT의 전자기동도에 대한 보상 순서가 가장 빠른 픽셀라인에서 가장 짧고 상기 구동 TFT의 전자기동도에 대한 보상 순서가 가장 늦은 픽셀라인에서 가장 긴 유기발광 표시장치의 구동방법.

청구항 19

제 17 항 또는 제 18 항에 있어서,

상기 제2 표시블록을 대상으로 상기 구동 TFT의 문턱전압을 동시에 보상하는 기간은 상기 제1 표시블록의 가장 짧은 플로팅 기간과 중첩되는 유기발광 표시장치의 구동방법.

청구항 20

제 18 항에 있어서,

상기 플로팅 기간 차이로 인해 동일 표시블록 내의 픽셀라인들 사이에서, 문턱전압 보상을 통해 셋팅된 상기 구동 TFT의 게이트-소스 간 전압이 서로 달라지는 것이 최소화되도록,

상기 구동 TFT의 문턱전압 및 전자기동도를 보상하는 단계는, 상기 플로팅 기간과 중첩하여 블랙 기입 기간을 설정하고, 상기 블랙 기입 기간 내에서 상기 구동 TFT의 게이트에 블랙 계조용 데이터전압을 인가하여 상기 구동 TFT의 게이트-소스 간 전압을 상기 구동 TFT의 문턱전압보다 낮춤으로써 상기 구동 TFT를 통해 흐르는 누설 전류를 차단하는 유기발광 표시장치의 구동방법.

청구항 21

제 18 항에 있어서,

상기 플로팅 기간 차이로 인해 동일 표시블록 내의 픽셀라인들 사이에서, 문턱전압 보상을 통해 셋팅된 상기 구동 TFT의 게이트-소스 간 전압이 서로 달라지는 것이 최소화되도록,

상기 구동 TFT의 문턱전압 및 전자기동도를 보상하는 단계는, 상기 동일 표시블록 내에서 상기 구동 TFT의 문턱전압이 보상되는 기간을 상기 플로팅 기간에 비례하여 픽셀라인 별로 증가되도록 설정하여, 상기 구동 TFT의 문턱전압이 보상되는 기간을 상기 구동 TFT의 전자기동도에 대한 보상 순서가 가장 빠른 픽셀라인에서 가장 짧게 하는 반면 상기 구동 TFT의 전자기동도에 대한 보상 순서가 가장 늦은 픽셀라인에서 가장 길게 하는 유기발광 표시장치의 구동방법.

청구항 22

제 18 항에 있어서,

상기 구동 TFT의 문턱전압 및 전자기동도를 보상하는 단계에서, 상기 구동 TFT의 게이트전위는 제1 펄스와 제2 펄스를 포함하여 멀티 펄스 형태로 인가되는 게이트신호에 의해 제어되며;

상기 구동 TFT의 문턱전압이 보상되는 기간은 상기 게이트신호의 제1 펄스에 따라 결정되고, 상기 구동 TFT의 전자기동도가 보상되는 기간은 상기 게이트신호의 제2 펄스에 따라 결정되는 유기발광 표시장치의 구동방법.

청구항 23

제 22 항에 있어서,

상기 구동 TFT의 문턱전압 및 전자기동도를 보상하는 단계에서, 상기 구동 TFT의 전자기동도가 보상되는 기간 동안 상기 구동 TFT의 게이트에 일정 레벨의 프리차지용 전압과 화상표시용 계조전압을 포함한 2 스텝 데이터전압이 인가되는 유기발광 표시장치의 구동방법.

청구항 24

제 22 항에 있어서,

상기 구동 TFT의 문턱전압 및 전자기동도를 보상하는 단계에서, 상기 구동 TFT의 전자기동도가 보상되는 기간 동안 상기 구동 TFT의 게이트에 화상표시용 계조전압이 1 스텝 데이터전압으로 인가되고;

상기 게이트신호의 제2 펄스는 상기 화상표시용 계조전압이 상기 데이터 구동회로에서 출력되고 있는 도중에 인가되며, 상기 화상표시용 계조전압의 출력 시간의 1/2 이하에 대응되는 펄스폭을 갖는 유기발광 표시장치의 구동방법.

청구항 25

제 24 항에 있어서,

상기 구동 TFT의 문턱전압 및 전자기동도를 보상하는 단계에서, 상기 게이트신호의 제1 펄스는 추가보상용 플로팅 구간을 사이에 두고 제1-1 펄스와 제1-2 펄스로 분할되고;

상기 제1-1 펄스에 의해 상기 구동 TFT의 문턱전압이 1차 보상되고, 상기 추가보상용 플로팅 구간에서 상기 구동 TFT의 문턱전압이 2차 보상되는 유기발광 표시장치의 구동방법.

청구항 26

제 25 항에 있어서,

상기 제1-2 펄스는 상기 플로팅 기간과 중첩되는 블랙 기입 기간 내에서 인가되며,

상기 제1-2 펄스에 의해 상기 구동 TFT의 게이트에는 블랙 계조용 데이터전압이 인가되는 유기발광 표시장치의 구동방법.

발명의 설명

기술 분야

[0001] 본 발명은 액티브 매트릭스 타입의 유기발광 표시장치와 그 구동방법에 관한 것이다.

배경 기술

[0002] 액티브 매트릭스 타입의 유기발광 표시장치는 스스로 발광하는 유기발광다이오드(Organic Light Emitting Diode: 이하, "OLED"라 함)를 포함하며, 응답속도가 빠르고 발광효율, 휘도 및 시야각이 큰 장점이 있다.

[0003] 자발광 소자인 OLED는 애노드전극 및 캐소드전극과, 이들 사이에 형성된 유기 화합물층(HIL, HTL, EML, ETL, EIL)을 포함한다. 유기 화합물층은 정공주입층(Hole Injection layer, HIL), 정공수송층(Hole transport layer, HTL), 발광층(Emission layer, EML), 전자수송층(Electron transport layer, ETL) 및 전자주입층(Electron Injection layer, EIL)으로 이루어진다. 애노드전극과 캐소드전극에 구동전압이 인가되면 정공수송층(HTL)을 통과한 정공과 전자수송층(ETL)을 통과한 전자가 발광층(EML)으로 이동되어 여기자를 형성하고, 그 결과 발광층(EML)이 가시광을 발생하게 된다.

[0004] 유기발광 표시장치는 OLED를 각각 포함한 픽셀들을 매트릭스 형태로 배열하고 비디오 데이터의 계조에 따라 픽셀들의 휘도를 조절한다. 픽셀들 각각은 OLED에 흐르는 구동전류를 제어하기 위해 구동 TFT(Thin Film Transistor)를 포함한다. 그런데, 유기발광 표시장치에서는 공정 편차, 경시적 변화 등의 이유로 픽셀들 간 구동 TFT의 전기적 특성(문턱전압, 전자 이동도)에 편차가 생겨 원하는 계조를 구현하지 못하는 문제가 있다.

[0005] 이를 해결하기 위하여, 구동 TFT의 전기적 특성(문턱전압, 이동도) 편차를, 픽셀 내부에서 보상하는 내부 보상 방식과, 픽셀 외부에서 보상하는 외부 보상 방식이 알려져 있다.

[0006] 외부 보상 방식은 각 픽셀에 대해 구동 TFT의 전기적 특성 편차를 센싱하고 그 센싱값에 따라 입력 데이터를 보정하는 것으로, 센싱에 많은 시간이 소요되어 구동 중 실시간 보상이 어렵고, 센싱 및 데이터 보정과 관련된 별도의 회로 부품(센싱회로, 메모리, 보정회로 등)이 추가적으로 유구되어 제조 비용이 높다.

[0007] 내부 보상 방식은 구동 중에 구동 TFT의 전기적 특성 편차를 실시간 보상하기 위해 구동 TFT의 게이트-소스 간 전압을 상기 특성 편차에 무관하게 셋팅하는 것으로, 외부 보상 방식에서와 같은 별도의 회로 부품은 필요치 않으나 픽셀 구조가 복잡하고 개구율이 낮은 단점이 있다.

[0008] 내부 보상 방식에서 픽셀 구조를 간소화하기 위해, 소스 팔로워(source follower) 방식으로 구동 TFT의 게이트-소스 간 전압을 셋팅하는 기술이 제안되고 있다. 소스 팔로워 내부 보상 방식에서는 구동 TFT의 전기적 특성 편차를 보상하기 위해, 구동 TFT의 게이트 전위를 일정하게 유지시킨 상태에서 소스 전위를 게이트 전위를 향해 상승시키는 원리를 채택한다.

[0009] 이러한, 소스 팔로워 내부 보상 방식에서는 각 픽셀라인에 할당된 소정 기간(예컨대, 1 수평기간) 동안에 문턱전압 보상 및 픽셀 데이터기입&전자 이동도 보상이 모두 수행되어야 한다. 그런데, 이동도가 낮은 아몰포스 실리콘 기반 또는 산화물 반도체 기반의 TFT를 대상으로 하는 경우에는 상기 소정 기간 내에 문턱전압을 충분히 보상할 수 없어 소스 팔로워 내부 보상 방식을 구현하기 어렵다. 왜냐하면, 문턱전압 보상을 위해 구동 TFT의 소스전위는 구동 TFT의 드레인-소스 간 전류에 의해 상승하는데, 이동도 낮은 TFT를 대상으로 하는 경우에는 드레인-소스 간 전류가 작아 구동 TFT의 소스전위가 천천히 상승되고 그 결과 소스전위가 상기 소정 기간 동안 원하는 레벨(즉, 게이트전위-문턱전압)까지 도달하지 못하기 때문이다. 구동 TFT의 소스전위가 원하는 레벨까지 상승되지 못한 상태에서 문턱전압 보상이 종료되면 보상 성능이 저하된다.

[0010] 1 픽셀라인을 구동하기 위한 1 수평기간은 1 프레임기간/픽셀라인수(해상도)이므로, 픽셀라인수가 많아지거나 또는 1 프레임기간이 짧아질수록 1 수평기간은 짧아지며, 그 결과 상기와 같은 보상성능 저하 정도는 표시패널의 해상도가 증가하거나 또는 초당 프레임수를 지시하는 프레임주파수가 높아질수록 심화 된다.

발명의 내용

해결하려는 과제

[0011] 따라서, 본 발명의 목적은 소스 팔로워 내부 보상 방식으로 구동 TFT의 전기적 특성 편차를 보상할 때, 문턱전압 보상 기간을 충분히 확보하여 보상성능을 높일 수 있도록 한 유기발광 표시장치를 제공하는 데 있다.

과제의 해결 수단

[0012]

상기 목적을 달성하기 위하여, 본 발명의 실시예에 따른 유기발광 표시장치는 유기발광다이오드와 구동 TFT를 각각 포함하여 화상을 표시하며 소스 팔로워 내부 보상 방식에 따라 상기 구동 TFT의 문턱전압 및 전자기동도를 보상하는 다수의 픽셀들이 형성되고, 상기 픽셀들에 의해 다수의 픽셀라인들이 이루어지며, 소정 개수씩 그룹핑되는 상기 픽셀라인들에 의해 데이터 스캔 방향을 따라 다수의 표시블록들로 분할되는 표시패널; 상기 표시패널에 형성된 게이트신호 공급라인들을 구동하는 게이트 구동회로; 상기 표시패널에 형성된 데이터신호 공급라인들을 구동하는 데이터 구동회로; 및 상기 게이트 구동회로와 데이터 구동회로의 동작을 제어하여, 상기 구동 TFT의 문턱전압 및 전자기동도를 표시블록 단위로 순차적으로 보상하되, 동일 표시블록에 속하는 모든 픽셀라인들을 대상으로 상기 구동 TFT의 문턱전압을 동시에 보상한 후, 상기 동일 표시블록에서 상기 구동 TFT의 전자기동도를 픽셀라인 단위로 순차적으로 보상하는 타이밍 컨트롤러를 구비한다.

발명의 효과

[0013]

본 발명은 소스 팔로워 내부 보상 방식으로 구동 TFT의 전기적 특성 편차를 보상할 때, 구동 TFT의 문턱전압 및 전자기동도를 표시블록 단위로 순차적으로 보상하되, 동일 표시블록에 속하는 모든 픽셀라인들을 대상으로 구동 TFT의 문턱전압을 동시에 보상한 후, 상기 동일 표시블록에서 구동 TFT의 전자기동도를 픽셀라인 단위로 순차적으로 보상함으로써, 1 프레임기간 내에서 문턱전압 보상 기간을 충분히 확보하여 보상 성능을 높일 수 있다.

도면의 간단한 설명

[0014]

도 1은 본 발명의 실시예에 따른 유기발광 표시장치를 보여주는 도면.

도 2는 도 1의 표시패널에 형성된 픽셀 어레이를 보여주는 도면.

도 3은 소스 팔로워 내부 보상 방식에 따라 구동 TFT의 전기적 특성 편차를 보상할 때 문턱전압 보상 기간을 충분히 확보하기 위한 본 발명의 구동방법을 보여주는 도면.

도 4 및 도 6은 도 3의 방법으로 구동 TFT의 전기적 특성 편차를 보상하되, 이웃한 표시블록들 간에 비 중첩적으로 보상 동작이 수행되는 일 구동방법을 보여주는 도면.

도 5 및 도 7은 도 3의 방법으로 구동 TFT의 전기적 특성 편차를 보상하되, 이웃한 표시블록들 간에 중첩적으로 보상 동작이 수행되는 일 구동방법을 보여주는 도면.

도 8은 본 발명에 따른 픽셀의 일 등가회로를 보여주는 도면.

도 9는 도 8과 같은 픽셀을 대상으로 할 때, 이웃한 2개의 표시블록들에 속하는 일부 픽셀라인들의 픽셀들을 구동하기 위한 데이터신호들 및 게이트신호들과, 1 프레임 기간 내에서 특정 픽셀라인에 대한 구동 TFT의 게이트 전위 및 소스전위 변화를 보여주는 도면.

도 10a 내지 도 10d는 특정 픽셀라인에 포함된 도 8의 픽셀의 동작 상태를 순차적으로 보여주는 도면들.

도 11은 동일 표시블록 내에서 픽셀라인별로 플로팅 기간이 달라지는 것을 보여주는 도면.

도 12는 플로팅 기간 동안 누설 전류에 의해 구동 TFT의 소스전위가 상승하는 것을 보여주는 도면.

도 13은 픽셀라인 별 플로팅 기간의 편차로 인해 초래되는 문제점을 해결하기 위한 일 방안을 보여주는 도면.

도 14 및 도 15는 픽셀라인 별 플로팅 기간의 편차로 인해 초래되는 문제점을 해결하기 위한 일 방안을 보여주는 도면들.

도 16 및 도 18은 이전단 픽셀라인의 영향을 배제하여 보상 성능을 높이기 위한 일 방안을 보여주는 도면들.

도 17 및 도 19는 이전단 픽셀라인의 영향을 배제하여 보상 성능을 높이기 위한 다른 방안을 보여주는 도면들.

도 20은 기생 커패시턴스의 영향으로 문턱전압 보상율이 저하되는 일 예를 보여주는 도면.

도 21 및 도 22는 문턱전압 보상을 저하를 방지하기 위한 일 방안을 보여주는 도면들.

도 23은 도 13 및 도 16의 방안들이 복합적으로 적용된 구동 파형을 보여주는 도면.

도 24는 도 13, 도 17 및 도 21의 방안들이 복합적으로 적용된 구동 파형을 보여주는 도면.

도 25는 본 발명에 따른 픽셀의 다른 등가회로를 보여주는 도면.

도 26은 도 25와 같은 픽셀을 대상으로 할 때, 이웃한 2개의 표시블록들에 속하는 일부 픽셀라인들의 픽셀들을 구동하기 위한 데이터신호들 및 게이트신호들과, 1 프레임 기간 내에서 특정 픽셀라인에 대한 구동 TFT의 게이트전위 및 소스전위 변화를 보여주는 도면.

도 27은 도 25와 같은 픽셀을 대상으로 할 때, 픽셀라인 별 플로팅 기간의 편차로 인해 초래되는 문제점을 해결하기 위한 일 방안을 보여주는 도면.

도 28은 도 27에서 제시한 방안을 기반으로 하여 문턱전압 보상을 저하를 추가적으로 방지하기 위한 일 방안을 보여주는 도면.

발명을 실시하기 위한 구체적인 내용

- [0015] 이하, 도 1 내지 도 28을 참조하여 본 발명의 바람직한 실시 예에 대하여 설명하기로 한다.
- [0016] 도 1은 본 발명의 실시예에 따른 유기발광 표시장치를 보여주고, 도 2는 도 1의 표시패널에 형성된 픽셀 어레이를 보여준다.
- [0017] 도 1 및 도 2를 참조하면, 본 발명의 실시예에 따른 유기발광 표시장치는 표시패널(10), 데이터 구동회로(12), 게이트 구동회로(13), 및 타이밍 컨트롤러(11)를 구비한다.
- [0018] 표시패널(10)에는 다수의 데이터신호 공급라인들(14)과, 다수의 게이트신호 공급라인들(16)이 교차되고, 이 교차영역마다 픽셀들(PIX)이 매트릭스 형태로 배치된다. 픽셀들(PIX) 각각은 유기발광다이오드와 구동 TFT를 각각 포함하며 소스 팔로워 내부 보상 방식에 따라 구동 TFT의 문턱전압 및 전자이동도를 보상하고, 상기 보상시 셋팅된 구동 TFT의 게이트-소스 간 전압을 대략 1 프레임 기간 동안 유지하여 원하는 계조를 표시한다. 본 발명의 픽셀(PIX)은 소스 팔로워 내부 보상 방식이 적용될 수만 있다면 어떠한 구조라도 무방하다. 각 픽셀(PIX)에는 구동 TFT의 게이트전위를 제어하기 위해 스위칭되는 적어도 하나 이상의 스위치 TFT가 포함될 수 있다. 각 픽셀(PIX)에서, 구동 TFT의 소스전위는 스위치 TFT의 스위칭을 통해 제어될 수도 있고, 경우에 따라서는 고전위 픽셀 구동전압의 스위칭에 의해 제어될 수도 있다. 각 픽셀(PIX)의 스위치 TFT들은 게이트신호 공급라인들(16)로부터 인가되는 게이트신호에 의해 스위칭된다. 각 픽셀(PIX)은 그 내부 구성에 따라 1개 내지 3개의 게이트신호 공급라인들 중 어느 하나에 접속될 수 있으며, 나아가 그 이상의 게이트신호 공급라인들에 접속될 수도 있다. 각 픽셀(PIX)은 전원발생부(미도시)로부터 고전위 픽셀 구동전압(EVDD)과 저전위 픽셀 구동전압(EVSS)을 공급받을 수 있다.
- [0019] 표시패널(10)에는 매트릭스 형태로 배치된 픽셀들(PIX)에 의해 도 2와 같은 픽셀 어레이가 형성된다. 픽셀 어레이는 데이터 스캔 방향(예컨대, 수직 방향)을 따라 다수의 표시블록들(BLK1~BLKj)로 분할되며, 각 표시블록은 다수의 픽셀라인들(L#1~L#n)을 포함할 수 있다. 여기서, 픽셀라인은 동일 수평라인 상에 배치되어 동시에 픽셀 데이터를 기입받는 픽셀들(PIX)의 집합을 의미한다. 각 표시블록에 포함되는 픽셀라인들(L#1~L#n)의 개수는 충분한 문턱전압 보상 기간이 확보되도록 적절한 개수로 설정될 수 있다.
- [0020] 데이터 구동회로(12)는 타이밍 컨트롤러(11)의 제어하에 데이터신호 공급라인들(14)을 구동한다. 데이터 구동회로(12)는 타이밍 컨트롤러(11)로부터 인가되는 데이터타이밍 제어신호(DDC)에 따라 픽셀 데이터(DATA)에 대응되는 데이터전압을 생성하여 데이터신호 공급라인들(14)에 공급한다. 데이터전압은 화상표시용 계조전압을 의미하며, 경우에 따라서는 화상표시용 계조전압과 함께 옴셋전압 및/또는 프리차지용 전압을 포함하여 멀티 스텝 형태로 인가될 수도 있다.
- [0021] 게이트 구동회로(13)는 타이밍 컨트롤러(11)의 제어하에 게이트신호 공급라인들(15)을 구동한다. 게이트 구동회로(13)는 타이밍 컨트롤러(11)로부터의 게이트타이밍 제어신호(GDC)에 따라 게이트신호를 생성하여 각 픽셀라인(L#1~L#n)에 할당된 게이트신호 공급라인들(15)에 공급한다. 1 픽셀라인의 게이트신호 공급라인들(15)에 공급되는 게이트신호는, 구동 TFT의 게이트전위를 제어하는 데 사용되는 게이트전위제어용 게이트신호(도 8의 WS1, 도 25의 WS1과 WS3)와, 구동 TFT의 소스전위를 제어하는 데 사용되는 소스전위제어용 게이트신호(도 8의

WS2, 도 25의 WS2)를 포함할 수 있다. 게이트 구동회로(13)는 GIP(Gate-driver In Panel) 방식에 따라 표시패널(10) 상에 직접 형성될 수 있다.

[0022] 타이밍 컨트롤러(11)는 수직 동기신호(Vsync), 수평 동기신호(Hsync), 도트클럭신호(DCLK) 및 데이터 인에이블 신호(DE) 등의 타이밍 신호들에 기초하여 데이터 구동회로(12)의 동작 타이밍을 제어하기 위한 데이터타이밍 제어신호(DDC)와, 게이트 구동회로(13)의 동작 타이밍을 제어하기 위한 게이트타이밍 제어신호(GDC)를 발생한다. 또한, 타이밍 컨트롤러(11)는 외부의 비디오 소스(미도시)로부터 인가되는 픽셀 데이터(DATA)를 적절히 처리한 후 데이터 구동회로(12)에 공급한다.

[0023] 타이밍 컨트롤러(11)는 데이터 구동회로(12)와 게이트 구동회로(13)의 동작을 제어하여, 구동 TFT의 문턱전압 및 전자이동도를 표시블록 단위로 순차적으로 보상하되, 동일 표시블록에 속하는 모든 픽셀라인들(L#1~L#n)을 대상으로 구동 TFT의 문턱전압을 동시에 보상한 후, 상기 동일 표시블록에서 구동 TFT의 전자이동도를 픽셀라인 단위로 순차적으로 보상함으로써, 1 프레임기간 내에서 문턱전압 보상 기간을 충분히 확보하여 보상 성능을 높인다. 본 발명은 종래 기술과 달리, 표시블록별로 문턱전압 보상에 할당되는 시간을 동시에 할당하여 1 표시블록에서 문턱전압을 동시 보상한 후, 해당 표시블록에서 라인 순차 방식에 따라 데이터기입을 통한 전자이동도 보상을 수행한다. 여기서, 문턱전압 보상에 할당되는 시간(블록 보상 시간)은 1 표시블록에 속하는 픽셀라인의 개수에 따라 결정될 수 있다. 블록 보상 시간은 문턱전압 보상 성능과 도 11 및 도 12에서 후술할 플로팅 편차 문제를 모두 고려하여 적절한 크기로 설정될 수 있다.

[0024] 도 3은 소스 팔로워 내부 보상 방식에 따라 구동 TFT의 전기적 특성 편차를 보상할 때 문턱전압 보상 기간을 충분히 확보하기 위한 본 발명의 구동방법을 보여준다.

[0025] 본 발명은 표시패널(10)을 다수의 픽셀라인들(L#1~L#n)을 각각 포함하는 다수의 표시블록들(BLK1~BLKj)로 분할한다.(S10)

[0026] 이어서, 본 발명은 구동 TFT의 문턱전압 및 전자이동도를 표시블록 단위로 순차적으로 보상하되, 동일 표시블록에 속하는 모든 픽셀라인들(L#1~L#n)을 대상으로 구동 TFT의 문턱전압을 동시에 보상한다.(S20)

[0027] 이어서, 본 발명은 동일 표시블록에서 구동 TFT의 전자이동도를 픽셀라인 단위로 순차적으로 보상한다.(S30)

[0028] 이어서, 본 발명은 보상시 셋팅된 구동 TFT의 게이트-소스 간 전압에 의해 결정되는 구동전류를 각 픽셀(PIX)의 유기발광다이오드에 인가하여 유기발광다이오드를 발광시켜 화상 계조를 구현한다.(S40)

[0029] 도 4 및 도 6은 도 3의 방법으로 구동 TFT의 전기적 특성 편차를 보상하되, 이웃한 표시블록들 간에 비 중첩적으로 보상 동작이 수행되는 일 구동방법을 보여준다.

[0030] 도 4 및 도 6을 참조하면, 표시블록들(BLK1~BLKj)은 서로 비 중첩적으로 보상 동작을 수행할 수 있다.

[0031] 비 중첩적 보상 동작을 부연 설명하면 다음과 같다.

[0032] 본 발명은 제1 표시블록(BLK1)의 픽셀라인들(L#1~L#n)을 대상으로 구동 TFT의 문턱전압을 동시에 보상한 후, 이 제1 표시블록(BLK1)에서 픽셀라인 단위로 구동 TFT의 전자이동도를 순차적으로 보상한다.

[0033] 이어서, 본 발명은 제2 표시블록(BLK2)의 픽셀라인들(L#1~L#n)을 대상으로 구동 TFT의 문턱전압을 동시에 보상한 후, 이 제2 표시블록(BLK2)에서 픽셀라인 단위로 구동 TFT의 전자이동도를 순차적으로 보상한다.

[0034] 이러한 방식으로 본 발명은 제j 표시블록(BLKj)까지 구동 TFT의 문턱전압과 전자이동도를 보상한다.

[0035] 도 6에는 각 표시블록에서, 구동 TFT의 문턱전압이 동시에 보상되는 기간이 "D1"으로 표기되어 있으며, 문턱전압 보상후 픽셀데이터 기입 직전까지의 기간을 지시하는 픽셀 라인별 플로팅 기간들 중 가장 짧은 것이 "D2"로 표기되어 있다. 비 중첩적으로 보상 동작이 수행되므로, 하부 표시블록의 "D1"은 이웃한 상부 표시블록에서 "D2" 이후에 픽셀데이터 기입이 순차적으로 모두 완료된 이후에 시간적으로 위치한다.

[0036] 도 5 및 도 7은 도 3의 방법으로 구동 TFT의 전기적 특성 편차를 보상하되, 이웃한 표시블록들 간에 중첩적으로 보상 동작이 수행되는 일 구동방법을 보여준다.

[0037] 도 5 및 도 7을 참조하면, 표시블록들(BLK1~BLKj)은 서로 중첩적으로 보상 동작을 수행할 수 있다.

[0038] 중첩적 보상 동작을 부연 설명하면 다음과 같다.

[0039] 본 발명은 제1 표시블록(BLK1)의 픽셀라인들(L#1~L#n)을 대상으로 구동 TFT의 문턱전압을 동시에 보상한 후, 제

2 표시블록(BLK2)의 픽셀라인들(L#1~L#n)을 대상으로 구동 TFT의 문턱전압을 동시에 보상한다.

- [0040] 이어서, 본 발명은 구동 TFT의 문턱전압이 동시에 보상된 제1 표시블록(BLK1)에서 픽셀라인 단위로 전자기동도를 순차적으로 보상한 후, 구동 TFT의 문턱전압이 동시에 보상된 제2 표시블록(BLK2)에서 픽셀라인 단위로 구동 TFT의 전자기동도를 순차적으로 보상한다.
- [0041] 이러한 방식으로 본 발명은 제j 표시블록(BLKj)까지 구동 TFT의 문턱전압과 전자기동도를 보상한다.
- [0042] 도 7에는 각 표시블록에서, 구동 TFT의 문턱전압이 동시에 보상되는 기간이 "D1"으로 표기되어 있으며, 문턱전압 보상후 픽셀데이터 기입 직전까지의 기간을 지시하는 픽셀 라인별 플로팅 기간들 중 가장 짧은 것이 "D2"로 표기되어 있다. 중첩적으로 보상 동작이 수행되므로, 하부 표시블록의 "D1"은 이웃한 상부 표시블록의 "D2"와 겹치도록 시간적으로 위치할 수 있다.
- [0043] 도 8은 본 발명에 따른 픽셀의 일 등가회로를 보여준다.
- [0044] 도 8을 참조하면, 본 발명의 픽셀(PIX)은 유기발광다이오드(OLED), 구동 TFT(DT), 스토리지 커패시터(Cst), 제1 스위치 TFT(ST1), 및 제2 스위치 TFT(ST2)를 포함할 수 있다. 픽셀(PIX)을 구성하는 TFT들은 소스 팔로워 내부 보상 방식으로 동작할 수 있는 것이라면 어떠한 것이라도 무방하다. TFT를 구성하는 반도체층은, 아몰포스 실리콘 또는, 폴리 실리콘 또는, 산화물을 포함할 수 있다.
- [0045] 유기발광다이오드(OLED)는 소스 노드(N2)에 접속된 애노드전극과, 저전위 픽셀 구동전압단(EVSS)에 접속된 캐소드전극과, 애노드전극과 캐소드전극 사이에 위치하는 유기화합물층을 포함한다.
- [0046] 구동 TFT(DT)는 게이트-소스 간 전압(Vgs)에 따라 유기발광다이오드(OLED)에 흐르는 구동전류(Ioled)를 제어한다. 구동 TFT(DT)는 게이트 노드(N1)에 접속된 게이트전극, 고전위 픽셀 구동전압단(EVDD)에 접속된 드레인전극, 및 소스 노드(N2)에 접속된 소스전극을 구비한다.
- [0047] 스토리지 커패시터(Cst)는 게이트 노드(N1)와 소스 노드(N2) 사이에 접속된다.
- [0048] 제1 스위치 TFT(ST1)는 게이트전위제어용 게이트신호(WS1)에 따라 스위칭되어, 구동 TFT(DT)의 게이트전위(게이트 노드(N1) 전위)를 제어한다. 제1 스위치 TFT(ST1)는 제1 게이트신호 공급라인(15A)에 접속된 게이트전극, 데이터신호 공급라인(14)에 접속된 드레인전극, 및 게이트 노드(N1)에 접속된 소스전극을 구비한다.
- [0049] 제2 스위치 TFT(ST2)는 소스전위제어용 게이트신호(WS2)에 따라 스위칭되어, 구동 TFT(DT)의 소스전위(소스 노드(N2) 전위)를 제어한다. 제2 스위치 TFT(ST2)의 게이트전극은 제2 게이트신호 공급라인(15B)에 접속되고, 제2 스위치 TFT(ST2)의 드레인전극은 소스 노드(N2)에 접속되며, 제2 스위치 TFT(ST2)의 소스전극은 초기화전압(Vinit)의 입력단에 접속된다. 여기서, 초기화전압(Vinit)은 데이터 구동회로(12)로부터 공급될 수도 있고, 또한 별도의 전원회로(미도시)로부터 공급될 수도 있다.
- [0050] 도 9는 도 8과 같은 픽셀을 대상으로 할 때, 이웃한 2개의 표시블록들에 속하는 일부 픽셀라인들의 픽셀들을 구동하기 위한 데이터신호들 및 게이트신호들과, 1 프레임 기간 내에서 특정 픽셀라인에 대한 구동 TFT의 게이트전위 및 소스전위 변화를 보여준다. 그리고, 도 10a 내지 도 10d는 특정 픽셀라인에 포함된 도 8의 픽셀의 동작 상태를 순차적으로 보여준다.
- [0051] 도 9를 참조하면, 서로 이웃한 i번째 표시블록(BLK_i)과 j번째 표시블록(BLK_j)에 대한 일부 구동 신호들이 나타나 있다. i번째 표시블록(BLK_i)을 중심으로 설명하면, 3개의 픽셀라인들(L#n-2, L#n-1, L#n)에 대한 게이트전위 제어용 게이트신호들(WS1_{i(n-2)}, WS1_{i(n-1)}, WS1_{i(n)})은 각각 제1 펄스(P1)와 제2 펄스(P2)를 포함하여 멀티 펄스 형태로 인가되며, 3개의 픽셀라인들(L#n-2, L#n-1, L#n)에 대한 소스전위제어용 게이트신호들(WS2_{i(n-2)}, WS2_{i(n-1)}, WS2_{i(n)})은 각각 단일 펄스 형태로 인가된다. 게이트전위제어용 게이트신호들(WS1_{i(n-2)}, WS1_{i(n-1)}, WS1_{i(n)})의 제1 펄스(P1)는 서로 동시에 인가되며, 소스전위제어용 게이트신호들(WS2_{i(n-2)}, WS2_{i(n-1)}, WS2_{i(n)})도 서로 동시에 인가된다. 반면, 게이트전위제어용 게이트신호들(WS1_{i(n-2)}, WS1_{i(n-1)}, WS1_{i(n)})의 제2 펄스(P2)는 라인 순차 방식에 따라 순차적으로 인가된다.
- [0052] 이 경우, 게이트전위제어용 게이트신호들(WS1_{i(n-2)}, WS1_{i(n-1)}, WS1_{i(n)})의 제1 펄스들(P1)에 공통 대응하여 데이터신호 공급라인에는 오프셋전압(Vofs)이 인가되며, 게이트전위제어용 게이트신호들(WS1_{i(n-2)}, WS1_{i(n-1)}, WS1_{i(n)})의 제2 펄스들(P2)에 순차 대응하여 데이터신호 공급라인에는 화상표시용 게조전압(Vdata)이 인가된다.
- [0053] 도 9와 함께 도 10a 내지 도 10d를 참조하여, n번째 픽셀라인(L#n)에 포함된 도 8의 픽셀(PIX)의 동작 상태를

순차적으로 설명하면 다음과 같다.

- [0054] 본 발명의 픽셀 구동은 도 9에서와 같이 초기화 기간(TP1), 문턱전압 보상기간(TP2), 전자이동도 보상기간(TP3), 발광 기간(TP4) 순으로 진행된다.
- [0055] 도 10a의 초기화 기간(TP1)에서, 제1 스위치 TFT(ST1)는 게이트전위제어용 게이트신호(WS1)의 제1 펄스(P1)에 따라 온 스위칭되어 게이트 노드(N1)에 옴셋 전압(Vofs)을 인가하고, 제2 스위치 TFT(ST2)는 소스전위제어용 게이트신호(WS2)에 따라 온 스위칭되어 소스 노드(N2)에 초기화 전압(Vinit)을 인가한다. 여기서, 옴셋 전압(Vofs)은 초기화 전압(Vinit)에 비해 문턱전압 이상으로 높게 설정된다. 따라서, 구동 TFT(DT)는 게이트-소스 간 전압이 문턱전압보다 높아지므로 턴 온 된다.
- [0056] 이어서, 도 10b의 문턱전압 보상기간(TP2) 동안 온 스위칭 상태로 유지되는 제1 스위치 TFT(ST1)에 의해 구동 TFT(DT)의 게이트전위(VN1)는 옴셋 전압(Vofs)으로 유지된다. 이때, 제2 스위치 TFT(ST2)는 소스전위제어용 게이트신호(WS2)에 따라 오프 스위칭되며, 그 결과 구동 TFT(DT)의 소스전위(VN2)는 구동 TFT(DT)의 드레인-소스 간에 흐르는 전류(Ids)에 의해 초기화 전압(Vinit)으로부터 점차 상승하되, 구동 TFT(DT)의 게이트-소스 간 전압이 문턱전압(Vth)이 될 때까지 상승한다. 이렇게 보상된 구동 TFT(DT)의 문턱전압(Vth)은 스토리지 커패시터(Cst)에 저장된다. 본 발명에 따르면, 블록별 동시 보상을 통해 1 프레임 기간 내에서 문턱전압 보상기간(TP2)이 충분히 확보될 수 있어, 문턱전압에 대한 보상의 정확도가 향상된다.
- [0057] 이어서, 도 10c의 전자이동도 보상기간(TP3)에서는 소정의 플로팅기간을 거친 후, 제1 스위치 TFT(ST1)가 게이트전위제어용 게이트신호(WS1)의 제2 펄스(P2)에 따라 온 스위칭되어 화상표시용 게조전압(Vdata)을 게이트 노드(N1)에 인가하여 구동 TFT(DT)의 게이트전위(VN1)를 높인다. 그러면, 구동 TFT(DT)의 전자이동도 특성에 따라 구동 TFT(DT)의 소스전위(VN2)도 상승되며, 결국 스토리지 커패시터(Cst)에는 화상표시용 게조전압(Vdata)과 문턱전압(Vth)의 합에서 전자이동도 특성에 따른 전압변화량(ΔV_{μ})을 뺀 전압($Vdata + Vth - \Delta V_{\mu}$)이 저장되게 된다. 이를 통해 구동 TFT(DT)의 전자이동도는 보상된다.
- [0058] 이어서, 도 10d의 발광 기간(TP4)에서는 제1 스위치 TFT(ST1)와 제2 스위치 TFT(ST2)가 모두 오프 스위칭되고, 구동 TFT(DT)는 전자이동도 보상기간(TP3)에서 스토리지 커패시터(Cst)에 저장된 전압 레벨($Vdata + Vth - \Delta V_{\mu}$)에 의해 동작하여, 문턱전압(Vth) 및 전자이동도(μ)가 보상된 구동전류(Ioled)를 유기발광다이오드(OLED)에 인가한다.
- [0059] 도 11은 동일 표시블록 내에서 픽셀라인별로 플로팅 기간이 달라지는 것을 보여준다. 그리고, 도 12는 플로팅 기간 동안 누설 전류에 의해 구동 TFT의 소스전위가 상승하는 것을 보여준다.
- [0060] 각 픽셀라인에 대해, 구동 TFT의 문턱전압이 보상되는 기간과 구동 TFT의 전자이동도가 보상되는 기간 사이에는 플로팅 기간이 존재한다. 여기서, 플로팅 기간이란 구동 TFT의 게이트노드와 소스노드가 모두 플로팅 상태로 유지되는 기간을 의미한다.
- [0061] 그런데, 본 발명에서는 동일 표시블록에 속하는 픽셀라인들을 대상으로 구동 TFT의 문턱전압을 동시에 보상한 이후에, 상기 동일 표시블록에서 구동 TFT의 전자이동도를 픽셀라인 단위로 순차적으로 보상하기 때문에, 픽셀라인별로 플로팅 기간 즉, 문턱전압 보상후 픽셀데이터 기입 직전까지의 기간이 달라지게 된다.
- [0062] 도 11에는 4개의 픽셀라인들(L#n-3, L#n-2, L#n-1, L#n)을 대상으로 하여 픽셀데이터 기입이 늦은 픽셀라인일수록 플로팅 기간이 길어지는 것이 도시되어 있다. 도 11에서 같이 게이트전위제어용 게이트신호들(WS1 i(n-3), WS1 i(n-2), WS1 i(n-1), WS1 i(n))과 소스전위제어용 게이트신호들(WS2 i(n-3), WS2 i(n-2), WS2 i(n-1), WS2 i(n))은 해당 픽셀라인의 플로팅 기간에서 로우 레벨을 유지한다. 플로팅 기간은, 구동 TFT의 전자이동도에 대한 보상 순서가 가장 빠른 픽셀라인에서 가장 짧고 상기 구동 TFT의 전자이동도에 대한 보상 순서가 가장 늦은 픽셀라인에서 가장 길다. 즉, 플로팅 기간은 픽셀라인(L#n-3)에서 FP1로서 가장 짧고, 픽셀라인(L#n)에서 FP4로서 가장 길다.
- [0063] 도 12에서와 같이 플로팅 기간 동안 누설 전류의 영향으로 구동 TFT(DT)의 소스전위(VN2)가 상승(A에서 B로 상승)할 수 있으므로, 픽셀라인 별로 플로팅 기간이 달라지면 그 편차에 대응하여 문턱전압 보상기간에서 셋팅된 구동 TFT(DT)의 게이트-소스 간 전압(Vgs)이 달라질 수 있다. 이 경우 보상의 정확도가 떨어질 수 있어, 본 발명은 이를 해결하기 위한 추가 방안을 제안한다.
- [0064] 도 13은 픽셀라인 별 플로팅 기간의 편차로 인해 초래되는 문제점을 해결하기 위한 일 방안을 보여준다.
- [0065] 도 13을 참조하면, 본 발명은 라인별 플로팅 기간 차이로 인해 동일 표시블록 내의 픽셀라인들 사이에서, 문턱

전압 보상을 통해 셋팅된 구동 TFT의 게이트-소스 간 전압이 서로 달라지는 것을 최소화하기 위해 블랙 계조용 데이터전압(V_{black})을 인가할 수 있다.

[0066] 구체적으로, 본 발명은 플로팅 기간과 중첩하여 블랙 기입 기간($TP5$)을 설정하고, 블랙 기입 기간($TP5$) 내에서 구동 TFT의 게이트에 블랙 계조용 데이터전압(V_{black})을 인가하여 구동 TFT의 게이트-소스 간 전압(V_{gs})을 구동 TFT의 문턱전압(V_{th} , 예컨대 "0V")보다 훨씬 낮게 낮춤으로써 구동 TFT를 통해 흐르는 누설 전류를 완전히 차단한다. 이를 통해, 본 발명은 플로팅 기간 동안 구동 TFT(DT)의 소스전위(V_{N2})가 상승하는 것을 억제하여, 문턱전압 보상기간($TP2$)에서 셋팅된 구동 TFT(DT)의 게이트-소스 간 전압(V_{gs})이 플로팅 기간에서 왜곡되는 것을 방지할 수 있다.

[0067] 도 14 및 도 15는 픽셀라인 별 플로팅 기간의 편차로 인해 초래되는 문제점을 해결하기 위한 다른 방안을 보여준다.

[0068] 도 14 및 도 15를 참조하면, 본 발명은 픽셀라인별 플로팅 기간 차이로 인해 동일 표시블록 내의 픽셀라인들 사이에서, 문턱전압 보상을 통해 셋팅된 구동 TFT의 게이트-소스 간 전압이 서로 달라지는 것을 최소화하기 위해 문턱전압 보상 기간을 픽셀라인 단위로 다르게 할 수 있다.

[0069] 구체적으로, 본 발명은 동일 표시블록 내에서 구동 TFT의 문턱전압이 보상되는 기간(CP)을 도 14에서와 같이 플로팅 기간(FP)의 길이에 비례하여 증가되도록 설정하여 플로팅 기간(FP)의 편차를 줄일 수 있다. 즉, 본 발명은 구동 TFT의 문턱전압이 보상되는 기간(CP)을 구동 TFT의 전자이동도에 대한 보상 순서가 가장 빠른 픽셀라인($L\#n-3$)에서 가장 짧게 하는 반면 구동 TFT의 전자이동도에 대한 보상 순서가 가장 늦은 픽셀라인($L\#n$)에서 가장 길게 할 수 있다. 구동 TFT의 문턱전압이 보상되는 기간은 픽셀라인($L\#n-3$)에서 $CP1$ 로서 가장 짧고, 픽셀라인($L\#n$)에서 $CP4$ 로서 가장 길다.

[0070] 본 발명은 문턱전압 보상기간(CP)을 조절하기 위해 픽셀라인별로 게이트전위제어용 게이트신호($WS1$)에 대한 제1 펄스($P1$)의 펄스폭을 제어하여, 문턱전압 보상의 종료시점($t01, t02, t03, t04$)을 조절할 수 있다.

[0071] 도 15에서와 같이 픽셀라인별로 게이트전위제어용 게이트신호($WS1$)에 대한 제1 펄스($P1$)의 펄스폭을 제어하면, 그렇게 하지 않는 경우와 비교하여 플로팅 기간의 차이로 인한 V_{gs} 의 편차가 크게 줄어들게 된다.

[0072] 한편, 현재단 픽셀라인에서 전자이동도를 정확히 보상하여 원하는 계조 표현을 하기 위해서는, 이전단 픽셀라인에 공급된 화상표시용 계조전압에 의해 현재단 픽셀라인의 V_{gs} 가 다르게 셋팅되는 것을 최대한 방지해야 한다. 본 발명은 이를 구현하기 위해 아래와 같은 추가 방안을 제안한다.

[0073] 도 16 및 도 18은 이전단 픽셀라인의 영향을 배제하여 보상 성능을 높이기 위한 일 방안을 보여준다.

[0074] 도 16 및 도 18을 참조하면, 본 발명은 이전단 픽셀라인의 영향을 배제하기 위해 전자이동도 보상 기간 내에서 화상표시용 계조전압(V_{data})을 인가하기에 앞서 일정 레벨의 프리차지용 전압(V_{pre})을 인가한다.

[0075] 즉, 본 발명은 전자이동도 보상 기간에 대응되는 게이트전위제어용 게이트신호($WS1$)의 제2 펄스($P2$)의 펄스폭을 대략 1 수평기간($1HT$)로 설정하고, 제2 펄스($P2$)에 대응하여 데이터전압을 일정 레벨의 프리차지용 전압(V_{pre})과 화상표시용 계조전압(V_{data})을 포함한 2 스텝으로 인가할 수 있다. 화상표시용 계조전압(V_{data})의 공급에 앞서 프리차지용 전압(V_{pre})을 인가하면, 이웃한 픽셀라인에서 화상표시용 계조전압(V_{data})이 크게 변동되더라도 현재단 픽셀라인에 해당하는 구동 TFT의 게이트-소스 간 전압(V_{gs})이 왜곡되어 셋팅되는 정도가 크게 줄어들게 된다.

[0076] 도 17 및 도 19는 이전단 픽셀라인의 영향을 배제하여 보상 성능을 높이기 위한 다른 방안을 보여준다.

[0077] 도 17 및 도 19를 참조하면, 본 발명은 이전단 픽셀라인의 영향을 배제하기 위해 전자이동도 보상 기간에 대응되는 게이트전위제어용 게이트신호($WS1$)의 제2 펄스($P2$)의 펄스폭을 좁힌다.

[0078] 즉, 본 발명은 구동 TFT의 전자이동도가 보상되는 기간 내에서 구동 TFT의 게이트에 화상표시용 계조전압(V_{data})이 1 스텝 데이터전압으로 인가하고, 게이트전위제어용 게이트신호($WS1$)의 제2 펄스($P2$)를 화상표시용 계조전압(V_{data})이 데이터 구동회로에서 출력되고 있는 도중에 인가되, 화상표시용 계조전압(V_{data})의 출력시간(OT)의 1/2 이하에 대응되는 펄스폭을 갖도록 할 수 있다. 이렇게 하면, 위에서 설명한 화상표시용 계조전압(V_{data})의 공급에 앞서 프리차지용 전압(V_{pre})을 인가하는 것과 유사한 효과를 얻을 수 있다.

[0079] 도 20은 기생 커패시턴스의 영향으로 문턱전압 보상율이 저하되는 일 예를 보여준다. 도 21 및 도 22는 문턱전압 보상을 저하를 방지하기 위한 일 방안을 보여준다.

- [0080] 표시패널에는 절연층을 사이에 두고 서로 중첩되는 신호라인들과 픽셀전극들에 의해 기생 커패시턴스가 많이 생성된다. 이러한 기생 커패시턴스는 원하지 않는 부작용을 일으키는 데, 그 대표적인 예가 문턱전압 보상율을 떨어뜨리는 것이다.
- [0081] 도 20의 구동 TFT의 소스전위(VN2) 변화에서, 점선은 문턱전압 쉬프트량이 1V인 경우를, 그리고 실선은 문턱전압 쉬프트량이 0V인 경우로 가정한다. 문턱전압 보상기간(TP2)의 종료시점(t1)에서 양자의 문턱전압의 보상율 차이가 " $\Delta V_s@t1$ "으로 결정될 때, 원칙적으로 이 차이값은 발광기간(TP4)까지 계속해서 유지되어야 하나 실제로는 기생 커패시턴스의 영향으로 누설되어 원래의 값보다 줄어든다. 즉, 발광기간(TP4) 내의 특정 시점(t2)에서 게이트-소스 간 전압차이에 해당되는 " $\Delta V_{gs}@t2$ "는 상기 문턱전압의 보상율 차이인 " $\Delta V_s@t1$ "보다 소정의 손실량인 " $\Delta V_h(\text{Loss})$ "만큼 줄어들게 된다.
- [0082] 이에, 본 발명은 문턱전압 보상을 저하를 극복하기 위하여, 도 21과 같이 게이트전위제어용 게이트신호(WS1)의 제1 펄스(P1)를 추가보상용 플로팅 구간(TP2-2)을 사이에 두고 제1-1 펄스(P1-1)와 제1-2 펄스(P1-2)로 분할함으로써, 문턱전압 보상 기간(TP2-1)에 대응되는 게이트전위제어용 게이트신호(WS1)의 펄스폭을 줄이고, 추가보상용 플로팅 구간(TP2-2)을 확보한다.
- [0083] 본 발명은 확보된 추가보상용 플로팅 구간(TP2-2)을 통해 상기 소정의 손실량인 " $\Delta V_h(\text{Loss})$ "만큼 문턱전압의 보상율 차이인 " $\Delta V_s@t1$ "를 미리 높임으로써, 상기 t2 시점에서의 게이트-소스 간 전압차이인 " $\Delta V_{gs}@t2$ "가 상기 t1 시점에서의 문턱전압의 보상율 차이인 " $\Delta V_s@t1$ "로 유지되게 한다.
- [0084] 이를 달리 표현하면, 제1-1 펄스(P1-1)에 의해 구동 TFT의 문턱전압이 1차 보상되고, 추가보상용 플로팅 구간(TP2-2)에서 구동 TFT의 문턱전압이 2차 보상된다고 할 수 있다. 한편, 제1-2 펄스(P1-2)는 구동 TFT의 게이트에 블랙 계조용 데이터전압(Vblack)이 인가되는 블랙 기입 기간(TP5)에 대응되게 생성된다.
- [0085] 도 22에는 각각 3개의 픽셀라인들로 구성된 제k-1 블록, 제k 블록, 및 제k+1 블록을 대상으로 하여 추가보상용 플로팅 구간(TP2-2)을 포함한 다수의 게이트전위제어용 게이트신호(WS1)가 도시되어 있다.
- [0086] 도 23은 도 13 및 도 16의 방안들이 복합적으로 적용된 구동 과정을 보여준다.
- [0087] 본 발명은 도 23과 같이, 픽셀라인 별 플로팅 기간의 편차로 인해 초래되는 문제점을 해결하기 위해 플로팅 기간과 중첩하여 블랙 기입 기간(TP5)을 설정하고, 블랙 기입 기간(TP5) 내에서 구동 TFT의 게이트에 블랙 계조용 데이터전압(Vblack)을 인가할 수 있다. 그와 함께, 본 발명은 이전단 픽셀라인의 영향을 배제하기 위하여 화상 표시용 계조전압(Vdata)의 공급에 앞서 프리차지용 전압(Vpre)을 인가할 수 있다.
- [0088] 도 24는 도 13, 도 17 및 도 21의 방안들이 복합적으로 적용된 구동 과정을 보여준다.
- [0089] 본 발명은 도 24와 같이, 픽셀라인 별 플로팅 기간의 편차로 인해 초래되는 문제점을 해결하기 위해 플로팅 기간과 중첩하여 블랙 기입 기간(TP5)을 설정하고, 블랙 기입 기간(TP5) 내에서 구동 TFT의 게이트에 블랙 계조용 데이터전압(Vblack)을 인가할 수 있다. 그와 함께, 본 발명은 이전단 픽셀라인의 영향을 배제하기 위하여 전자 이동도 보상 기간에 대응되는 게이트전위제어용 게이트신호(WS1)의 제2 펄스(P2)의 펄스폭을 좁힐 수 있다. 그와 함께, 본 발명은 문턱전압 보상을 저하를 극복하기 위하여, 게이트전위제어용 게이트신호(WS1)의 제1 펄스(P1)를 추가보상용 플로팅 구간(TP2-2)을 사이에 두고 제1-1 펄스(P1-1)와 제1-2 펄스(P1-2)로 분할함으로써, 문턱전압 보상 기간(TP2-1)에 대응되는 게이트전위제어용 게이트신호(WS1)의 펄스폭을 줄이고, 추가보상용 플로팅 구간(TP2-2)을 확보할 수 있다.
- [0090] 도 25는 본 발명에 따른 픽셀의 다른 등가회로를 보여준다. 도 26은 도 25와 같은 픽셀을 대상으로 할 때, 이웃한 2개의 표시블록들에 속하는 일부 픽셀라인들의 픽셀들을 구동하기 위한 데이터신호들 및 게이트신호들과, 1 프레임 기간 내에서 특정 픽셀라인에 대한 구동 TFT의 게이트전위 및 소스전위 변화를 보여준다.
- [0091] 도 25의 픽셀(PIX)은 도 8을 통해 설명한 것과 비교하여, 오프셋 전압(Vofs)을 공급하기 위해 스위칭되는 별도의 제3 스위치 TFT(ST3)를 더 구비한다는 점만 다를 뿐 나머지 접속 구성은 도 8과 동일하다. 도 25의 픽셀을 구동하기 위해서는 제3 스위치 TFT(ST3)를 구동시키기 위한 게이트전위 제어용 게이트신호(WS3)가 더 필요하다. 제3 스위치 TFT(ST3)는 게이트전위 제어용 게이트신호(WS3)에 따라 스위칭되어, 구동 TFT(DT)의 게이트전위(게이트 노드(N1) 전위)를 제어한다. 제3 스위치 TFT(ST3)는 제3 게이트신호 공급라인(15C)에 접속된 게이트전극, 오프셋 전압(Vofs)의 입력단에 접속된 드레인전극, 및 게이트 노드(N1)에 접속된 소스전극을 구비한다. 여기서, 도 25에서의 오프셋 전압(Vofs)은 도 8에서와 같이 데이터 구동회로(12)로부터 인가될 수도 있지만, 그와 달리 별도의 전원회로로부터 인가될 수도 있다.

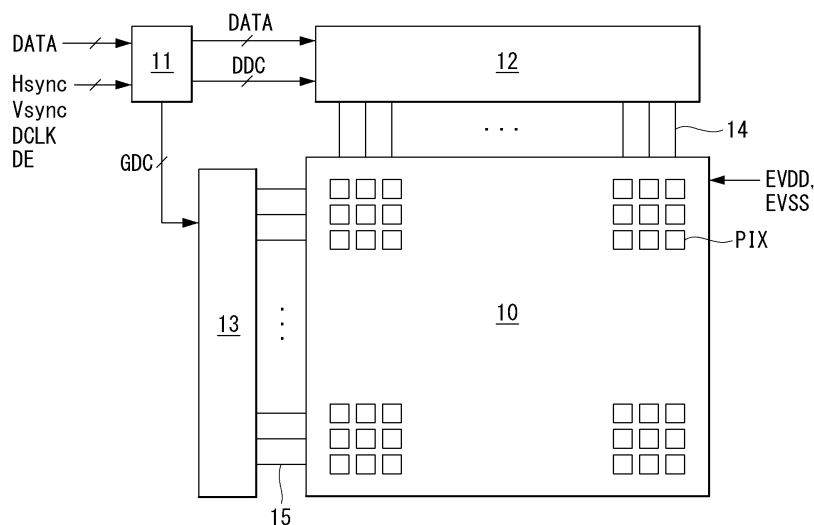
- [0092] 도 25의 픽셀(PIX)에 대한 동작은 도 8에서 설명한 것과 실질적으로 동일하여 그에 대한 설명은 생략하기로 한다.
- [0093] 도 27은 도 25와 같은 픽셀을 대상으로 할 때, 픽셀라인 별 플로팅 기간의 편차로 인해 초래되는 문제점을 해결하기 위한 일 방안을 보여준다. 그리고, 도 28은 도 27에서 제시한 방안을 기반으로 하여 문턱전압 보상을 저하를 추가적으로 방지하기 위한 일 방안을 보여준다.
- [0094] 도 27은 픽셀라인별 플로팅 기간 차이로 인해 동일 표시블록 내의 픽셀라인들 사이에서, 문턱전압 보상을 통해 셋팅된 구동 TFT의 게이트-소스 간 전압이 서로 달라지는 것을 최소화하기 위해 블랙 계조용 데이터전압을 인가하는 것으로, 위에서 설명한 것과 실질적으로 동일한 작용 효과를 가진다. 도 28은 문턱전압 보상을 저하를 추가적으로 방지하기 위해 문턱전압 보상 기간에 대응되는 게이트신호의 펄스폭을 줄이고 추가보상용 플로팅 구간을 확보하는 것으로, 위에서 설명한 것과 실질적으로 동일한 작용 효과를 가진다. 그 외에, 도 25의 픽셀(PIX)을 대상으로 하는 경우에도 도 11 내지 도 24을 통해 설명한 추가적인 여러 보상방안들이 유사하게 적용될 수 있음은 물론이다.
- [0095] 상술한 바와 같이, 본 발명은 소스 팔로워 내부 보상 방식으로 구동 TFT의 전기적 특성 편차를 보상할 때, 구동 TFT의 문턱전압 및 전자이동도를 표시블록 단위로 순차적으로 보상하되, 동일 표시블록에 속하는 모든 픽셀라인들을 대상으로 구동 TFT의 문턱전압을 동시에 보상한 후, 상기 동일 표시블록에서 구동 TFT의 전자이동도를 픽셀라인 단위로 순차적으로 보상함으로써, 1 프레임기간 내에서 문턱전압 보상 기간을 충분히 확보하여 보상 성능을 높일 수 있다.
- [0096] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

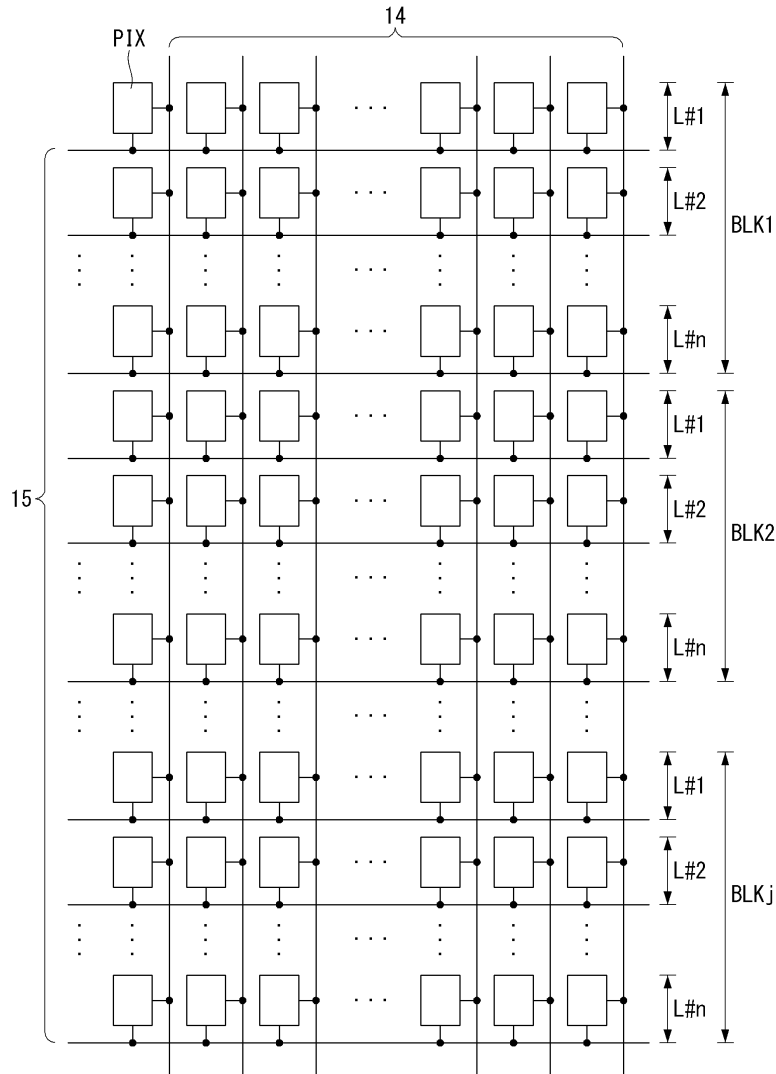
- [0097] 10 : 표시패널 11 : 타이밍 컨트롤러
12 : 데이터 구동회로 13 : 게이트 구동회로
14 : 데이터신호 공급라인들 15 : 게이트신호 공급라인들

도면

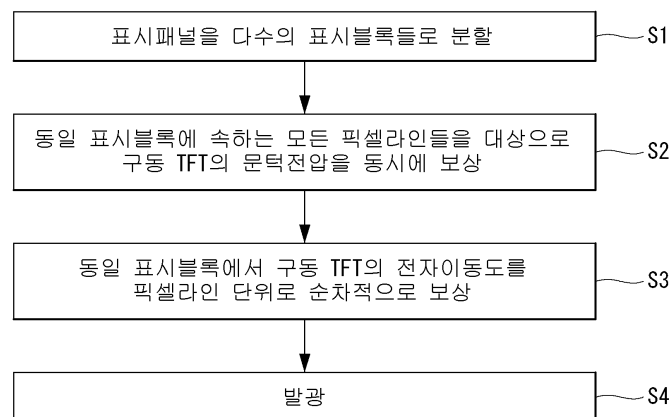
도면1



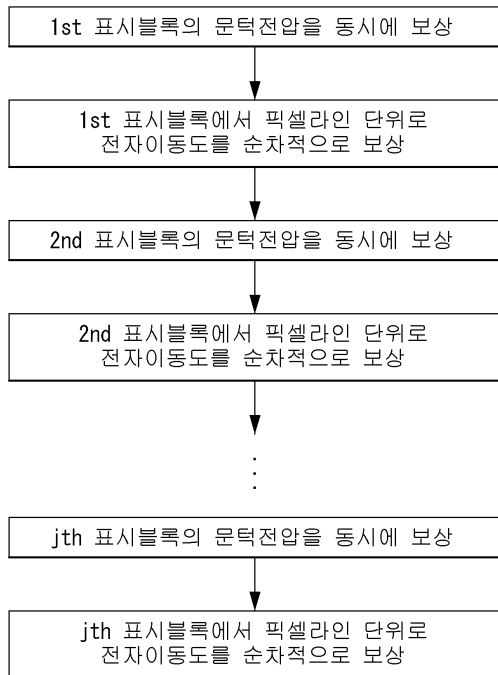
도면2



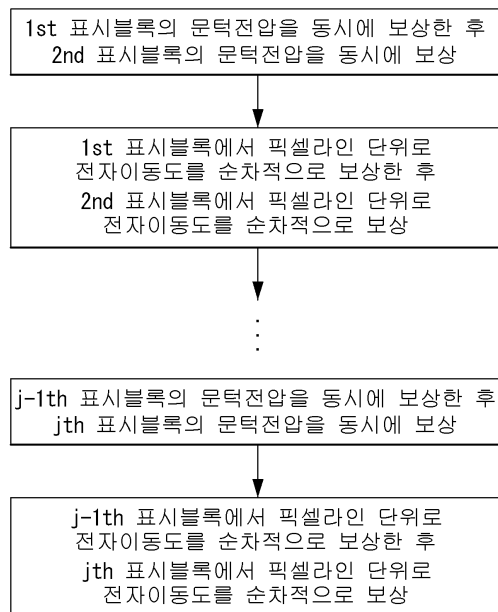
도면3



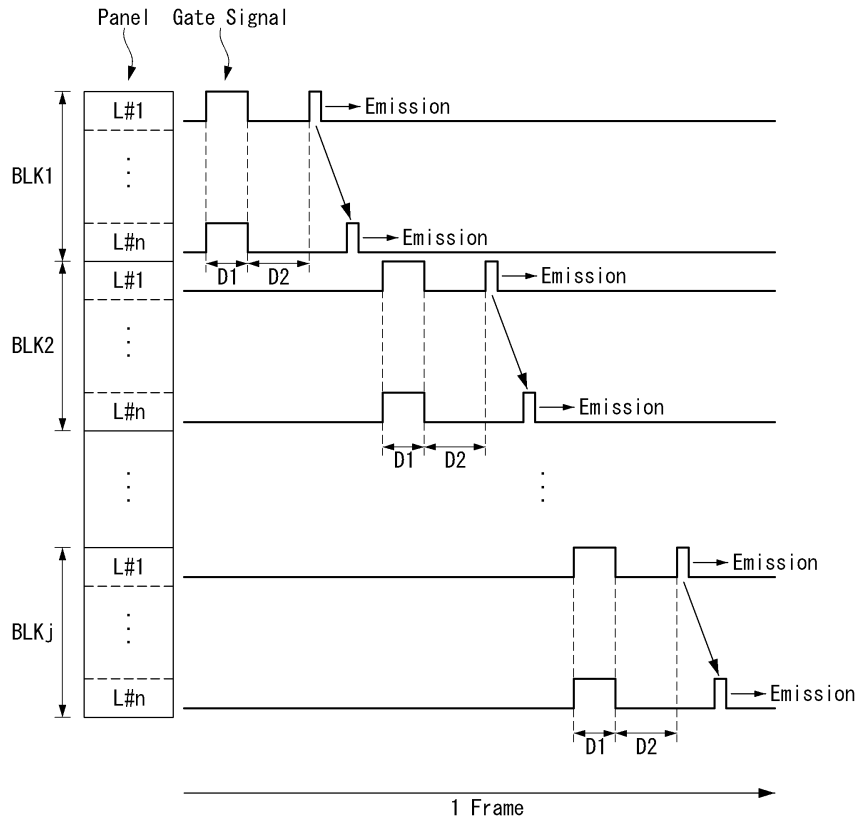
도면4



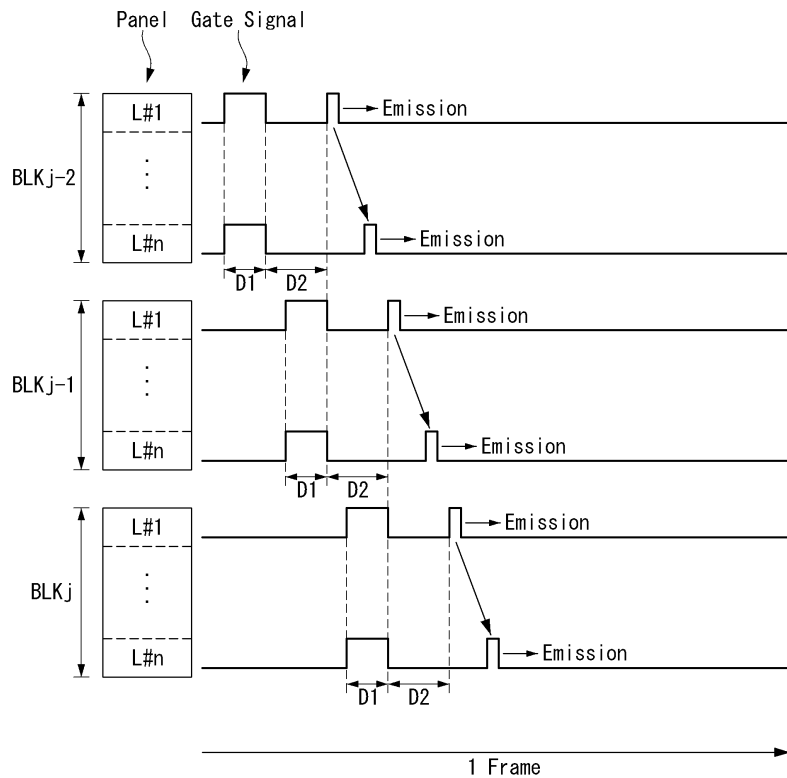
도면5



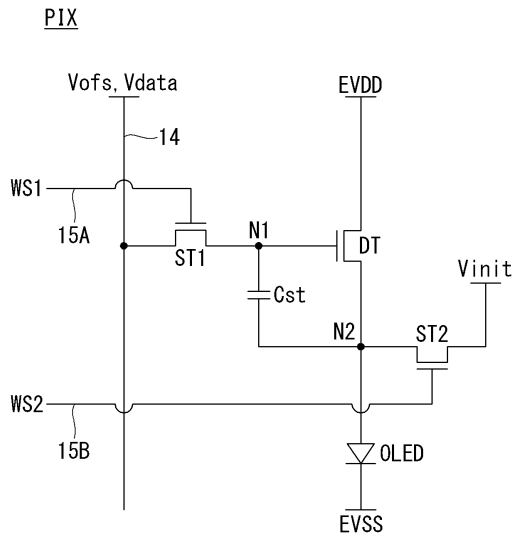
도면6



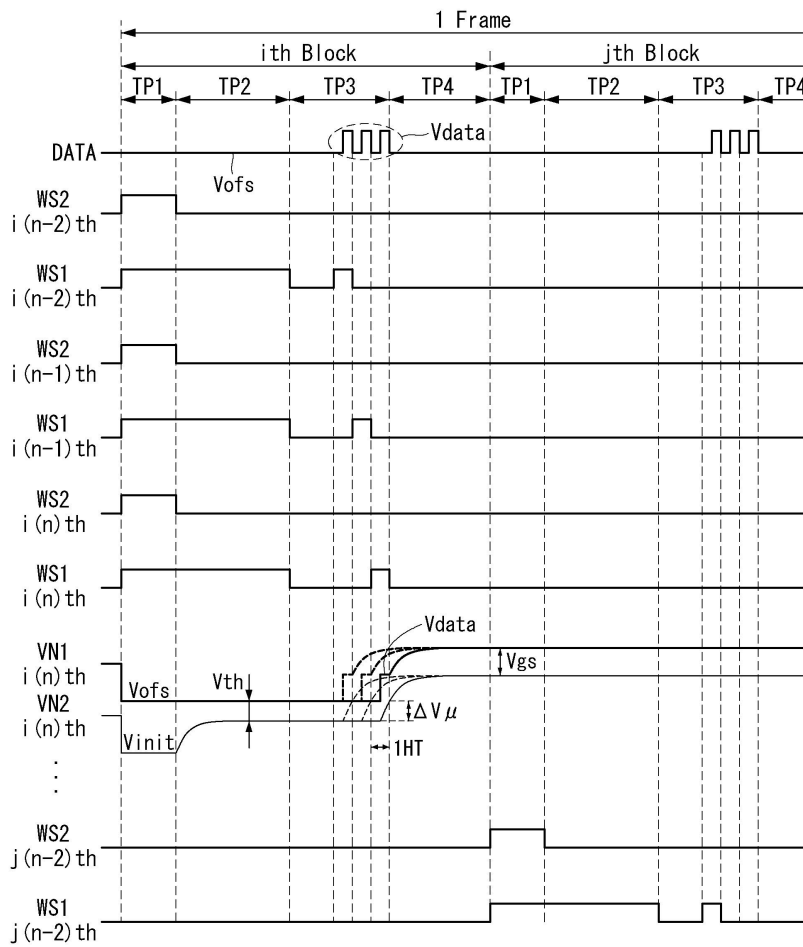
도면7



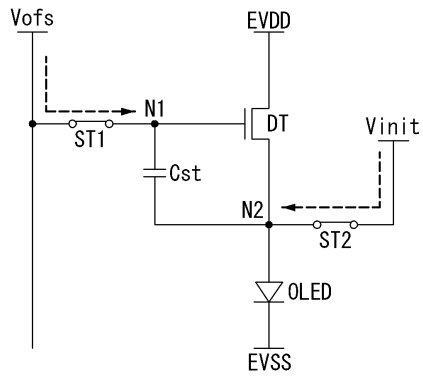
도면8



도면9

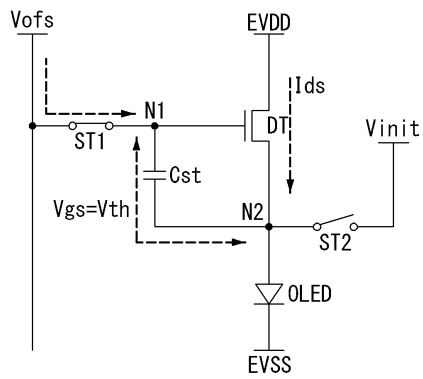


도면10a



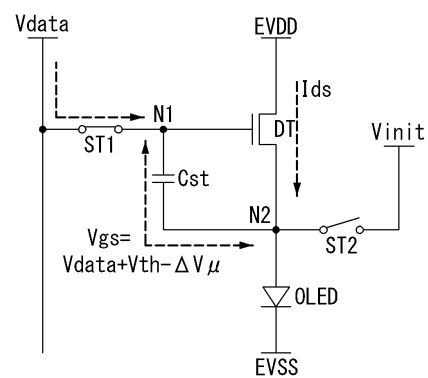
[TP1_Initial]

도면10b



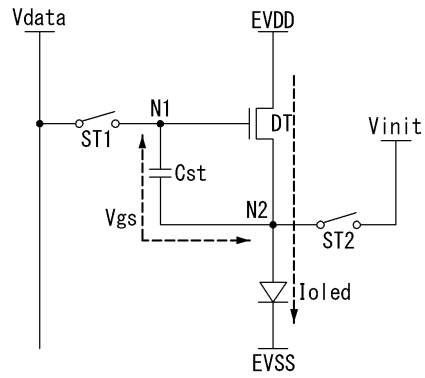
[TP2_Vth Compensation]

도면10c



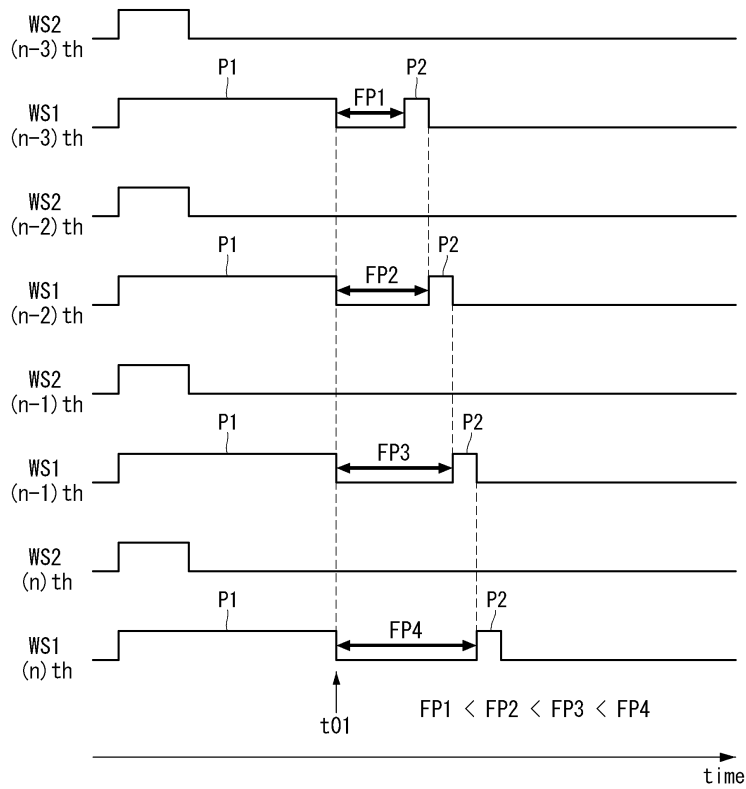
[TP3_Writing & μ Compensation]

도면10d

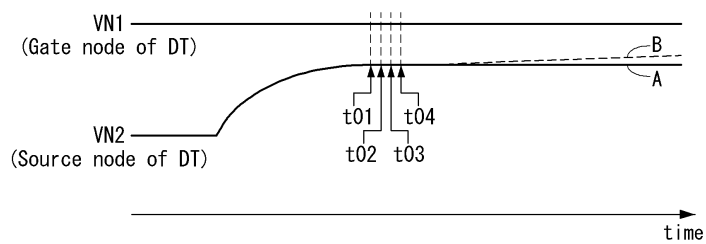


[TP4_Emission]

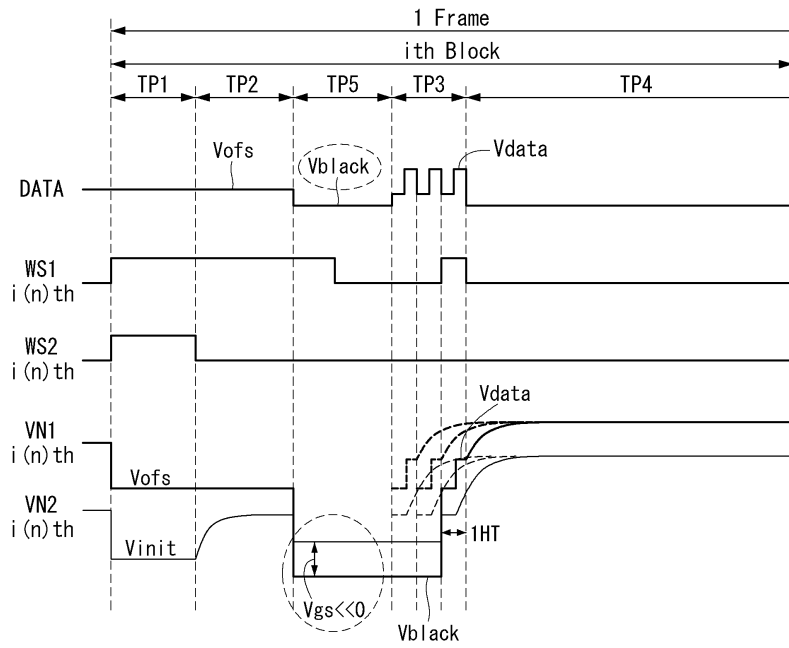
도면11



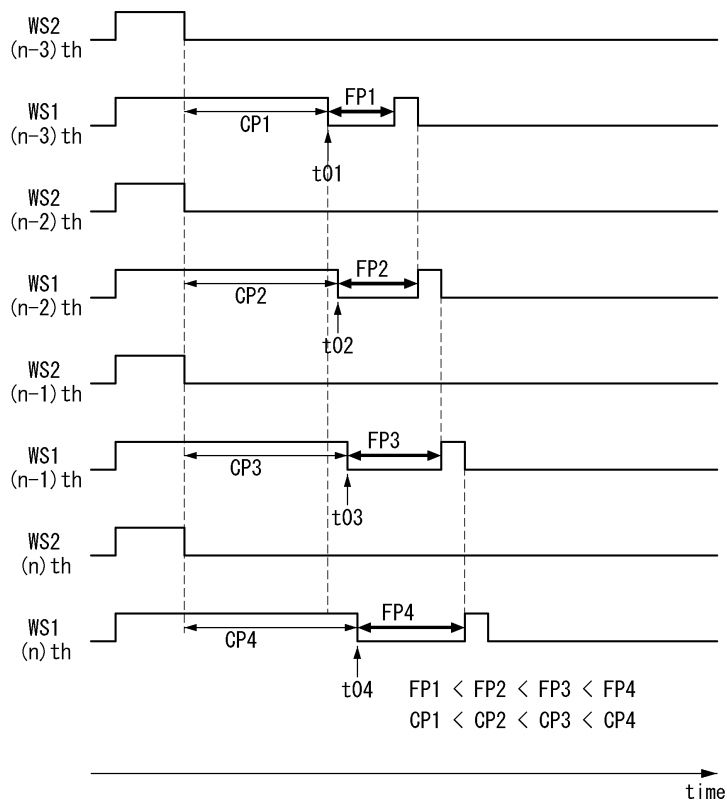
도면12



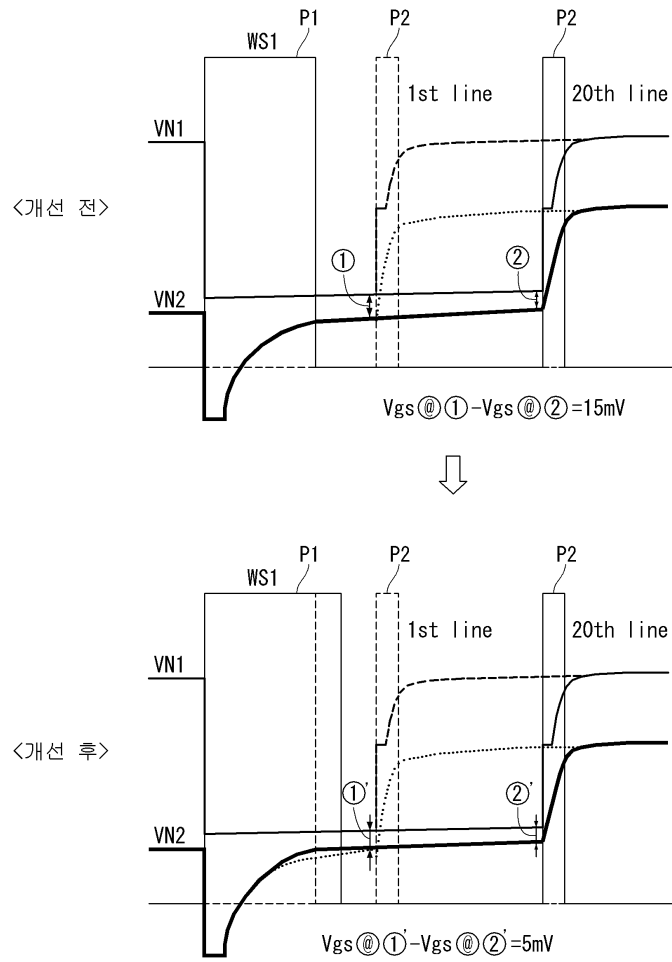
도면13



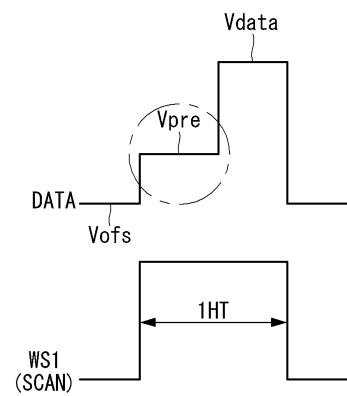
도면14



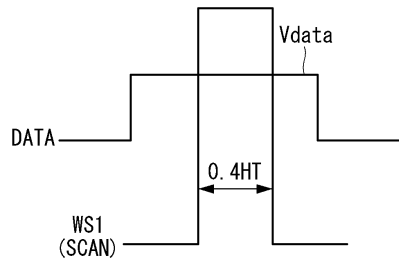
도면15



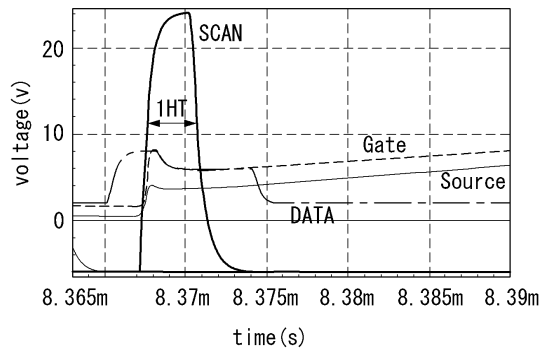
도면16



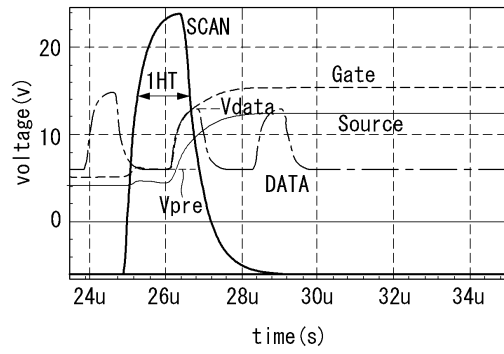
도면17



도면18

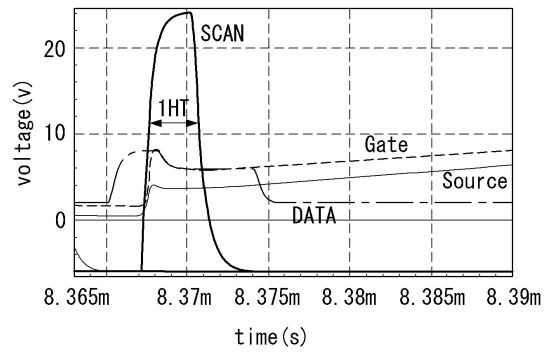


(A) 개선전

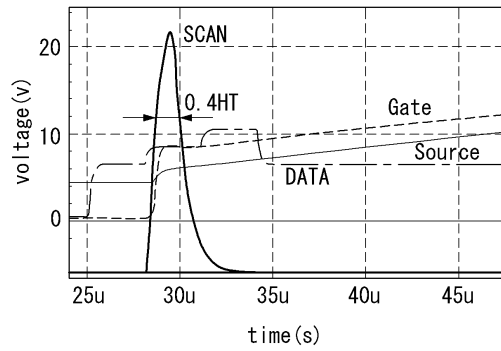


(B) 개선후

도면19

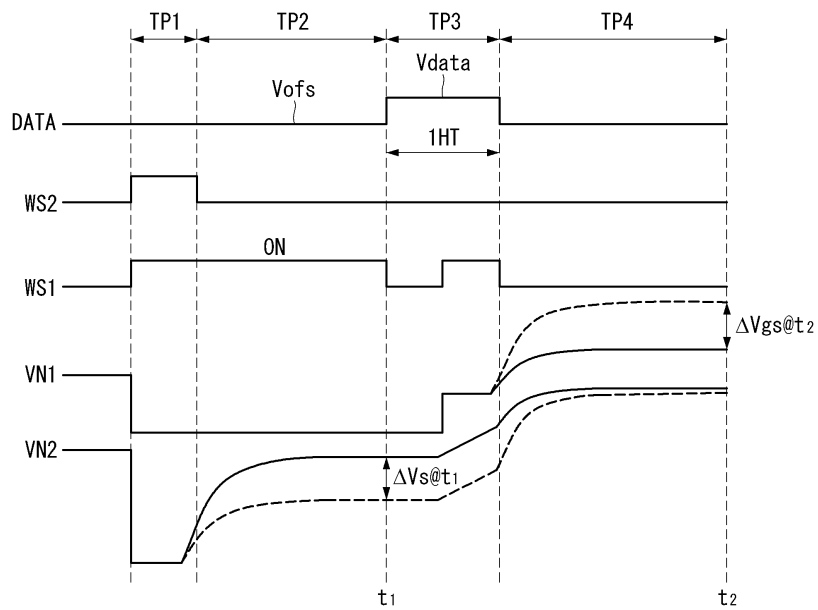


(A) 개선전

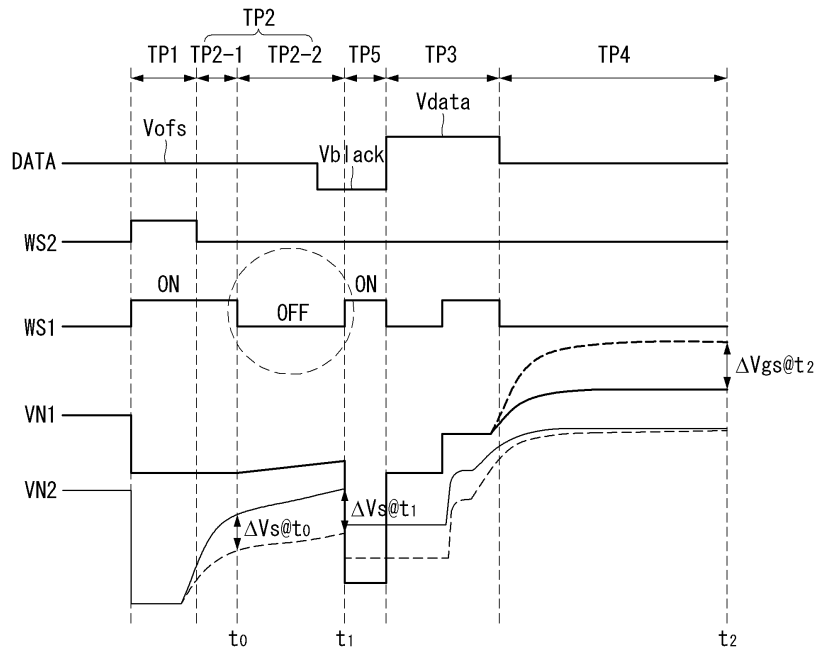


(B) 개선후

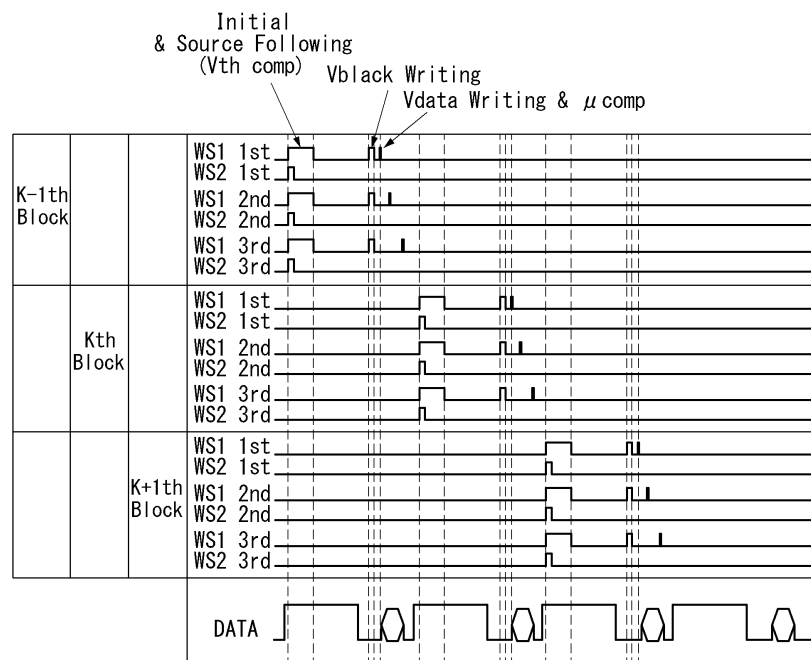
도면20



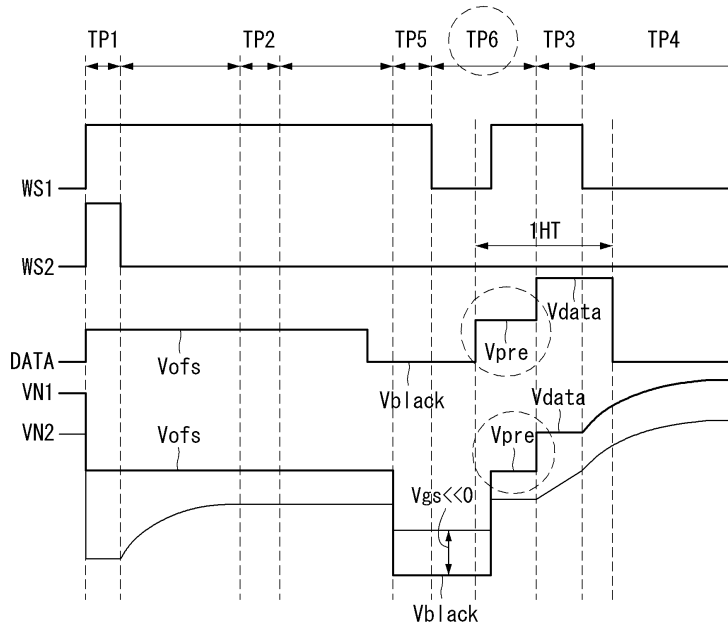
도면21



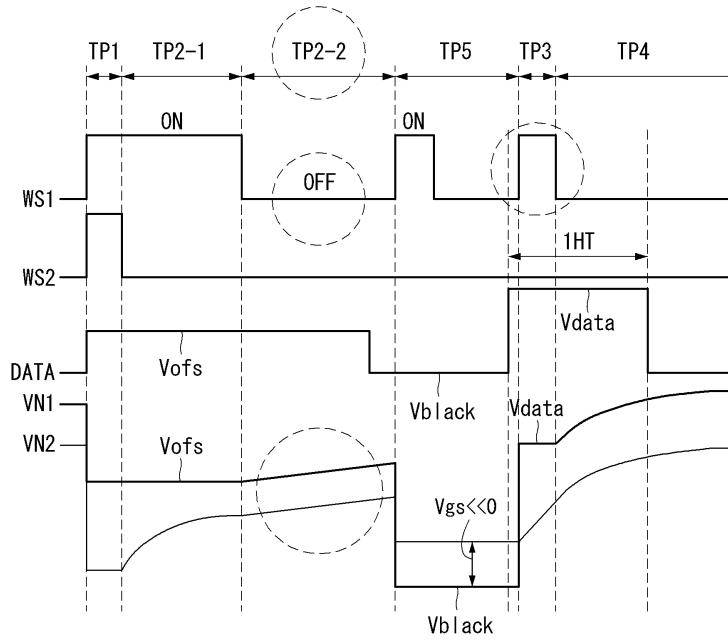
도면22



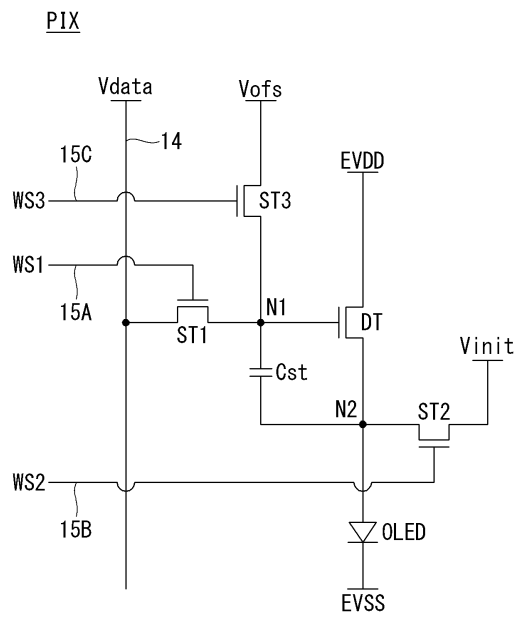
도면23



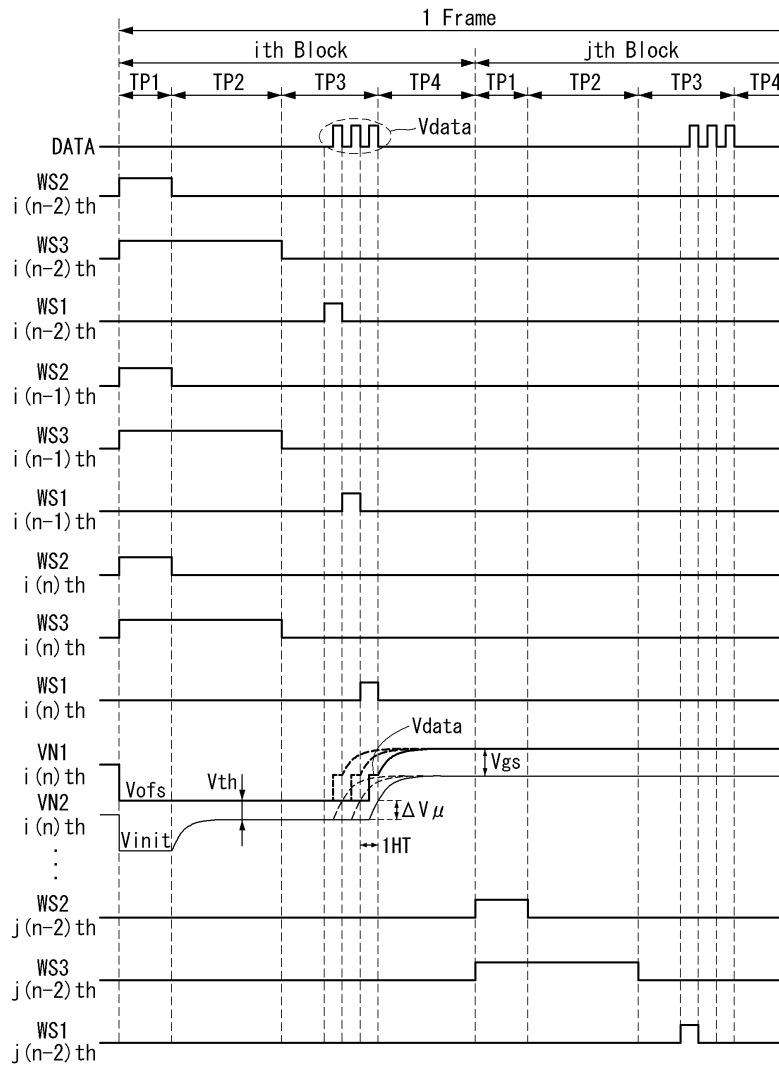
도면24



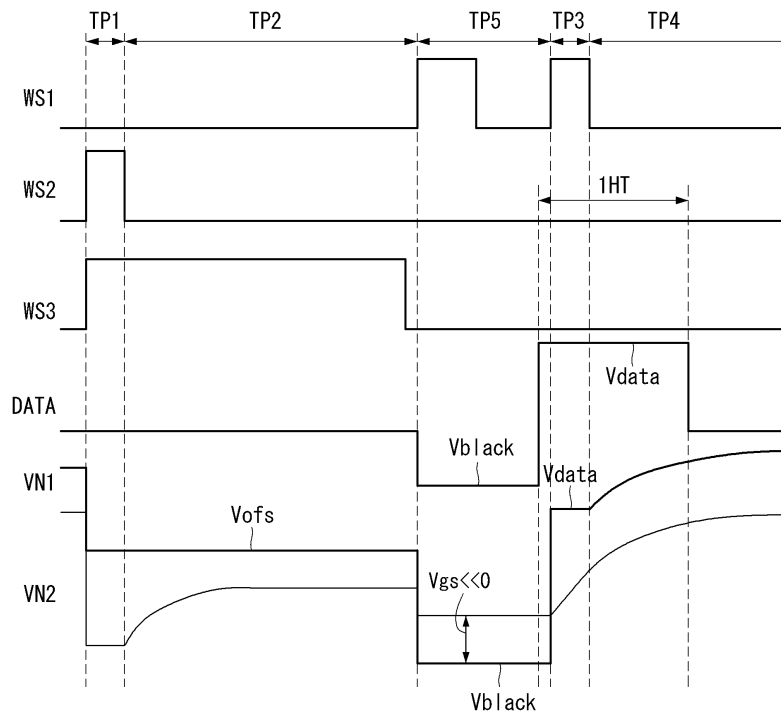
도면25



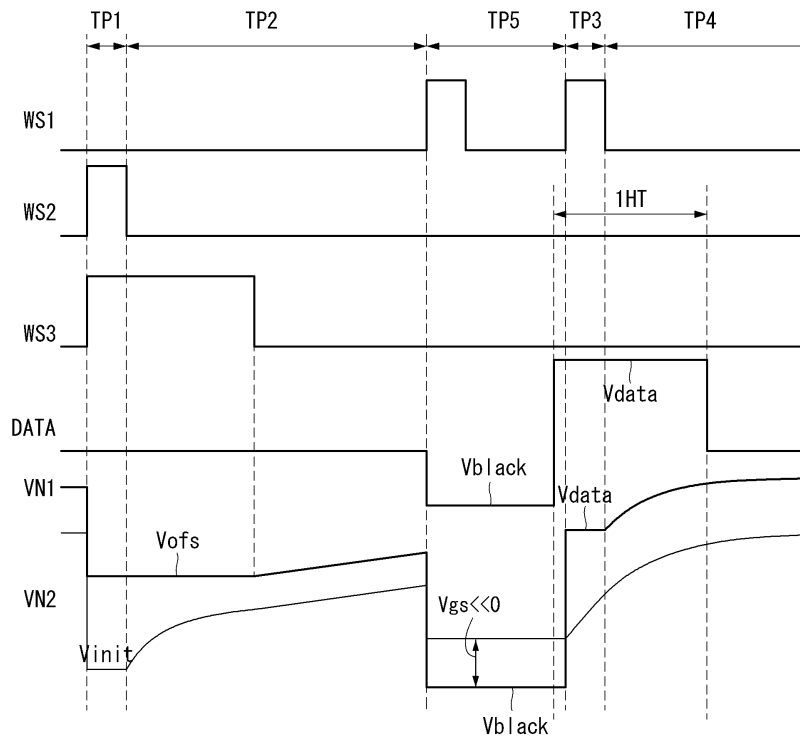
도면26



도면27



도면28



专利名称(译)	标题：有机发光显示器及其驱动方法		
公开(公告)号	KR1020150114080A	公开(公告)日	2015-10-12
申请号	KR1020140037771	申请日	2014-03-31
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	CHOI YOUNG JUN 최영준 KIM BUM SIK 김범식 PARK HYE MIN 박혜민 KIM CHANG HEE 김창희		
发明人	최영준 김범식 박혜민 김창희		
IPC分类号	G09G3/32		
其他公开文献	KR102135934B1		
外部链接	Espacenet		

摘要(译)

本发明的特征在于，形成多个像素，每个像素包括有机发光二极管和驱动TFT，以根据源极跟随器内部补偿方案显示图像并补偿驱动TFT的阈值电压和电子迁移率，由按预定数量分组的像素线形成显示面板沿数据扫描方向分成多个显示块；一种栅极驱动电路，用于驱动在显示面板上形成的栅极信号供给线；一种数据驱动电路，用于驱动在显示板上形成的数据信号供给线；以及用于控制栅极驱动电路和数据驱动电路的操作的控制电路，以显示块为单位依次补偿TFT的阈值电压和电子迁移率，同时对属于同一显示块的所有像素线补偿驱动TFT的阈值电压。然后，在同一显示块中，时序控制器，逐个像素地顺序补偿电子迁移率和。

