



(19) 대한민국특허청(KR)

(12) 공개특허공보(A)

(11) 공개번호 10-2015-0069278

(43) 공개일자 2015년06월23일

(51) 국제특허분류(Int. Cl.)

G09G 3/32 (2006.01)

(21) 출원번호 10-2013-0155525

(22) 출원일자 2013년12월13일

심사청구일자 없음

(71) 출원인

삼성디스플레이 주식회사

경기도 용인시 기흥구 삼성2로 95 (농서동)

(72) 발명자

김현태

경기도 용인시 기흥구 삼성2로 95 (농서동)

(74) 대리인

강신섭, 문용호, 이용우

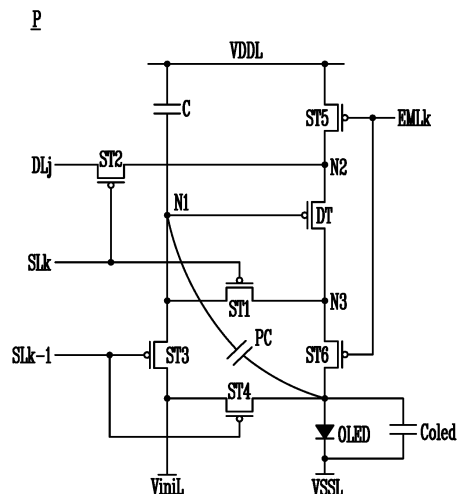
전체 청구항 수 : 총 15 항

(54) 발명의 명칭 유기전계발광 표시장치

(57) 요약

본 발명은 유기전계발광 표시장치에 관한 것이다. 본 발명의 실시 예에 따른 유기전계발광 표시장치는 데이터 라인들 및 스캔 라인들이 형성되고, 매트릭스 형태로 배열된 화소들이 형성된 표시패널을 구비하고, 상기 화소들 각각은, 게이트 전극이 제1 노드에 접속되고, 제1 전극이 제2 노드에 접속되며, 제2 전극이 제3 노드에 접속된 구동 트랜지스터; 상기 구동 트랜지스터의 드레인-소스간 전류에 따라 발광하는 유기발광다이오드; 및 상기 제1 노드와 상기 제3 노드 사이에 접속된 제1 트랜지스터를 포함하며, 상기 구동 트랜지스터의 게이트 전극은 상기 제1 트랜지스터의 반도체층과 중첩되는 것을 특징으로 한다.

대표도 - 도5



명세서

청구범위

청구항 1

데이터 라인들 및 스캔 라인들이 형성되고, 매트릭스 형태로 배열된 화소들이 형성된 표시패널을 구비하고,

상기 화소들 각각은,

게이트 전극이 제1 노드에 접속되고, 제1 전극이 제2 노드에 접속되며, 제2 전극이 제3 노드에 접속된 구동 트랜지스터;

상기 구동 트랜지스터의 드레인-소스간 전류에 따라 발광하는 유기발광다이오드; 및

상기 제1 노드와 상기 제3 노드 사이에 접속된 제1 트랜지스터를 포함하며,

상기 구동 트랜지스터의 게이트 전극은 상기 제1 트랜지스터의 반도체층과 중첩되는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 2

제 1 항에 있어서,

상기 구동 트랜지스터의 게이트 전극은 제1 콘택홀을 통해 상기 제1 트랜지스터의 제1 전극에 접속되는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 3

제 2 항에 있어서,

상기 제1 트랜지스터의 제1 전극은 상기 제1 콘택홀을 통해 상기 제1 트랜지스터의 반도체층과 접속되는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 4

제 3 항에 있어서,

상기 제1 콘택홀은 복수의 절연막들을 관통하여 형성되는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 5

제 3 항에 있어서,

상기 제1 트랜지스터의 제1 전극은 상기 유기발광다이오드의 애노드 전극과 중첩되지 않는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 6

제 3 항에 있어서,

상기 구동 트랜지스터의 게이트 전극은 상기 구동 트랜지스터의 반도체층 상부에서 상기 구동 트랜지스터의 반도체층과 중첩되는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 7

제 6 항에 있어서,

상기 구동 트랜지스터의 게이트 전극은 제1 게이트 금속 패턴으로 형성되고, 상기 제1 트랜지스터의 게이트 전극은 상기 제1 게이트 금속 패턴보다 상부에 형성되는 제2 게이트 금속 패턴으로 형성되는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 8

제 6 항에 있어서,

상기 구동 트랜지스터의 게이트 전극과 상기 제1 트랜지스터의 게이트 전극은 제1 게이트 금속 패턴으로 형성되는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 9

제 8 항에 있어서,

상기 제1 트랜지스터의 게이트 전극에 접속된 스캔 라인은 상기 제1 게이트 금속 패턴으로 형성된 것을 특징으로 하는 유기전계발광 표시장치.

청구항 10

제 9 항에 있어서,

상기 제1 트랜지스터의 게이트 전극에 접속된 스캔 라인은 제2 콘택홀들을 통해 제1 아일랜드 전극들과 접속되고, 상기 제1 아일랜드 전극들 각각은 제3 콘택홀을 통해 제2 아일랜드 전극과 접속되는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 11

제 10 항에 있어서,

상기 제1 아일랜드 전극들은 소스/드레인 금속패턴으로 형성되고,

상기 제2 아일랜드 전극은 제2 게이트 금속패턴으로 형성된 것을 특징으로 하는 유기전계발광 표시장치.

청구항 12

제 10 항에 있어서,

상기 제2 아일랜드 전극은 상기 구동 트랜지스터의 게이트 전극의 상부에서 상기 구동 트랜지스터의 게이트 전극과 교차하는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 13

제 1 항에 있어서,

상기 표시패널에는 상기 스캔 라인들과 나란한 발광 라인들이 더 형성되고,

상기 화소들 각각은,

제 k (k 는 2 이상의 양의 정수) 스캔 라인의 스캔 신호에 의해 턴-온되어 제 j (j 는 양의 정수) 데이터 라인과 상기 제2 노드를 접속하는 제2 트랜지스터;

제 $k-1$ 스캔 라인의 스캔 신호에 의해 턴-온되어 상기 제1 노드와 제1 전원전압이 공급되는 제1 전원전압 라인을 접속하는 제3 트랜지스터;

상기 제 $k-1$ 스캔 라인의 스캔 신호에 의해 턴-온되어 상기 유기발광다이오드의 애노드 전극과 상기 제1 전원전압 라인을 접속하는 제4 트랜지스터;

제 k 발광 라인의 발광 신호에 의해 턴-온되어 상기 제2 노드와 제2 전원전압이 공급되는 제2 전원전압 라인을 접속하는 제5 트랜지스터;

상기 제 k 발광 라인의 발광 신호에 의해 턴-온되어 상기 제3 노드와 상기 유기발광다이오드의 애노드 전극을 접속하는 제6 트랜지스터; 및

상기 제1 노드와 상기 제2 전원전압 라인 사이에 접속된 캐패시터를 포함하는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 14

제 13 항에 있어서,

상기 제1 트랜지스터는 상기 제k 스캔 라인의 스캔 신호에 의해 턴-온되어 상기 제1 노드와 상기 제3 노드를 접속하는 것을 특징으로 하는 유기전계발광 표시장치.

청구항 15

제 14 항에 있어서,

상기 제k-1 스캔 라인의 스캔 신호는 제1 및 제2 기간 동안 게이트 온 전압으로 발생하고,

상기 제k 스캔 라인의 스캔 신호는 제3 기간 동안 게이트 온 전압으로 발생하며,

상기 제k 발광 라인의 발광 신호는 제1 및 제4 기간 동안 게이트 온 전압으로 발생하는 것을 특징으로 하는 유기전계발광 표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 유기전계발광 표시장치에 관한 것이다.

배경 기술

[0002] 최근, 음극선관(Cathode Ray Tube)의 단점인 무게와 부피를 줄일 수 있는 다양한 평판표시장치들이 개발되고 있다. 평판표시장치로는 액정표시장치(Liquid Crystal Display), 전계방출 표시장치(Field Emission Display), 플라즈마 표시패널(Plasma Display Panel), 유기전계발광 표시장치(Organic Light Emitting Display) 등이 있다.

[0003] 평판표시장치들 중에서 유기전계발광 표시장치는 전자와 정공의 재결합에 의하여 빛을 발생하는 유기발광다이오드(Organic Light Emitting Diode : OLED)를 이용하여 화상을 표시한다. 유기전계발광 표시장치는 빠른 응답속도를 가짐과 동시에 낮은 소비 전력으로 구동되는 장점이 있다.

[0004] 유기전계발광 표시장치의 표시패널은 매트릭스 형태로 배치된 다수의 화소들을 포함한다. 화소들 각각은 스캔 라인의 스캔 신호에 응답하여 데이터 라인의 데이터 전압을 공급하는 스캔 트랜지스터(transistor), 게이트 전극의 전압에 따라 드레인-소스간 전류(I_{ds})의 양을 조절하는 구동 트랜지스터, 구동 트랜지스터의 드레인-소스간 전류(I_{ds})에 따라 발광하는 유기발광다이오드 등을 포함한다.

[0005] 유기발광다이오드에 공급되는 구동 트랜지스터의 드레인-소스간 전류(I_{ds})는 수학적 식 1과 같이 표현될 수 있다.

수학적 식 1

$$I_{ds} = k \cdot (V_{gs} - V_{th})^2$$

[0007] 수학적 식 1에서, k는 구동 트랜지스터의 구조와 물리적 특성에 의해 결정되는 비례 계수, V_{gs} 는 구동 트랜지스터의 게이트-소스간 전압, V_{th} 는 구동 트랜지스터의 문턱전압을 의미한다.

[0008] 구동 트랜지스터의 드레인-소스간 전류(I_{ds})는 수학적 식 1과 같이 구동 트랜지스터의 문턱전압(V_{th})에 의존한다. 하지만, 구동 트랜지스터의 문턱전압(threshold voltage)은 구동 시간에 따른 열화에 의해 쉬프트(shift)될 수 있다. 특히, 구동 트랜지스터의 문턱전압의 열화 정도는 화소마다 다르므로, 구동 트랜지스터의 문턱전압의 쉬프트 정도 역시 화소마다 다르다. 이로 인해, 표시패널의 화소들의 휘도가 균일하지 않은 문제가 발생할 수 있다.

발명의 내용

해결하려는 과제

[0009] 본 발명의 실시 예는 구동 트랜지스터의 문턱전압을 보상함으로써 표시패널의 화소들의 휘도를 균일하게 할 수 있는 유기전계발광 표시장치를 제공한다.

과제의 해결 수단

[0010] 본 발명의 실시 예에 따른 유기전계발광 표시장치는 데이터 라인들 및 스캔 라인들이 형성되고, 매트릭스 형태로 배열된 화소들이 형성된 표시패널을 구비하고, 상기 화소들 각각은, 게이트 전극이 제1 노드에 접속되고, 제1 전극이 제2 노드에 접속되며, 제2 전극이 제3 노드에 접속된 구동 트랜지스터; 상기 구동 트랜지스터의 드레인-소스간 전류에 따라 발광하는 유기발광다이오드; 및 상기 제1 노드와 상기 제3 노드 사이에 접속된 제1 트랜지스터를 포함하며, 상기 구동 트랜지스터의 게이트 전극은 상기 제1 트랜지스터의 반도체층과 중첩되는 것을 특징으로 한다.

발명의 효과

[0011] 본 발명의 실시 예는 구동 트랜지스터의 문턱전압을 보상할 수 있다. 그 결과, 본 발명의 실시 예는 유기발광다이오드에 공급되는 구동 트랜지스터의 드레인-소스간 전류가 구동 트랜지스터의 문턱전압에 의존하지 않으므로, 표시패널의 화소들의 휘도를 균일하게 할 수 있다.

[0012] 또한, 본 발명의 실시 예는 데이터 전압을 공급하는 제3 기간 이전에 소정의 기간 동안 구동 트랜지스터의 게이트 전극을 초기화 전압으로 방전하여 구동 트랜지스터에 온 바이어스를 인가한다. 그 결과, 본 발명의 실시 예는 구동 트랜지스터의 히스테리시스 특성에 의해 화질이 저하되는 문제점을 해결할 수 있다.

[0013] 또한, 본 발명의 실시 예는 제1 트랜지스터의 제1 전극이 유기발광다이오드의 애노드 전극과 중첩되지 않게 하기 위해 구동 트랜지스터의 게이트 전극을 제1 트랜지스터의 반도체층과 중첩되도록 연장하여 제1 트랜지스터의 제1 전극에 접속한다. 이로 인해, 본 발명의 실시 예는 유기발광다이오드의 애노드 전극과 구동 트랜지스터의 게이트 전극 사이에 형성되는 기생 용량의 크기를 최소화할 수 있다. 그 결과, 본 발명의 실시 예는 유기발광다이오드의 애노드 전극과 구동 트랜지스터의 게이트 전극 사이에 형성되는 기생 용량으로 인해 유기발광다이오드의 애노드 전극이 영향을 받는 것을 최소화할 수 있으므로, 화질 저하를 방지할 수 있다.

도면의 간단한 설명

[0014] 도 1은 다이오드 접속 방식의 문턱전압 보상 화소 구조의 일부를 보여주는 회로도.

도 2는 게이트 온 바이어스 상태와 게이트 오프 바이어스 상태에서 게이트-소스간 전압 차에 따른 구동 트랜지스터의 드레인-소스간 전류를 보여주는 그래프.

도 3은 종래 제p 프레임 기간 동안 피크 블랙 계조 전압이 공급되고 제p+1 내지 제p+3 프레임 기간 동안 피크 화이트 계조 전압이 공급되는 경우 화소의 휘도를 보여주는 그래프.

도 4는 본 발명의 실시 예에 따른 유기전계발광 표시장치를 보여주는 블록도.

도 5는 도 4의 화소를 상세히 보여주는 등가 회로도.

도 6은 도 5의 화소에 입력되는 신호들을 보여주는 파형도.

도 7은 제1 내지 제4 기간 동안 화소의 동작을 나타내는 흐름도.

도 8a 내지 도 8d는 제1 내지 제4 기간 동안 화소를 보여주는 등가 회로도.

도 9는 본 발명의 실시 예에서 제p 프레임 기간 동안 피크 블랙 계조 전압이 공급되고 제p+1 내지 제p+3 프레임

기간 동안 피크 화이트 계조 전압이 공급되는 경우 화소의 휘도를 보여주는 그래프.

도 10은 도 5의 구동 트랜지스터와 제1 트랜지스터의 일 예를 보여주는 평면도.

도 11은 도 10의 A-A'의 단면을 보여주는 일 예시도면.

도 12는 도 5의 구동 트랜지스터와 제1 트랜지스터의 또 다른 예를 보여주는 평면도.

도 13은 도 12의 B-B'의 단면을 보여주는 일 예시도면.

발명을 실시하기 위한 구체적인 내용

[0015] 이하 첨부된 도면을 참조하여 유기전계발광 표시장치를 중심으로 본 발명에 따른 바람직한 실시 예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다. 이하의 설명에서 사용되는 구성요소들의 명칭은 명세서 작성의 용이함을 고려하여 선택된 것으로, 실제 제품의 명칭과는 상이할 수 있다.

[0016] 도 1은 다이오드 접속 방식의 문턱전압 보상 화소 구조의 일부를 보여주는 회로도이다. 도 1에는 유기발광다이오드에 전류를 공급하는 구동 트랜지스터(DT)와, 구동 트랜지스터(DT)의 게이트 노드(Ng)와 드레인 노드(Nd) 사이에 접속된 트랜지스터(ST)가 나타나 있다. 트랜지스터(ST)는 구동 트랜지스터(DT)에 데이터 전압이 공급되는 기간 동안 구동 트랜지스터(DT)의 게이트 노드(Ng)와 드레인 노드(Nd)를 접속시켜, 구동 트랜지스터(DT)가 다이오드(diode)로 구동하게 한다.

[0017] 도 1을 참조하면, 트랜지스터(ST)가 턴-온되는 데이터 전압 공급 기간 동안 게이트 노드(Ng)와 드레인 노드(Nd)가 접속되므로, 게이트 노드(Ng)와 드레인 노드(Nd)는 실질적으로 동등한 전위를 갖는다. 게이트 노드(Ng)와 소스 노드(Ns) 간의 전압 차(Vgs)가 문턱전압보다 큰 경우, 구동 트랜지스터(DT)는 게이트 노드(Ng)와 소스 노드(Ns) 간의 전압 차(Vgs)가 구동 트랜지스터(DT)의 문턱전압(Vth)에 도달할 때까지 전류 패스를 형성하며, 그에 따라 게이트 노드(Ng)와 드레인 노드(Nd)의 전압은 충전된다. 즉, 구동 트랜지스터(DT)의 소스 노드(Ns)에 데이터 전압(Vdata)이 공급된 경우, 구동 트랜지스터(DT)의 게이트 노드(Ng)와 드레인 노드(Nd)의 전압은 데이터 전압(Vdata)과 문턱전압(Vth) 간의 차전압(Vdata-Vth)까지 상승한다. 이로 인해, 다이오드 접속 방식은 수학적 식 1에서 Vth를 삭제할 수 있으므로, 구동 트랜지스터(DT)의 문턱전압(Vth)을 보상할 수 있다.

[0018] 도 2는 게이트 온 바이어스 상태와 게이트 오프 바이어스 상태에서 게이트-소스간 전압 차에 따른 구동 트랜지스터의 드레인-소스간 전류를 보여주는 그래프이다. 도 1 및 도 2를 참조하면, 구동 트랜지스터(DT)의 히스테리시스(hysteresis) 특성에 의해 온 바이어스 상태(on bias state)와 오프 바이어스(off bias state) 상태에서 게이트-소스간 전압 차에 따른 구동 트랜지스터의 드레인-소스간 전류는 달라진다.

[0019] 온 바이어스 상태는 구동 트랜지스터(DT)의 게이트 전극에 피크 화이트 계조 전압(peak white grayscale voltage)과 같이 게이트 온 전압이 인가되어 구동 트랜지스터의 드레인-소스간 전류(Ids)가 크게 흐르는 상태를 의미한다. 오프 바이어스 상태는 구동 트랜지스터의 게이트 전극에 피크 블랙 계조 전압(peak black grayscale voltage)과 같이 게이트 오프 전압이 인가되어 구동 트랜지스터의 드레인-소스간 전류(Ids)가 거의 흐르지 않는 상태를 의미한다. 피크 화이트 계조 전압은 유기발광다이오드가 피크 화이트 계조로 발광하기 위해 구동 트랜지스터(DT)의 게이트 전극에 인가되는 전압을 의미하며, 피크 블랙 계조 전압은 유기발광다이오드가 피크 블랙 계조로 발광하기 위해 구동 트랜지스터(DT)의 게이트 전극에 인가되는 전압을 의미한다. 한편, 계조값이 8비트의 디지털 값으로 표현되는 경우, 피크 블랙 계조는 최소값인 "0"을 의미하고, 피크 화이트 계조는 최대값인 "255"를 의미할 수 있다.

[0020] 도 3은 종래 제p 프레임 기간 동안 피크 블랙 계조 전압이 공급되고 제p+1 내지 제p+3 프레임 기간 동안 피크 화이트 계조 전압이 공급되는 경우 화소의 휘도를 보여주는 그래프이다. 도 3에서는 제p 프레임 기간 동안 구동 트랜지스터(DT)의 게이트 전극에 피크 블랙 계조 전압이 공급되고, 제p+1 내지 제p+3 프레임 기간 동안 구동 트랜지스터(DT)의 게이트 전극에 피크 화이트 계조 전압이 공급되는 것을 중심으로 설명하였다.

- [0021] 도 1 내지 도 3을 참조하면, 제p 프레임 기간 동안 구동 트랜지스터(DT)의 게이트 전극에 피크 블랙 계조 전압이 공급되므로, 구동 트랜지스터(DT)는 제p+1 프레임 기간 동안 오프 바이어스 상태에서 피크 화이트 계조 전압(PWGV)을 공급받는다. 이에 비해, 제p+1 프레임 기간 동안 구동 트랜지스터(DT)의 게이트 전극에 피크 화이트 계조 전압이 공급되므로, 구동 트랜지스터(DT)는 제p+2 프레임 기간 동안 온 바이어스 상태에서 피크 화이트 계조 전압(PWGV)을 공급받는다. 그러므로, 제p+1 및 제p+2 프레임 기간 동안 구동 트랜지스터(DT)의 게이트 전극에 동일한 피크 화이트 계조 전압(PWGV)이 공급되더라도, 제p+1 프레임 기간 동안 구동 트랜지스터(DT)의 드레인-소스간 전류(Ids)는 제p+2 프레임 기간 동안 구동 트랜지스터(DT)의 드레인-소스간 전류(Ids)보다 작다. 이로 인해, 도 3과 같이 유기발광다이오드의 발광량은 제p+2 프레임 기간보다 제p+1 프레임 기간에서 유기발광다이오드의 발광량보다 작다. 즉, 유기발광다이오드는 제p+1 및 제p+2 프레임 기간 동안 동일한 피크 화이트 휘도로 발광하여야 하지만, 도 3과 같이 제p+1 프레임 기간 동안 피크 화이트 휘도로 발광하지 못한다. 따라서, 제p+1 프레임 기간과 제p+2 프레임 기간에서 휘도 편차가 발생하며, 이로 인해 화질이 저하되는 문제가 발생한다.
- [0022] 이하에서는, 도 1 내지 도 3을 결부하여 설명한 구동 트랜지스터(DT)의 히스테리시스 특성에 의한 화질 저하의 문제점을 해결한 본 발명의 실시 예에 따른 유기전계발광 표시장치를 도 4 내지 도 11을 결부하여 상세히 설명한다.
- [0023] 도 4는 본 발명의 실시 예에 따른 유기전계발광 표시장치를 보여주는 블록도이다. 도 4를 참조하면, 본 발명의 실시 예에 따른 유기전계발광 표시장치는 표시패널(10), 데이터 구동부(20), 스캔 구동부(30), 타이밍 제어부(40), 전원 공급원 (50) 등을 구비한다.
- [0024] 표시패널(10)에는 데이터 라인들(DL1~DLm, m은 2 이상의 양의 정수)과 스캔 라인들(SL1~SLn+1, n은 2 이상의 양의 정수)이 서로 교차되도록 형성된다. 또한, 표시패널(10)에는 스캔 라인들(SL1~SLn+1)과 나란하게 발광 라인들(EML1~EMLn)이 형성된다. 또한, 표시패널(10)에는 매트릭스 형태로 배치된 화소(P)들이 형성된다. 표시패널(10)의 화소(P)에 대한 자세한 설명은 도 5를 결부하여 후술한다.
- [0025] 데이터 구동부(20)는 다수의 소스 드라이브 IC들을 포함한다. 소스 드라이브 IC들은 타이밍 제어부(40)로부터 디지털 비디오 데이터(DATA)를 입력받는다. 소스 드라이브 IC들은 타이밍 제어부(40)로부터의 소스 타이밍 제어신호(DCS)에 응답하여 디지털 비디오 데이터(DATA)를 감마보상전압으로 변환하여 데이터 전압들을 발생하고, 데이터 전압들을 스캔 신호들에 동기되도록 표시패널(10)의 데이터 라인(DL)들에 공급한다. 이에 따라, 스캔 신호가 공급되는 화소(P)들에 데이터 전압들이 공급된다.
- [0026] 스캔 구동부(30)는 스캔 신호 출력회로 및 발광 신호 출력회로 등을 포함한다. 스캔 신호 출력회로 및 발광 신호 출력회로 각각은 순차적으로 출력신호를 발생하는 쉬프트 레지스터, 쉬프트 레지스터의 출력신호를 화소(P)의 트랜지스터 구동에 적합한 스윙폭으로 변환하기 위한 레벨 쉬프터, 및 출력 버퍼 등을 포함할 수 있다.
- [0027] 스캔 신호 출력회로는 표시패널(10)의 스캔 라인들(SL1~SLn)에 스캔 신호들을 순차적으로 출력한다. 발광 신호 출력회로는 표시패널(10)의 발광 라인들(EML1~EMLn)에 발광 신호들을 순차적으로 출력한다. 스캔 신호 및 발광 신호에 대한 자세한 설명은 도 6을 결부하여 후술한다.
- [0028] 타이밍 제어부(40)는 LVDS(Low Voltage Differential Signaling) 인터페이스, TMDS(Transition Minimized Differential Signaling) 인터페이스 등의 인터페이스를 통해 호스트 시스템(미도시)으로부터 디지털 비디오 데이터(DATA)를 입력받는다. 타이밍 제어부(40)는 수직 동기신호(vertical sync signal), 수평 동기신호(horizontal sync signal), 데이터 인에이블 신호(data enable signal), 도트 클럭(dot clock) 등을 포함하는 타이밍 신호들을 입력받는다. 타이밍 제어부(40)는 타이밍 신호들에 기초하여 데이터 구동부(20)와 스캔 구동부(30)의 동작 타이밍을 제어하기 위한 타이밍 제어신호들을 발생한다. 타이밍 제어신호들은 스캔 구동부(30)의 동작 타이밍을 제어하기 위한 스캔 타이밍 제어신호(SCS), 데이터 구동부(20)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호(DCS)를 포함한다. 타이밍 제어부(40)는 스캔 타이밍 제어신호(SCS)를 스캔 구동부(30)로 출력하고, 데이터 타이밍 제어신호(DCS)를 데이터 구동부(20)로 출력한다.
- [0029] 전원 공급원(50)은 표시패널(10)의 화소(P)들에 제1 전원전압 라인(ViniL)을 통해 제1 전원전압을 공급하고, 제2 전원전압 라인(VDDL)을 통해 제2 전원전압을 공급하며, 제3 전원전압 라인(VSSL)을 통해 제3 전원전압을 공급한다. 이하에서는 설명의 편의를 위해 제1 전원전압은 초기화 전압(Vini)이고, 제2 전원전압은 고전위 전압(ELVDD)이며, 제3 전원전압은 저전위 전압(ELVSS)인 것을 중심으로 설명한다. 고전위 전압(ELVDD)은 저전위 전

압(ELVSS) 및 초기화 전압(Vini)보다 높은 레벨의 전압이다. 고전위 전압(ELVDD), 초기화 전압(Vini), 및 저전위 전압(ELVSS)은 사전 실험을 통해 적절한 레벨의 전압으로 미리 설정될 수 있다.

[0030] 또한, 전원 공급원(50)은 소정의 로직 레벨 전압들을 타이밍 제어부(40)로 공급하고, 게이트 온 전압과 게이트 오프 전압을 스캔 구동부(30)로 공급할 수 있다. 게이트 온 전압은 화소(P)의 스위치 소자들의 턴-온 전압을 의미하고, 게이트 오프 전압은 화소(P)의 스위치 소자들의 턴-오프 전압을 의미한다.

[0031] 도 5는 도 4의 화소를 상세히 보여주는 등가 회로도이다. 도 5를 참조하면, 본 발명의 실시 예에 따른 화소(P)는 구동 트랜지스터(transistor)(DT), 유기발광다이오드(Organic Light Emitting Diode, OLED), 스위치 소자들, 스토리지 캐패시터(capacitor, C) 등을 포함한다. 스위치 소자들은 제1 내지 제6 트랜지스터(ST1, ST2, ST3, ST4, ST5, ST6)를 포함한다.

[0032] 화소(P)는 제k-1($k \geq 2$)을 만족하는 양의 정수) 스캔 라인(SLk-1), 제k 스캔 라인(SLk), 제k 발광 라인(EMLk), 및 제j($1 \leq j \leq m$ 을 만족하는 양의 정수) 데이터 라인(Dj)에 접속된다. 또한, 화소(P)는 저전위 전압(ELVSS)이 공급되는 저전위 전압 라인(VSSL), 초기화 전압(Vini)이 공급되는 초기화 전압 라인(ViniL), 및 고전위 전압(ELVDD)이 공급되는 고전위 전압 라인(VDDL)에 접속된다.

[0033] 구동 트랜지스터(DT)는 게이트 전극의 전압에 따라 드레인-소스간 전류(I_{ds})를 제어한다. 구동 트랜지스터(DT)의 채널을 통해 흐르는 드레인-소스간 전류(I_{ds})는 수학적 식과 같이 구동 트랜지스터(DT)의 게이트-소스 간의 전압과 문턱전압 간의 차이의 제곱에 비례한다. 구동 트랜지스터(DT)의 게이트 전극은 제1 노드(N1)에 접속되고, 제1 전극은 제2 노드(N2)에 접속되며, 제2 전극은 제3 노드(N3)에 접속된다. 여기서, 제1 전극은 소스 전극 또는 드레인 전극, 제2 전극은 제1 전극과 다른 전극일 수 있다. 예를 들어, 제1 전극이 소스 전극인 경우, 제2 전극은 드레인 전극일 수 있다.

[0034] 유기발광다이오드(OLED)는 구동 트랜지스터(DT)의 드레인-소스간 전류(I_{ds})에 따라 발광한다. 유기발광다이오드(OLED)의 발광량은 구동 트랜지스터(DT)의 드레인-소스간 전류(I_{ds})에 비례할 수 있다. 유기발광다이오드(OLED)의 애노드 전극은 제5 트랜지스터(ST5)의 제2 전극과 제6 트랜지스터(ST6)의 제1 전극에 접속되며, 캐소드 전극은 저전위 전압 라인(VSSL)에 접속된다.

[0035] 제1 트랜지스터(ST1)는 제1 노드(N1)와 제3 노드(N3) 사이에 접속된다. 제1 트랜지스터(ST1)는 제k 스캔 라인(SLk)의 스캔 신호에 의해 턴-온되어 제1 노드(N1)와 제3 노드(N3)를 접속한다. 즉, 제1 트랜지스터(ST1)가 턴-온되는 경우, 구동 트랜지스터(DT)의 게이트 전극과 제2 전극이 접속되므로, 구동 트랜지스터(DT)는 다이오드(diode)로 구동한다. 제1 트랜지스터(ST1)의 게이트 전극은 제k 스캔 라인(SLk)에 접속되고, 제1 전극은 제3 노드(N3)에 접속되며, 제2 전극은 제1 노드(N1)에 접속된다.

[0036] 제2 트랜지스터(ST2)는 제2 노드(N2)와 데이터 라인(DL) 사이에 접속된다. 제2 트랜지스터(ST2)는 제k 스캔 라인(SLk)의 스캔 신호에 의해 턴-온되어 제2 노드(N2)와 제j 데이터 라인(Dj)을 접속한다. 이로 인해, 제2 노드(N2)에는 제j 데이터 라인(Dj)의 데이터 전압이 공급된다. 제2 트랜지스터(ST2)의 게이트 전극은 제k 스캔 라인(SLk)에 접속되고, 제1 전극은 제j 데이터 라인(DLj)에 접속되며, 제2 전극은 제2 노드(N2)에 접속된다.

[0037] 제3 트랜지스터(ST3)는 제1 노드(N1)와 초기화 전압 라인(ViniL) 사이에 접속된다. 제3 트랜지스터(ST3)는 제k-1 스캔 라인(SLk-1)의 스캔 신호에 의해 턴-온되어 제1 노드(N1)와 초기화 전압 라인(ViniL)을 접속한다. 이로 인해, 제1 노드(N1)는 초기화 전압(Vini)으로 초기화된다. 제3 트랜지스터(ST3)의 게이트 전극은 제k-1 스캔 라인(SLk-1)에 접속되고, 제1 전극은 제1 노드(N1)에 접속되며, 제2 전극은 초기화 전압 라인(ViniL)에 접속된다.

[0038] 제4 트랜지스터(ST4)는 유기발광다이오드(OLED)의 애노드 전극과 초기화 전압 라인(ViniL) 사이에 접속된다. 제4 트랜지스터(ST4)는 제k-1 스캔 라인(SLk-1)의 스캔 신호에 의해 턴-온되어 유기발광다이오드(OLED)의 애노드 전극과 초기화 전압 라인(ViniL)을 접속한다. 이로 인해, 유기발광다이오드(OLED)의 애노드 전극은 초기화 전압(Vini)으로 방전된다. 제4 트랜지스터(ST4)의 게이트 전극은 제k-1 스캔 라인(SLk-1)에 접속되고, 제1 전극은 유기발광다이오드(OLED)의 애노드 전극에 접속되며, 제2 전극은 초기화 전압 라인(ViniL)에 접속된다.

[0039] 제5 트랜지스터(ST5)는 고전위 전압 라인(VDDL)과 제2 노드(N2) 사이에 접속된다. 제5 트랜지스터(ST5)는 제k 발광 라인(EMLk)의 발광 신호에 의해 턴-온되어 제2 노드(N2)와 고전위 전압 라인(VDDL)을 접속한다. 이로 인해, 제2 노드(N2)에는 고전위 전압(ELVDD)이 공급된다. 제5 트랜지스터(ST5)의 게이트 전극은 제k 발광 라인

(EMLk)에 접속되고, 제1 전극은 고전위 전압 라인(VDDL)에 접속되며, 제2 전극은 제2 노드(N2)에 접속된다.

[0040] 제6 트랜지스터(ST6)는 제3 노드(N3)와 유기발광다이오드(OLED)의 애노드 전극 사이에 접속된다. 제6 트랜지스터(ST6)는 제k 발광 라인(EMLk)의 발광 신호에 의해 턴-온되어 제3 노드(N3)와 유기발광다이오드(OLED)의 애노드 전극을 접속한다. 제6 트랜지스터(ST6)의 게이트 전극은 제k 발광 라인(EMLk)에 접속되고, 제1 전극은 제3 노드(N3)에 접속되며, 제2 전극은 유기발광다이오드(OLED)의 애노드 전극에 접속된다. 제5 및 제6 트랜지스터(T5, T6)의 턴-온에 의해, 구동 트랜지스터(DT)의 드레인-소스간 전류(Ids)가 유기발광다이오드(OLED)에 공급된다.

[0041] 스토리지 캐패시터(C)는 제1 노드(N1)와 고전위 전압 라인(VDDL) 사이에 접속되어 제1 노드(N1)의 전압을 유지한다. 스토리지 캐패시터(C)의 일측 전극은 제1 노드(N1)에 접속되고, 타측 전극은 고전위 전압 라인(VDDL)에 접속된다.

[0042] 또한, 유기발광다이오드(OLED)의 기생용량(Coled)이 유기발광다이오드(OLED)의 애노드 전극과 캐소드 전극 사이에 형성될 수 있다. 또한, 구동 트랜지스터(DT)의 게이트 전극(GE)과 유기발광다이오드(OLED)의 애노드 전극 사이에 기생용량(PC)이 형성될 수 있다. 구동 트랜지스터(DT)의 게이트 전극(GE)과 유기발광다이오드(OLED)의 애노드 전극 사이에 기생용량(PC)이 클수록 유기발광다이오드(OLED)의 애노드 전극은 기생 용량(PC)에 의해 구동 트랜지스터(DT)의 게이트 전극(GE)의 영향을 받아 상승할 수 있다. 이 경우, 저전위 전압 라인(VSSL)을 통해 공급되는 저전위 전압(ELVSS)이 유기발광다이오드(OLED)의 기생 캐패시터(Coled)에 의해 상승하는 문제가 발생할 수 있다. 저전위 전압(ELVSS)의 상승은 색좌표가 쉬프트되는 문제를 초래할 수 있다. 따라서, 본 발명의 실시 예는 기생용량(PC)의 크기를 최소화하는 구조로 구현된다. 이에 대한 자세한 설명은 도 10 내지 도 14를 결부하여 후술한다.

[0043] 제1 노드(N1)는 구동 트랜지스터(DT)의 게이트 전극에 접속된 게이트 노드에 해당한다고 볼 수 있다. 제1 노드(N1)는 구동 트랜지스터(DT)의 게이트 전극, 제1 트랜지스터(ST1)의 제2 전극, 제3 트랜지스터(ST3)의 제1 전극, 및 캐패시터(C)의 일측 전극의 접점이다. 제2 노드(N2)는 구동 트랜지스터(DT)의 제1 전극에 접속된 소스 노드에 해당한다고 볼 수 있다. 제2 노드(N2)는 구동 트랜지스터(DT)의 제1 전극, 제2 트랜지스터(ST2)의 제2 전극, 및 제5 트랜지스터(T5)의 제2 전극의 접점이다. 제3 노드(N3)는 구동 트랜지스터(DT)의 제2 전극에 접속된 드레인 노드에 해당한다고 볼 수 있다. 제3 노드(N3)는 구동 트랜지스터(DT)의 제2 전극, 제1 트랜지스터(ST1)의 제1 전극, 및 제6 트랜지스터(ST6)의 제1 전극의 접점이다.

[0044] 제1 내지 제6 트랜지스터(ST1, ST2, ST3, ST4, ST5, ST6), 및 구동 트랜지스터(DT) 각각의 반도체층은 폴리 실리콘(Poly Silicon)으로 형성될 수 있으나, 이에 한정되지 않으며, a-Si, 및 산화물 반도체, 특히 옥사이드(Oxide) 중 어느 하나로 형성될 수도 있다. 제1 내지 제6 트랜지스터(ST1, ST2, ST3, ST4, ST5, ST6), 및 구동 트랜지스터(DT) 각각의 반도체층이 폴리 실리콘으로 형성되는 경우, 그를 형성하기 위한 공정은 저온 폴리 실리콘(Low Temperature Poly Silicon: LTPS) 공정일 수 있다.

[0045] 또한, 제1 내지 제6 트랜지스터(ST1, ST2, ST3, ST4, ST5, ST6), 및 구동 트랜지스터(DT)가 P 타입 MOSFET(Metal Oxide Semiconductor Field Effect Transistor)으로 형성된 것을 중심으로 설명하였으나, 이에 한정되지 않으며, N 타입 MOSFET으로 형성될 수도 있다. 제1 내지 제6 트랜지스터(ST1, ST2, ST3, ST4, ST5, ST6), 및 구동 트랜지스터(DT)가 N 타입 MOSFET으로 형성되는 경우, N 타입 MOSFET의 특성에 맞도록 도 6의 타이밍 도는 수정되어야 할 것이다.

[0046] 한편, 고전위 전압(ELVDD), 저전위 전압(ELVSS) 및 초기화 전압(Vini)은 구동 트랜지스터(DT)의 특성, 유기발광다이오드(OLED)의 특성 등을 고려하여 설정될 수 있다.

[0047] 도 6은 도 5의 화소에 입력되는 신호들을 보여주는 파형도이다. 도 6에는 제q(q는 양의 정수) 및 제q+1 프레임 기간(FRq, FRq+1) 동안 표시패널(10)의 제k-1 스캔 라인(SLk-1)에 공급되는 제k-1 스캔 신호(SCANK-1), 제k 스캔 라인(SLk)에 공급되는 제k 스캔 신호(SCANK), 및 제k 발광 라인(EMLk)에 공급되는 제k 발광 신호(EMk)가 나타나 있다.

[0048] 도 6을 참조하면, 제k-1 스캔 신호(SCANK-1)는 제3 및 제4 트랜지스터(ST3, ST4)를 제어하기 위한 신호이고, 제k 스캔 신호(SCANK)는 제1 및 제2 트랜지스터(ST1, ST2)를 제어하기 위한 신호이며, 및 제k 발광 신호(EMk)는 제5 및 제6 트랜지스터(ST5, ST6)를 제어하기 위한 신호이다. 스캔 신호들과 발광 신호들 도 6과 같이 각각은

1 프레임 기간을 주기로 발생한다.

- [0049] 스캔 신호들 각각은 도 6과 같이 1 수평 기간(1H) 동안 게이트 온 전압(Von)으로 발생할 수 있다. 1 수평 기간(1H)은 표시패널(10)의 어느 한 스캔 라인에 접속된 화소(P)들 각각에 데이터 전압이 공급되는 1 수평 라인 스캐닝 기간을 지시한다. 데이터 전압들은 스캔 신호들에 동기하여 데이터 라인들(DL1~DLm)에 공급된다.
- [0050] 1 프레임 기간은 제1 내지 제4 기간(t1~t4)으로 구분될 수 있다. 제1 기간(t1)은 구동 트랜지스터(DT)에 온 바이어스를 인가하는 기간이고, 제2 기간(t2)은 구동 트랜지스터(DT)의 게이트 전극에 접속된 제1 노드(N1)를 초기화하는 기간이며, 제3 기간(t3)은 데이터 전압이 공급되고 구동 트랜지스터(DT)의 문턱전압을 센싱하는 기간이며, 제4 기간(t4)은 유기발광다이오드(OLED)가 발광하는 기간이다.
- [0051] 제k-1 스캔 신호(SCANK-1)는 제1 및 제2 기간(t1, t2) 동안 게이트 온 전압(Von)으로 발생하고, 제k 스캔 신호(SCANK)는 제3 기간(t3) 동안 게이트 온 전압(Von)으로 발생한다. 제k 발광 신호(EMk)는 제2 및 제3 기간(t2, t3) 동안 게이트 오프 전압(Voff)으로 발생한다. 제1 내지 제3 기간(t1, t2, t3) 각각은 사전 실험을 통해 미리 적절하게 결정될 수 있다. 게이트 온 전압(Von)은 제1 내지 제6 트랜지스터(ST1, ST2, ST3, ST4, ST5, ST6) 각각을 턴-온시킬 수 있는 턴-온 전압에 해당한다. 게이트 오프 전압(Voff)은 제1 내지 제6 트랜지스터(ST1, ST2, ST3, ST4, ST5, ST6) 각각을 턴-오프시킬 수 있는 턴-오프 전압에 해당한다.
- [0052] 도 7은 제1 내지 제4 기간 동안 화소의 동작을 나타내는 흐름도이다. 도 8a 내지 도 8d는 제1 내지 제4 기간 동안 화소를 보여주는 등가 회로도이다. 이하에서, 도 6, 도 7, 및 도 8a 내지 도 8d를 참조하여 제1 내지 제4 기간(t1~t4) 동안 본 발명의 제1 실시 예에 따른 화소(P)의 동작을 상세히 설명한다.
- [0053] 첫 번째로, 구동 트랜지스터(DT)에 온 바이어스를 인가하는 제1 기간(t1) 동안 화소(P)의 동작을 설명한다. 제1 기간(t1) 동안 화소(P)에는 도 6과 같이 제k-1 스캔 라인(SLk-1)을 통해 게이트 온 전압(Von)을 갖는 제k-1 스캔 신호(SCANK-1)가 공급되고, 제k 발광 라인(EMLk)을 통해 게이트 온 전압(Von)을 갖는 제k 발광 신호(EMk)가 공급된다.
- [0054] 도 8a를 참조하면, 제1 기간(t1) 동안 제3 및 제4 트랜지스터(ST3, ST4)는 제k-1 스캔 라인(SLk-1)의 제k-1 스캔 신호(SCANK-1)에 의해 턴-온된다. 제5 및 제6 트랜지스터(ST5, ST6)는 제k 발광 라인(EMLk)의 제k 발광 신호(EMk)에 의해 턴-온된다.
- [0055] 제3 트랜지스터(ST3)의 턴-온으로 인해, 제1 노드(N1)는 초기화 전압(Vini)으로 초기화된다. 또한, 제4, 제5 및 제6 트랜지스터(ST4, ST5, ST6)의 턴-온으로 인해, 고전위 전압 라인(VDDL), 제5 트랜지스터(ST5), 구동 트랜지스터(DT), 제6 트랜지스터(ST6), 제4 트랜지스터(ST4), 초기화 전압 라인(ViniL)으로 전류 패스가 형성된다. 구체적으로, 구동 트랜지스터(DT)의 게이트-소스간 전압(Vgs)인 "Vini-ELVDD"에 따라 구동 트랜지스터(DT)의 드레인-소스간 전류(Ids)가 흐르게 된다.
- [0056] 이상에서 살펴본 바와 같이, 본 발명의 실시 예는 제1 기간(t1) 동안 구동 트랜지스터(DT)의 게이트 전극을 초기화 전압(Vini)으로 방전하여 구동 트랜지스터(DT)에 온 바이어스를 인가한다. 그 결과, 본 발명의 제1 실시 예는 데이터 전압을 공급하는 제3 기간(t3) 이전에 구동 트랜지스터(DT)에 소정의 온 바이어스를 인가할 수 있으므로, 구동 트랜지스터(DT)의 히스테리시스 특성에 의해 화질이 저하되는 문제점을 해결할 수 있다. 이에 대한 자세한 설명은 도 9를 결부하여 후술한다. (도 7의 S101)
- [0057] 두 번째로, 구동 트랜지스터(DT)의 게이트 전극에 접속된 제1 노드(N1)를 초기화하는 제2 기간(t2) 동안 화소(P)의 동작을 설명한다. 제2 기간(t2) 동안 화소(P)에는 도 6과 같이 제k-1 스캔 라인(SLk-1)을 통해 게이트 온 전압(Von)을 갖는 제k-1 스캔 신호(SCANK-1)가 공급된다.
- [0058] 도 8b를 참조하면, 제2 기간(t2) 동안 제3 및 제4 트랜지스터(ST3, ST4)는 제k-1 스캔 라인(SLk-1)의 제k-1 스캔 신호(SCANK-1)에 의해 턴-온된다.
- [0059] 제3 트랜지스터(ST3)의 턴-온으로 인해, 제1 노드(N1)는 초기화 전압(Vini)으로 초기화된다. 제4 트랜지스터(ST4)의 턴-온으로 인해, 유기발광다이오드(OLED)의 애노드 전극은 초기화 전압(Vini)으로 초기화된다. 제2 기간(t2) 동안 유기발광다이오드(OLED)의 발광을 방지하기 위해, 초기화 전압(Vini)은 저전위 전압(ELVSS)과 실질적으로 동일한 레벨로 설정될 수 있다. (도 7의 S102)
- [0060] 세 번째로, 데이터 전압이 공급되고 구동 트랜지스터(DT)의 문턱전압을 센싱하는 제3 기간(t3) 동안 화소(P)의

동작을 설명한다. 제3 기간(t3) 동안 화소(P)에는 도 6과 같이 제k 스캔 라인(SLk)을 통해 게이트 온 전압(Von)을 갖는 제k 스캔 신호(SCANk)가 공급된다.

[0061] 도 8c를 참조하면, 제3 기간(t3) 동안 제1 및 제2 트랜지스터(ST1, ST2)는 제k 스캔 라인(SLk)의 제k 스캔 신호(SCANk)에 의해 턴-온된다.

[0062] 제1 트랜지스터(ST1)의 턴-온으로 인해, 제1 노드(N1)가 제3 노드(N3)와 접속되므로, 구동 트랜지스터(DT)는 다이오드로 구동한다. 제2 트랜지스터(ST2)의 턴-온으로 인해, 제2 노드(N2)에는 데이터 전압(Vdata)이 공급된다. 이때, 구동 트랜지스터(DT)의 게이트 전극과 제1 전극 간의 전압 차($V_{gs}=V_{ini}-V_{data}$)가 문턱전압(V_{th})보다 크기 때문에, 구동 트랜지스터(DT)는 게이트 전극과 제1 전극 간의 전압 차(V_{gs})가 문턱전압(V_{th})에 도달할 때까지 전류패스를 형성하게 된다. 이로 인해, 제1 노드(N1)의 전압은 제3 기간(t3) 동안 데이터 전압(Vdata)과 구동 트랜지스터(DT)의 문턱전압(V_{th}) 간의 차전압($V_{data}-V_{th}$)까지 상승한다. (도 7의 S103)

[0063] 네 번째로, 유기발광다이오드(OLED)가 발광하는 제4 기간(t4) 동안 화소(P)의 동작을 설명한다. 제4 기간(t4) 동안 화소(P)에는 도 6과 같이 제k 발광 라인(EMLk)을 통해 게이트 온 전압(Von)을 갖는 제k 발광 신호(EMk)가 공급된다.

[0064] 도 8d를 참조하면, 제4 기간(t4) 동안 제5 및 제6 트랜지스터(ST5, ST6)는 제k 발광 라인(EMLk)의 제k 발광 신호(EMk)에 의해 턴-온된다.

[0065] 제5 트랜지스터(ST5)의 턴-온으로 인해, 구동 트랜지스터(DT)의 제1 전극에 접속된 제2 노드(N2)는 제1 전원전압 라인(ELVDDL)에 접속된다. 제6 트랜지스터(ST6)의 턴-온으로 인해, 구동 트랜지스터(DT)의 제2 전극은 유기발광다이오드(OLED)에 접속된다. 즉, 제5 및 제6 TFT(T5, T6)의 턴-온으로 인해, 구동 트랜지스터(DT)는 그의 게이트 전극에 접속된 제1 노드(N1)의 전압에 따라 드레인-소스간 전류(I_{ds})를 유기발광다이오드(OLED)에 공급한다. 이때, 제1 노드(N1)는 캐패시터(C)에 의해 제3 기간(t3) 동안 센싱된 데이터 전압(Vdata)과 구동 트랜지스터(DT)의 문턱전압(V_{th}) 간의 차전압($V_{data}-V_{th}$)을 유지한다. 구동 트랜지스터(DT)의 드레인-소스간 전류(I_{ds})는 수학식 2와 같이 정의될 수 있다.

수학식 2

$$I_{ds}=k \cdot (V_{gs}-V_{th})^2=k \cdot (ELVDD-(V_{data}-V_{th})-V_{th})^2$$

[0066]

[0067] 수학식 2에서, k는 구동 트랜지스터(DT)의 구조와 물리적 특성에 의해 결정되는 비례 계수, V_{gs} 는 구동 트랜지스터(DT)의 게이트-소스간 전압, V_{th} 는 구동 트랜지스터(DT)의 문턱전압, ELVDD는 제1 전원전압, Vdata는 데이터 전압을 의미한다. 구동 트랜지스터(DT)의 게이트 전압(V_g)은 $\{V_{data}-V_{th}\}$ 이고, 소스 전압(V_s)은 ELVDD이다. 수학식 2를 정리하면, 수학식 3이 도출된다.

수학식 3

$$I_{ds}=k \cdot (ELVDD-V_{data})^2$$

[0068]

[0069] 결국, 수학식 3과 같이 구동 트랜지스터(DT)의 드레인-소스간 전류(I_{ds})는 구동 트랜지스터(DT)의 문턱전압(V_{th})에 의존하지 않게 된다. 즉, 구동 트랜지스터(DT)의 문턱전압(V_{th})은 보상된다. (도 7의 S104)

[0070] 이상에서 살펴본 바와 같이, 본 발명의 실시 예는 구동 트랜지스터(DT)의 문턱전압을 보상할 수 있다. 그 결과, 유기발광다이오드(OLED)에 공급되는 구동 트랜지스터(DT)의 드레인-소스간 전류(I_{ds})는 구동 트랜지스터의 문턱전압(V_{th})에 의존하지 않으므로, 본 발명의 실시 예는 표시패널의 화소들의 휘도를 균일하게 할 수 있다.

[0071] 도 9는 본 발명의 실시 예에서 제p 프레임 기간 동안 피크 블랙 계조 전압이 공급되고 제p+1 내지 제p+3 프레임

기간 동안 피크 화이트 계조 전압이 공급되는 경우 화소의 휘도를 보여주는 그래프이다. 도 9에서는 제p 프레임 기간 동안 구동 트랜지스터(DT)의 게이트 전극에 피크 블랙 계조 전압이 공급되고, 제p+1 내지 제p+3 프레임 기간 동안 구동 트랜지스터(DT)의 게이트 전극에 피크 화이트 계조 전압이 공급되는 것을 중심으로 설명하였다.

[0072] 본 발명의 실시 예는 제1 기간(t1) 동안 구동 트랜지스터(DT)의 게이트 전극을 초기화 전압(Vini)으로 방전하여 구동 트랜지스터(DT)에 온 바이어스를 인가한다. 그 결과, 본 발명의 실시 예는 이전 프레임 기간 동안 구동 트랜지스터(DT)의 게이트 전극에 공급된 전압에 상관없이 구동 트랜지스터(DT)에 동일한 온 바이어스를 인가할 수 있다. 도 9를 참조하면, 제p 프레임 기간 동안 구동 트랜지스터(DT)의 게이트 전극에 피크 블랙 계조 전압이 공급되었더라도, 제p+1 프레임 기간의 제1 기간(t1) 동안 구동 트랜지스터(DT)는 온 바이어스를 인가받으므로, 제p+1 프레임 기간 동안 구동 트랜지스터(DT)는 온 바이어스 상태에 있다. 이로 인해, 제p+1 프레임 기간 동안 유기발광다이오드(OLED)는 도 9와 같이 거의 피크 화이트 휘도로 발광하게 된다.

[0073] 즉, 본 발명의 실시 예는 1 프레임 기간 중에서 데이터 전압을 공급하는 제3 기간(t3) 이전에 구동 트랜지스터(DT)를 소정의 온 바이어스에 인가한다. 그러므로, 구동 트랜지스터(DT)의 히스테리시스 특성에 의해 발생하는 휘도 편차를 방지할 수 있으므로, 화질이 저하되는 문제점을 해결할 수 있다.

[0074] 도 10은 도 5의 구동 트랜지스터와 제1 트랜지스터를 상세히 보여주는 평면도이다. 도 11은 도 10의 A-A'의 단면도이다. 이하에서는, 도 10 및 도 11을 결부하여 본 발명의 실시 예에 따른 화소(P)의 구동 트랜지스터(DT)의 게이트 전극(GE), 제1 트랜지스터(ST1)의 제1 전극(SO), 및 제1 트랜지스터(ST1)의 반도체층(ACT2)의 접속을 상세히 설명한다.

[0075] 도 10 및 도 11을 참조하면, 하부 기판(101) 상에는 구동 트랜지스터(DT)의 반도체층(ACT1)과 제1 트랜지스터(ST1)의 반도체층(ACT2)을 포함하는 반도체 패턴(ACT)이 형성된다. 반도체 패턴(ACT)은 하부 기판(101)의 버퍼층(미도시) 상에 형성될 수도 있다. 반도체 패턴(ACT)은 폴리 실리콘으로 형성될 수 있으나, 이에 한정되지 않으며, a-Si, 및 산화물 반도체, 특히 옥사이드(Oxide) 중 어느 하나로 형성될 수도 있다.

[0076] 반도체 패턴(ACT) 상에는 게이트 절연막(GI)이 형성된다. 게이트 절연막(GI)은 실리콘나이트라이드(SiNx)로 형성될 수 있다.

[0077] 게이트 절연막(GI) 상에는 구동 트랜지스터(DT)의 게이트 전극(GE)을 포함하는 제1 게이트 금속 패턴(GM1)이 형성된다. 반도체 패턴(ACT)과 제1 게이트 금속 패턴(GM1)은 게이트 절연막(GI)에 의해 절연된다.

[0078] 제1 게이트 금속 패턴(GM1) 상에는 제1 층간 절연막(ILD1)이 형성된다. 제1 층간 절연막(ILD1)은 실리콘나이트라이드(SiNx)로 형성될 수 있다. 제1 층간 절연막(ILD1) 상에는 제k 스캔 라인(SLk), 제1 트랜지스터(ST1)의 게이트 전극(GE_ST1), 수평 고전위 전압 라인(H_VDDL) 등을 포함하는 제2 게이트 금속 패턴(GM2)이 형성된다. 제1 게이트 금속 패턴(GM1)과 제2 게이트 금속 패턴(GM2)은 제1 층간 절연막(ILD1)에 의해 절연된다.

[0079] 제2 게이트 금속 패턴(GM2) 상에는 제2 층간 절연막(ILD2)이 형성된다. 제2 층간 절연막(ILD2)은 실리콘나이트라이드(SiNx)/이산화규소(SiO₂)의 이중 층으로 형성될 수 있다.

[0080] 제2 층간 절연막(ILD2) 상에는 제1 트랜지스터(ST1)의 제1 전극(SO), 수직 고전위 전압 라인(V_VDDL)을 포함하는 소스/드레인 금속 패턴(SDM)이 형성된다. 소스/드레인 금속 패턴은 티타늄(Ti)/알루미늄(Al)/티타늄(Ti)의 3층 구조로 형성될 수 있다. 제2 게이트 금속 패턴(GM2)과 소스/드레인 금속 패턴(SDM)은 제2 층간 절연막(ILD2)에 의해 절연된다.

[0081] 한편, 제1 트랜지스터(ST1)의 제1 전극(SO)은 제1 콘택홀(CNT1)을 통해 구동 트랜지스터(DT)의 게이트 전극(GE)과 제1 트랜지스터(ST1)의 반도체층(ACT2)에 접속된다. 제1 콘택홀(CNT1)은 게이트 절연막과 제1 및 제2 층간 절연막들(ILD1, ILD2)을 관통함으로써 구동 트랜지스터(DT)의 게이트 전극(GE)과 제1 트랜지스터(ST1)의 반도체층(ACT2)을 노출시킨다.

[0082] 또한, 고전위 전압 라인(VDDL)은 수평 방향(x축 방향)으로 형성되는 수평 고전위 전압 라인(H_VDDL)과 수직 방향(y축 방향)으로 형성되는 수직 고전위 전압 라인(V_VDDL)을 포함할 수 있다. 수평 고전위 전압 라인(H_VDDL)은 제2 게이트 금속 패턴(GM2)으로 형성되는 반면에 수직 고전위 전압 라인(V_VDDL)은 소스/드레인 금속 패턴(SDM)으로 형성될 수 있다. 이 경우, 수평 고전위 전압 라인(H_VDDL)과 수직 고전위 전압 라인(V_VDDL)은 소정의 콘택홀을 통해 접속될 수 있다. 소정의 콘택홀은 제2 층간 절연막(ILD2)을 관통하여 수평 고전위 전압 라인

(H_VDDL)을 노출시킬 수 있다. 또한, 제2 게이트 금속 패턴(GM2)으로 형성된 수평 고전위 전압 라인(H_VDDL)과 제1 게이트 금속 패턴(GM1)으로 형성된 구동 트랜지스터(DT)의 게이트 전극(GE) 간의 중첩 영역은 스토리지 캐패시터(C)로 기능하게 된다.

[0083] 소스/드레인 금속 패턴(SDM) 상에는 보호막(PAS)이 형성된다. 보호막(PAS)은 폴리 이미드(polyimide)로 형성될 수 있다.

[0084] 보호막(PAS) 상에는 유기발광다이오드(OLED)의 애노드 전극(AND)을 포함하는 애노드 전극 패턴(ANDP)이 형성된다. 애노드 전극 패턴(ANDP)은 ITO/Ag/ITO의 3층 구조로 형성될 수 있다. 소스/드레인 금속 패턴(SDM)과 애노드 전극 패턴(ANDP)은 보호막(PAS)에 의해 절연된다.

[0085] 한편, 도 5, 도 6, 도 10 및 도 11을 참조하면, 유기발광다이오드(OLED)의 애노드 전극(AND)이 플로팅되는 제2 및 제3 기간(t2, t3) 동안 유기발광다이오드(OLED)의 애노드 전극(AND)의 전압이 기생 용량(PC)에 의해 구동 트랜지스터(DT)의 게이트 전극(GE)의 영향을 받아 상승할 수 있다. 이 경우, 저전위 전압 라인(VSSL)을 통해 공급되는 저전위 전압(ELVSS)이 유기발광다이오드(OLED)의 기생 캐패시터(Coled)에 의해 상승하는 문제가 발생할 수 있다. 저전위 전압(ELVSS)의 상승은 색좌표가 쉬프트되는 문제를 초래할 수 있다. 이를 방지하기 위해서는, 구동 트랜지스터(DT)의 게이트 전극(GE)과 유기발광다이오드(OLED)의 애노드 전극 사이에 형성되는 기생 용량(PC)을 최소화하여야 한다.

[0086] 본 발명의 실시 예는 도 10 및 도 11과 같이 제1 트랜지스터(ST1)의 제1 전극(SO)이 유기발광다이오드(OLED)의 애노드 전극(AND)과 중첩되지 않게 하기 위해 구동 트랜지스터(DT)의 게이트 전극(GE)을 제1 트랜지스터(ST1)의 반도체층(ACT2)과 중첩되도록 연장하여 제1 트랜지스터(ST1)의 제1 전극(SO)에 접속한다. 이로 인해, 본 발명의 실시 예는 유기발광다이오드(OLED)의 애노드 전극(AND)과 구동 트랜지스터(DT)의 게이트 전극(GE) 간의 중첩 영역에 기생 용량(PC)이 형성된다. 제1 트랜지스터(ST1)의 제1 전극(SO)이 유기발광다이오드(OLED)의 애노드 전극(AND)과 중첩되지 않게 하는 이유는 제1 트랜지스터(ST1)의 제1 전극(SO)이 유기발광다이오드(OLED)의 애노드 전극(AND)과 중첩되는 경우, 그들 간의 중첩 영역에 기생 용량(PC)이 형성되기 때문이다. 제1 트랜지스터(ST1)의 제1 전극(SO)과 유기발광다이오드(OLED)의 애노드 전극(AND) 간의 거리가 유기발광다이오드(OLED)의 애노드 전극(AND)과 구동 트랜지스터(DT)의 제1 게이트 전극(GE1) 사이의 거리보다 가까우므로, 제1 트랜지스터(ST1)의 제1 전극(SO)과 유기발광다이오드(OLED)의 애노드 전극(AND) 간의 중첩 영역에 형성되는 기생 용량(PC)의 크기는 유기발광다이오드(OLED)의 애노드 전극(AND)과 구동 트랜지스터(DT)의 제1 게이트 전극(GE1) 간의 중첩 영역에 형성되는 기생 용량(PC)의 크기보다 크다.

[0087] 즉, 본 발명의 실시 예는 유기발광다이오드(OLED)의 애노드 전극과 구동 트랜지스터(DT)의 게이트 전극(GE) 사이에 형성되는 기생 용량(PC)의 크기를 최소화할 수 있다. 그 결과, 본 발명의 실시 예는 유기발광다이오드(OLED)의 애노드 전극과 구동 트랜지스터(DT)의 게이트 전극(GE) 사이에 형성되는 기생 용량(PC)으로 인해 유기발광다이오드(OLED)의 애노드 전극이 영향을 받는 것을 최소화할 수 있다. 따라서, 본 발명의 실시 예는 저전위 전압(ELVSS)의 상승으로 인한 색좌표 쉬프트를 방지할 수 있으므로, 화질 저하를 방지할 수 있다.

[0088] 도 12는 도 5의 구동 트랜지스터와 제1 트랜지스터를 상세히 보여주는 또 다른 평면도이다. 도 13은 도 12의 B-B'의 단면을 보여주는 일 예시도면이다.

[0089] 도 12의 A-A'의 단면은 도 11의 제k 스캔 라인(SLk)이 제2 아일랜드 패턴(IP2)으로 변경된 것을 제외하고는, 도 11에 도시된 단면과 실질적으로 동일하다. 따라서, 도 12의 A-A'의 단면에 대한 자세한 설명은 생략하기로 한다.

[0090] 이하에서는, 도 12 및 도 13을 결부하여 도 12의 B-B'의 단면을 상세히 설명한다.

[0091] 본 발명의 실시 예는 도 12와 같이 구동 트랜지스터(DT)의 게이트 전극(GE)을 제1 트랜지스터(ST1)의 액티브층(ACT2)과 중첩되도록 연장함으로써, 구동 트랜지스터(DT)의 게이트 전극(GE)과 유기발광다이오드(OLED)의 애노드 전극(AND) 간의 기생 용량(PC)을 최소화한다. 도 10에서는 구동 트랜지스터(DT)의 게이트 전극(GE)과 제k 스캔 라인(SLk)의 단락을 회피하기 위해 제k 스캔 라인(SLk)과 제1 트랜지스터(ST1)의 게이트 전극(GE1_ST1)을 제2 게이트 금속 패턴(GM2)으로 형성한다. 그러나, 도 12에서는 제k 스캔 라인(SLk)과 제1 트랜지스터(ST1)의 게이트 전극(GE1_ST1)을 제1 게이트 금속 패턴(GM1)으로 형성한다. 이로 인해, 구동 트랜지스터(DT)의 게이트 전극(GE)과 제k 스캔 라인(SLk)의 단락을 회피하기 위한 수단을 마련해야 한다.

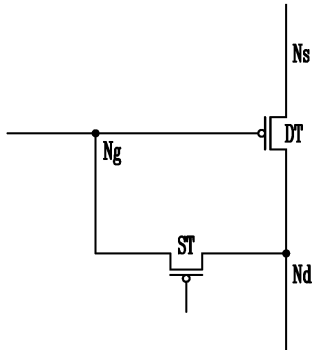
- [0092] 도 12 및 도 13을 참조하면, 제k 스캔 라인(SLk)은 제2 콘택홀(CNT2)을 통해 제1 아일랜드 패턴(IP1)들에 접속된다. 제1 아일랜드 패턴(IP1)들은 구동 트랜지스터(DT)의 게이트 전극(GE)의 양측 바깥쪽에 형성될 수 있다. 제1 아일랜드 패턴(IP1)들은 소스/드레인 금속패턴(SDM)으로 형성되는 것이 바람직하나, 이에 한정되지 않음에 주의하여야 한다. 제1 아일랜드 패턴(IP1)들이 소스/드레인 금속 패턴(SDM)으로 형성되는 경우, 제2 콘택홀(CNT2)은 제1 및 제2 층간 절연막들(IDL1, IDL2)을 관통하여 제k 스캔 라인(SLk)을 노출시킨다.
- [0093] 제1 아일랜드 패턴(IP1)들 각각은 제3 콘택홀(CNT3)을 통해 제2 아일랜드 패턴(IP2)에 접속된다. 제2 아일랜드 패턴(IP2)은 제2 게이트 금속패턴(GM2)으로 형성되는 것이 바람직하나, 이에 한정되지 않음에 주의하여야 한다. 제2 아일랜드 패턴(IP2)이 제2 게이트 금속패턴(GM2)으로 형성되는 경우, 제3 콘택홀(CNT3)은 제2 층간 절연막(IDL2)을 관통하여 제2 아일랜드 패턴(IP2)을 노출시킨다. 또한, 이 경우 제2 아일랜드 패턴(IP2)은 도 12 및 도 13과 같이 구동 트랜지스터(DT)의 게이트 전극(GE)의 상부에서 구동 트랜지스터(DT)의 게이트 전극(GE)과 교차한다.
- [0094] 결국, 본 발명의 실시 예는 제k 스캔 라인을 제1 아일랜드 패턴(IP1)들과 접속하고, 제1 아일랜드 패턴(IP1)들 각각을 제2 아일랜드 패턴(IP2)에 접속하며, 구동 트랜지스터(DT)의 게이트 전극(GE)의 상부에서 구동 트랜지스터(DT)의 게이트 전극(GE)과 제2 아일랜드 패턴(IP2)을 교차시킨다. 그 결과, 본 발명의 실시 예는 구동 트랜지스터(DT)의 게이트 전극(GE)과 제k 스캔 라인(SLk)을 제1 게이트 금속패턴(GM1)으로 형성하더라도, 구동 트랜지스터(DT)의 게이트 전극(GE)과 제k 스캔 라인(SLk)의 단락을 회피할 수 있다.
- [0095] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

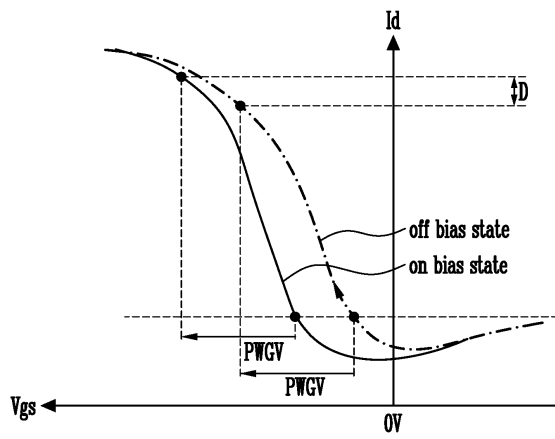
- [0096] 10: 표시패널 20: 데이터 구동부
30: 스캔 구동부 40: 타이밍 제어부
OLED: 유기발광다이오드 DT: 구동 트랜지스터
ST1: 제1 트랜지스터 ST2: 제2 트랜지스터
ST3: 제3 트랜지스터 ST4: 제4 트랜지스터
ST5: 제5 트랜지스터 ST6: 제6 트랜지스터
C: 캐패시터 N1: 제1 노드
N2: 제2 노드 N3: 제3 노드

도면

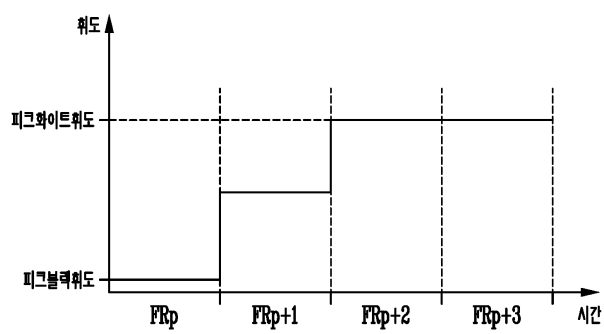
도면1



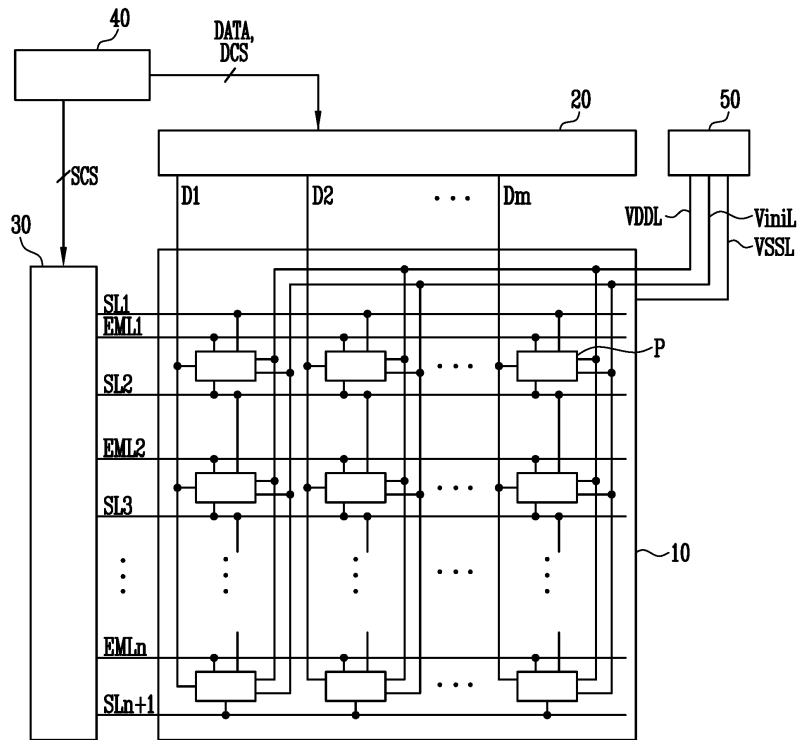
도면2



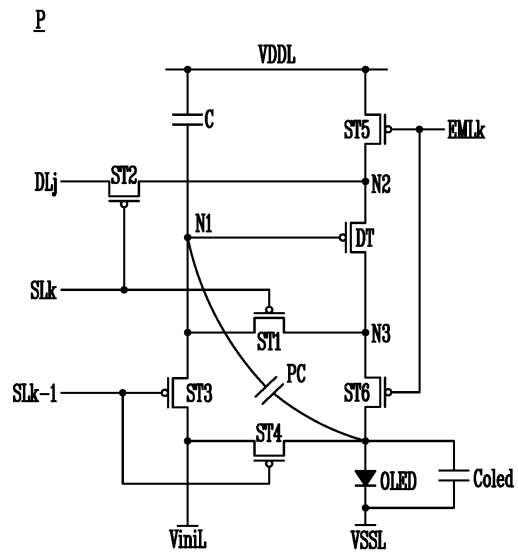
도면3



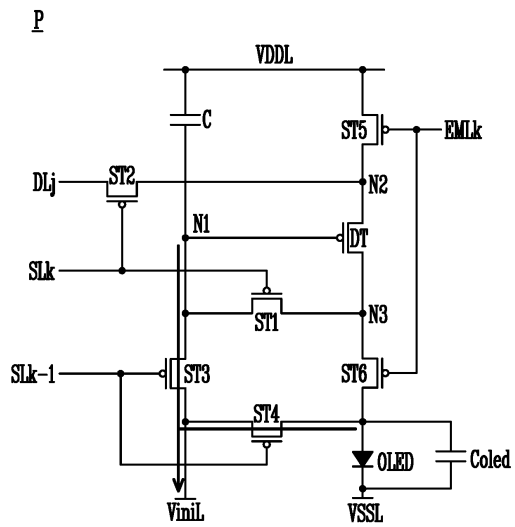
도면4



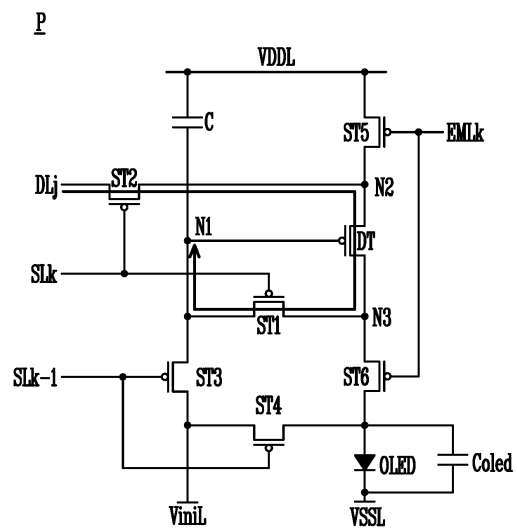
도면5



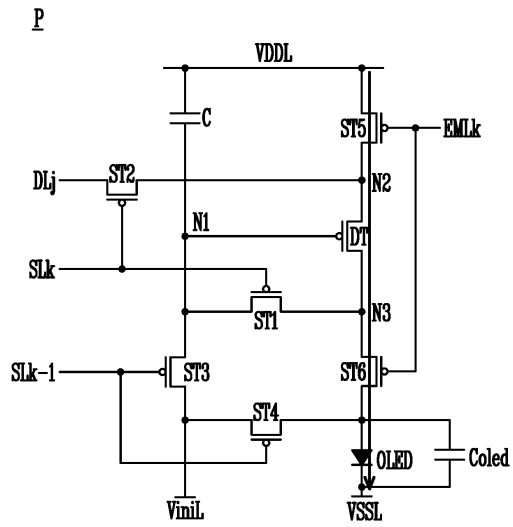
도면 8b



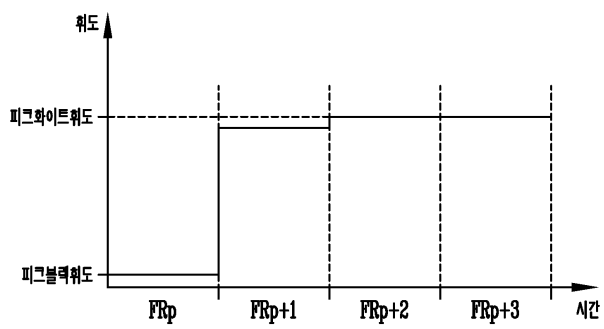
도면 8c



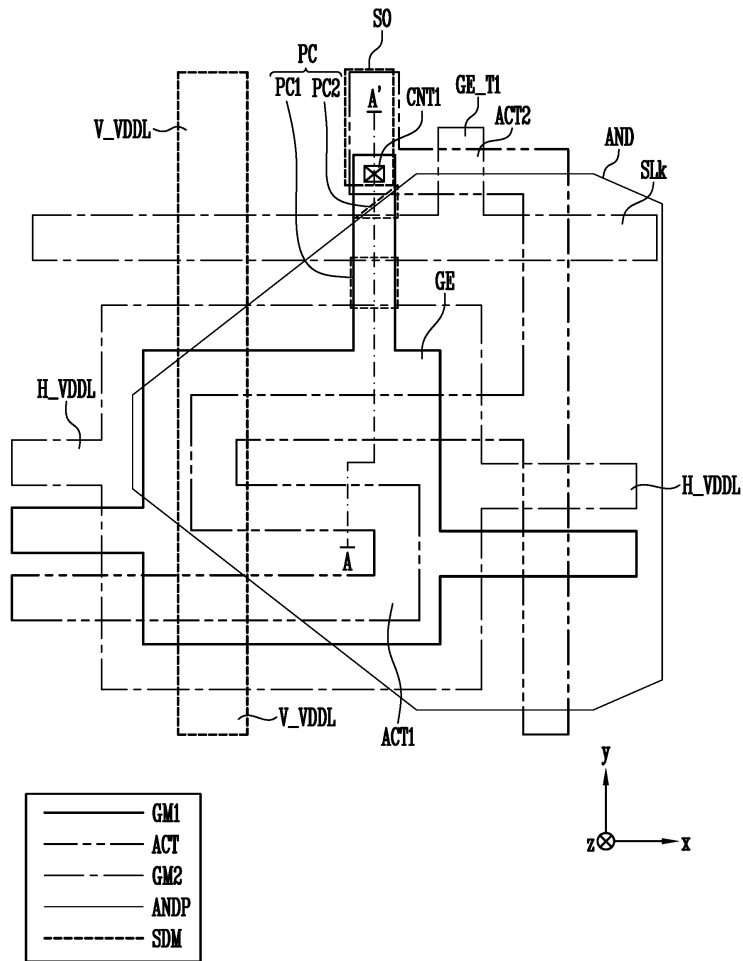
도면 8d



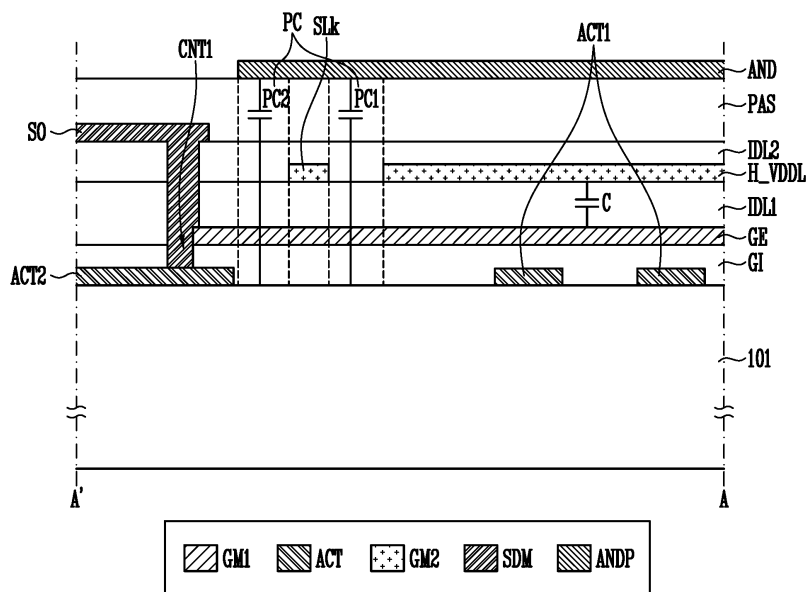
도면9



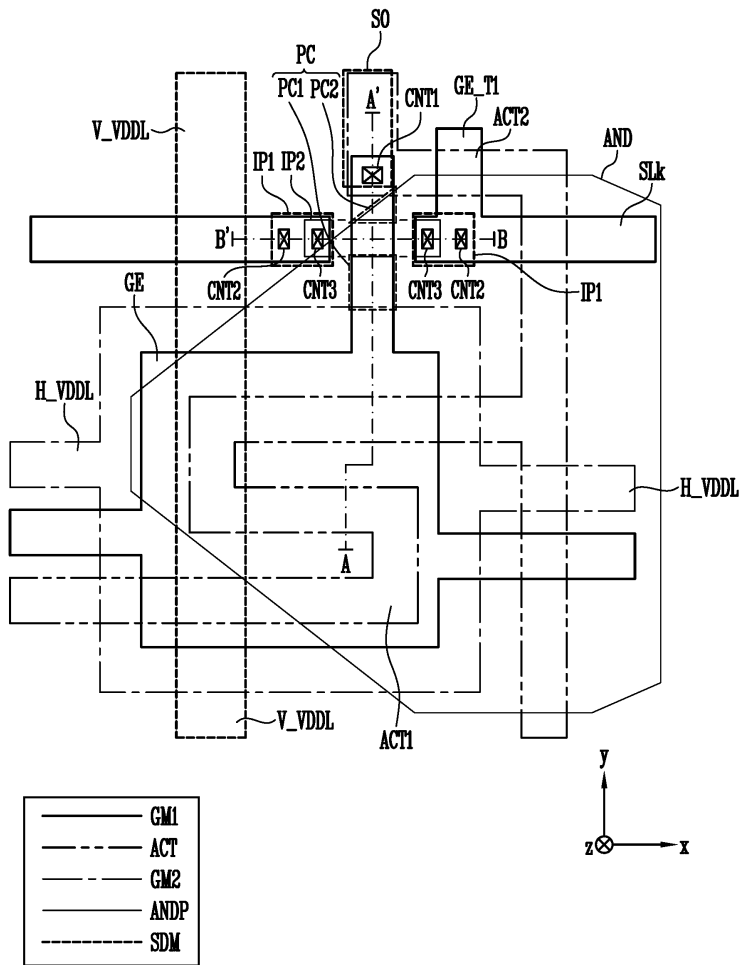
도면10



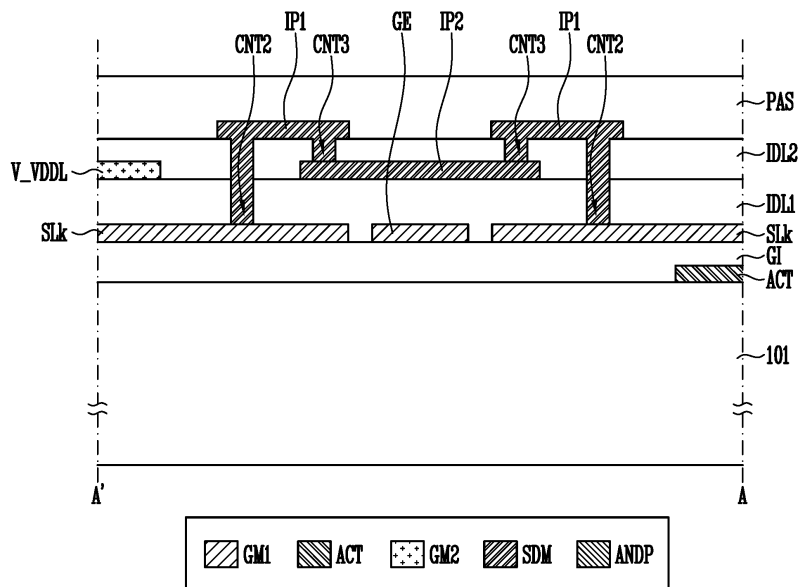
도면11



도면12



도면13



专利名称(译)	标题：有机电致发光显示装置		
公开(公告)号	KR1020150069278A	公开(公告)日	2015-06-23
申请号	KR1020130155525	申请日	2013-12-13
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	HYUNTAE KIM 김현태		
发明人	김현태		
IPC分类号	G09G3/32		
CPC分类号	G09G3/3233 H01L27/3248 G09G2320/0233		
代理人(译)	강신섭 Munyongho Yiyongwoo		
外部链接	Espacenet		

摘要(译)

有机发光显示装置本发明涉及有机发光显示装置。根据本发明实施例的有机发光显示装置的特征在于包括显示面板，其中形成数据线和扫描线，并且形成以矩阵形状布置的像素，其中每个像素包括具有驱动晶体管的驱动晶体管。栅电极，连接到第一节点，具有连接到第二节点的第一电极，并且具有连接到第三节点的第二电极;有机发光二极管，在驱动晶体管的漏极和源极之间的电流上发光;连接在第一节点和第三节点之间的第一晶体管，其中驱动晶体管的栅极与第一晶体管的半导体层重叠。
COPYRIGHT KIPO 2015

