



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0048377
(43) 공개일자 2015년05월07일

(51) 국제특허분류(Int. Cl.)
G09G 3/32 (2006.01) H02M 3/00 (2006.01)
(21) 출원번호 10-2013-0128317
(22) 출원일자 2013년10월28일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성2로 95 (농서동)
(72) 발명자
김도익
경기도 용인시 기흥구 삼성2로 95 (농서동)
최학기
경기도 용인시 기흥구 삼성2로 95 (농서동)
(74) 대리인
강신섭, 문용호, 이용우

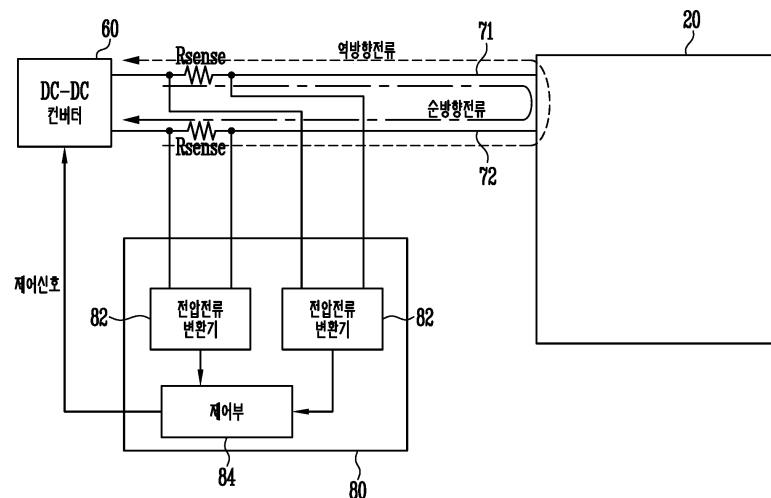
전체 청구항 수 : 총 15 항

(54) 발명의 명칭 유기전계 발광 표시장치 및 그 구동방법

(57) 요약

본 발명의 실시예에 의한 유기전계 발광 표시장치는, 주사선들, 데이터선들과 접속되는 화소들을 포함하는 화소부와; 상기 화소들에 제 1전원 및 제 2전원을 출력하는 DC-DC 컨버터와; 상기 DC-DC 컨버터로부터 출력되는 제 1전원 및 제 2전원을 각각 상기 화소부로 공급하는 제 1전원라인 및 제 2전원라인과; 상기 제 1전원라인 및 제 2전원라인 간의 단락 여부를 검출하고, 그 검출 결과에 따라 상기 DC-DC 컨버터의 동작을 제어하는 제어신호를 출력하는 단락감지회로가 포함되며, 상기 제 1전원 및 제 2전원은 각각 한 프레임 구간에서 전압 레벨이 변경되어 인가되고, 상기 한 프레임 구간 내에 상기 제 2전원의 전압 레벨이 상기 제 1전원의 전압 레벨보다 높게 인가되는 역전압 구간이 존재한다.

대표도 - 도4



명세서

청구범위

청구항 1

주사선들, 데이터선들과 접속되는 화소들을 포함하는 화소부와;

상기 화소들에 제 1전원 및 제 2전원을 출력하는 DC-DC 컨버터와;

상기 DC-DC 컨버터로부터 출력되는 제 1전원 및 제 2전원을 각각 상기 화소부로 공급하는 제 1전원라인 및 제 2전원라인과;

상기 제 1전원라인 및 제 2전원라인 간의 단락 여부를 검출하고, 그 검출 결과에 따라 상기 DC-DC 컨버터의 동작을 제어하는 제어신호를 출력하는 단락감지회로가 포함되며,

상기 제 1전원 및 제 2전원은 각각 한 프레임 구간에서 전압 레벨이 변경되어 인가되고, 상기 한 프레임 구간 내에 상기 제 2전원의 전압 레벨이 상기 제 1전원의 전압 레벨보다 높게 인가되는 역전압 구간이 존재함을 특징으로 하는 유기전계 발광 표시장치.

청구항 2

제 1항에 있어서,

상기 단락감지회로는 소정 기간 동안 상기 역전압 구간에서의 역전류 발생 여부를 검출하고, 역전류가 검출되면 상기 제 1, 2전원라인이 단락된 것으로 판단하여 상기 DC-DC 컨버터를 디스에이블 시키는 제어신호를 출력함을 특징으로 하는 유기전계 발광 표시장치.

청구항 3

제 2항에 있어서,

상기 소정 기간은 한 프레임 기간 또는 상기 한 프레임 기간의 정수배에 해당하는 기간임을 특징으로 하는 유기전계 발광 표시장치.

청구항 4

제 2항에 있어서,

상기 단락감지회로는 상기 소정 기간 동안의 평균 전류값을 기 설정된 기준값과 비교하여 상기 평균 전류값이 기준값 이상인 경우 이를 통해 상기 제 1, 2전원라인이 단락된 것으로 판단하여 상기 DC-DC 컨버터를 디스에이블 시키는 제어신호를 출력함을 특징으로 하는 유기전계 발광 표시장치.

청구항 5

제 1항에 있어서,

상기 단락감지회로는, 상기 제 1전원라인 및 제 2전원라인 중 적어도 하나에 접속됨을 특징으로 하는 유기전계 발광 표시장치.

청구항 6

제 1항에 있어서,

상기 단락감지회로는,

상기 제 1, 2전원라인 중 적어도 하나의 전원라인에 형성된 감지저항과 연결되어 상기 감지저항에서 발생하는 전압을 전류로 변환하는 전압전류 변환기와;

상기 전압전류 변환기에서 출력되는 전류를 인가받아 상기 제 1, 2전원라인 간의 단락여부를 판단하는 제어부가

포함됨을 특징으로 하는 유기전계 발광 표시장치.

청구항 7

제 6항에 있어서,

상기 제어부는 한 프레임 기간 또는 상기 한 프레임 기간의 정수배에 해당하는 기간 동안 상기 전압전류 변환기에서 출력되는 전류를 소정 주기로 샘플링하는 동작을 수행함을 특징으로 하는 유기전계 발광 표시장치.

청구항 8

제 7항에 있어서,

상기 샘플링 주파수는 상기 역전압이 인가되는 구간의 역수보다 크게 설정함을 특징으로 하는 유기전계 발광 표시장치.

청구항 9

제 1항에 있어서,

상기 화소들은 제어신호선들 및 리셋 신호선들과 더 접속됨을 특징으로 하는 유기전계 발광 표시장치.

청구항 10

제 9항에 있어서,

상기 화소들 각각은,

유기 발광 다이오드와;

상기 유기 발광 다이오드로 공급되는 전류량을 제어하는 구동 트랜지스터와;

상기 유기 발광 다이오드의 애노드전극과 접속되며, 한 프레임 기간 중 일부기간 동안 턴-온되어 상기 유기 발광 다이오드의 애노드전극으로 상기 제 1전원보다 낮은 리셋 전압을 공급하기 위한 초기화 트랜지스터를 구비함을 특징으로 하는 유기전계 발광 표시장치.

청구항 11

제 10항에 있어서,

상기 화소들 각각은,

상기 구동 트랜지스터의 게이트전극에 제 1단자가 접속되는 제 2커패시터와;

상기 제 2커패시터의 제 2단자와 상기 데이터선 사이에 접속되며, 상기 주사선으로 주사신호가 공급될 때 턴-온되는 제 1트랜지스터와;

상기 유기 발광 다이오드의 애노드전극과 상기 구동 트랜지스터의 게이트전극 사이에 접속되며, 상기 제어신호선으로 제어신호가 공급될 때 턴-온되는 제 3트랜지스터와;

상기 제 2커패시터의 제 2단자와 상기 제 1전원 사이에 접속되는 제 1커패시터를 더 구비하는 것을 특징으로 하는 유기전계 발광 표시장치.

청구항 12

제 1항에 있어서,

상기 한 프레임 기간은 리셋기간, 문턱전압 보상기간, 주사기간 및 발광기간으로 구분되며, 상기 제 1전원은 상기 리셋기간 동안 로우레벨로 설정되고, 문턱전압 보상기간, 주사기간 및 발광기간 동안 하이레벨로 설정되며, 상기 제 2전원(ELVSS)은 리셋기간, 문턱전압 보상기간 및 주사기간 동안 하이레벨로 설정되고, 발광기간 동안 로우레벨로 설정됨을 특징으로 하는 유기전계 발광 표시장치.

청구항 13

DC-DC 컨버터로부터 출력되는 제 1전원 및 제 2전원이 각각 제 1전원라인 및 제 2전원라인을 통해 화소부에 구비된 각 화소들로 인가되는 단계와;

상기 제 1전원라인 및 제 2전원라인 간의 단락 여부를 검출하고, 그 검출 결과에 따라 상기 DC-DC 컨버터의 동작이 제어되는 단계가 포함되며,

상기 제 1전원 및 제 2전원은 각각 한 프레임 구간에서 전압 레벨이 변경되어 인가되고, 상기 한 프레임 구간 내에 상기 제 2전원의 전압 레벨이 상기 제 1전원의 전압 레벨보다 높게 인가되는 역전압 구간이 존재하며,

상기 제 1전원라인 및 제 2전원라인 간의 단락에 대한 판단은 소정 기간 동안 상기 역전압 구간에서의 역전류 발생 여부를 검출하여 수행됨을 특징으로 하는 유기전계 발광 표시장치의 구동방법.

청구항 14

제 13항에 있어서,

상기 소정 기간은 한 프레임 기간 또는 상기 한 프레임 기간의 정수배에 해당하는 기간임을 특징으로 하는 유기전계 발광 표시장치의 구동방법.

청구항 15

제 14항에 있어서,

상기 제 1전원라인 및 제 2전원라인 간의 단락에 대한 판단은 상기 소정 기간 동안의 평균 전류값을 기 설정된 기준값과 비교하여 상기 평균 전류값이 기준값 이상인지 여부를 검출하여 수행됨을 특징으로 하는 유기전계 발광 표시장치의 구동방법.

발명의 설명

기술 분야

[0001] 본 발명의 실시예는 표시장치에 관한 것으로, 특히 유기전계 발광 표시장치 및 그 구동방법에 관한 것이다.

배경 기술

[0002] 최근 평판 표시 장치 중에서 가장 주목 받고 있는 유기전계 발광 표시 장치(Organic light emitting display device)는 전자와 정공의 재결합에 의하여 빛을 발생하는 유기발광 다이오드(organic light emitting diode: OLED)를 이용하여 화상을 표시한다.

[0003] 이러한 유기전계 발광 표시 장치는 자발광 표시 장치로 별도의 백라이트 유닛이 필요 없기 때문에 소비 전력면에서 유리하고, 응답 속도, 시야각 및 대비비 등이 우수하다.

[0004] 상기 유기발광 다이오드는 애노드(anode) 전극과 캐소드(cathode) 전극 및 이들 사이에 형성된 유기 발광층을 포함하며, 캐소드 전극으로부터 주입되는 전자(electron)와 애노드 전극으로부터 주입된 정공(hole)이 유기 발광층에서 결합하여 여기자(exiton)를 형성하고 여기자가 에너지를 방출하면서 발광한다. 상기 유기 발광층은 전자와 정공의 균형을 좋게 하여 발광 효율을 향상시키기 위해 발광층(emission layer: EML), 전자 수송층(electron transport layer: ETL) 및 정공 수송층(hole transport layer: HTL)을 포함한 다층 구조로 이루어지고, 별도의 전자 주입층(electron injection layer: EIL)과 정공 주입층(hole injection layer: HIL)을 포함할 수 있다.

[0005] 상기 유기발광 다이오드는 영상 신호에 따른 화소 전압과 함께 구동 전원(ELVDD, ELVSS)을 이용하여 구동한다. 따라서, 표시 패널에는 이들 전원들이 인가되는 전원라인들 및 상기 유기발광 다이오드를 포함하고, 상기 전원라인들과 연결되는 복수의 화소들이 형성된다.

[0006] 그러나, 상기 전원라인들은 제조 시의 결함이나 사용 중의 고장으로 인하여 서로 단락 될 수가 있는데, 이 경우 상기 구동 전원을 공급하는 전원 공급부와 표시 패널 사이에 과전류가 발생되며, 이러한 과전류로 인해 유기발광 다이오드가 열화(burnt)되는 등 표시 패널에 손상이 발생할 수 있다.

발명의 내용

해결하려는 과제

[0007] 본 발명의 실시예는 전원라인들 간의 단락에 의해 발생하는 이상 전류를 감지하여 구동 전원의 인가를 차단할 수 있는 유기전계 발광 표시장치 및 그 구동방법을 제공함을 목적으로 한다.

과제의 해결 수단

[0008] 상기 목적을 달성하기 위하여 본 발명의 실시예에 의한 유기전계 발광 표시장치는, 주사선들, 데이터선들과 접속되는 화소들을 포함하는 화소부와; 상기 화소들에 제 1전원 및 제 2전원을 출력하는 DC-DC 컨버터와; 상기 DC-DC 컨버터로부터 출력되는 제 1전원 및 제 2전원을 각각 상기 화소부로 공급하는 제 1전원라인 및 제 2전원라인과; 상기 제 1전원라인 및 제 2전원라인 간의 단락 여부를 검출하고, 그 검출 결과에 따라 상기 DC-DC 컨버터의 동작을 제어하는 제어신호를 출력하는 단락감지회로가 포함되며, 상기 제 1전원 및 제 2전원은 각각 한 프레임 구간에서 전압 레벨이 변경되어 인가되고, 상기 한 프레임 구간 내에 상기 제 2전원의 전압 레벨이 상기 제 1전원의 전압 레벨보다 높게 인가되는 역전압 구간이 존재한다.

[0009] 또한, 상기 단락감지회로는 소정 기간 동안 상기 역전압 구간에서의 역전류 발생 여부를 검출하고, 역전류가 검출되면 상기 제 1, 2전원라인이 단락된 것으로 판단하여 상기 DC-DC 컨버터를 디스에이블 시키는 제어신호를 출력한다.

[0010] 또한, 상기 소정 기간은 한 프레임 기간 또는 상기 한 프레임 기간의 정수배에 해당하는 기간이다.

[0011] 또한, 상기 단락감지회로는 상기 소정 기간 동안의 평균 전류값을 기 설정된 기준값과 비교하여 상기 평균 전류값이 기준값 이상인 경우 이를 통해 상기 제 1, 2전원라인이 단락된 것으로 판단하여 상기 DC-DC 컨버터를 디스에이블 시키는 제어신호를 출력할 수 있다.

[0012] 또한, 상기 단락감지회로는, 상기 제 1전원라인 및 제 2전원라인 중 적어도 하나에 접속된다.

[0013] 또한, 상기 단락감지회로는, 상기 제 1, 2전원라인 중 적어도 하나의 전원라인에 형성된 감지저항과 연결되어 상기 감지저항에서 발생하는 전압을 전류로 변환하는 전압전류 변환기와; 상기 전압전류 변환기에서 출력되는 전류를 인가받아 상기 제 1, 2전원라인 간의 단락여부를 판단하는 제어부가 포함된다.

[0014] 또한, 상기 제어부는 한 프레임 기간 또는 상기 한 프레임 기간의 정수배에 해당하는 기간 동안 상기 전압전류 변환기에서 출력되는 전류를 소정 주기로 샘플링하는 동작을 수행한다.

[0015] 또한, 상기 샘플링 주파수는 상기 역전압이 인가되는 구간의 역수보다 크게 설정할 수 있다.

[0016] 또한, 상기 화소들은 제어신호선들 및 리셋 신호선들과 더 접속되며, 상기 화소들 각각은, 유기 발광 다이오드와; 상기 유기 발광 다이오드로 공급되는 전류량을 제어하는 구동 트랜지스터와; 상기 유기 발광 다이오드의 애노드전극과 접속되며, 한 프레임 기간 중 일부기간 동안 턴-온되어 상기 유기 발광 다이오드의 애노드전극으로 상기 제 1전원보다 낮은 리셋 전압을 공급하기 위한 초기화 트랜지스터를 구비한다.

[0017] 또한, 상기 화소들 각각은, 상기 구동 트랜지스터의 게이트전극에 제 1단자가 접속되는 제 2커패시터와; 상기 제 2커패시터의 제 2단자와 상기 데이터선 사이에 접속되며, 상기 주사선으로 주사신호가 공급될 때 턴-온되는 제 1트랜지스터와; 상기 유기 발광 다이오드의 애노드전극과 상기 구동 트랜지스터의 게이트전극 사이에 접속되며, 상기 제어신호선으로 제어신호가 공급될 때 턴-온되는 제 3트랜지스터와; 상기 제 2커패시터의 제 2단자와 상기 제 1전원 사이에 접속되는 제 1커패시터를 더 구비한다.

[0018] 또한, 상기 한 프레임 기간은 리셋기간, 문턱전압 보상기간, 주사기간 및 발광기간으로 구분되며, 상기 제 1전원은 상기 리셋기간 동안 로우레벨로 설정되고, 문턱전압 보상기간, 주사기간 및 발광기간 동안 하이레벨로 설정되며, 상기 제 2전원(ELVSS)은 리셋기간, 문턱전압 보상기간 및 주사기간 동안 하이레벨로 설정되고, 발광기간 동안 로우레벨로 설정될 수 있다.

[0019] 또한, 본 발명의 실시예에 의한 유기전계 발광 표시장치의 구동방법은, DC-DC 컨버터로부터 출력되는 제 1전원 및 제 2전원이 각각 제 1전원라인 및 제 2전원라인을 통해 화소부에 구비된 각 화소들로 인가되는 단계와; 상기 제 1전원라인 및 제 2전원라인 간의 단락 여부를 검출하고, 그 검출 결과에 따라 상기 DC-DC 컨버터의 동작이 제어되는 단계가 포함되며, 상기 제 1전원 및 제 2전원은 각각 한 프레임 구간에서 전압 레벨이 변경되어 인가되고, 상기 한 프레임 구간 내에 상기 제 2전원의 전압 레벨이 상기 제 1전원의 전압 레벨보다 높게 인가되는 역전압 구간이 존재하며, 상기 제 1전원라인 및 제 2전원라인 간의 단락에 대한 판단은 소정 기간 동안 상기 역

전압 구간에서의 역전류 발생 여부를 검출하여 수행된다.

[0020] 또한, 상기 제 1전원라인 및 제 2전원라인 간의 단락에 대한 판단은 상기 소정 기간 동안의 평균 전류값을 기 설정된 기준값과 비교하여 상기 평균 전류값이 기준값 이상인지 여부를 검출하여 수행될 수 있다.

발명의 효과

[0021] 이와 같은 본 발명의 실시예에 의하면, 전원라인들 간의 단락에 의해 발생하는 이상 전류를 감지하여 구동 전원의 인가를 차단함으로써, 전원 공급부와 표시패널 사이의 과전류로 인해 유기발광 다이오드가 열화(burnt)되는 등 표시 패널에 손상이 발생됨을 방지할 수 있는 장점이 있다.

도면의 간단한 설명

[0022] 도 1은 본 발명의 실시예에 의한 유기전계 발광 표시장치의 블록도.
 도 2는 도 1에 도시된 화소의 일 실시예를 나타내는 회로도.
 도 3은 도 2에 도시된 화소의 구동방법을 나타내는 파형도.
 도 4는 본 발명의 실시예에 의한 단락 감지회로에 대한 블록도.
 도 5는 전원라인 단락시 이를 감지하는 방법을 설명하는 도면.
 도 6은 도 4에 도시된 단락 감지회로 일부 구성의 실시예를 나타내는 회로도.

발명을 실시하기 위한 구체적인 내용

[0023] 이하, 첨부된 도면을 참조하여 본 발명의 실시예를 보다 상세히 설명하도록 한다.

[0024] 도 1은 본 발명의 실시예에 의한 유기전계 발광 표시장치의 블록도이다.

[0025] 도 1을 참조하면, 본 발명의 실시예에 의한 유기전계 발광 표시장치는 주사선들(S1 내지 Sn) 및 데이터선들(D1 내지 Dm)과 접속되는 화소들(10)을 포함하는 화소부(20)와, 주사선들(S1 내지 Sn)을 통해 각 화소(10)에 주사신호를 공급하는 주사 구동부(30)와, 데이터선들(D1 내지 Dm)을 통해 데이터신호를 각 화소(10)에 공급하는 데이터 구동부(40), 각 화소(10)에 구동 전원인 제 1전원(ELVDD) 및 제 2전원(ELVSS)을 인가하는 DC-DC 컨버터(60) 및 제 1전원라인(71)과 제 2전원라인(72)의 단락 여부를 감지하는 단락감지회로(80)를 포함하며, 주사 구동부(30) 및 데이터 구동부(40)를 제어하기 위한 타이밍 제어부(50)를 더 포함할 수 있다.

[0026] 각 화소들(10)은 제 1전원라인(71) 및 제 2전원라인(72)과 연결되며, 각 전원라인들(71, 72)로부터 제 1전원(ELVDD) 및 제 2전원(ELVSS)을 공급받은 화소들(10) 각각은, 제 1전원(ELVDD)으로부터 유기 발광 다이오드를 경유하여 제 2전원(ELVSS)까지 흐르는 전류에 의하여 데이터신호에 대응하는 빛을 생성한다.

[0027] 즉, 상기 화소들(10)에 구비된 유기 발광 다이오드가 발광할 때는 상기 유기 발광 다이오드를 경유하여 하이 레벨의 제 1전원(ELVDD)에서 로우 레벨의 제 2전원(ELVSS)으로 순방향의 전류가 흐른다.

[0028] 주사 구동부(30)는 타이밍 제어부(50)의 제어에 의해 주사신호를 생성하고, 생성된 주사신호를 주사선들(S1 내지 Sn)로 공급한다.

[0029] 또한, 도 1에 도시되지 않았으나, 상기 주사 구동부(30)는 주사 신호 이외에도 상기 각 화소들(10)에 제어신호들 및 리셋 신호들을 더 공급할 수 있으며, 상기 제어신호들 및 리셋 신호들은 별도의 제어선 구동부(미도시)를 통해 공급될 수도 있다.

[0030] 데이터 구동부(40)는 타이밍 제어부(50)의 제어에 의해 데이터신호를 생성하고, 생성된 데이터신호를 데이터선들(D1 내지 Dm)로 공급한다.

[0031] 주사선들(S1 내지 Sn)로 주사신호가 순차적으로 공급되면 화소(10)들이 라인별로 순차적으로 선택되고, 선택된 화소(10)들은 데이터선들(D1 내지 Dm)로부터 전달되는 데이터신호를 공급받는다.

[0032] DC-DC 컨버터(60)는 외부전원(Vout)을 공급받아, 공급된 외부전원(Vout)을 변환하여 각 화소들(10)에 공급되는 제 1전원(ELVDD)과 제 2전원(ELVSS)을 생성한다.

[0033] 본 발명의 실시예는 상기 DC-DC 컨버터(60)에서 생성되는 제 1전원(ELVDD) 및 제 2전원(ELVSS)이 일정한 레벨을

갖는 DC 전압이 아니라 한 프레임 구간에서 전압 레벨이 변경되어 인가되며, 특히 상기 제 2전원(ELVSS)의 전압 레벨이 제 1전원(ELVDD)의 전압 레벨보다 높게 인가되는 역전압 구간이 존재함을 특징으로 한다.

- [0034] 이와 같은 역전압 구간이 존재할 경우, 제 1, 2전원라인들 간에 단락이 발생되지 않은 정상 상태에서는 상기 역전압 구간이 유기발광 다이오드가 발광하는 구간이 아니므로 전류가 흐르지 않으나, 상기 제 1, 2전원라인들 간에 단락이 발생되면, 상기 역전압 구간에서 역전류가 흐르게 된다.
- [0035] 상기 DC-DC 컨버터(60)는 생성된 제 1전원(ELVDD)과 제 2전원(ELVSS)을 각각 제 1전원라인(71) 및 제 2전원라인(72)을 통해 화소부(20)로 공급한다.
- [0036] 도 1에서는 상기 제 1전원라인(71) 및 제 2전원라인(72)이 각각 하나의 라인으로 도시되어 있으나, 이는 설명의 편의를 위한 것으로 상기 제 1, 2전원라인은 복수의 라인들로 형성되고, 상기 화소 각각에는 상기 복수의 전원라인들 중 소정의 제 1전원라인 및 이에 대응되는 제 2전원라인이 연결될 수 있다. 단, 상기 복수의 제 1전원라인들 및 제 2전원라인들로 인가되는 전원인 제 1전원(ELVDD) 및 제 2전원(ELVSS)은 각 제 1, 2전원라인들에 동일하게 인가된다.
- [0037] 즉, 화소들(10) 각각에는 이에 대응되는 제 1전원라인 및 제 2전원라인이 연결되며, 모든 화소들에 동일한 제 1, 2전원이 인가되나, 각 화소들에 동일한 전원라인이 연결되는 것은 아니다.
- [0038] 또한, DC-DC 컨버터(60)가 동작하지 않는 디스에이블(Disable) 상태인 경우에는 제 1전원(ELVDD) 및 제 2전원(ELVSS)은 상기 각 전원라인들(71, 72)로 출력되지 않는다.
- [0039] 상기 DC-DC 컨버터(60)의 동작은 단락감지회로(80)에 의해 제어되는 것으로서, 단락감지회로(80)는 상기 제 1, 2전원라인의 단락 여부를 검출하고, 상기 단락감지회로(80)에 출력되는 제어신호에 의해 DC-DC 컨버터(60)의 동작이 제어된다.
- [0040] 일 예로 상기 단락감지회로(80)는 소정 기간(일 예로 1프레임 기간) 동안 화소부에 흐르는 전류의 평균값 및/또는 상기 역전압 구간에서의 역전류 발생 여부를 검출하고, 그 검출 결과에 따라 제 1, 2전원라인이 단락된 것으로 판단되면 제어신호를 상기 DC-DC 컨버터(60)로 출력하여 DC-DC 컨버터(60)의 동작을 중단시킬 수 있다.
- [0041] 도 2 및 도 3에서는 상기 역전압 구간이 존재하는 화소 및 이의 구동 방법에 대해 설명한다. 단, 이는 하나의 실시예로서 본 발명에 의한 화소 및 구동방법에 이에 한정되는 것은 아니다.
- [0042] 도 2는 도 1에 도시된 화소의 일 실시예를 나타내는 회로도이고, 도 3은 도 2에 도시된 화소의 구동방법을 나타내는 파형도이다.
- [0043] 도 2를 참고하면, 본 발명의 실시예에 의한 화소(10)는 유기 발광 다이오드(Organic Light Emitting Diode: OLED)와, 유기 발광 다이오드(OLED)로 공급되는 전류량을 제어하는 화소회로(142)를 구비한다.
- [0044] 유기 발광 다이오드(OLED)의 애노드전극은 화소회로(12)에 접속되고, 캐소드전극은 제 2전원(ELVSS)이 인가되는 제 2전원라인(72)에 접속된다. 이와 같은 유기 발광 다이오드(OLED)는 화소회로(12)로부터 공급되는 전류에 대응하여 소정 휘도의 빛을 생성한다.
- [0045] 화소회로(12)는 데이터신호 및 구동 트랜지스터의 문턱전압에 대응하는 전압을 충전하고, 충전된 전압에 대응하여 유기 발광 다이오드(OLED)로 공급되는 전류량을 제어한다. 이를 위하여, 화소회로(12)는 4개의 트랜지스터(M1 내지 M4) 및 2개의 커패시터(C1, C2)를 구비한다.
- [0046] 제 1트랜지스터(M1)의 게이트전극은 주사선(Sn)에 접속되고, 제 1전극은 데이터선(Dm)에 접속된다. 그리고, 제 1트랜지스터(M1)의 제 2전극은 제 1노드(N1)에 접속된다. 이와 같은 제 1트랜지스터(M1)는 주사선(Sn)으로 주사신호가 공급될 때 턴-온되어 데이터선(Dm)과 제 1노드(N1)를 전기적으로 접속시킨다.
- [0047] 제 2트랜지스터(M2)(구동 트랜지스터)의 게이트전극은 제 2노드(N2)에 접속되고, 제 1전극은 제 1전원(ELVDD)이 인가되는 제 1전원라인(71)에 접속된다. 그리고, 제 2트랜지스터(M2)의 제 2전극은 유기 발광 다이오드(OLED)의 애노드전극에 접속된다. 이와 같은 제 2트랜지스터(M2)는 제 2노드(N2)에 인가된 전압에 대응하여 유기 발광 다이오드(OLED)로 공급되는 전류량을 제어한다.
- [0048] 제 3트랜지스터(M3)의 제 1전극은 제 2트랜지스터(M2)의 제 2전극에 접속되고, 제 2전극은 제 2노드(N2)에 접속된다. 그리고, 제 3트랜지스터(M3)의 게이트전극은 제어선(GCn)에 접속된다. 이와 같은 제 3트랜지스터(M3)는

제어선(GCn)으로 제어신호가 공급될 때 턴-온되어 제 2트랜지스터(M2)를 다이오드 형태로 접속시킨다.

- [0049] 제 4트랜지스터(M4)의 제 1전극은 유기 발광 다이오드(OLED)의 애노드전극에 접속되고, 제 2전극은 리셋전원(Vr)에 접속된다. 그리고, 제 4트랜지스터(M4)의 게이트전극은 리셋선(Rn)에 접속된다. 이와 같은 제 4트랜지스터(M4)는 리셋선(Rn)으로 리셋신호가 공급될 때 턴-온되어 리셋전원(Vr)의 전압을 유기 발광 다이오드(OLED)의 애노드전극으로 공급한다.
- [0050] 제 1커패시터(C1)는 제 1노드(N1)와 제 1전원(ELVDD)이 인가되는 제 1전원라인(10) 사이에 접속된다. 이와 같은 제 1커패시터(C1)는 데이터신호에 대응하는 전압을 충전한다.
- [0051] 제 2커패시터(C2)는 제 1노드(N1)와 제 2노드(N2) 사이에 접속된다. 이와 같은 제 2커패시터(C2)는 제 2트랜지스터(M2)의 문턱전압에 대응하는 전압을 충전한다.
- [0052] 도 2 및 도 3을 통해 상기 화소의 구동 방법을 설명하면 다음과 같다.
- [0053] 상기 제 1전원(ELVDD)은 리셋기간 동안 로우레벨로 설정되고, 문턱전압 보상기간, 주사기간 및 발광기간 동안 하이레벨로 설정된다. 제 2전원(ELVSS)은 리셋기간, 문턱전압 보상기간 및 주사기간 동안 하이레벨로 설정되고, 발광기간 동안 로우레벨로 설정된다. 여기서, 화소(10)는 제 1전원(ELVDD)이 하이 레벨로 설정되고, 제 2전원(ELVSS)이 로우 레벨로 설정되는 기간, 즉 발광기간 동안에만 소정 휘도의 빛을 생성한다.
- [0054] 도 3을 참조하면, 먼저 리셋기간 동안 리셋선(Rn)으로 리셋신호가 공급된다. 즉, 리셋선(Rn)으로 리셋신호가 공급되면 제 4트랜지스터(M4)가 턴-온된다. 제 4트랜지스터(M4)가 턴-온되면 리셋전원(Vr)의 전압이 유기 발광 다이오드(OLED)의 애노드전극으로 공급된다. 즉, 리셋기간 중 제 1기간(T1) 동안에는 유기 발광 다이오드(OLED)의 애노드전극을 리셋전원(Vr)의 전압으로 초기화한다.
- [0055] 리셋기간의 제 2기간(T2) 동안에는 제어선(GCn)으로 제어신호가 공급된다. 제어선(GCn)으로 제어신호가 공급되면 제 3트랜지스터(M3)가 턴-온된다. 제 3트랜지스터(M3)가 턴-온되면 제 2노드(N2)로 리셋전원(Vr)의 전압이 공급된다. 즉, 리셋기간 동안 제 2노드(N2) 및 유기 발광 다이오드(OLED)의 애노드전극은 리셋전원(Vr)의 전압으로 초기화된다.
- [0056] 리셋기간 이후에 문턱전압 보상기간에는 제어선(GCn)으로의 제어신호 공급이 유지되어 제 3트랜지스터(M3)가 턴-온 상태를 유지한다. 그리고, 문턱전압 보상기간 동안 리셋선(Rn)으로 리셋신호의 공급이 중단되어 제 4트랜지스터(M4)가 턴-오프된다.
- [0057] 제 3트랜지스터(M3)가 턴-온되면 제 2트랜지스터(M2)는 다이오드 형태로 접속된다. 이때, 제 2노드(N2)의 전압이 리셋전원(Vr)의 전압으로 초기화되었기 때문에 제 2트랜지스터(M2)가 턴-온된다. 제 2트랜지스터(M2)가 턴-온되면 제 2노드(N2)의 전압은 하이레벨의 제 1전원(ELVDD)에서 제 2트랜지스터(M2)의 절대치 문턱전압을 감한 전압까지 상승한다. 제 2노드(N2)의 전압이 제 1전원(ELVDD)에서 제 2트랜지스터(M2)의 절대치 문턱전압을 감한 전압으로 상승한 후 제 2트랜지스터(M2)는 턴-오프된다.
- [0058] 한편, 문턱전압 보상기간 동안 주사선(Sn)으로 주사신호가 공급된다. 주사선(Sn)으로 주사신호가 공급되면 제 1트랜지스터(M1)가 턴-온된다. 제 1트랜지스터(M1)가 턴-온되면 데이터선(Dm)과 제 1노드(N1)가 전기적으로 접속된다. 이때, 데이터선들(D1 내지 Dm)으로는 소정의 전압이 공급된다. 여기서, 소정의 전압은 상술한 바와 같이 다수의 데이터신호의 전압범위 내의 특정 전압, 예를 들면 중간계조의 데이터신호보다 높은 전압으로 설정된다.
- [0059] 문턱전압 보상기간 동안 제 2커패시터(C2)는 제 1노드(N1)와 제 2노드(N2) 사이의 전압, 즉 제 2트랜지스터(M2)의 문턱전압에 대응하는 전압을 충전한다. 다시 말하여, 제 1노드(N1)로 공급되는 소정의 전압은 모든 화소들(140)에서 동일하게 설정되지만 제 2노드(N2)로 공급되는 전압은 제 2트랜지스터(M2)의 문턱전압에 대응하여 화소들(140) 각각마다 상이하게 설정된다. 따라서, 제 2커패시터(C2)에 충전되는 전압은 제 2트랜지스터(M2)의 문턱전압에 대응하여 결정되고, 이에 따라 제 2트랜지스터(M2)의 문턱전압 편차를 보상할 수 있다.
- [0060] 이후, 주사선들(S1 내지 Sn)로 주사신호가 순차적으로 인가되고, 주사신호에 동기되도록 데이터선들(D1 내지 Dm)로 데이터신호가 공급된다. 주사선(Sn)으로 주사신호가 공급되면 제 1트랜지스터(M1)가 턴-온된다. 제 1트랜지스터(M1)가 턴-온되면 데이터선(Dm)으로부터의 데이터신호가 제 1노드(N1)로 공급된다. 이때, 제 1커패시터(C1)는 데이터신호에 대응하여 소정의 전압을 충전한다. 한편, 주사기간 동안 제 2노드(N2)는 플로팅 상태로 설정되고, 이에 따라 제 2커패시터(C2)는 제 1노드(N1)의 전압변화와 무관하게 이전기간에 충전된 전압을 유지

한다.

- [0061] 주사기간 이후의 발광기간 동안에는 로우레벨의 제 2전원(ELVSS)이 공급된다. 이 경우, 제 2트랜지스터(M2)는 제 1커패시터(C1) 및 제 2커패시터(C2)에 충전된 전압에 대응하여 유기 발광 다이오드(OLED)로 흐르는 전류량을 제어한다. 따라서, 발광기간 동안에 화소부(130)에서는 데이터신호에 대응하는 소정 휘도의 영상이 표시된다.
- [0062] 단, 도 3에 도시된 파형도에 의할 경우 상기 리셋기간에서는 상기 제 1전원(ELVDD)은 로우레벨로 설정되고, 제 2전원(ELVSS)은 하이레벨로 설정되는 역전압 구간이 존재한다.
- [0063] 앞서 언급한 바와 같이 이와 같은 역전압 구간이 존재할 경우, 상기 제 1, 2전원이 인가되는 제 1, 2전원라인들 간에 단락이 발생되지 않은 정상 상태에서 상기 역전압 구간은 유기발광 다이오드가 발광하는 구간이 아니므로 전류가 흐르지 않으나, 상기 제 1, 2전원라인들 간에 단락이 발생되면, 상기 역전압 구간에서 역전류가 흐르게 된다.
- [0064] 이에 본 발명의 실시예는 상기 단락감지회로(80)가 상기 역전압 구간에서 역전류가 발생하는지 여부를 검출하여 제 1, 2전원의 단락 여부를 판단하고 이를 근거로 DC-DC 컨버터(60)의 동작을 제어함을 특징으로 한다.
- [0065] 도 4는 본 발명의 실시예에 의한 단락감지회로에 대한 블록도이고, 도 5는 전원라인 단락시 이를 감지하는 방법을 설명하는 도면이다.
- [0066] 도 4를 참고하면, 본 발명의 실시예에 의한 단락감지회로(80)는 DC-DC 컨버터(60)와 표시패널 즉, 화소부(20) 사이에 연결되는 제 1전원라인(71)과 제 2전원라인(72)에 접속되어 상기 제 1, 2전원라인(71, 72)의 단락 여부를 감지하는 역할을 수행한다.
- [0067] 이를 위해 상기 단락감지회로(80)는 도시된 바와 같이 상기 제 1, 2전원라인(71, 72)에 형성된 감지저항(Rsense)과 연결되어 상기 감지저항에서 발생하는 전압을 전류로 변환하는 전압전류 변환기(82) 및 상기 전압전류 변환기(82)에서 출력되는 전류를 인가받아 상기 제 1, 2전원라인(71, 72) 간의 단락여부를 판단하는 제어부(84)가 포함되어 구성된다.
- [0068] 이 때, 상기 감지저항에서의 전압은 증폭기(미도시)를 통해 판단이 용이할 수 있을 정도로 증폭될 수 있다.
- [0069] 또한, 도 4에 도시된 실시예에서는 제 1전원라인(71) 및 이에 대응되는 제 2전원라인(72) 각각에 감지저항이 형성되고, 이들 각각의 감지저항과 연결되도록 전압전류 변환기(82)가 구비되어 있으나, 이는 보다 정확한 검출을 위한 것으로서, 상기 제 1, 2전원라인들 중 적어도 하나의 전원라인에 감지저항이 형성되고, 상기 적어도 하나의 전원라인에 형성된 감지저항에서의 전압을 전류를 검출함에 의해서도 제 1, 2전원라인 간의 단락 여부를 판단할 수 있다.
- [0070] 이 때, 상기 제 1전원라인(71) 및 제 2전원라인(72)이 각각 하나의 라인으로 도시되어 있으나, 이는 설명의 편의를 위한 것으로 상기 제 1, 2전원라인은 복수의 라인들로 형성될 수 있다. 단, 상기 복수의 제 1전원라인들 및 제 2전원라인들로 인가되는 전원인 제 1전원(ELVDD) 및 제 2전원(ELVSS)은 각 제 1, 2전원라인들에 동일하게 인가된다.
- [0071] 도 4에 도시된 실시예는 화소부에 구비된 화소들(10) 중 소정 화소에 대응되는 제 1전원라인 및 제 2전원라인을 그 예로 설명하는 것으로서, 정상 동작 상태에서는 제 1전원라인에서 화소부의 화소를 거쳐 제 2전원라인으로 순 방향의 전류가 흐르게 된다.
- [0072] 단, 앞서 도 2 및 도 3을 통해 설명한 바와 같이 본 발명의 실시예에 의한 화소는 특정 기간 즉, 리셋기간에서 상기 제 1전원(ELVDD)은 로우레벨로 설정되고, 제 2전원(ELVSS)은 하이레벨로 설정되는 역전압 구간이 존재하며, 이에 따라 상기 제 1, 2전원이 인가되는 제 1, 2전원라인들 간에 단락이 발생되면, 상기 역전압 구간에서 역전류가 흐르게 된다.
- [0073] 즉, 단락 상태에서는 제 2전원라인에서 화소부의 화소를 거쳐 제 1전원라인으로 역 방향의 전류가 흐르게 되는 것이다.
- [0074] 본 발명의 실시예에 의한 단락감지회로(80)는 소정 기간(일 예로 1프레임 기간) 동안 상기 역전압 구간에서의 역전류 발생 여부를 검출하고, 그 검출 결과에 따라 제 1, 2전원라인이 단락된 것으로 판단되면 제어신호를 상

기 DC-DC 컨버터(60)로 출력하여 DC-DC 컨버터(60)의 동작을 중단시킬 수 있다.

- [0075] 또한, 상기 단락감지회로(80)는 상기 역전압 구간에서의 역전류 발생 여부의 검출 외에 순 방향으로 전류가 흐르더라도 화소의 발광기간 동안에서의 평균 전류값을 구하고, 이를 소정의 기준값과 비교하여 상기 평균 전류값이 기준값 이상인 경우 이를 통해 상기 제 1, 2전원라인이 단락된 것으로 판단할 수도 있다.
- [0076] 도 5는 소정 화소에 연결되는 제 1, 2전원라인 간에 단락이 발생된 경우 전류의 검출을 나타내는 도면으로서, 도시된 바와 같이 역전압이 인가되는 구간(도 3의 리셋구간에 대응됨)에 음의 레벨의 갖는 역전류가 발생되고, 발광 구간에서의 전류(순방향 전류)의 평균값이 기준값 이상이 된다.
- [0077] 본 발명의 실시예에 의한 단락감지회로(80)는 이를 검출하기 위해 1프레임 기간의 정수배 기간 즉, 최소 1프레임 기간부터 2프레임 이상의 기간 동안의 전류를 소정의 주기로 샘플링하게 된다.
- [0078] 일 예로 상기 단락감지회로(80)는 제어부(84)에 구비된 아날로그 디지털 컨버터를 이용하여 입력되는 아날로그 전류값을 샘플링한다.
- [0079] 즉, 1프레임 기간 동안 샘플링을 수행함을 통해 제 1, 2전원라인 간의 단락 여부를 검출할 수 있으나, 보다 정확한 검출을 위해서는 1프레임 기간 보다 긴 기간 동안 샘플링을 수행하는 것이 바람직하다.
- [0080] 이 때, 상기 샘플링 주파수는 상기 역전압이 인가되는 구간의 역수보다 크게 해야 하며, 이를 통해 최소 1프레임 기간 중 상기 역전압이 인가되는 구간에서의 역전류 인가 여부를 검출할 수 있다.
- [0081] 이를 통해 상기 역전압 인가 구간에서 역전류가 검출되면 제 1, 2전원라인이 단락된 것으로 판단되면 제어신호를 상기 DC-DC 컨버터(60)로 출력하여 DC-DC 컨버터(60)의 동작을 중단시킬 수 있다.
- [0082] 또한, 앞서 언급한 바와 같이 역전류 검출 외에 상기 발광 기간 동안 흐르는 전류의 평균값을 소정의 기준값과 비교하여 상기 평균 전류값이 기준값 이상인 경우 이를 통해 상기 제 1, 2전원라인이 단락된 것으로 판단하고, 위와 동일하게 제어신호를 DC-DC 컨버터(60)로 출력하여 DC-DC 컨버터(60)의 동작을 중단시킬 수 있다.
- [0083] 일 예로 풀 화이트로 발광할 때 상기 발광 기간에 흐르는 전류의 평균값을 기준값으로 설정하고, 테스트 신호로 풀 화이트 발광에 대응되는 데이터 신호를 인가하여 이에 따른 발광 기간에서의 평균 전류값을 상기 기준값과 비교할 수 있다.
- [0084] 본 발명의 실시예에 의한 단락감지회로(80)는 도 4에 도시된 바와 같이 제 1, 2전원라인이 각각에서 전류를 검출하여 단락 여부를 판단할 수 있으며, 이를 통해 보다 정확한 단락 여부를 판단이 가능하다.
- [0085] 도 6은 도 4에 도시된 단락감지회로 일부 구성의 실시예를 나타내는 회로도이다.
- [0086] 단, 도 6에 도시된 실시예는 단락감지회로 중 전압전류 변환기(82)를 포함하는 부분에 대한 회로 구성에 관한 것으로, 이는 일 실시예에 불과한 것이며 본 발명의 단락감지회로의 구성이 반드시 이에 한정되는 것은 아니다.
- [0087] 도 6을 참조하면, 이는 제 1전원라인 또는 제 2전원라인에 흐르는 전류에 비례한 전압을 기저전압(GND)에 대하여 변환하여 아날로그 디지털 컨버터의 입력으로 인가하는 동작을 한다.
- [0088] 상기 전류는 앞서 언급한 바와 같이 순방향 또는 역방향으로 흐를 수 있으며, 이에 양방향으로 흐르는 전류를 센싱하기 위해 제너 다이오드(D1)(또는 기준전압원)을 사용하여 기준전압(Vbias)을 공급한다.
- [0089] 소정 화소의 유기발광 다이오드에 흐르는 전류(이하 EL 전류)는 상기 전원라인에 형성된 감지저항(Rsense)에 흐르며, 상기 저항 양단에 전압 강하(IR-drop)이 발생한다. 즉, 상기 EL 전류를 I_e 라고 하면, 상기 감지저항 양단에는 $I_e \cdot R_{sense}$ 의 전압이 발생한다.
- [0090] 또한, 증폭기인 OP 앰프의 비반전입력의 전압 VP는,
- [0091] $VP = V_{e1} - (I_e \cdot R_{sense} \cdot (R_2 / (R_2 + R_1)) + V_{bias} \cdot (R_1 / (R_1 + R_2)))$ 가 되며,
- [0092] 증폭된 전압 VE는,
- [0093] $VE = V_{e1} - VP \cdot (R_3 + R_4) / R_3 =$
- [0094] $V_{e1} - (I_e \cdot R_{sense} \cdot (R_2 / (R_2 + R_1)) \cdot (R_3 + R_4) / R_3 + V_{bias} \cdot (R_1 / (R_1 + R_2)) \cdot (R_3 + R_4) / R_3)$ 이 된다.

- [0095] 이 때, V_{el} 은 상기 EL 전류에 대응되는 전압이다.
- [0096] 또한, 상기 $R2/R1=R4/R3=G$ 로 가정하면,
- [0097] $V_E=I_e \cdot R_{sense} \cdot G + V_{bias}$ 가 되고, R5에는 상기 EL 전류와 비례하는 전류가 흐른다.
- [0098] 상기 EL 전류가 0일 때는 R5에는 $V_{bias}/R5$ 의 전류가 흐른다.
- [0099] 단, 제 1, 2전원라인의 단락에 의해 상기 EL 전류가 역전류인 경우, 상기 R5에는 $V_{bias}/R5$ 전류보다 낮게 흐르며, 이를 통해 양방향 EL 전류를 검출 할 수 있는 것이다.
- [0100] 이 회로의 장점은 제 1전원 전압(+ELVDD_IN)이 변동되어도 트랜지스터(Q1)의 콜렉터 전류 출력은 변하지 않아 상기 전원 전압 변동에 영향을 받지 않는다. 상기 트랜지스터(Q1)는 전류 출력으로 동작하고 R6은 GND에 대해 전압으로 변환하고 ADC 입력으로 인가한다.
- [0101] 또한, 상기 OP 앰프의 전원 +VCC_OPAMP는 EL 전류를 제 1전원라인에서 검출할 경우에는 제 1전원(ELVDD)의 전압보다 높아야 하며, -VEE_OPAMP는 EL 전류를 제 2전원라인에서 검출할 경우에는 제 2전원(ELVSS)의 전압보다 낮아야 한다. 즉, 감지저항(R_{sense})에서의 전압은 +VCC_OPAMP와 -VEE_OPAMP 사이의 범위에 있어야 한다.
- [0102] 도 6에서는 상기 트랜지스터를 BJT 트랜지스터로 사용함이 도시되어 있으나, 반드시 이에 한정되는 것은 아니며, 상기 트랜지스터를 MOSFET으로 사용할 수도 있다.
- [0103] 또한, 변형된 실시예로서, 상기 트랜지스터를 제거하고 상기 OP 앰프를 차분 증폭기(differential amplifier)로 사용할 수도 있다.

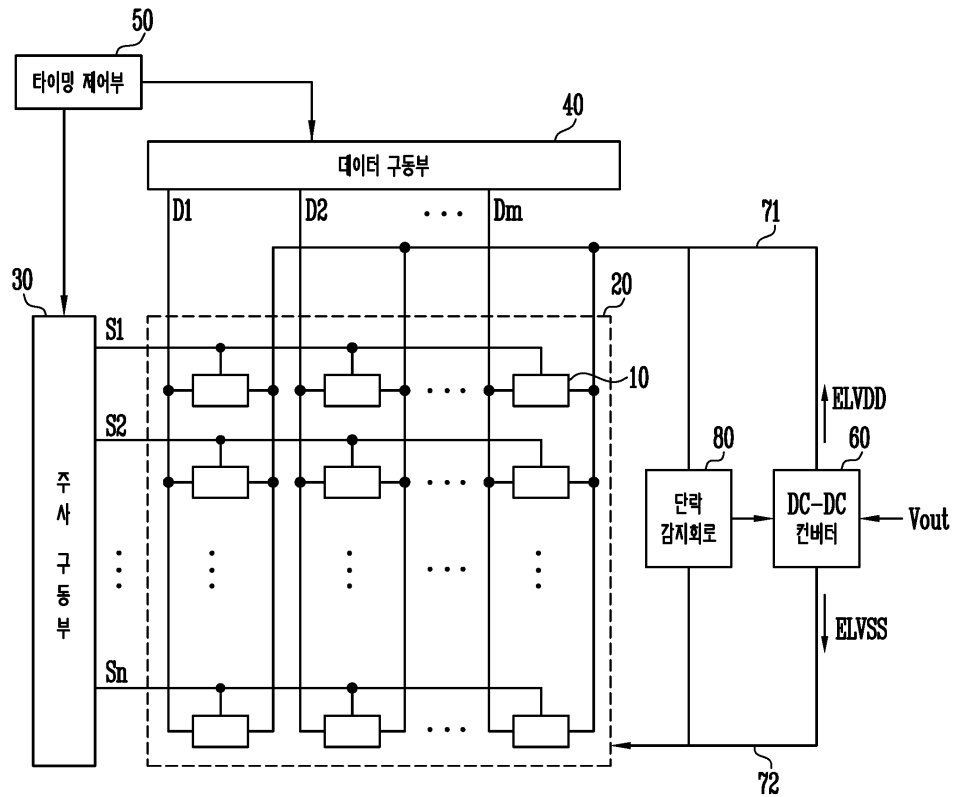
- [0104] 본 발명이 속하는 기술분야의 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다. 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구의 범위에 의하여 나타내어지며, 특허청구의 범위의 의미 및 범위 그리고 그 균등 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

부호의 설명

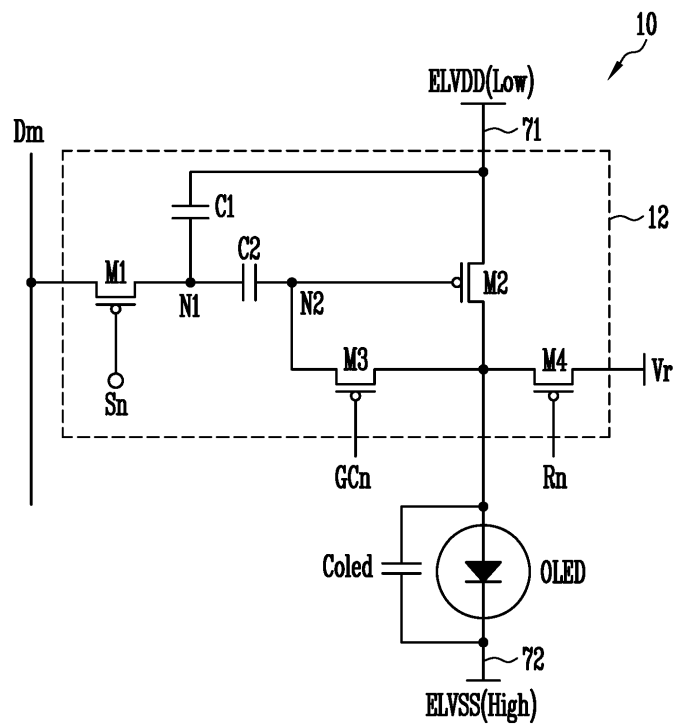
- [0105]
- | | |
|-------------|---------------|
| 10: 화소 | 20: 화소부 |
| 30: 주사 구동부 | 40: 데이터 구동부 |
| 50: 타이밍 제어부 | 60: DC-DC 컨버터 |
| 71: 제 1전원라인 | 71: 제 2전원라인 |
| 80: 단락감지회로 | 82: 전압전류 변환기 |
| 84: 제어부 | |

도면

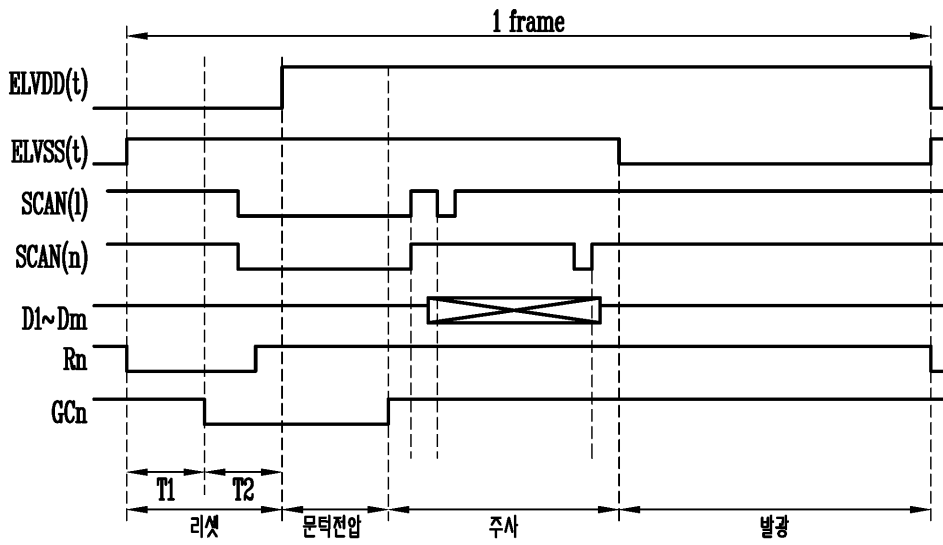
도면1



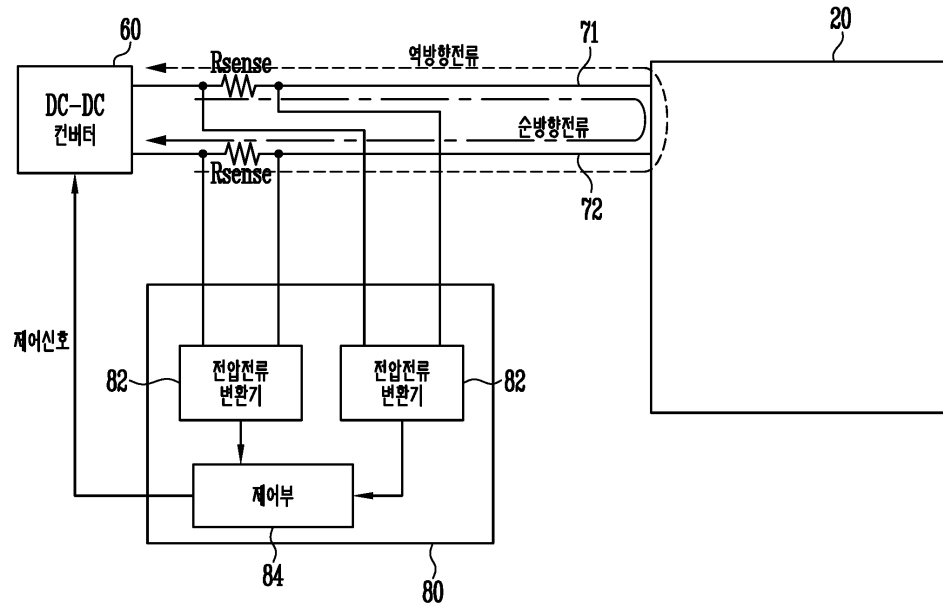
도면2



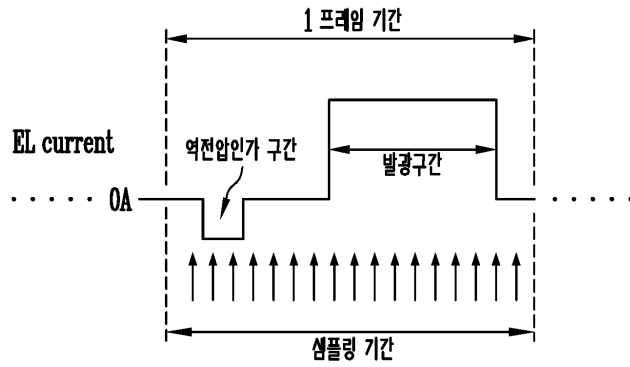
도면3



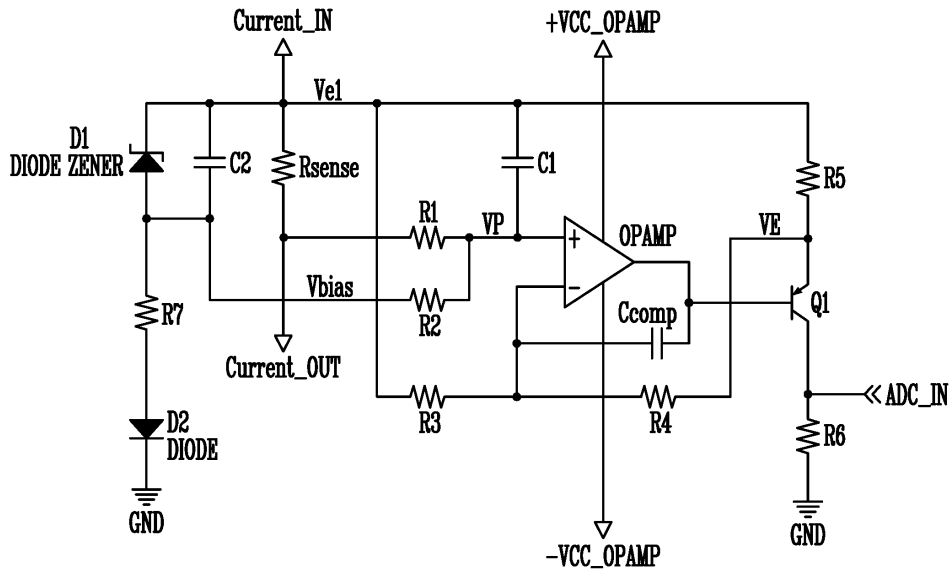
도면4



도면5



도면6



专利名称(译)	标题：有机电致发光显示装置及其驱动方法		
公开(公告)号	KR1020150048377A	公开(公告)日	2015-05-07
申请号	KR1020130128317	申请日	2013-10-28
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	DOIK KIM 김도익 HAKKI CHOI 최학기		
发明人	김도익 최학기		
IPC分类号	G09G3/32 H02M3/00		
CPC分类号	G09G3/3208 G09G3/006 G09G3/3225 G09G2300/0852 G09G2300/0861 G09G2310/0283 G09G2330/021 G09G2330/08 G09G2330/12 G09G2360/08		
代理人(译)	康SIN SEOB 永和的月亮 LEE, YONGWOO		
外部链接	Espacenet		

摘要(译)

有机发光显示装置包括显示单元 (20)，其包括耦合到扫描线 (S1 ... Sn) 和数据线 (D1 ... Dm) 的像素 (10)，第一和第二电源线 (71,72) 耦合到像素 (10) 的DC-DC转换器 (60)，被配置为分别经由第一和第二电源线 (71,72) 将第一和第二电源 (ELVDD, ELVSS) 输出到像素 (10)，短路检测电路 (80)，用于检测第一和第二电源线 (71,72) 之间是否发生短路，并配置成控制DC-DC转换器 (60) 的工作时的短路检测电路 (80)。检测到短路，其中第一和第二电源 (ELVDD, ELVSS) 的电压电平被配置为在帧周期中改变，该帧周期包括反向电压施加时段，其中第二电源的电压电平 (ELVSS) 高于第一电源 (ELVDD)。

