



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0120167
(43) 공개일자 2014년10월13일

(51) 국제특허분류(Int. Cl.)

G09G 3/30 (2006.01)

(21) 출원번호 10-2013-0035922

(22) 출원일자 2013년04월02일

심사청구일자 없음

(71) 출원인

삼성디스플레이 주식회사

경기도 용인시 기흥구 삼성2로 95 (농서동)

(72) 발명자

문성재

경기도 용인시 기흥구 삼성2로 95 (농서동)

박경태

경기도 용인시 기흥구 삼성2로 95 (농서동)

(74) 대리인

강신섭, 문용호, 이용우

전체 청구항 수 : 총 15 항

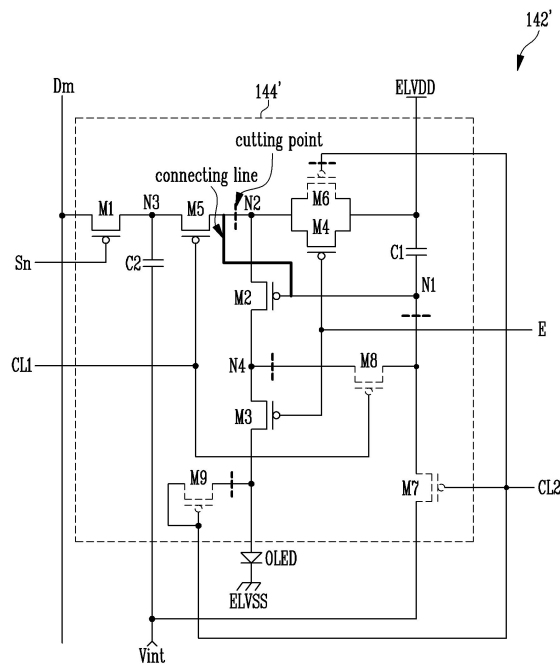
(54) 발명의 명칭 수리된 화소를 갖는 유기전계발광 표시장치 및 그의 화소 수리방법

(57) 요약

본 발명은 결함이 발생된 화소를 수리하여 정상 구동될 수 있도록 한 수리된 화소를 갖는 유기전계발광 표시장치에 관한 것이다.

본 발명에 의한 수리된 화소를 갖는 유기전계발광 표시장치는, 주사선들 및 데이터선들의 교차부에 위치되며, 유 (뒷면에 계속)

대표도 - 도4



기 발광 다이오드와 이를 구동하기 위한 화소회로를 구비한 다수의 화소들과; 상기 주사선들로 주사신호를 공급하고, 상기 화소들에 접속된 발광 제어선으로 발광 제어신호를 공급하기 위한 주사 구동부와; 상기 데이터선들로 데이터신호를 공급하기 위한 데이터 구동부;를 포함하며, 상기 화소들 각각에 포함된 화소회로는 세 개 이상의 트랜지스터와 하나 이상의 커패시터를 포함하여 구성되되, 상기 화소들 중 일부 화소의 화소회로에 구비된 하나 이상의 트랜지스터는, 상기 화소회로 내 다른 회로소자로부터 격리된 상태로 구비되거나, 소스전극과 드레인전극이 단락된 형태로 구비된다.

특허청구의 범위

청구항 1

주사선들 및 데이터선들의 교차부에 위치되며, 유기 발광 다이오드와 이를 구동하기 위한 화소회로를 구비한 다수의 화소들과;

상기 주사선들로 주사신호를 공급하고, 상기 화소들에 접속된 발광 제어선으로 발광 제어신호를 공급하기 위한 주사 구동부와;

상기 데이터선들로 데이터신호를 공급하기 위한 데이터 구동부;를 포함하며,

상기 화소들 각각에 포함된 화소회로는 세 개 이상의 트랜지스터와 하나 이상의 커패시터를 포함하여 구성되며, 상기 화소들 중 일부 화소의 화소회로에 구비된 하나 이상의 트랜지스터는, 상기 화소회로 내 다른 회로소자로부터 격리된 상태로 구비되거나, 소스전극과 드레인전극이 단락된 형태로 구비되는 수리된 화소를 갖는 유기전계발광 표시장치.

청구항 2

제1항에 있어서,

상기 화소회로는,

해당 주사선 및 데이터선에 접속되며, 상기 주사선으로부터 주사신호가 공급될 때 상기 데이터선으로부터 공급되는 데이터신호를 화소 내부로 전달하기 위한 제1 트랜지스터와;

상기 데이터신호에 대응하는 전압을 저장하기 위한 제1 커패시터와;

제1 전원과 상기 유기 발광 다이오드 사이에 접속되며, 상기 제1 커패시터에 저장된 전압에 대응하는 구동전류를 상기 유기 발광 다이오드로 공급하기 위한 제2 트랜지스터;를 포함하며,

상기 제2 트랜지스터와 상기 유기 발광 다이오드 사이에 접속되며, 상기 발광 제어선으로부터 공급되는 발광 제어신호에 대응하여 상기 제2 트랜지스터와 상기 유기 발광 다이오드 사이의 연결을 제어하기 위한 제3 트랜지스터와; 상기 제1 전원과 상기 제2 트랜지스터 사이에 접속되며 상기 발광 제어선으로부터 공급되는 발광 제어신호에 대응하여 상기 제1 전원과 상기 제2 트랜지스터 사이의 연결을 제어하기 위한 제4 트랜지스터; 중 적어도 하나를 더 포함하는 수리된 화소를 갖는 유기전계발광 표시장치.

청구항 3

제2항에 있어서,

상기 화소들 중 일부 화소의 화소회로에 구비된 상기 제3 및 제4 트랜지스터 중 적어도 하나는, 소스전극과 드레인전극이 단락된 형태로 구비되는 수리된 화소를 갖는 유기전계발광 표시장치.

청구항 4

제1항에 있어서,

상기 소스전극과 드레인전극이 단락된 형태로 구비되는 트랜지스터의 게이트 전극은 입력 신호선으로부터 격리되어 플로팅된 수리된 화소를 갖는 유기전계발광 표시장치.

청구항 5

제2항에 있어서,

상기 화소회로는,

상기 제1 트랜지스터의 일 전극과 정전압원 사이에 접속되며, 상기 제1 트랜지스터로부터 전달되는 상기 데이터신호를 저장하기 위한 제2 커패시터와;

상기 제1 트랜지스터 및 상기 제2 커패시터의 접속노드와 상기 제2 트랜지스터의 제1 전극에 접속되며, 자신의

게이트 전극에 접속된 제1 제어선으로부터 공급되는 제1 제어신호에 대응하여 상기 제2 커패시터에 저장된 전압을 상기 제2 트랜지스터의 제1 전극에 공급하기 위한 제5 트랜지스터;를 더 포함하는 수리된 화소를 갖는 유기전계발광 표시장치.

청구항 6

제5항에 있어서,

상기 화소들 중 일부 화소의 화소회로에 구비된 상기 제5 트랜지스터는, 상기 제1 제어선으로부터 격리되며 소스전극과 드레인전극이 단락된 형태로 구비되는 수리된 화소를 갖는 유기전계발광 표시장치.

청구항 7

제5항에 있어서,

상기 화소들 중 일부 화소의 화소회로에 구비된 상기 제2 커패시터는 상기 화소회로 내 다른 회로소자와 격리된 수리된 화소를 갖는 유기전계발광 표시장치.

청구항 8

제5항에 있어서,

상기 화소회로는,

상기 제1 전원과 상기 제2 트랜지스터 사이에 접속되며, 제2 제어선으로부터 공급되는 제2 제어신호에 대응하여 상기 제1 전원과 상기 제2 트랜지스터 사이의 연결을 제어하는 제6 트랜지스터와;

상기 제1 커패시터의 일단 및 상기 제2 트랜지스터의 게이트 전극이 접속되는 제1 노드와 초기화전원 사이에 접속되며, 상기 제2 제어신호에 대응하여 상기 초기화전원의 전압을 상기 제1 노드로 전달하는 제7 트랜지스터와;

상기 제2 및 제3 트랜지스터의 접속노드와 상기 제1 노드 사이에 접속되며, 상기 제1 제어신호에 대응하여 상기 제2 트랜지스터를 다이오드 형태로 연결하는 제8 트랜지스터와;

상기 유기 발광 다이오드의 애노드 전극과 상기 제2 제어선 또는 초기화전원 사이에 연결되며, 상기 제2 제어신호에 대응하여 상기 유기 발광 다이오드에 저장된 전압을 방전시키는 제9 트랜지스터;를 더 포함하는 수리된 화소를 갖는 유기전계발광 표시장치.

청구항 9

제8항에 있어서,

상기 화소들 중 일부 화소의 화소회로에 구비된 상기 제6 내지 제9 트랜지스터 중 하나 이상의 트랜지스터는, 상기 화소회로 내 다른 회로소자 또는 입력 신호선으로부터 격리된 상태로 구비되는 수리된 화소를 갖는 유기전계발광 표시장치.

청구항 10

제8항에 있어서,

상기 제1 및 제2 제어선으로 각각 상기 제1 및 제2 제어신호를 공급하기 위한 제어 구동부를 더 포함하며,

상기 제어 구동부는, 상기 발광 제어선으로 공급되는 상기 발광 제어신호에 의해 상기 제1 전원으로부터 상기 제2 트랜지스터 및 상기 유기 발광 다이오드를 경유하여 흐르는 구동전류의 전류패스가 차단되는 비발광기간 중 제1 기간 동안 상기 제6, 제7 및 제9 트랜지스터가 턴-온되도록 하는 상기 제2 제어신호를 상기 제2 제어선으로 공급하고, 상기 비발광기간 중 상기 제1 기간에 후속되는 제2 기간 동안 상기 제5 및 제8 트랜지스터가 턴-온되도록 하는 상기 제1 제어신호를 상기 제1 제어선으로 공급하는 수리된 화소를 갖는 유기전계발광 표시장치.

청구항 11

제1항에 있어서,

상기 주사 구동부 및 상기 데이터 구동부로 제어신호를 공급함과 아울러, 외부로부터 공급되는 데이터를 상기

데이터 구동부로 공급하는 타이밍 제어부를 더 포함하며,

상기 타이밍 제어부는 상기 수리된 화소에 대응하는 데이터에 보상값을 적용하여 변경하고, 변경된 데이터를 상기 데이터 구동부로 출력하는 수리된 화소를 갖는 유기전계발광 표시장치.

청구항 12

유기 발광 다이오드와, 상기 유기 발광 다이오드에 연결되며 세 개 이상의 트랜지스터와 하나 이상의 커패시터를 포함하여 구성되는 화소회로를 구비한 다수의 화소들 중 결함이 발생된 화소를 수리하는 유기전계발광 표시장치의 화소수리방법에 있어서,

상기 결함이 발생된 화소에 포함된 적어도 하나의 트랜지스터를 상기 화소회로 내 다른 회로소자로부터 격리하거나 상기 트랜지스터의 소스전극과 드레인전극을 단락시키는 단계를 포함하는 유기전계발광 표시장치의 화소수리방법.

청구항 13

제12항에 있어서,

상기 화소들 각각에 포함된 화소회로는 네 개 이상의 트랜지스터와 하나 이상의 커패시터를 포함하여 구성되며,

상기 결함이 발생된 화소에 포함된 하나 이상의 트랜지스터를 상기 화소회로 내 다른 회로소자로부터 격리하거나, 상기 트랜지스터의 소스전극과 드레인전극을 단락시키는 단계를 포함하는 제1 수리단계와;

상기 결함이 발생된 화소의 동작여부를 검사하는 단계와;

상기 결함이 발생된 화소의 검사결과에 대응하여, 상기 화소 내 하나 이상의 다른 트랜지스터를 상기 화소회로 내 다른 회로소자로부터 격리하거나 상기 다른 트랜지스터의 소스전극과 드레인전극을 단락시키는 단계를 포함하는 제2 수리단계;를 포함하는 유기전계발광 표시장치의 화소수리방법.

청구항 14

제12항에 있어서,

상기 소스전극과 드레인전극이 단락되는 트랜지스터의 게이트 전극을 입력 신호선으로부터 격리하는 단계를 더 포함하는 유기전계발광 표시장치의 화소수리방법.

청구항 15

제12항에 있어서,

상기 화소들 각각에 포함된 화소회로는 네 개 이상의 트랜지스터와 두 개 이상의 커패시터를 포함하여 구성되며, 상기 결함이 발생된 화소에 포함된 적어도 하나의 커패시터를 상기 화소회로 내 다른 회로소자와 격리하는 단계를 더 포함하는 유기전계발광 표시장치의 화소수리방법.

명세서

기술분야

[0001] 본 발명은 유기전계발광 표시장치 및 그의 화소수리방법에 관한 것으로, 특히, 결함이 발생된 화소를 수리하여 정상 구동될 수 있도록 한 수리된 화소를 갖는 유기전계발광 표시장치 및 그의 화소수리방법에 관한 것이다.

배경기술

[0002] 최근, 음극선관(Cathode Ray Tube)의 단점인 무게와 부피를 줄일 수 있는 각종 평판 표시장치들이 개발되고 있다. 평판 표시장치로는 액정 표시장치(Liquid Crystal Display), 전계방출 표시장치(Field Emission Display), 플라즈마 표시패널(Plasma Display Panel) 및 유기전계발광 표시장치(Organic Light Emitting Display) 등이 있다.

[0003] 평판 표시장치 중 유기전계발광 표시장치는 전자와 정공의 재결합에 의하여 빛을 발생하는 유기 발광 다이오드

를 이용하여 영상을 표시하는 것으로, 빠른 응답속도를 가짐과 동시에 낮은 소비전력으로 구동되는 장점이 있다.

[0004] 일반적으로, 유기전계발광 표시장치는 유기 발광 다이오드를 구동하는 방식에 따라 패시브 매트릭스형(PMOLED)과 액티브 매트릭스형(AMOLED)으로 분류된다.

[0005] 이 중 액티브 매트릭스형 유기전계발광 표시장치는 다수의 주사선들 및 데이터선들과, 상기 주사선들 및 데이터선들에 연결되어 매트릭스 형태로 배열되는 다수의 화소들을 구비한다.

[0006] 각각의 화소는 유기 발광 다이오드와, 상기 유기 발광 다이오드로 데이터신호에 대응하는 구동전류를 공급하기 위한 화소회로를 포함한다.

[0007] 통상적으로, 화소회로는 유기 발광 다이오드로 공급되는 구동전류를 제어하기 위한 구동 트랜지스터와, 상기 구동 트랜지스터로 데이터신호를 전달하기 위한 스위칭 트랜지스터와, 데이터신호의 전압을 유지하기 위한 스토리지 커패시터를 포함하여 구성된다. 또한, 화소회로는 구동 트랜지스터의 문턱전압을 보상하기 위한 트랜지스터 및 상기 화소회로로 초기화전압을 전달하기 위한 트랜지스터를 포함하여 보다 많은 전자소자들을 포함할 수 있다.

[0008] 이와 같은 액티브 매트릭스형 유기전계발광 표시장치는 소비전력이 적은 이점이 있어 그 이용범위가 확장되고 있다.

[0009] 하지만, 액티브 매트릭스형 유기전계발광 표시장치의 경우, 다수의 트랜지스터들 및 커패시터를 포함한 화소회로에 결함이 발생할 수 있어 수율이 저하되는 문제점이 있다.

발명의 내용

해결하려는 과제

[0010] 따라서, 본 발명의 목적은 결함이 발생된 화소를 수리하여 정상 구동될 수 있도록 한 수리된 화소를 갖는 유기전계발광 표시장치 및 그의 화소 수리방법을 제공하는 것이다.

과제의 해결 수단

[0011] 이와 같은 목적을 달성하기 위하여 본 발명의 일 측면은, 주사선들 및 데이터선들의 교차부에 위치되며, 유기 발광 다이오드와 이를 구동하기 위한 화소회로를 구비한 다수의 화소들과; 상기 주사선들로 주사신호를 공급하고, 상기 화소들에 접속된 발광 제어선으로 발광 제어신호를 공급하기 위한 주사 구동부와; 상기 데이터선들로 데이터신호를 공급하기 위한 데이터 구동부;를 포함하며, 상기 화소들 각각에 포함된 화소회로는 세 개 이상의 트랜지스터와 하나 이상의 커패시터를 포함하여 구성되며, 상기 화소들 중 일부 화소의 화소회로에 구비된 하나 이상의 트랜지스터는, 상기 화소회로 내 다른 회로소자로부터 격리된 상태로 구비되거나, 소스전극과 드레인전극이 단락된 형태로 구비되는 수리된 화소를 갖는 유기전계발광 표시장치를 제공한다.

[0012] 여기서, 상기 화소회로는, 해당 주사선 및 데이터선에 접속되며, 상기 주사선으로부터 주사신호가 공급될 때 상기 데이터선으로부터 공급되는 데이터신호를 화소 내부로 전달하기 위한 제1 트랜지스터와; 상기 데이터신호에 대응하는 전압을 저장하기 위한 제1 커패시터와; 제1 전원과 상기 유기 발광 다이오드 사이에 접속되며, 상기 제1 커패시터에 저장된 전압에 대응하는 구동전류를 상기 유기 발광 다이오드로 공급하기 위한 제2 트랜지스터;를 포함하며, 상기 제2 트랜지스터와 상기 유기 발광 다이오드 사이에 접속되며, 상기 발광 제어선으로부터 공급되는 발광 제어신호에 대응하여 상기 제2 트랜지스터와 상기 유기 발광 다이오드 사이의 연결을 제어하기 위한 제3 트랜지스터와; 상기 제1 전원과 상기 제2 트랜지스터 사이에 접속되며 상기 발광 제어선으로부터 공급되는 발광 제어신호에 대응하여 상기 제1 전원과 상기 제2 트랜지스터 사이의 연결을 제어하기 위한 제4 트랜지스터; 중 적어도 하나를 더 포함할 수 있다.

[0013] 또한, 상기 화소들 중 일부 화소의 화소회로에 구비된 상기 제3 및 제4 트랜지스터 중 적어도 하나는, 소스전극과 드레인전극이 단락된 형태로 구비될 수 있다.

[0014] 또한, 상기 소스전극과 드레인전극이 단락된 형태로 구비되는 트랜지스터의 게이트 전극은 입력 신호선으로부터

격리되어 플로우팅될 수 있다.

- [0015] 또한, 상기 화소회로는, 상기 제1 트랜지스터의 일 전극과 정전압원 사이에 접속되며, 상기 제1 트랜지스터로부터 전달되는 상기 데이터신호를 저장하기 위한 제2 커패시터와; 상기 제1 트랜지스터 및 상기 제2 커패시터의 접속노드와 상기 제2 트랜지스터의 제1 전극에 접속되며, 자신의 게이트 전극에 접속된 제1 제어선으로부터 공급되는 제1 제어신호에 대응하여 상기 제2 커패시터에 저장된 전압을 상기 제2 트랜지스터의 제1 전극에 공급하기 위한 제5 트랜지스터;를 더 포함할 수 있다.
- [0016] 또한, 상기 화소들 중 일부 화소의 화소회로에 구비된 상기 제5 트랜지스터는, 상기 제1 제어선으로부터 격리되며 소스전극과 드레인전극이 단락된 형태로 구비될 수 있다.
- [0017] 또한, 상기 화소들 중 일부 화소의 화소회로에 구비된 상기 제2 커패시터는 상기 화소회로 내 다른 회로소자와 격리될 수 있다.
- [0018] 또한, 상기 화소회로는, 상기 제1 전원과 상기 제2 트랜지스터 사이에 접속되며, 제2 제어선으로부터 공급되는 제2 제어신호에 대응하여 상기 제1 전원과 상기 제2 트랜지스터 사이의 연결을 제어하는 제6 트랜지스터와; 상기 제1 커패시터의 일단 및 상기 제2 트랜지스터의 게이트 전극이 접속되는 제1 노드와 초기화전원 사이에 접속되며, 상기 제2 제어신호에 대응하여 상기 초기화전원의 전압을 상기 제1 노드로 전달하는 제7 트랜지스터와; 상기 제2 및 제3 트랜지스터의 접속노드와 상기 제1 노드 사이에 접속되며, 상기 제1 제어신호에 대응하여 상기 제2 트랜지스터를 다이오드 형태로 연결하는 제8 트랜지스터와; 상기 유기 발광 다이오드의 애노드 전극과 상기 제2 제어선 또는 초기화전원 사이에 연결되며, 상기 제2 제어신호에 대응하여 상기 유기 발광 다이오드에 저장된 전압을 방전시키는 제9 트랜지스터;를 더 포함할 수 있다.
- [0019] 또한, 상기 화소들 중 일부 화소의 화소회로에 구비된 상기 제6 내지 제9 트랜지스터 중 하나 이상의 트랜지스터는, 상기 화소회로 내 다른 회로소자 또는 입력 신호선으로부터 격리된 상태로 구비될 수 있다.
- [0020] 또한, 상기 유기전계발광 표시장치는 상기 제1 및 제2 제어선으로 각각 상기 제1 및 제2 제어신호를 공급하기 위한 제어 구동부를 더 포함하며, 상기 제어 구동부는, 상기 발광 제어선으로 공급되는 상기 발광 제어신호에 의해 상기 제1 전원으로부터 상기 제2 트랜지스터 및 상기 유기 발광 다이오드를 경유하여 흐르는 구동전류의 전류패스가 차단되는 비발광기간 중 제1 기간 동안 상기 제6, 제7 및 제9 트랜지스터가 턴-온되도록 하는 상기 제2 제어신호를 상기 제2 제어선으로 공급하고, 상기 비발광기간 중 상기 제1 기간에 후속되는 제2 기간 동안 상기 제5 및 제8 트랜지스터가 턴-온되도록 하는 상기 제1 제어신호를 상기 제1 제어선으로 공급할 수 있다.
- [0021] 또한, 상기 유기전계발광 표시장치는 상기 주사 구동부 및 상기 데이터 구동부로 제어신호를 공급함과 아울러, 외부로부터 공급되는 데이터를 상기 데이터 구동부로 공급하는 타이밍 제어부를 더 포함하며, 상기 타이밍 제어부는 상기 수리된 화소에 대응하는 데이터에 보상값을 적용하여 변경하고, 변경된 데이터를 상기 데이터 구동부로 출력할 수 있다.
- [0022] 본 발명의 다른 측면은, 유기 발광 다이오드와, 상기 유기 발광 다이오드에 연결되며 세 개 이상의 트랜지스터와 하나 이상의 커패시터를 포함하여 구성되는 화소회로를 구비한 다수의 화소들 중 결함이 발생된 화소를 수리하는 유기전계발광 표시장치의 화소수리방법에 있어서, 상기 결함이 발생된 화소에 포함된 적어도 하나의 트랜지스터를 상기 화소회로 내 다른 회로소자로부터 격리하거나 상기 트랜지스터의 소스전극과 드레인전극을 단락시키는 단계를 포함하는 유기전계발광 표시장치의 화소 수리방법을 제공한다.
- [0023] 여기서, 상기 화소들 각각에 포함된 화소회로는 네 개 이상의 트랜지스터와 하나 이상의 커패시터를 포함하여 구성되며, 상기 유기전계발광 표시장치의 화소 수리방법은, 상기 결함이 발생된 화소에 포함된 하나 이상의 트랜지스터를 상기 화소회로 내 다른 회로소자로부터 격리하거나, 상기 트랜지스터의 소스전극과 드레인전극을 단락시키는 단계를 포함하는 제1 수리단계와; 상기 결함이 발생된 화소의 동작여부를 검사하는 단계와; 상기 결함이 발생된 화소의 검사결과에 대응하여, 상기 화소 내 하나 이상의 다른 트랜지스터를 상기 화소회로 내 다른 회로소자로부터 격리하거나 상기 다른 트랜지스터의 소스전극과 드레인전극을 단락시키는 단계를 포함하는 제2 수리단계;를 포함할 수 있다.
- [0024] 또한, 상기 유기전계발광 표시장치의 화소 수리방법은, 상기 소스전극과 드레인전극이 단락되는 트랜지스터의 게이트 전극을 입력 신호선으로부터 격리하는 단계를 더 포함할 수 있다.
- [0025] 또한, 상기 화소들 각각에 포함된 화소회로는 네 개 이상의 트랜지스터와 두 개 이상의 커패시터를 포함하여 구성되며, 상기 유기전계발광 표시장치의 화소 수리방법은, 상기 결함이 발생된 화소에 포함된 적어도 하나의 커

패시터를 상기 화소회로 내 다른 회로소자와 격리하는 단계를 더 포함할 수 있다.

발명의 효과

- [0026] 이와 같은 본 발명에 의하면, 화소회로에 결함이 발생하는 경우 결함요소를 갖는 일부 회로소자를 커팅공정에 의해 나머지 회로소자들로부터 격리하거나, 상기 회로소자의 소스전극과 드레인전극을 연결하는 등의 연결공정에 의해 상기 결함요소를 갖는 회로소자를 단순히 신호나 전류가 통과할 수 있는 신호라인으로 수리한다.
- [0027] 이에 의해, 상기 화소회로의 결함이 화소의 구동에 미치는 영향을 최소화하고, 상기 화소가 데이터신호에 대응하는 휘도로 발광하도록 함으로써, 유기전계발광 표시장치의 수율을 개선할 수 있다.

도면의 간단한 설명

- [0028] 도 1은 본 발명의 실시예에 의한 유기전계발광 표시장치를 나타내는 도면이다.
- 도 2는 도 1에 도시된 화소의 일례를 나타내는 도면이다.
- 도 3은 도 2에 도시된 화소의 구동방법을 나타내는 도면이다.
- 도 4는 본 발명의 일 실시예에 의해 도 2에 도시된 화소를 수리하는 방법을 나타내는 도면이다.
- 도 5는 본 발명의 다른 실시예에 의해 도 2에 도시된 화소를 수리하는 방법을 나타내는 도면이다.
- 도 6은 본 발명의 또 다른 실시예에 의해 도 2에 도시된 화소를 수리하는 방법을 나타내는 도면이다.
- 도 7은 도 6에 도시된 실시예에 의해 수리된 화소의 등가 회로도이다.

발명을 실시하기 위한 구체적인 내용

- [0029] 이하, 첨부된 도면을 참조하여 본 발명의 실시예를 보다 상세히 설명하기로 한다.
- [0030] 도 1은 본 발명의 실시예에 의한 유기전계발광 표시장치를 나타내는 도면이다.
- [0031] 도 1을 참조하면, 본 발명의 실시예에 의한 유기전계발광 표시장치는, 주사선들(S1 내지 Sn) 및 데이터선들(D1 내지 Dm)의 교차부에 위치되는 다수의 화소들(142)을 포함하는 화소부(140)와, 주사선들(S1 내지 Sn) 및 발광 제어선(E)을 구동하기 위한 주사 구동부(110)와, 제1 제어선(CL1) 및 제2 제어선(CL2)을 구동하기 위한 제어 구동부(120)와, 데이터선들(D1 내지 Dm)을 구동하기 위한 데이터 구동부(130)와, 주사 구동부(110), 제어 구동부(120) 및 데이터 구동부(130)를 제어하기 위한 타이밍 제어부(150)를 포함한다.
- [0032] 한편, 도 1에서는 화소들(142)이 각각 하나의 발광 제어선(E), 제1 제어선(CL1) 및 제2 제어선(CL2)에 공통으로 접속되어 동시 발광하는 방식으로 구동하는 유기전계발광 표시장치를 예로써 개시하였으나, 본 발명이 이에 한정되는 것은 아니다. 즉, 화소들(142)에 접속되는 제어선들(E, CL1, CL2)의 구성 및 이들과 화소들(142) 사이의 접속관계는 다양하게 변경 실시될 수 있다.
- [0033] 또한, 도 1에서는 설명의 편의를 위하여 발광 제어선(E)이 주사 구동부(110)에 접속되고, 제어선들(CL1, CL2)이 제어 구동부(120)에 접속되는 것으로 도시하였지만 본원발명이 이에 한정되지는 않는다. 실제로, 발광 제어선(E) 및 제어선들(CL1, CL2)은 다양한 구동부에 접속될 수 있다. 일례로, 발광 제어선(E) 및 제어선들(CL1, CL2) 각각은 주사 구동부(110)에 공통적으로 접속될 수 있다.
- [0034] 주사 구동부(110)는 주사선들(S1 내지 Sn)로 주사신호를 공급한다. 예를 들어, 주사 구동부(110)는 도 3에 도시된 바와 같이 한 프레임(1F)의 제3 기간(T3) 동안 주사선들(S1 내지 Sn)로 주사신호를 순차적으로 공급할 수 있다. 여기서, 주사 구동부(110)에서 공급되는 주사신호는 화소들(142)에 포함된 트랜지스터들이 턴-온되는 전압(예를 들면, 로우전압)으로 설정된다. 이와 같이 주사선들(S1 내지 Sn)로 순차적으로 주사신호가 공급되면, 화소들(142)이 수평라인 단위로 순차적으로 선택되면서 데이터선들(D1 내지 Dm)로부터의 데이터신호가 상기 선택된 수평라인의 화소들(142)로 입력된다.

- [0035] 또한, 주사 구동부(110)는 화소들(142)에 공통적으로 접속된 발광 제어선(E)으로 발광 제어신호를 공급한다. 예를 들어, 주사 구동부(110)는 도 3에 도시된 바와 같이 한 프레임(1F) 기간 중 제3 기간(T3)을 제외한 나머지 기간(T1, T2) 동안 발광 제어선(E)으로 발광 제어신호를 공급할 수 있다. 여기서, 주사 구동부(110)에서 공급되는 발광 제어신호는 트랜지스터들이 턴-오프되는 전압(예를 들면, 하이전압)으로 설정된다. 이와 같이 발광 제어선(E)으로 발광 제어신호가 공급되면, 화소들(142) 내에서 구동전류의 전류패스가 형성되는 것이 차단되어 화소가 비발광하게 된다. 즉, 도 3에서 하이전압의 발광 제어신호가 공급되는 제1 및 제2 기간(T1, T2)은 비발광 기간으로 설정되고, 상기 발광 제어신호의 공급이 중단되는 제3 기간(T3)은 발광기간으로 설정된다.
- [0036] 제어 구동부(120)는 화소들(142)에 공통적으로 접속되는 제1 제어선(CL1)으로 제1 제어신호를 공급하고, 화소들(142)에 공통적으로 접속되는 제2 제어선(CL2)으로 제2 제어신호를 공급한다. 여기서, 제1 제어신호(CL1) 및 제2 제어신호(CL2)는 제3 기간(T3)을 제외한 기간 동안 서로 중첩되지 않도록 공급된다.
- [0037] 일례로, 제어 구동부(120)는 도 3에 도시된 바와 같이 한 프레임(1F)의 비발광기간 중 제1 기간(T1) 동안 제2 제어선(CL2)으로 제2 제어신호를 공급하고, 상기 비발광기간 중 제1 기간(T1)에 후속되는 제2 기간(T2) 동안 제1 제어선(CL1)으로 제1 제어신호를 공급할 수 있다. 여기서, 제1 제어신호 및 제2 제어신호는 트랜지스터들이 턴-온될 수 있는 전압(예를 들면, 로우전압)으로 설정된다.
- [0038] 데이터 구동부(130)는 도 3에 도시된 제3 기간(T3) 동안 주사선들(S1 내지 Sn)로 공급되는 주사신호와 동기되도록 데이터선들(D1 내지 Dm)로 데이터신호를 공급한다. 한편, 3D 구동되는 유기전계발광 표시장치의 경우, 데이터 구동부(130)는 프레임 기간마다 좌측 데이터신호 및 우측 데이터신호를 교번적으로 공급할 수 있다.
- [0039] 타이밍 제어부(150)는 외부로부터 공급되는 동기신호에 대응하여 주사 구동부(110), 제어 구동부(120) 및 데이터 구동부(130)를 제어한다. 이를 위해, 타이밍 제어부(150)는 주사 구동부(110), 제어 구동부(120) 및 데이터 구동부(130)로 이들의 동작을 제어하기 위한 제어신호를 공급한다. 또한, 타이밍 제어부(150)는 외부로부터 공급되는 데이터를 데이터 구동부(130)로 공급한다.
- [0040] 화소부(140)는 주사선들(S1 내지 Sn) 및 데이터선들(D1 내지 Dm)의 교차부에 위치되는 화소들(142)을 구비한다. 이러한 화소부(140)는 외부의 전원회로(미도시) 등으로부터 공급되는 제1 및 제2 전원(ELVDD, ELVSS)과, 주사 구동부(110) 및 데이터 구동부(130)로부터 공급되는 주사신호 및 데이터신호에 대응하여 구동된다. 또한, 화소부(140)는 화소들(142)의 구조에 따라 주사 구동부(110)로부터의 발광 제어신호와 제어 구동부(120)로부터의 제어신호들을 더 공급받아 구동될 수 있다.
- [0041] 화소들(142) 각각은 유기 발광 다이오드와 이를 구동하기 위한 화소회로를 포함하며, 도 3에 도시된 제3 기간(T3) 동안 데이터신호에 대응하는 휘도의 빛을 생성하면서 계조를 구현한다. 이를 위하여, 화소들(142)은 데이터신호에 대응하여 제1 전원(ELVDD)으로부터 유기 발광 다이오드(미도시)를 경유하여 제2 전원(ELVSS)으로 흐르는 전류량을 제어하는 화소회로를 구비한다.
- [0042] 단, 본 발명에서, 화소들(142) 각각에 포함된 화소회로는 세 개 이상의 트랜지스터와 하나 이상의 커패시터를 포함하여 구성되는 것으로, 다수의 회로소자들로 이루어진 구조를 갖는다. 이 경우, 구동 트랜지스터의 문턱전압을 보상하기 위한 회로소자나 초기화를 통해 데이터신호의 입력을 원활히 하기 위한 회로소자 등 다수의 회로소자들을 포함하여 균일한 화질의 영상을 표시할 수 있는 장점이 있다.
- [0043] 도 2는 도 1에 도시된 화소의 일례를 나타내는 도면이다. 편의상, 도 2에서는 제n 주사선(Sn) 및 제m 데이터선(Dm)에 접속된 화소를 도시하기로 한다.
- [0044] 도 2를 참조하면, 본 발명의 실시예에 의한 화소(142)는, 유기 발광 다이오드(OLED)와, 이를 구동하기 위한 구동전류를 제어하는 화소회로(144)를 구비한다.
- [0045] 유기 발광 다이오드(OLED)의 애노드전극은 화소회로(144)에 접속되고, 캐소드전극은 제2 전원(ELVSS)에 접속된다. 이와 같은 유기 발광 다이오드(OLED)는 화소회로(144)로부터 공급되는 구동전류의 전류량에 대응하는 휘도의 빛을 생성한다. 한편, 유기 발광 다이오드(OLED)에서 구동전류가 흐를 수 있도록 제2 전원(ELVSS)은 제1 전원(ELVDD)보다 낮은 전압을 가지는 전원으로 설정된다.
- [0046] 화소회로(144)는 데이터신호에 대응하여 유기 발광 다이오드(OLED)로 공급되는 구동전류의 전류량을 제어한다. 이를 위하여, 화소회로(144)는 제1 내지 제9 트랜지스터(M1 내지 M9)와 제1 및 제2 커패시터(C1, C2)를 구비한

다.

- [0047] 제1 트랜지스터(M1)의 제1 전극은 데이터선(Dm)에 접속되고, 제2 전극은 제3 노드(N3)에 접속되며, 게이트 전극은 주사선(Sn)에 접속된다. 이와 같은 제1 트랜지스터(M1)는 주사선(Sn)으로부터 주사신호가 공급될 때 턴-온되어 데이터선(Dm)과 제3 노드(N3)를 전기적으로 연결한다. 즉, 주사신호에 의해 제1 트랜지스터(M1)가 턴-온되면 데이터선(Dm)으로부터 공급되는 데이터신호가 화소(142) 내부로 전달된다.
- [0048] 제2 트랜지스터(구동 트랜지스터)(M2)의 제1 전극은 제2 노드(N2)에 접속되고, 제2 전극은 제4 노드(N4)에 접속되며, 게이트 전극은 제1 노드(N1)에 접속된다. 여기서, 제2 노드(N2)는 제4 또는 제6 트랜지스터(M4, M6)를 경유하여 제1 전원(ELVDD)에 접속되고, 제4 노드(N4)는 제3 트랜지스터(M3)를 경유하여 유기 발광 다이오드(OLED)에 접속된다. 즉, 제2 트랜지스터(M2)는 제1 전원(ELVDD)과 유기 발광 다이오드(OLED) 사이에 접속된다.
- [0049] 이러한 제2 트랜지스터(M2)는 제4 및/또는 제6 트랜지스터(M4, M6)를 경유하여 제1 전원(ELVDD)과 제2 노드(N2)가 연결되고 제3 트랜지스터(M3)를 경유하여 제4 노드(N4)와 유기 발광 다이오드(OLED)가 연결되어 구동전류의 전류패스가 형성되는 발광기간 동안, 제1 노드(N1)의 전압에 대응하여 유기 발광 다이오드(OLED)로 공급되는 구동전류를 제어한다. 이때, 제1 노드(N1)의 전압은 제1 커패시터(C1)에 의해 상기 제1 커패시터(C1)에 저장된 전압에 대응하는 값으로 유지된다.
- [0050] 제3 트랜지스터(M3)의 제1 전극은 제4 노드(N4)에 접속되고, 제2 전극은 유기 발광 다이오드(OLED)의 애노드전극에 접속되며, 게이트 전극은 발광 제어선(E)에 접속된다. 이러한 제3 트랜지스터(M3)는 발광 제어선(E)으로 하이전압의 발광 제어신호가 공급될 때 턴-오프되고, 발광 제어신호가 공급되지 않을 때 턴-온된다. 즉, 제3 트랜지스터(M3)는 제2 트랜지스터(M2)와 유기 발광 다이오드(OLED) 사이에 접속되는 것으로, 발광 제어선(E)으로부터 공급되는 발광 제어신호에 대응하여 제2 트랜지스터(M2)와 유기 발광 다이오드(OLED) 사이의 연결을 제어한다.
- [0051] 제4 트랜지스터(M4)의 제1 전극은 제1 전원(ELVDD)에 접속되고, 제2 전극은 제2 노드(N2)에 접속되며, 게이트 전극은 발광 제어선(E)에 접속된다. 이와 같은 제4 트랜지스터(M4)는 발광 제어선(E)으로 하이전압의 발광 제어신호가 공급될 때 턴-오프되고, 발광 제어신호가 공급되지 않을 때 턴-온된다. 즉, 제4 트랜지스터(M4)는 제1 전원(ELVDD)과 제2 트랜지스터(M2) 사이에 접속되는 것으로, 발광 제어선(E)으로부터 공급되는 발광 제어신호에 대응하여 제1 전원(ELVDD)과 제2 트랜지스터(M2) 사이의 연결을 제어한다.
- [0052] 제5 트랜지스터(M5)의 제1 전극은 제1 트랜지스터(M1) 및 제2 커패시터(C2)의 접속노드인 제3 노드(N3)에 접속되고, 제2 전극은 제2 트랜지스터(M2)의 제1 전극이 접속되는 제2 노드(N2)에 접속되며, 게이트 전극은 제1 제어선(CL1)에 접속된다. 이러한 제5 트랜지스터(M5)는 제1 제어선(CL1)으로부터 제1 제어신호가 공급될 때 턴-온되어 제3 노드(N3)와 제2 노드(N2)를 전기적으로 연결한다. 제3 노드(N3)와 제2 노드(N2)가 전기적으로 연결되면, 제2 커패시터(C2)에 저장된 전압이 제2 트랜지스터(M2)의 제1 전극에 공급된다. 한편, 제5 트랜지스터(M5)가 턴-온될 때 제8 트랜지스터(M8)도 턴-온되어 제2 트랜지스터(M2)가 다이오드 형태로 연결되며, 이에 따라 제2 커패시터(C2)에 저장된 전압이 제1 노드(N1)로 전달된다.
- [0053] 제6 트랜지스터(M6)의 제1 전극은 제1 전원(ELVDD)에 접속되고, 제2 전극은 제2 노드(N2)에 접속되며, 게이트 전극은 제2 제어선(CL2)에 접속된다. 즉, 제6 트랜지스터(M6)는 제1 전원(ELVDD)과 제2 트랜지스터(M2) 사이에 접속되는 것으로, 제2 제어선(CL2)으로부터 공급되는 제2 제어신호에 대응하여 제1 전원(ELVDD)과 제2 트랜지스터(M2) 사이의 연결을 제어한다.
- [0054] 제7 트랜지스터(M7)의 제1 전극은 제1 노드(N1)에 접속되고, 제2 전극은 초기화전원(Vint)에 접속되며, 게이트 전극은 제2 제어선(CL2)에 접속된다. 이와 같은 제7 트랜지스터(M7)는 제2 제어선(CL2)으로부터 제2 제어신호가 공급될 때 턴-온되어 초기화전원(Vint)의 전압을 제1 노드(N1)로 전달한다.
- [0055] 제8 트랜지스터(M8)의 제1 전극은 제2 및 제3 트랜지스터(M2, M3)의 접속노드인 제4 노드(N4)에 접속되고, 제2 전극은 제1 노드(N1)에 접속되며, 게이트 전극은 제1 제어선(CL1)에 접속된다. 이와 같은 제8 트랜지스터(M8)는 제1 제어선(CL1)으로 제1 제어신호가 공급될 때 턴-온되어 제2 트랜지스터(M2)를 다이오드 형태로 연결한다.
- [0056] 제9 트랜지스터(M9)의 제1 전극은 유기 발광 다이오드(OLED)의 애노드 전극에 접속되고, 제2 전극은 제2 제어선(CL2)에 접속되며, 게이트 전극은 제2 제어선(CL2)에 접속된다. 즉, 제9 트랜지스터(M9)는 유기 발광 다이오드(OLED)의 애노드 전극과 제2 제어선(CL2) 사이에 다이오드 형태로 연결되며, 상기 제2 제어선(CL2)으로 제2 제어신호가 공급될 때 상기 제2 제어신호의 로우전압에 대응하는 전압을 유기 발광 다이오드(OLED)의 애노드 전극에 전달한다. 그러면, 유기 발광 다이오드(OLED)에 구조적으로 발생하는 기생용량에 저장되어 있던 전압이 방전

된다.

- [0057] 한편, 본 실시예에서는 제2 제어신호의 로우전압으로 유기 발광 다이오드(OLED)에 저장된 전압을 방전시키는 예를 개시하였으나, 본 발명이 이에 한정되는 것은 아니다. 다른 예로서, 초기화전원(Vint)의 전압으로 유기 발광 다이오드(OLED)에 저장된 전압을 방전시킬 수도 있으며, 이 경우 제9 트랜지스터(M9)의 제2 전극은 초기화전원(Vint)에 연결될 수 있다.
- [0058] 제1 커패시터(C1)는 제1 전원(ELVDD)과 제1 노드(N1) 사이에 접속된다. 이와 같은 제1 커패시터(C1)는 제2 커패시터(C2)에 충전된 전압에 대응하여 데이터신호 및 제2 트랜지스터(M2)의 문턱전압에 대응하는 전압을 충전한다.
- [0059] 제2 커패시터(C2)는 제1 트랜지스터(M1)의 제2 전극이 접속되는 제3 노드와(N3)와 정전압원(예를 들면, 초기화전원(Vint)) 사이에 접속된다. 이와 같은 제2 커패시터(C2)는 제1 트랜지스터(M1)가 턴-온될 때 상기 제1 트랜지스터(M1)로부터 전달되는 데이터신호에 대응하는 전압을 저장한다.
- [0060] 이와 같은 본 발명의 실시예에 의한 화소의 구동방법은 도 3을 참조하여 이하에서 상세히 설명하기로 한다.
- [0061] 도 3은 도 2에 도시된 화소의 구동방법을 나타내는 도면이다.
- [0062] 도 3을 참조하면, 본 발명의 실시예에 의한 한 프레임 기간은 제1 기간(T1), 제2 기간(T2) 및 제3 기간(T3)으로 나누어진다. 제1 기간(T1)은 초기화기간으로서 제1 노드(N1) 및 유기 발광 다이오드(OLED)의 애노드전극을 초기화하기 위한 전압을 공급하는 기간이다. 제2 기간(T2)은 보상기간으로서 제1 커패시터(C1)에 데이터신호 및 제2 트랜지스터(M2)의 문턱전압에 대응하는 전압을 충전하는 기간이다. 제3 기간(T3)은 발광 및 데이터 기입기간으로서 제2 커패시터(C2)에 데이터신호에 대응되는 전압이 충전됨과 동시에 유기 발광 다이오드(OLED)가 소정 휘도의 빛을 생성하는 기간이다.
- [0063] 먼저, 제1 기간(T1) 및 제2 기간(T2) 동안에는 하이전압의 발광 제어신호가 공급되고, 제3 기간(T3)에는 발광 제어신호가 공급되지 않는다. 발광 제어신호가 공급되면 제3 및 제4 트랜지스터(M3, M4)가 턴-오프된다. 이에 따라, 제1 기간(T1) 및 제2 기간(T2) 동안 구동전류의 전류패스가 차단되어, 유기 발광 다이오드(OLED)는 비발광 상태로 설정된다.
- [0064] 그리고, 제1 기간(T1) 동안 제2 제어선(CL2)으로 제2 제어신호가 공급된다. 제2 제어선(CL2)으로 제2 제어신호가 공급되면 제6, 제7 및 제9 트랜지스터(M6, 7, 9)가 턴-온된다.
- [0065] 제6 트랜지스터(M6)가 턴-온되면 제2 노드(N2)로 제1 전원(ELVDD)의 전압이 공급된다.
- [0066] 제7 트랜지스터(M7)가 턴-온되면 제1 노드(N1)로 초기화전원(Vint)의 전압이 공급된다. 여기서, 초기화전원(Vint)의 전압은 데이터신호보다 낮은 전압으로 설정되기 때문에 제1 기간(T1) 동안 제2 트랜지스터(M2)는 온 바이어스 상태로 설정된다.
- [0067] 제9 트랜지스터(M9)가 턴-온되면 유기 발광 다이오드(OLED)의 애노드전극으로 제2 제어신호의 로우전압에 대응하는 전압이 공급된다. 이때, 제9 트랜지스터(M9)는 다이오드 형태로 연결되므로, 유기 발광 다이오드(OLED)의 애노드전극에는 제2 제어신호의 로우전압보다 제9 트랜지스터(M9)의 문턱전압 만큼 높은 전압이 인가된다. 그러면, 제2 제어신호의 로우전압에 의해 유기 발광 다이오드(OLED)에 등가적으로 형성된 기생 커패시터에 충전된 전압이 방전되어 유기 발광 다이오드(OLED)의 애노드 전극이 초기화된다. 한편, 제9 트랜지스터(M9)의 제2 전극이 제2 제어선(CL2)에 접속되는 대신 초기화전원(Vint)에 접속되는 경우, 상기 초기화전원(Vint)의 전압에 의해 유기 발광 다이오드(OLED)의 애노드 전극이 초기화된다.
- [0068] 이후, 제1 기간(T1)에 후속되는 제2 기간(T2) 동안 제1 제어선(CL1)으로 제1 제어신호가 공급된다. 제1 제어선(CL1)으로 제1 제어신호가 공급되면, 제5 및 제8 트랜지스터(M5, M8)가 턴-온된다.
- [0069] 제5 트랜지스터(M5)가 턴-온되면, 이전 기간에 제2 커패시터(C2)에 저장된 데이터신호의 전압이 제2 노드(N2)로 공급된다. 이때, 제1 기간(T1) 동안 제1 노드(N1)의 전압이 데이터신호보다 낮은 초기화전원(Vint)의 전압으로 초기화되었기 때문에 제2 트랜지스터(M2)가 턴-온된다.
- [0070] 제8 트랜지스터(M8)가 턴-온되면, 제2 트랜지스터(M2)가 다이오드 형태로 접속된다.
- [0071] 따라서, 이와 같은 제2 기간(T2) 동안 제2 노드(N2)에 인가된 데이터신호에 대응하는 전압이 다이오드 형태로

접속된 제2 트랜지스터(M2)를 경유하여 제1 노드(N1)로 공급된다. 그러면, 제1 커패시터(C1)에는 데이터신호 및 제2 트랜지스터(M2)의 문턱전압에 대응하는 전압이 충전된다.

[0072] 이와 같은 제2 기간(T2) 동안 제2 노드(N2)의 전압은 제1 및 제2 커패시터(C1, C2)의 전하공유(Charge Sharing)에 의해 수학식 1과 같이 나타난다.

수학식 1

$$V(N2) = \frac{C1V_{int} + C2V_{data}}{C1 + C2}$$

[0073]

[0074] 수학식 1에서, C1은 제1 커패시터의 용량, C2는 제2 커패시터의 용량, V_{int}는 초기화전원의 전압, V_{data}는 데이터신호의 전압을 의미한다.

[0075] 한편, 제1 노드(N1)의 전압은 제2 트랜지스터(M2)가 다이오드 연결된 형태로 턴-온되어 있으므로, 제2 노드(N2)의 전압보다 제2 트랜지스터(M2)의 문턱전압만큼 낮은 전압으로 설정되며 이는 수학식 2와 같이 나타난다.

수학식 2

$$V(N1) = \left(\frac{C1V_{int} + C2V_{data}}{C1 + C2} \right) - |V_{th}|$$

[0076]

[0077] 수학식 2에서, V_{th}는 제2 트랜지스터(M2)의 문턱전압을 의미한다.

[0078] 즉, 제2 기간(T2)은 제2 트랜지스터(M2)의 문턱전압 편차로 인한 화질 불균일을 개선하기 위한 기간으로, 발광 기간에 앞서 제1 커패시터(C1)에 데이터신호(V_{data})와 더불어 상기 제2 트랜지스터(M2)의 문턱전압에 대응하는 전압을 충전하는 보상기간으로 설정된다.

[0079] 이후, 발광기간의 시작과 함께 제3 기간(T3) 동안 발광 제어선(E)으로의 발광 제어신호의 공급이 중단된다. 그러면, 제3 및 제4 트랜지스터(M3, M4)가 턴-온된다.

[0080] 제3 트랜지스터(M3)가 턴-온되면 제2 트랜지스터(M2)와 유기 발광 다이오드(OLED)가 전기적으로 연결되고, 제4 트랜지스터(M4)가 턴-온되면 제1 전원(ELVDD)이 제2 트랜지스터(M2)와 전기적으로 연결된다.

[0081] 이에 따라, 제1 전원(ELVDD)으로부터 제4 트랜지스터(M4), 제2 트랜지스터(M2), 제3 트랜지스터(M3) 및 유기 발광 다이오드(OLED)를 경유하여 제2 전원(ELVSS)으로 흐르는 구동전류의 전류패스가 형성된다.

[0082] 이때, 제2 트랜지스터(M2)는 제1 노드(N1)에 인가된 전압에 대응하여 구동전류의 전류량을 제어하게 되고, 유기 발광 다이오드(OLED)는 구동전류에 대응하는 휘도의 빛을 생성한다.

[0083] 이와 같은 제3 기간(T3) 동안 유기 발광 다이오드(OLED)에 흐르는 구동전류의 양은 하기의 수학식 3과 같이 나타난다.

수학식 3

$$I_{oled} = \frac{1}{2} \mu C_{ox} \frac{W}{L} (ELVDD - V(N1) - |V_{th}|)^2$$

[0084]

$$I_{oled} = \frac{1}{2} \mu C_{ox} \frac{W}{L} (ELVDD - ((\frac{C1V_{int} + C2V_{data}}{C1 + C2}) - |V_{th}|) - |V_{th}|)^2$$

$$I_{oled} = \frac{1}{2} \mu C_{ox} \frac{W}{L} (ELVDD - \frac{C1V_{int} + C2V_{data}}{C1 + C2})^2$$

수학식 3에서, μ 는 제2 트랜지스터(M2)의 이동도, C_{ox} 는 제2 트랜지스터(M2)의 게이트 커패시턴스, W/L 은 제2 트랜지스터(M2)의 채널 width/length비를 나타낸다.

이와 같은 수학식 3을 참조하면, 구동전류는 제2 트랜지스터(M2)의 문턱전압과 무관하게 생성되므로, 제2 트랜지스터(M2)의 문턱전압 편차를 보상할 수 있다.

또한, 이와 같은 제3 기간(T3) 동안 주사선들(S1 내지 Sn)로 주사신호가 순차적으로 공급되고, 상기 주사신호에 동기되도록 데이터선들(D1 내지 Dm)로 데이터신호(Vdata)가 공급된다.

이에 따라, 수평라인 단위로 화소들(142)이 순차적으로 선택되면서 선택된 화소들(142)의 제1 트랜지스터(M1)를 통해 각각의 데이터선들(D1 내지 Dm)로부터 공급되는 데이터신호(Vdata)가 해당 열의 화소(142)로 공급된다.

그러면, 다음 발광기간에 적용될 데이터신호(Vdata)가 제2 커패시터(C2)에 충전된다. 실제로 본 실시예에 개시된 화소(142)는 상술한 과정을 반복하면서 소정의 영상을 구현한다.

한편, 도 2 내지 도 3을 참조하여 설명한 본 실시예의 화소는 주사신호에 대응하여 화소(142)로 데이터신호(Vdata)를 전달하기 위한 제1 트랜지스터(M1)와, 데이터신호(Vdata)에 대응하는 구동전류를 유기 발광 다이오드(OLED)로 공급하기 위한 제2 트랜지스터(M2)와, 상기 구동전류가 공급되는 동안 제2 트랜지스터(M2)의 게이트 전극에 인가되는 전압을 데이터신호(Vdata)에 대응하는 전압으로 유지하기 위한 제1 커패시터(C1)를 포함하는 물론, 발광기간을 제어함과 아울러 초기화, 제2 트랜지스터(M2)의 문턱전압보상 및 발광기간 동안의 데이터신호의 기입을 위한 제3 내지 제9 트랜지스터(M3 내지 M9)와 제2 커패시터(C2)를 더 포함하는 다소 복잡한 구조를 갖는다. 하지만, 이는 단지 본 발명을 설명하기 위해 적용된 하나의 실시예일 뿐, 본 발명에 적용될 수 있는 화소의 구조가 반드시 이에 한정되는 것은 아니다.

다만, 본 발명은 제1 내지 제2 트랜지스터(M2) 및 제1 커패시터(C1)와 같은 AMOLED 화소의 기본적인 구성요소 외에도 추가적인 기능을 위한 다른 회로소자들을 더 포함하는 화소 구조에 모두 적용될 수 있다. 일례로, 본 발명에 적용될 수 있는 화소는 제1 내지 제2 트랜지스터(M1, M2) 및 제1 커패시터(C1)와 더불어 제3 및/또는 제4 트랜지스터(M3, M4)를 더 포함하는 화소일 수 있다.

즉, 본 발명의 기술사상은 세 개 이상의 트랜지스터(M)와 하나 이상의 커패시터(C)를 포함하여 구성된 화소를 갖는 유기전계발광 표시장치에 모두 적용가능한 것으로, 이러한 본 발명은 추가적인 회로소자들로 인해 불량률이 높아지는 것을 개선하고자 함을 그 목적으로 한다.

이와 같은 추가적인 회로소자들이 구비되면, 구동 트랜지스터(즉, 제2 트랜지스터(M2))의 문턱전압을 보상하거나 초기화를 통해 데이터신호(Vdata)의 입력을 원활히 하는 등 화질을 향상시킬 수 있는 장점이 있다.

하지만, 화소회로 내에 다수의 회로소자들이 구비되는 경우, 화소회로 내부에 결함이 발생될 요소가 많아져 명점불량이나 암점불량 등의 화소결함이 발생할 우려가 있다. 특히 명점불량이나 암점불량과 같은 화소결함은 사용자에게 쉽게 인식될 수 있는 결함으로, 수율저하로 이어진다.

따라서, 본 발명에서는 화소회로에 결함이 발생하는 경우 결함요소를 갖는 일부 회로소자를 나머지 회로소자들로부터 격리하거나 이를 단순히 신호 및/또는 전류가 통과할 수 있는 신호라인으로 수리한다. 이에 의해, 상기 화소회로의 결함이 화소의 구동에 미치는 영향을 최소화하고 수율을 개선할 수 있다. 이하에서는 도 4 내지 도 7을 참조하여 이와 관련한 다양한 실시예들을 개시하기로 한다.

- [0098] 도 4는 본 발명의 일 실시예에 의해 도 2에 도시된 화소를 수리하는 방법을 나타내는 도면이다. 편의상, 도 4에서 도 2와 동일 또는 유사한 부분에 대해서는 동일 부호를 부여하고, 이에 대한 상세한 설명은 생략하기로 한다.
- [0099] 한편, 도 4에서는 제품의 제조과정 중에 진행되는 불량테스트에 의해 결함이 발생한 화소가 발견된 경우를 가정하여 상기 결함화소(142')의 수리구조 및 그 수리방법을 설명하기로 한다.
- [0100] 도 4를 참조하면, 화소회로(144')에 결함이 발생한 경우, 결함요소를 갖는 일부 회로소자를 나머지 회로소자들로부터 격리하거나, 이를 단순히 신호 및/또는 전류가 통과할 수 있는 신호라인으로 수리함에 의해, 화소회로(144')의 결함이 화소(142')의 구동에 미치는 영향을 최소화한다.
- [0101] 단, 결함화소(142')를 수리함에 있어, AMOLED의 화소의 동작에 필수적인 제1 및 제2 트랜지스터(M1, M2)와 제1 커패시터(C1)를 제외한 나머지 회로소자들 중 적어도 일부를 비활성화하는 것이 바람직하다.
- [0102] 이는 상기 제1 및 제2 트랜지스터(M1, M2)와 제1 커패시터(C1)를 제외한 나머지 회로소자들에 결함이 발생한 경우에 결함화소(142')를 정상적으로 수리할 수 있을 것이다. 하지만, 제1 내지 제9 트랜지스터(M1 내지 M9) 중 제1 및 제2 트랜지스터(M1, M2)에 결함이 발생할 확률은 비교적 낮으며, 또한 제2 커패시터(C2)의 용량이 제1 커패시터(C1)에 용량에 비해 높게 설계되는 경우 상기 제1 커패시터(C1)에 결함이 발생할 확률이 비교적 낮음을 고려할 때, 이와 같은 수리과정을 통해 화소(142')가 정상적으로 동작할 확률이 높음을 예측할 수 있다.
- [0103] 여기서, 화소(142')가 정상적으로 동작한다 함은, 적어도 화소(142')가 데이터신호(Vdata)에 대응하는 휘도로 발광함을 의미한다. 즉, 일부 회로소자가 기능을 상실함에 의해 제2 트랜지스터(M2)의 문턱전압 편차 등이 보상되지 않는다 하더라도 이는 명점불량이나 암점불량과 비교할 때 사용자가 인식할 수 없는 정도이거나 그 정도가 매우 미미할 것이며, 특히 결함화소(142')가 화소부(140) 전체에서 차지하는 비중이 매우 적을 것임을 고려할 때 이와 같은 수리과정으로 인해 수율이 개선되는 효과를 기대할 수 있을 것이다.
- [0104] 또한, 수리된 화소(142')와 나머지 화소와의 편차가 심한 경우에는 도 1에 도시된 타이밍 제어부(150) 등의 내부에 수리된 화소(142')의 위치 및 보상값 등을 저장하였다가, 상기 편차가 보상되도록 데이터를 변경할 수도 있을 것이다. 이 경우, 타이밍 제어부(150)는 수리된 화소(142')에 대응하는 데이터에 보상값을 적용하여 변경하고, 변경된 데이터를 데이터 구동부(130)로 출력할 수 있다.
- [0105] 한편, 화소(142') 내에서 결함이 발생한 부분을 정확히 측정하기 어려운 여건을 고려할 때, 제1 및 제2 트랜지스터(M1, M2)와 제1 커패시터(C1)를 제외한 나머지 회로소자들, 즉 제3 내지 제9 트랜지스터(M3 내지 M9)와 제2 커패시터(C2) 모두를 비활성화하는 경우 결함화소(142')를 한 번에 수리할 수 있는 성공률은 높아질 것이나, 나머지 회로소자들의 기능을 고려하여 우선 일부만을 비활성화할 수도 있을 것이다.
- [0106] 예를 들어, 도 4에 도시된 바와 같이 제6 내지 제9 트랜지스터(M6 내지 M9) 중 하나 이상의 트랜지스터를 비활성화한 후 상기 화소(142')의 정상동작 여부를 체크하고, 화소(142')가 정상 동작할 시 이에 대한 수리를 완료할 수 있을 것이다.
- [0107] 제6 트랜지스터(M6)를 비활성화하고자 하는 경우, 제6 트랜지스터(M6)의 게이트 전극을 입력 신호선, 즉 제2 제어선(CL2)으로부터 격리할 수 있다. 이는 제6 트랜지스터(M6)의 게이트 전극과 제2 제어선(CL2) 사이를 커팅하는(단선하는) 커팅공정(단선공정)에 의해 수행될 수 있다.
- [0108] 제7 트랜지스터(M7)를 비활성화하고자 하는 경우, 커팅공정을 통해 제1 노드(N1)와 제7 트랜지스터(M7) 사이의 연결을 끊어줌으로써 상기 제7 트랜지스터(M7)를 화소회로(144') 내에 정상적으로 연결되는 다른 회로소자들, 예컨대 제1 내지 제5 트랜지스터(M1 내지 M5) 및 제1 내지 제2 커패시터(C1, C2)와 전기적으로 격리할 수 있다.
- [0109] 제8 트랜지스터(M8)를 비활성화하고자 하는 경우, 이 역시 커팅공정을 통해 제8 트랜지스터(M8)의 양단을 끊어 상기 제8 트랜지스터(M8)를 화소회로(144') 내에 정상적으로 연결되는 다른 회로소자들, 예컨대 제1 내지 제5 트랜지스터(M1 내지 M5) 및 제1 내지 제2 커패시터(C1, C2)와 전기적으로 격리할 수 있다.
- [0110] 다만, 이 경우 데이터신호(Vdata)에 대응하는 전압이 제1 커패시터(C)에 저장되는 경로가 차단되므로 연결공정(쇼팅공정)을 통해 제5 트랜지스터(M5)의 제2 전극을 제1 노드(N1)에 직접 연결하는 연결라인을 형성하는 한편, 제1 노드(N1)와 제1 전원(ELVDD)이 연결되는 것을 차단하기 위하여 제5 트랜지스터(M5)의 제2 전극과 제2 노드(N2) 사이를 단선할 수 있다.
- [0111] 제9 트랜지스터(M9)를 비활성화하고자 하는 경우, 커팅공정을 통해 제9 트랜지스터(M9)와 유기 발광 다이오드

(OLED) 사이의 연결을 차단함에 의해 상기 제9 트랜지스터(M9)를 나머지 회로소자들로부터 격리할 수 있다.

- [0112] 즉, 본 실시예에서는 화소부(140)에 속한 다수의 화소들(142) 중 일부 화소(142')에 결함이 발생하는 경우, 상기 화소(142')의 화소회로(144')에 구비된 제6 내지 제9 트랜지스터(M6 내지 M9) 중 하나 이상의 트랜지스터를, 화소회로(144') 내 다른 회로소자 또는 입력 신호선으로부터 격리함에 의해 이를 수리할 수 있다.
- [0113] 한편, 제6 내지 제9 트랜지스터(M6 내지 M9) 중 하나 이상의 트랜지스터를 비활성화한 후 상기 화소(142')의 정상동작 여부를 체크하고, 화소(142')가 정상 동작할 시 이에 대한 수리를 완료할 수 있을 것이다.
- [0114] 도 5는 본 발명의 다른 실시예에 의해 도 2에 도시된 화소를 수리하는 방법을 나타내는 도면이다. 편의상, 도 5에서 도 4와 동일 또는 유사한 부분에 대해서는 동일 부호를 부여하고, 이에 대한 상세한 설명은 생략하기로 한다.
- [0115] 도 5를 참조하면, 제5 트랜지스터(M5) 및 제2 커패시터(C2)에 대해서도 비활성화하는 수리단계를 거칠 수 있다.
- [0116] 제5 트랜지스터(M5)를 비활성화하고자 하는 경우, 연결공정을 통해 제5 트랜지스터(M5)의 제1 전극과 제2 전극, 즉 소스전극과 드레인전극을 단락시킵고 아울러, 커팅공정을 통해 제5 트랜지스터(M5)의 게이트 전극과 제1 제어선(CL1) 사이의 연결을 차단함에 의하여, 제5 트랜지스터(M5)를 단순히 데이터신호(Vdata)가 통과할 수 있는 신호라인으로 수리할 수 있다. 즉, 소스전극과 드레인전극이 단락된 형태로 구비되는 트랜지스터(예컨대, 제5 트랜지스터(M5))의 게이트 전극은 입력 신호선(예컨대, 제1 제어선(CL1))으로부터 격리되어 플로우팅될 수 있다.
- [0117] 이는 제5 트랜지스터(M5)를 단순히 나머지 회로소자들과 격리하는 경우, 제1 노드(N1)에 데이터신호(Vdata)를 원활히 공급할 수 없음을 감안한 수리방법이다. 다만, 본 발명이 이에 한정되는 것은 아니며, 예컨대 제5 트랜지스터(M5)를 격리하는 한편, 또 다른 연결라인을 형성함에 의하여 제1 노드(N1)에 데이터신호(Vdata)가 공급될 수 있도록 변경 실시할 수도 있을 것이다.
- [0118] 제2 커패시터(C2)를 비활성화하고자 하는 경우, 커팅공정을 통해 제2 커패시터(C2)와 제3 노드(N3) 사이의 연결을 차단함에 의해 상기 제2 커패시터(C2)를 화소회로(144') 내 다른 회로소자들과 격리할 수 있다.
- [0119] 따라서, 도 5에 도시된 실시예에 의해 수리된 화소(142')는 화소회로(144')에 구비된 제5 내지 제9 트랜지스터(M5 내지 M9)와 제2 커패시터(C2)가, 화소회로(144') 내 다른 회로소자, 특히 정상 동작하는 제1 내지 제4 트랜지스터(M1 내지 M4)와 제1 커패시터(C1)로부터 격리된 상태로 구비되거나, 소스전극과 드레인전극이 단락된 형태로 구비된다.
- [0120] 한편, 제5 내지 제9 트랜지스터(M5 내지 M9)와 제2 커패시터(C2)를 비활성화한 후 화소(142')의 정상동작 여부를 체크하고, 상기 화소(142')가 정상 동작할 시 이에 대한 수리를 완료할 수 있을 것이다.
- [0121] 도 6은 본 발명의 또 다른 실시예에 의해 도 2에 도시된 화소를 수리하는 방법을 나타내는 도면이다. 편의상, 도 6에서 도 5와 동일 또는 유사한 부분에 대해서는 동일 부호를 부여하고, 이에 대한 상세한 설명은 생략하기로 한다. 그리고, 도 7은 도 6에 도시된 실시예에 의해 수리된 화소의 등가 회로도이다.
- [0122] 우선, 도 6을 참조하면, 제3 및 제4 트랜지스터(M3, M4)에 대해서도 비활성화하는 수리단계를 거칠 수 있다.
- [0123] 제3 트랜지스터(M3)를 비활성화하고자 하는 경우, 연결공정을 통해 제3 트랜지스터(M3)의 제1 전극과 제2 전극, 즉 소스전극과 드레인전극을 단락시킵고 아울러, 커팅공정을 통해 제3 트랜지스터(M3)의 게이트 전극과 발광 제어선(E) 사이의 연결을 차단함에 의하여, 제3 트랜지스터(M3)를 단순히 구동전류가 통과할 수 있는 신호라인으로 수리할 수 있다.
- [0124] 제4 트랜지스터(M4)를 비활성화하고자 하는 경우, 연결공정을 통해 제4 트랜지스터(M4)의 제1 전극과 제2 전극, 즉 소스전극과 드레인전극을 단락시킵고 아울러, 커팅공정을 통해 제4 트랜지스터(M4)의 게이트 전극과 발광 제어선(E) 사이의 연결을 차단함에 의하여, 제4 트랜지스터(M4)를 단순히 구동전류가 통과할 수 있는 신호라인으로 수리할 수 있다.
- [0125] 이와 같은 본 실시예에 의해 수리된 화소(142')는 AMOLED의 화소 구동에 필수적인 제1 및 제2 트랜지스터(M1, M2)와 제1 커패시터(C1)만이 활성화된 상태로 남아있을 것이며, 이의 등가회로는 도 7과 같이 나타낼 수 있다.

[0126] 이 경우, 화소(142') 자체적으로는 제2 트랜지스터(M2)의 문턱전압 편차를 보상할 수 없을 것이나, 수리된 화소(142')는 적어도 데이터신호(Vdata)에 대응하는 휘도로 발광할 수 있을 것이다. 따라서, 앞서 설명한 바와 같이 일부 회로소자가 기능을 상실함에 의해 제2 트랜지스터(M2)의 문턱전압 편차 등이 보상되지 않는다 하더라도 이는 명점불량이나 암점불량과 비교할 때 사용자가 인식할 수 없는 정도이거나 그 정도가 매우 미미할 것이며, 특히 결함화소(142')가 화소부(140) 전체에서 차지하는 비중이 매우 적을 것임을 고려할 때 이와 같은 수리과정으로 인해 수율이 개선되는 효과를 기대할 수 있을 것이다.

[0127] 또한, 수리된 화소(142')와 나머지 화소(142)와의 편차가 심한 경우에는 타이밍 제어부(150) 등에서, 상기 편차가 보상되도록 데이터를 변경하는 방식을 채용하는 등에 의해 이를 보완할 수도 있을 것이다.

[0128] 한편, 도 6 내지 도 7에 도시된 바와 같이 수리된 화소(142')의 경우, 도 4 및 도 5에 도시된 실시예 대비 수리 과정을 통해 화소(142')가 정상적으로 동작할 확률이 매우 높다. 따라서, 한 번에 성공적으로 수리할 확률을 높이기 위해서는 처음부터 도 6에 도시된 실시예와 같이 수리할 수 있을 것이다.

[0129] 하지만, 결함이 발생된 화소(142')를 최대한 나머지 화소들(142)의 구조와 유사하게 구현하기 위해서는 제3 내지 제9 트랜지스터(M3 내지 M9)와 제2 커패시터(C2) 중 이들의 기능 등을 고려하여 우선 일부만을 비활성한 후, 화소(142')가 여전히 정상 동작하지 않을 경우에만 추가적인 수리과정을 더 진행할 수도 있을 것이다.

[0130] 일례로, 도 4에 도시된 실시예와 같이 화소(142')를 수리한 후 정상 동작하지 않으면, 도 5에 도시된 실시예와 같이 수리하고, 그 이후에도 정상 동작하지 않을 시 도 6에 도시된 바의 실시예와 같이 수리하는 방식으로 단계적으로 수리과정을 진행할 수 있을 것이다.

[0131] 즉, 본 발명에 의한 유기전계발광 표시장치의 화소 수리방법은, 유기 발광 다이오드(OLED)와, 이에 연결되며 세 개 이상의 트랜지스터(M)와 하나 이상의 커패시터(C)를 포함하여 구성되는 화소회로(144)를 구비한 다수의 화소들(142) 중 결함이 발생된 화소(142')를 수리하는 화소 수리방법으로, 상기 결함이 발생된 화소(142')에 포함된 적어도 하나의 트랜지스터(M) 및 또는 커패시터(C)를 화소회로(144') 내 다른 회로소자로부터 격리하거나 상기 트랜지스터(M)의 소스전극과 드레인전극을 단락시키는 단계를 포함한다. 여기서, 상기 소스전극과 드레인전극이 단락되는 트랜지스터(M)의 게이트 전극을 입력 신호선으로부터 격리할 수 있다.

[0132] 또한, 이는 단계적으로 진행될 수 있는 것으로, 상기 결함이 발생된 화소(142')에 포함된 하나 이상의 트랜지스터(M) 및/또는 커패시터(C)를 상기 화소회로(144') 내 다른 회로소자로부터 격리하거나, 상기 트랜지스터(M)의 소스전극과 드레인전극을 단락시키는 단계를 포함하는 제1 수리단계와; 상기 결함이 발생된 화소(142')의 동작 여부를 검사하는 단계와; 상기 결함이 발생된 화소(142')의 검사결과에 대응하여, 상기 화소(142') 내 하나 이상의 다른 트랜지스터(M) 및/또는 커패시터(C)를 화소회로(144') 내 다른 회로소자로부터 격리하거나 상기 다른 트랜지스터(M)의 소스전극과 드레인전극을 단락시키는 단계를 포함하는 제2 수리단계;를 포함할 수 있다.

[0133] 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 지식을 가진 자라면 본 발명의 기술 사상의 범위 내에서 다양한 변형예가 가능함을 이해할 수 있을 것이다.

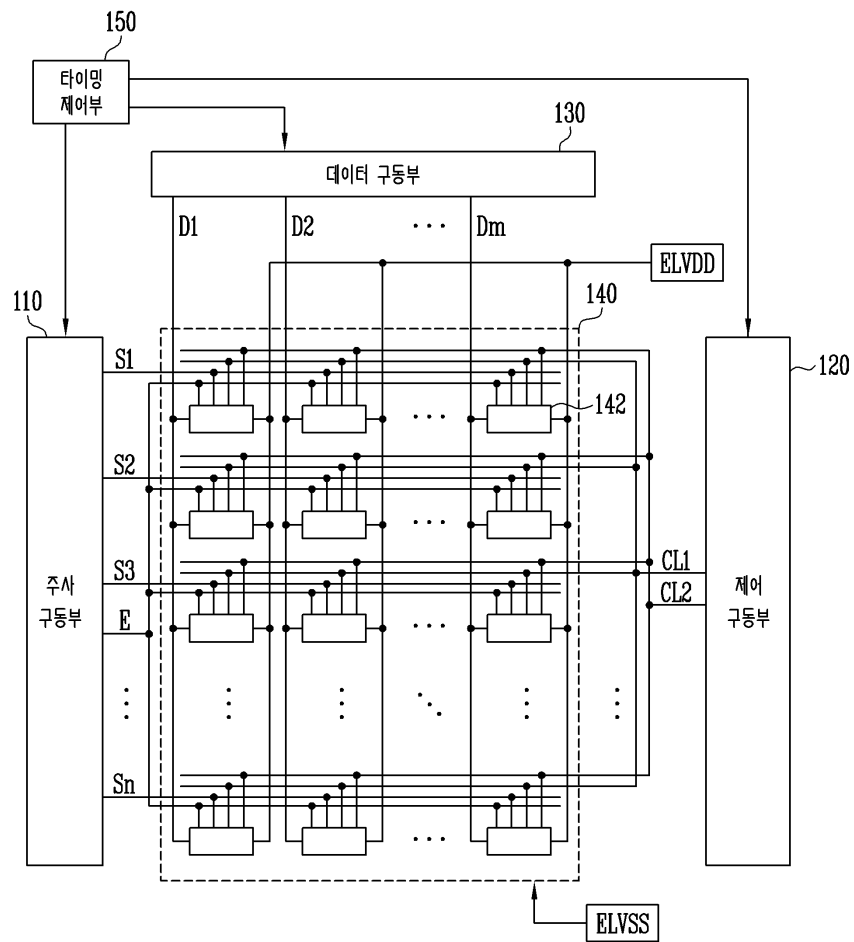
부호의 설명

[0134]

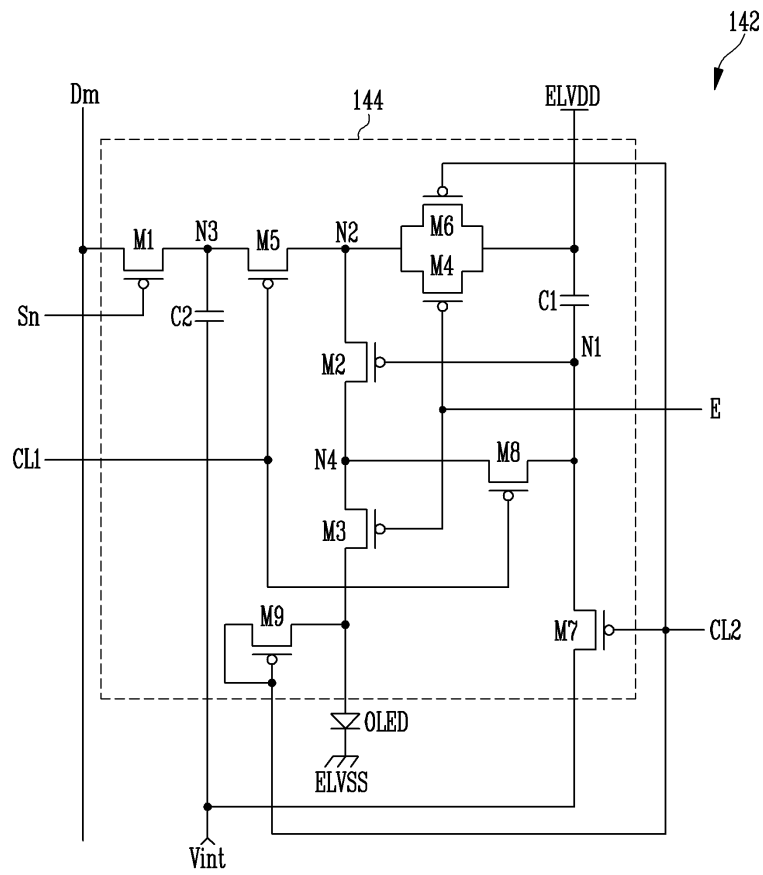
110: 주사 구동부	120: 제어 구동부
130: 데이터 구동부	140: 화소부
142, 142': 화소	144, 144': 화소회로
150: 타이밍 제어부	

도면

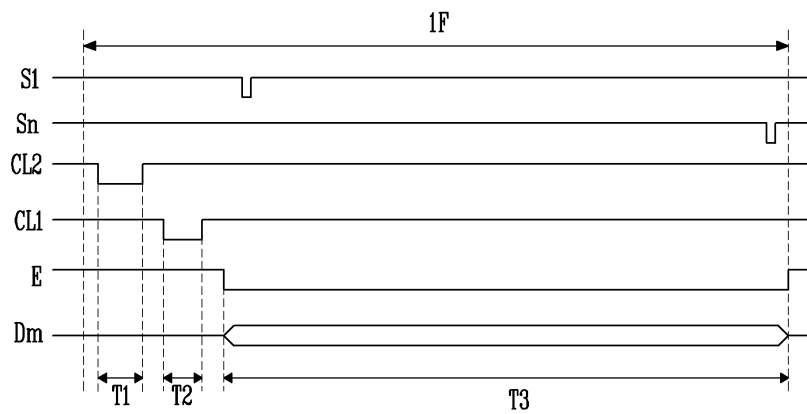
도면1



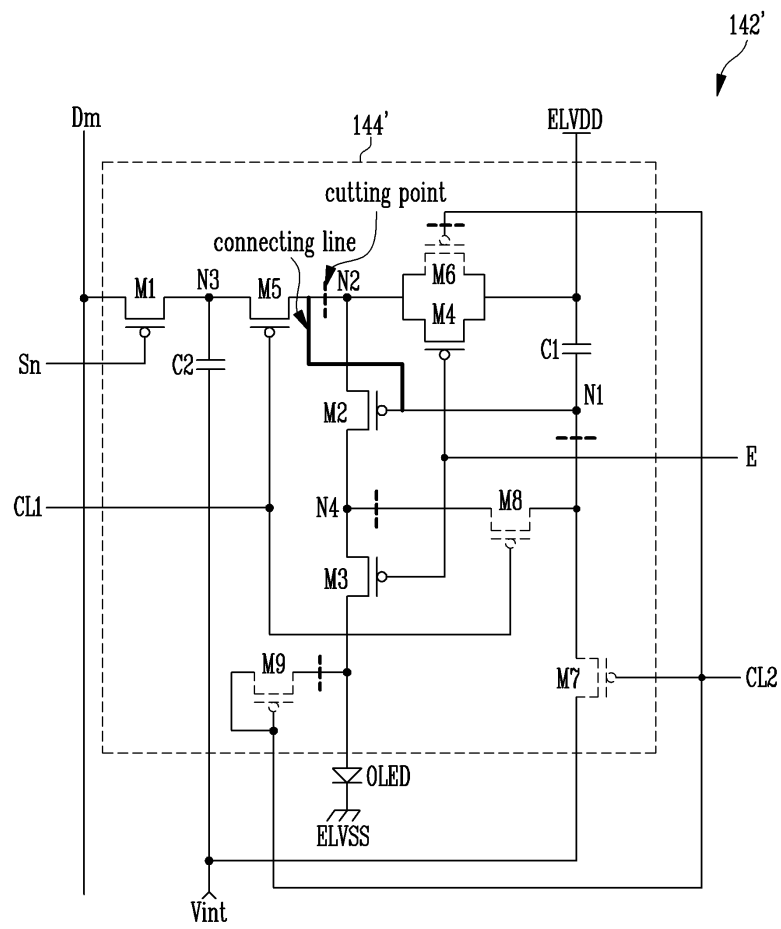
도면2



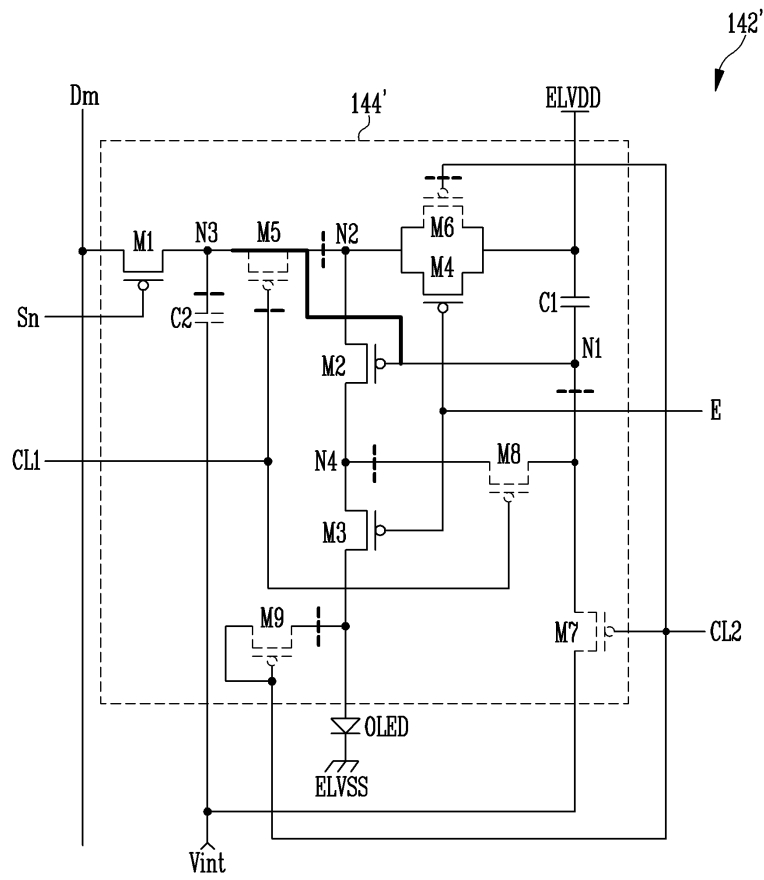
도면3



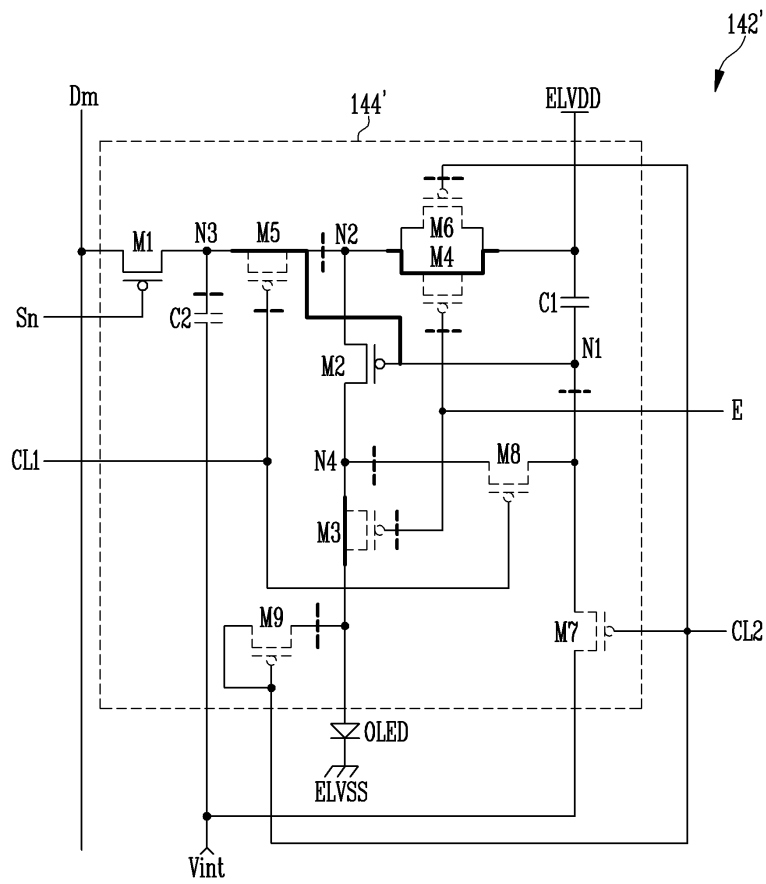
도면4



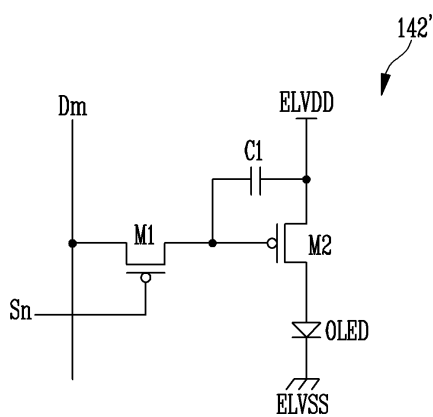
도면5



도면6



도면7



有机发光显示装置技术领域本发明涉及一种具有修复像素的有机发光显示装置，其允许缺陷像素被正常修复和驱动。根据本发明的具有像素修复的有机发光显示装置，位于在扫描线和数据线，多个包括有机发光二极管和用于驱动该相同和像素电路的像素的交叉处；扫描驱动器，用于向扫描线提供扫描信号，并将发光控制信号提供给与像素连接的发光控制线；所述数据线供给的数据信号提供给数据驱动器；包括，包括在每个像素中的像素电路被配置为包括三个或更多个晶体管和一個或多个电容器，电路的像素的子集的像素的像素至少一个晶体管被设置在，或在从像素电路内的其它电路元件隔离的状态提供，其被提供给源电极和漏电极形成短路。

