



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0042623
(43) 공개일자 2014년04월07일

(51) 국제특허분류(Int. Cl.)
G09G 3/30 (2006.01) H01L 51/50 (2006.01)
H05B 33/10 (2006.01)
(21) 출원번호 10-2012-0155145
(22) 출원일자 2012년12월27일
심사청구일자 없음
(30) 우선권주장
1020120107267 2012년09월26일 대한민국(KR)

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
김지훈
경기 파주시 탄현면 약산골길 7-30, 301호 (정일
베스트빌2차)
유상호
경기 파주시 책향기로 209, 1401동 302호 (동
패동, 책향기마을우남퍼스트빌)
(뒀면에 계속)
(74) 대리인
특허법인로알

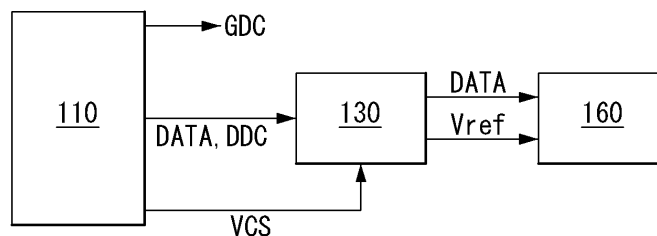
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 유기전계발광표시장치, 이의 구동방법 및 이의 제조방법

(57) 요약

본 발명은 기준전압을 공급받고 기준전압으로 구동 트랜지스터의 게이트전극의 노드를 초기화하는 기준전압 공급 트랜지스터를 포함하는 보상회로를 갖는 서브 픽셀들을 포함하는 패널; 패널에 형성된 스캔라인들에 스캔신호를 공급하는 스캔구동부; 패널에 형성된 데이터라인들에 데이터신호를 공급하는 데이터구동부; 스캔구동부 및 데이터구동부를 제어하는 타이밍제어부; 및 기준전압을 스캔라인별로 가변하여 서브 픽셀들에 공급하는 기준전압 보상부를 포함하는 유기전계발광표시장치를 제공한다.

대표도 - 도11



(72) 발명자

남우진

경기 고양시 일산서구 주엽로 122, 1604동 1403호
(주엽동, 문촌마을16단지아파트)

윤중선

경기 파주시 탄현면 법흥리 민들레빌 203호

장민규

서울 송파구 문정로5길 13, 101동 406호 (문정동,
문정동아아파트)

특허청구의 범위

청구항 1

기준전압을 공급받고 상기 기준전압으로 구동 트랜지스터의 게이트전극의 노드를 초기화하는 기준전압 공급 트랜지스터를 포함하는 보상회로를 갖는 서브 픽셀들을 포함하는 패널;

상기 패널에 형성된 스캔라인들에 스캔신호를 공급하는 스캔구동부;

상기 패널에 형성된 데이터라인들에 데이터신호를 공급하는 데이터구동부;

상기 스캔구동부 및 상기 데이터구동부를 제어하는 타이밍제어부; 및

상기 기준전압을 상기 스캔라인별로 가변하여 상기 서브 픽셀들에 공급하는 기준전압 보상부를 포함하는 유기전계발광표시장치.

청구항 2

제1항에 있어서,

상기 기준전압 보상부는

상기 기준전압을 적어도 하나의 스캔라인마다 가변하여 상기 서브 픽셀들에 공급하는 것을 특징으로 하는 유기전계발광표시장치.

청구항 3

제1항에 있어서,

상기 기준전압 보상부는

상기 기준전압을 등간격의 전압 편차를 갖도록 상기 서브 픽셀들에 공급하여 상기 스캔라인별로 나타나는 가로 방향의 휘도 얼룩을 보상하는 것을 특징으로 하는 유기전계발광표시장치.

청구항 4

제1항에 있어서,

상기 기준전압 보상부는

제1전압과 상기 데이터구동부에 포함된 디지털아날로그 변환부로부터 출력된 제2전압을 분압하여 상기 기준전압을 생성하는 것을 특징으로 하는 유기전계발광표시장치.

청구항 5

제4항에 있어서,

상기 기준전압 보상부는

상기 제2전압의 변동값에 대응하여 상기 기준전압을 변경하는 것을 특징으로 하는 유기전계발광표시장치.

청구항 6

제1항에 있어서,

상기 기준전압 보상부는

제1전압단에 일단이 연결된 제1저항기와,

상기 제1저항기의 타단에 비반전 단자가 연결되고 출력단과 반전단자가 연결된 오피앰프와,

상기 오피앰프의 비반전 단자에 일단이 연결되고 제2전압단에 타단이 연결된 제2저항기를 포함하는 유기전계발광표시장치.

청구항 7

제4항에 있어서,

상기 타이밍제어부는

상기 데이터구동부와와 통신을 통해 상기 디지털아날로그 변환부로부터 출력되는 제2전압을 변경하는 전압변경 신호를 공급하는 것을 특징으로 하는 유기전계발광표시장치.

청구항 8

제7항에 있어서,

상기 타이밍제어부는

상기 스캔라인별로 나타나는 가로 방향의 휘도 열록 정보가 기록된 록업테이블과,

상기 가로 방향의 휘도 열록 정보에 대응되는 전압변경신호가 저장된 메모리부와,

상기 스캔라인별로 상기 기준전압이 공급되는 시점을 판단하고 상기 록업테이블을 통해 상기 스캔라인별로 나타나는 가로 방향의 휘도 열록 정보를 분석하고 상기 메모리부를 통해 이에 대응되는 전압변경신호를 출력하는 데이터 프로세서부를 포함하는 유기전계발광표시장치.

청구항 9

제8항에 있어서,

상기 스캔라인별로 나타나는 가로 방향의 휘도 열록 정보는

상기 패널의 휘도를 측정한 휘도맵을 기반으로 기록된 것을 특징으로 하는 유기전계발광표시장치.

청구항 10

패널에 포함된 서브 픽셀들에 기준전압을 공급하는 단계;

상기 패널에 포함된 상기 서브 픽셀들에 스캔신호를 공급하는 단계; 및

상기 패널에 포함된 상기 서브 픽셀들에 데이터신호를 공급하는 단계를 포함하되,

상기 기준전압을 공급하는 단계는,

상기 기준전압을 상기 패널의 스캔라인별로 가변하는 것을 특징으로 하는 유기전계발광표시장치의 구동방법.

청구항 11

제10항에 있어서,

상기 기준전압을 공급하는 단계는,

상기 기준전압을 적어도 하나의 스캔라인마다 가변하여 상기 서브 픽셀들에 공급하는 것을 특징으로 하는 유기전계발광표시장치의 구동방법.

청구항 12

제10항에 있어서,

상기 기준전압을 공급하는 단계는,

상기 기준전압을 등간격의 전압 편차를 갖도록 상기 서브 픽셀들에 공급하여 상기 패널의 스캔라인별로 나타나는 가로 방향의 휘도 열록을 보상하는 것을 특징으로 하는 유기전계발광표시장치의 구동방법.

청구항 13

기준전압을 공급받고 상기 기준전압으로 구동 트랜지스터의 게이트전극의 노드를 초기화하는 기준전압 공급 트랜지스터를 포함하는 보상회로를 갖는 서브 픽셀들을 포함하는 패널;

상기 패널에 형성된 스캔라인들에 스캔신호를 공급하는 스캔구동부;

상기 패널에 형성된 데이터라인들에 데이터신호를 공급하는 데이터구동부;

상기 스캔구동부 및 상기 데이터구동부를 제어하는 타이밍제어부; 및

상기 기준전압에 발생하는 리플이 상쇄되도록 상기 리플과 반대되는 역상전압을 포함하는 기준전압을 상기 서브 픽셀들에 공급하는 기준전압 보상부를 포함하는 유기전계발광표시장치.

청구항 14

제13항에 있어서,

상기 타이밍제어부는

제 $n-1$ 데이터신호와 제 n 데이터신호를 비교하고 이들 간의 차이값을 도출하는 차이값산출부와,

상기 차이값을 기반으로 상기 기준전압에 상기 역상전압이 포함되도록 조절하는 상기 전압변경신호를 출력하는 이득조절부를 포함하는 유기전계발광표시장치.

청구항 15

제14항에 있어서,

상기 이득조절부는

상기 차이값을 모두 합산한 후 이득값을 곱하여 상기 전압변경신호를 생성하되, 상기 이득값은 패널에 나타나는 리플을 측정하고 이를 상쇄시키도록 산출된 데이터값인 것을 특징으로 하는 유기전계발광표시장치.

청구항 16

제15항에 있어서,

상기 기준전압 보상부는

상기 데이터구동부에 포함된 디지털아날로그 변환부로부터 출력된 전압 레벨에 대응하여 상기 기준전압에 상기 역상전압이 포함되도록 출력하는 것을 특징으로 하는 유기전계발광표시장치.

청구항 17

제16항에 있어서,

상기 역상전압은

제1포지티브 역상전압 내지 제 i 포지티브 역상전압과 제1네거티브 역상전압 내지 제 i 네거티브 역상전압 중 하나 또는 둘을 포함하는 유기전계발광표시장치.

청구항 18

패널을 측정하여 기준전압에 발생하는 리플을 상쇄시키는 이득값을 데이터화하는 단계;

상기 기준전압에 발생하는 리플이 상쇄되도록 상기 이득값을 이용하여 상기 리플과 반대되는 역상전압을 포함하는 기준전압을 상기 패널에 포함된 서브 픽셀들에 공급하는 단계;

상기 패널에 포함된 상기 서브 픽셀들에 스캔신호를 공급하는 단계; 및

상기 패널에 포함된 상기 서브 픽셀들에 데이터신호를 공급하는 단계를 포함하는 유기전계발광표시장치의 구동 방법.

청구항 19

제18항에 있어서,

상기 역상전압은

제1포지티브 역상전압 내지 제 i 포지티브 역상전압과 제1네거티브 역상전압 내지 제 i 네거티브 역상전압 중 하나

또는 둘을 포함하는 유기전계발광표시장치의 구동방법.

청구항 20

구동 트랜지스터의 노드에 기준전압을 공급하는 기준전압 공급 트랜지스터를 포함하는 보상회로를 갖는 서브 픽셀을 포함하는 패널들을 형성하는 단계;

상기 패널들 각각에 기준전압을 설정하고 구동하는 단계;

상기 패널들 각각의 표시 특성을 측정하는 단계; 및

상기 패널들 각각의 표시 특성에 대한 측정 결과에 대응하여 상기 기준전압을 달리하는 단계를 포함하는 유기전계발광표시장치의 제조방법.

명세서

기술 분야

[0001] 본 발명은 유기전계발광표시장치, 이의 구동방법 및 이의 제조방법에 관한 것이다.

배경 기술

[0002] 유기전계발광표시장치에 사용되는 유기전계발광소자는 기관 상에 위치하는 두 개의 전극 사이에 발광층이 형성된 자발광소자이다. 유기전계발광표시장치는 빛이 방출되는 방향에 따라 전면발광(Top-Emission) 방식, 배면발광(Bottom-Emission) 방식 또는 양면발광(Dual-Emission) 방식 등이 있다. 그리고, 구동방식에 따라 수동매트릭스형(Passive Matrix)과 능동매트릭스형(Active Matrix) 등으로 나누어져 있다.

[0003] 유기전계발광표시장치는 빛을 발광하는 서브 픽셀을 갖는 패널, 패널에 스캔신호를 공급하는 스캔구동부 및 패널에 데이터신호를 공급하는 데이터구동부가 포함된다. 서브 픽셀에는 빛을 발광하는 유기 발광다이오드 및 구동전류를 공급하는 구동 트랜지스터 등을 포함한다.

[0004] 구동 트랜지스터는 다양한 원인과 이유로 문턱전압 특성이 달라지거나 변하므로, 서브 픽셀에는 이러한 특성을 보상하기 위한 보상회로가 포함된다. 그런데, 종래 유기전계발광표시장치는 서브 픽셀에 포함된 보상회로 사용시 발생할 수 있는 다양한 사이드 이펙트를 효율적으로 저감 또는 개선하기 위한 연구의 필요성이 있다. 따라서, 종래 유기전계발광표시장치는 보상회로 사용시 수반되는 사이드 이펙트를 저감 또는 개선할 수 있는 방안이 모색되어야 할 것이다.

발명의 내용

해결하려는 과제

[0005] 상술한 배경기술의 문제점을 해결하기 위한 본 발명은 서브 픽셀에 보상회로 사용시 특정 패턴을 표시할 때 나타나는 다양한 문제(예컨대, 휘도 얼룩, 수평 크로스토크, 문턱전압 편차 등)를 개선할 수 있는 유기전계발광표시장치, 이의 구동방법 및 이의 제조방법을 제공하는 것이다.

과제의 해결 수단

[0006] 상술한 과제 해결 수단으로 본 발명은 기준전압을 공급받고 기준전압으로 구동 트랜지스터의 게이트전극의 노드를 초기화하는 기준전압 공급 트랜지스터를 포함하는 보상회로를 갖는 서브 픽셀들을 포함하는 패널; 패널에 형성된 스캔라인들에 스캔신호를 공급하는 스캔구동부; 패널에 형성된 데이터라인들에 데이터신호를 공급하는 데이터구동부; 스캔구동부 및 데이터구동부를 제어하는 타이밍제어부; 및 기준전압을 스캔라인별로 가변하여 서브 픽셀들에 공급하는 기준전압 보상부를 포함하는 유기전계발광표시장치를 제공한다.

[0007] 기준전압 보상부는 기준전압을 적어도 하나의 스캔라인마다 가변하여 서브 픽셀들에 공급할 수 있다.

[0008] 기준전압 보상부는 기준전압을 등간격의 전압 편차를 갖도록 서브 픽셀들에 공급하여 스캔라인별로 나타나는 가로 방향의 휘도 얼룩을 보상할 수 있다.

[0009] 기준전압 보상부는 제1전압과 데이터구동부에 포함된 디지털아날로그 변환부로부터 출력된 제2전압을 분압하여 기준전압을 생성할 수 있다.

- [0010] 기준전압 보상부는 제2전압의 변동값에 대응하여 기준전압을 변경할 수 있다.
- [0011] 기준전압 보상부는 제1전압단에 일단이 연결된 제1저항기와, 제1저항기의 타단에 비반전 단자가 연결되고 출력 단과 반전단자가 연결된 오피앰프와, 오피앰프의 비반전 단자에 일단이 연결되고 제2전압단에 타단이 연결된 제2저항기를 포함할 수 있다.
- [0012] 타이밍제어부는 데이터구동부와와 통신을 통해 디지털아날로그 변환부로부터 출력되는 제2전압을 변경하는 전압 변경신호를 공급할 수 있다.
- [0013] 타이밍제어부는 스캔라인별로 나타나는 가로 방향의 휘도 얼룩 정보가 기록된 룩업테이블과, 가로 방향의 휘도 얼룩 정보에 대응되는 전압변경신호가 저장된 메모리부와, 스캔라인별로 기준전압이 공급되는 시점을 판단하고 룩업테이블을 통해 스캔라인별로 나타나는 가로 방향의 휘도 얼룩 정보를 분석하고 메모리부를 통해 이에 대응되는 전압변경신호를 출력하는 데이터 프로세서부를 포함할 수 있다.
- [0014] 스캔라인별로 나타나는 가로 방향의 휘도 얼룩 정보는 패널의 휘도를 측정한 휘도맵을 기반으로 기록될 수 있다.
- [0015] 다른 측면에서 본 발명은 패널에 포함된 서브 픽셀들에 기준전압을 공급하는 단계; 패널에 포함된 서브 픽셀들에 스캔신호를 공급하는 단계; 및 패널에 포함된 서브 픽셀들에 데이터신호를 공급하는 단계를 포함하되, 기준전압을 공급하는 단계는, 기준전압을 패널의 스캔라인별로 가변하는 것을 특징으로 하는 유기전계발광표시장치의 구동방법을 제공한다.
- [0016] 기준전압을 공급하는 단계는, 기준전압을 적어도 하나의 스캔라인마다 가변하여 서브 픽셀들에 공급할 수 있다.
- [0017] 기준전압을 공급하는 단계는, 기준전압을 등간격의 전압 편차를 갖도록 서브 픽셀들에 공급하여 패널의 스캔라인별로 나타나는 가로 방향의 휘도 얼룩을 보상할 수 있다.
- [0018] 다른 측면에서 본 발명은 기준전압을 공급받고 기준전압으로 구동 트랜지스터의 게이트전극의 노드를 초기화하는 기준전압 공급 트랜지스터를 포함하는 보상회로를 갖는 서브 픽셀들을 포함하는 패널; 패널에 형성된 스캔라인들에 스캔신호를 공급하는 스캔구동부; 패널에 형성된 데이터라인들에 데이터신호를 공급하는 데이터구동부; 스캔구동부 및 데이터구동부를 제어하는 타이밍제어부; 및 기준전압에 발생하는 리플이 상쇄되도록 리플과 반대되는 역상전압을 포함하는 기준전압을 서브 픽셀들에 공급하는 기준전압 보상부를 포함하는 유기전계발광표시장치를 제공한다.
- [0019] 타이밍제어부는 제n-1데이터신호와 제n데이터신호를 비교하고 이들 간의 차이값을 도출하는 차이값산출부와, 차이값을 기반으로 기준전압에 역상전압이 포함되도록 조절하는 전압변경신호를 출력하는 이득조절부를 포함할 수 있다.
- [0020] 이득조절부는 차이값을 모두 합산한 후 이득값을 곱하여 전압변경신호를 생성하되, 이득값은 패널에 나타나는 리플을 측정하고 이를 상쇄시키도록 산출된 데이터값일 수 있다.
- [0021] 기준전압 보상부는 데이터구동부에 포함된 디지털아날로그 변환부로부터 출력된 전압 레벨에 대응하여 기준전압에 역상전압이 포함되도록 출력할 수 있다.
- [0022] 역상전압은 제1포지티브 역상전압 내지 제i포지티브 역상전압과 제1네거티브 역상전압 내지 제i네거티브 역상전압 중 하나 또는 둘을 포함할 수 있다.
- [0023] 다른 측면에서 본 발명은 패널을 측정하여 기준전압에 발생하는 리플을 상쇄시키는 이득값을 데이터화하는 단계; 기준전압에 발생하는 리플이 상쇄되도록 이득값을 이용하여 리플과 반대되는 역상전압을 포함하는 기준전압을 패널에 포함된 서브 픽셀들에 공급하는 단계; 패널에 포함된 서브 픽셀들에 스캔신호를 공급하는 단계; 및 패널에 포함된 서브 픽셀들에 데이터신호를 공급하는 단계를 포함하는 유기전계발광표시장치의 구동방법을 제공한다.
- [0024] 역상전압은 제1포지티브 역상전압 내지 제i포지티브 역상전압과 제1네거티브 역상전압 내지 제i네거티브 역상전압 중 하나 또는 둘을 포함할 수 있다.
- [0025] 다른 측면에서 본 발명은 구동 트랜지스터의 노드에 기준전압을 공급하는 기준전압 공급 트랜지스터를 포함하는 보상회로를 갖는 서브 픽셀을 포함하는 패널들을 형성하는 단계; 패널들 각각에 기준전압을 설정하고 구동하는 단계; 패널들 각각의 표시 특성을 측정하는 단계; 및 패널들 각각의 표시 특성에 대한 측정 결과에 대응하여 기

준전압을 달리하는 단계를 포함할 수 있다.

발명의 효과

[0026]

본 발명은 서브 픽셀에 보상회로 사용시 특정 패턴을 표시할 때 나타나는 다양한 문제(예컨대, 휘도 얼룩, 수평 크로스토크, 문턱전압 편차 등)를 개선할 수 있는 유기전계발광표시장치, 이의 구동방법 및 이의 제조방법을 제공하는 효과가 있다.

도면의 간단한 설명

[0027]

도 1은 본 발명의 제1실시예에 따른 유기전계발광표시장치의 개략적인 구성도.

도 2는 서브 픽셀의 회로 구성 예시도.

도 3은 도 2에 도시된 보상회로의 예시도.

도 4는 도 3에 도시된 서브 픽셀의 구동 파형도.

도 5는 도 3에 도시된 서브 픽셀을 포함하는 패널의 스캔라인의 배선 레이아웃 예시도.

도 6은 패널에 나타나는 가로 방향의 휘도 얼룩을 나타낸 도면.

도 7은 도 6의 휘도 얼룩에 따른 스캔라인별 휘도 편차를 설명하기 위한 그래프.

도 8은 기준전압과 패널에 표시되는 휘도의 관계를 나타낸 그래프.

도 9는 종래 기준전압 공급방식과 본 발명의 제1실시예에 따른 기준전압 공급방식을 나타낸 그래프.

도 10은 본 발명의 제1실시예에 따른 기준전압 공급방식에 따른 휘도 보상 개념을 설명하기 위한 그래프.

도 11은 본 발명의 제1실시예에 따른 유기전계발광표시장치의 일부 구성 예시도.

도 12는 기준전압 보상부의 제1예시도.

도 13은 기준전압 보상부의 제2예시도.

도 14는 본 발명의 제1실시예에 따른 타이밍제어부의 블록도.

도 15는 전압변경신호를 출력하는 시점을 개략적으로 설명하기 위한 신호의 파형도.

도 16은 본 발명의 제1실시예에 따라 스캔라인별로 기준전압이 가변되는 예를 설명하기 위한 도면.

도 17은 본 발명의 제1실시예에 따른 유기전계발광표시장치의 구동방법을 설명하기 위한 흐름도.

도 18 및 도 19는 보상회로 사용시 발생하는 크로스토크의 형태를 설명하기 위한 도면.

도 20은 크로스토크 발생시 기준전압의 리플의 형태를 설명하기 위한 파형도.

도 21은 본 발명의 제2실시예에 따른 유기전계발광표시장치의 일부 구성 예시도.

도 22는 본 발명의 제2실시예에 따른 기준전압 공급방식에 따른 크로스토크 보상 개념을 설명하기 위한 패턴 및 파형도.

도 23은 개선 전의 기준전압 공급방식과 본 발명의 제2실시예에 따른 기준전압 공급방식에 따른 시뮬레이션 결과 파형도.

도 24는 개선 전의 기준전압 공급방식과 본 발명의 제2실시예에 따른 기준전압 공급방식을 비교하기 위한 그래프.

도 25는 본 발명의 제2실시예에 따른 유기전계발광표시장치의 구동방법을 설명하기 위한 흐름도.

도 26은 본 발명의 제3실시예에 따른 유기전계발광표시장치의 개략적인 구성도.

도 27은 서브 픽셀의 회로 구성 예시도.

도 28은 도 27에 도시된 서브 픽셀을 포함하는 패널의 스캔라인의 배선 레이아웃 예시도.

도 29는 도 27에 도시된 보상회로의 예시도.

도 30은 도 29에 도시된 서브 픽셀의 구동 파형도.

도 31 및 도 32는 패널 간의 색차 발생 문제를 설명하기 위한 도면.

도 33은 본 발명의 제3실시예에 따른 유기전계발광표시장치의 제조방법을 설명하기 위한 흐름도.

도 34는 본 발명의 제3실시예에 따라 패널 간의 색차 발생 문제를 개선한 예를 나타낸 도면.

발명을 실시하기 위한 구체적인 내용

- [0028] 이하, 본 발명의 실시를 위한 구체적인 내용을 첨부된 도면을 참조하여 설명한다.
- [0029] <제1실시예>
- [0030] 도 1은 본 발명의 제1실시예에 따른 유기전계발광표시장치의 개략적인 구성도이고, 도 2는 서브 픽셀의 회로 구성 예시도 이다.
- [0031] 도 1에 도시된 바와 같이, 본 발명의 제1실시예에 따른 유기전계발광표시장치에는 타이밍제어부(110), 데이터구동부(130), 스캔구동부(120) 및 패널(160)이 포함된다.
- [0032] 타이밍제어부(110)는 외부로부터 공급된 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블 신호(Data Enable, DE), 클럭신호(CLK) 등의 타이밍신호를 이용하여 데이터구동부(130)와 스캔구동부(120)의 동작 타이밍을 제어한다. 타이밍제어부(110)는 1 수평기간의 데이터 인에이블 신호(DE)를 카운트하여 프레임기간을 판단할 수 있으므로 외부로부터 공급되는 수직 동기신호(Vsync)와 수평 동기신호(Hsync)는 생략될 수 있다. 타이밍제어부(110)에서 생성되는 제어신호들에는 스캔구동부(120)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호(GDC)와 데이터구동부(130)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호(DDC)가 포함된다.
- [0033] 스캔구동부(120)는 타이밍제어부(110)로부터 공급된 게이트 타이밍 제어신호(GDC)에 응답하여 게이트 구동전압의 레벨을 시프트시키면서 스캔신호를 순차적으로 생성한다. 스캔구동부(120)는 패널(160)에 포함된 서브 픽셀들(SP)에 연결된 스캔라인들(SL1 ~ SLm)을 통해 스캔신호를 공급한다.
- [0034] 데이터구동부(130)는 타이밍제어부(110)로부터 공급된 데이터 타이밍 제어신호(DDC)에 응답하여 타이밍제어부(110)로부터 공급되는 데이터신호(DATA)를 샘플링하고 래치하여 병렬 데이터 체계의 데이터로 변환한다. 데이터구동부(130)는 데이터신호(DATA)를 감마 기준전압으로 변환한다. 데이터구동부(130)는 패널(160)에 포함된 서브 픽셀들(SP)에 연결된 데이터라인들(DL1 ~ DLn)을 통해 데이터신호(DATA)를 공급한다.
- [0035] 패널(160)은 매트릭스형태로 배치된 서브 픽셀들(SP)을 포함한다. 서브 픽셀들(SP)에는 적색 서브 픽셀, 녹색 서브 픽셀, 청색 서브 픽셀이 포함되고 경우에 따라 백색 서브 픽셀이 포함되기도 한다. 한편, 백색 서브 픽셀이 포함된 패널(160)은 각 서브 픽셀들(SP)의 발광층이 적색, 녹색 및 청색을 발광하지 않고 백색을 발광할 수 있다. 이 경우, 백색으로 발광된 광은 RGB 컬러필터에 의해 적색, 녹색 및 청색으로 변환된다.
- [0036] 한편, 패널(160)에 포함된 서브 픽셀은 예컨대, 다음의 도 2와 같이 구성될 수 있다. 하나의 서브 픽셀에는 스위칭 트랜지스터(SW), 구동 트랜지스터(DT), 스토리지 커패시터(Cst), 보상회로(CC) 및 유기 발광다이오드(OLED)가 포함된다.
- [0037] 스위칭 트랜지스터(SW)는 첫 번째 스캔라인(SL1)을 통해 공급된 스캔신호에 응답하여 제1데이터라인(DL1)을 통해 공급되는 데이터신호가 스토리지 커패시터(Cst)에 데이터전압으로 저장되도록 스위칭 동작한다. 구동 트랜지스터(DT)는 스토리지 커패시터(Cst)에 저장된 데이터전압에 따라 제1전원배선(EVDD)과 제1그라운드배선(EVSS) 사이로 구동 전류가 흐르도록 동작한다. 유기 발광다이오드(OLED)는 구동 트랜지스터(DT)에 의해 형성된 구동 전류에 따라 빛을 발광하도록 동작한다.
- [0038] 한편, 보상회로(CC)는 초기화전압(Vinit) 및 기준전압(Vref)을 이용하여 구동 트랜지스터(DT)의 문턱전압 등을 보상한다. 보상회로(CC)가 포함된 서브 픽셀은 종래의 다이오드 커넥션 방식 또는 소스팔로워(source-follower) 방식 등으로 구동 트랜지스터(DT)의 문턱전압을 검출할 수 있다.
- [0039] 소스팔로워 방식은 구동 트랜지스터(DT)의 게이트-소오스전극 사이에 보상 커패시터를 접속시키고 문턱전압 검출시 구동 트랜지스터(DT)의 소오스전압을 게이트전압에 추종시킨다. 더욱이, 구동 트랜지스터(DT)의 드레인전극은 게이트전극과 분리되어 제1전원배선(EVDD)으로부터 전원전압을 공급받게 되므로, 소스팔로워 방식은 양의 값을 갖는 문턱전압뿐만 아니라 음의 값을 갖는 문턱전압까지 검출할 수 있게 된다.

- [0040] 보상회로(CC)가 포함된 서브 픽셀은 구동 트랜지스터(DT)의 문턱전압 센싱시 구동 트랜지스터(DT)의 게이트전극을 플로팅(floating) 시키고, 구동 트랜지스터(DT)의 게이트-소오스전극 사이에 접속된 보상 커패시터와 구동 트랜지스터(DT)의 기생 커패시터를 이용하여 문턱전압 보상 능력을 향상시킨다. 이를 위해, 보상회로(CC)는 하나 이상의 트랜지스터와 커패시터로 구성된다.
- [0041] 이하, 보상회로의 일예를 이용하여 서브 픽셀의 회로 구성을 구체화한다.
- [0042] 도 3은 도 2에 도시된 보상회로의 예시도 이고, 도 4는 도 3에 도시된 서브 픽셀의 구동 파형도 이다.
- [0043] 도 3에 도시된 바와 같이, 보상회로(CC)에는 제1트랜지스터(ST1), 제2트랜지스터(ST2), 제3트랜지스터(ST3) 및 보상 커패시터(Cgs)가 포함된다. 이하, 보상회로(CC)는 설명의 이해를 돕기 위한 것일 뿐 본 발명은 이에 한정되지 않고 기준전압(Vref)을 이용하여 구동 트랜지스터(DT)의 문턱전압을 보상하기 위한 구조에 모두 채택될 수 있다.
- [0044] 제1트랜지스터(ST1)는 제1스캔라인(EM)을 통해 공급된 발광제어신호(em)에 응답하여 노드 A(A)에 저장된 데이터전압(data)을 노드 B(B)에 공급한다. 제1트랜지스터(ST1)는 제1스캔라인(EM)에 게이트전극이 연결되고 노드 A(A)에 제1전극이 연결되며 노드 B(B)에 제2전극이 연결된다. 제1트랜지스터(ST1)는 노드 전압 스위칭 트랜지스터이다.
- [0045] 제2트랜지스터(ST2)는 제2스캔라인(INIT)을 통해 공급된 초기화신호(init)에 응답하여 초기화전압(Vinit)을 노드 C(C)에 공급한다. 제2트랜지스터(ST2)는 제2스캔라인(INIT)에 게이트전극이 연결되고 노드 C(C)에 제1전극이 연결되며 초기화전압라인(VINIT)에 제2전극이 연결된다. 제2트랜지스터(ST2)는 초기화전압 공급 트랜지스터이다.
- [0046] 제3트랜지스터(ST3)는 제2스캔라인(INIT)을 통해 공급된 초기화신호(init)에 응답하여 기준전압(Vref)을 노드 B(B)에 공급한다. 제3트랜지스터(ST3)는 제2스캔라인(INIT)에 게이트전극이 연결되고 노드 B(B)에 제1전극이 연결되며 기준전압라인(VREF)에 제2전극이 연결된다. 제3트랜지스터(ST3)는 기준전압 공급 트랜지스터이다.
- [0047] 보상 커패시터(Cgs)는 구동 트랜지스터(DT)의 문턱전압 검출시 소스팔로워 방식을 가능케 하며, 문턱전압에 대한 보상 능력 향상에 기여한다. 보상 커패시터(Cgs)는 구동 트랜지스터(DT)의 게이트전극에 일단이 연결되고 노드 C(C)에 타단이 연결된다.
- [0048] 보상회로(CC)가 위와 같이 구성됨에 따라, 스위칭 트랜지스터(SW)는 제3스캔라인(SCAN)을 통해 공급된 스위칭신호(scan)에 응답하여 데이터전압(Vdata)을 노드 A(A)에 공급한다. 스위칭 트랜지스터(SW)는 제3스캔라인(SCAN)에 게이트전극이 연결되고 노드 A(A)에 제1전극이 연결되며 제1데이터라인(DL1)에 제2전극이 연결된다. 스토리지 커패시터(Cst)는 노드 A(A)에 일단이 연결되고 노드 C(C)에 타단이 연결된다. 구동 트랜지스터(DT)는 노드 B(B)에 게이트전극이 연결되고 노드 C(C)에 제1전극이 연결되며 제1전원배선(EVDD)에 제2전극이 연결된다. 유기 발광다이오드(OLED)는 노드 C(C)에 애노드전극이 연결되고 제1그라운드배선(EVSS)에 캐소드전극이 연결된다. 위의 설명에서는 트랜지스터들의 제1전극이 소오스전극으로 선택되고 제2전극이 드레인전극으로 선택된 것을 예로 하였으나 이에 한정되지 않는다.
- [0049] 도 4에 도시된 바와 같이, 보상회로(CC)가 포함된 서브 픽셀은 노드 A,B,C(A, B, C)를 특정 전압으로 초기화하는 초기화기간(Ti), 구동 트랜지스터(DT)의 문턱전압을 검출 및 저장하는 센싱기간(Ts), 데이터전압(Vdata)을 인가하는 프로그래밍기간(Tp), 문턱전압과 데이터전압(Vdata)을 이용하여 유기 발광다이오드(OLED)에 인가되는 구동 전류를 문턱전압과 무관하게 보상하는 발광기간(Te)으로 나눈다. 여기서, 프로그래밍기간(Tp)과 발광기간(Te) 사이에는 일정시간을 지연하는 블랭크기간이 존재할 수 있다. 여기서, 발광기간(Te)은 제1 및 제2 발광기간(Te1, Te2)으로 세분화된다. 보상회로(CC)와 관련된 더욱 상세한 설명은 대한민국 출원번호 10-2012-0095604를 참조한다.
- [0050] 앞서와 같이 보상회로(CC)가 포함된 서브 픽셀은 트랜지스터를 구동하는 다수의 신호라인들에 의해 다양한 편차가 발생하게 된다. 그리고, 이로 인하여 특정 패턴(예컨대 회색과 같은 단색 패턴) 구현시 패턴에 휘도 얼룩이 나타나는데 이를 패턴의 스캔라인 배선 레이아웃과 결부하여 설명하면 다음과 같다.
- [0051] 도 5는 도 3에 도시된 서브 픽셀을 포함하는 패턴의 스캔라인의 배선 레이아웃 예시도이고, 도 6은 패턴에 나타나는 가로 방향의 휘도 얼룩을 나타낸 도면이며, 도 7은 도 6의 휘도 얼룩에 따른 스캔라인별 휘도 편차를 설명하기 위한 그래프이다.
- [0052] 도 3 및 도 5에 도시된 바와 같이, 보상회로(CC)가 포함된 서브 픽셀들(SP)을 포함하는 패턴(160)의 비표시영역

(NA)에는 스캔구동부(120a ~ 120b)가 형성되고 표시영역(AA)에는 서브 픽셀들(SP)이 형성된다. 스캔구동부(120a ~ 120b)는 게이트인 패널(Gate-In Panel) 방식으로 서브 픽셀들(SP)에 포함된 트랜지스터 공정과 함께 패널(160)의 비표시영역(NA)에 형성된다.

- [0053] 스캔구동부(120a ~ 120b)와 서브 픽셀들(SP)을 연결하는 각 스캔라인들(SL1 ~ SL10)은 링크영역(LA)에서 상호 접속된다. 보상회로(CC)가 포함된 서브 픽셀들(SP)은 하나의 스캔라인(SL1)에 제1 내지 제3스캔라인(SCAN, EM, INIT)이 포함된다.
- [0054] 보상회로(CC)가 포함된 서브 픽셀들(SP)은 각기 다수의 스캔라인을 요구하므로 좁은 비표시영역(NA) 내에서 레이아웃의 한계로 배선간의 링크 저항 편차 및 커패시턴스 편차와 더불어 킥백(Kick Back) 전압에 의해 문턱전압 샘플링(Vth Sampling) 값에 편차가 발생한다.
- [0055] 배선간의 링크 편차는 첫 번째 스캔라인(SL1)의 배선과 세 번째 스캔라인(SL3)의 배선 라우팅 상태를 참조한다. 첫 번째 스캔라인(SL1)의 배선은 세 번째 스캔라인(SL3)의 배선 대비 길다. 배선간의 라우팅 거리가 다르다는 것은 저항 편차와 더불어 커패시턴스 편차를 유발하게 된다. 도시된 도면은 배선간의 링크 편차에 대한 이해를 돕기 위한 것일 뿐 스캔라인들의 배선 레이아웃은 도시된 도면에 한정되지 않는다.
- [0056] 위와 같이 배선간의 링크 저항 편차 및 커패시턴스 편차와 더불어 문턱전압 샘플링(Vth Sampling) 편차가 발생하면, 도 6과 같이 패널(160)에 가로 방향(스캔라인 방향)으로 밝고 어두운 형태가 반복되는 가로 방향의 휘도 얼룩이 나타난다. 도 7의 "제1블록(B1)"과 "제2블록(B2)"의 간격에서 알 수 있듯이, 가로 방향의 휘도 얼룩은 스캔라인을 따라 등간격 형태로 휘도가 어두워졌다가 밝아지는 형태로 반복된다.
- [0057] 본 발명은 가로 방향의 휘도 얼룩을 개선하기 위한 실험으로 실시한바 다음과 같은 결과를 도출하였다.
- [0058] 도 8은 기준전압과 패널에 표시되는 휘도의 관계를 나타낸 그래프이고, 도 9는 종래 기준전압 공급방식과 본 발명의 제1실시예에 따른 기준전압 공급방식을 나타낸 그래프이며, 도 10은 본 발명의 제1실시예에 따른 기준전압 공급방식에 따른 휘도 보상 개념을 설명하기 위한 그래프이다.
- [0059] 도 8에 도시된 바와 같이, 기준전압(Vref)을 -2.5V로 설정했을 때보다 -3.5V로 설정했을 때 패널에 표시되는 휘도는 상승하였다. 이와 달리, 기준전압(Vref)을 -2.5V로 설정했을 때보다 -1.5V로 설정했을 때 패널에 표시되는 휘도는 저하하였다. 즉, 앞서 설명한 바와 같이 보상회로를 갖는 서브 픽셀들은 기준전압(Vref)에 따라 휘도가 변할 수 있음을 알 수 있다.
- [0060] 도 9의 (a)에 도시된 바와 같이, 종래에는 스캔라인과 무관하게 모든 기준전압(Vref)을 동일한 전압값으로 설정하는 방식이 사용되었다. 반면, 도 9의 (b)에 도시된 바와 같이, 본 발명은 기준전압(Vref)에 따라 휘도가 변할 수 있다는 것에 기초하여 스캔라인별로 기준전압(Vref)을 가변한다.
- [0061] 도 9의 (b)는 도 7과 같은 가로 방향의 휘도 얼룩이 나타났을 때 채택할 수 있는 기준전압(Vref)의 가변 형태를 나타낸 것이다. 따라서, 도 9의 (b)에 도시된 형태로 기준전압(Vref)을 가변하면 도 10과 같이 패널에 나타난 가로 방향의 휘도 얼룩은 보상된다. 여기서 보상전 휘도는 종래 기준전압 공급방식에 따라 패널에 나타난 휘도 그래프이고, 보상후 휘도는 본 발명에 따른 기준전압 공급방식에 따라 패널에 나타난 휘도 그래프이다.
- [0062] 이하, 본 발명을 달성하기 위한 장치의 구성에 대해 설명한다.
- [0063] 도 11은 본 발명의 제1실시예에 따른 유기전계발광표시장치의 구성 예시도이고, 도 12는 기준전압 보상부의 제1 예시도이며, 도 13은 기준전압 보상부의 제2예시도이다.
- [0064] 도 11 내지 도 13에 도시된 바와 같이, 기준전압 보상부(135)는 데이터구동부(130)에 포함되어 구성(도 12)되거나 데이터구동부(130)와 별도로 구성(도 13)된다.
- [0065] 기준전압 보상부(135)는 기준전압(Vref)을 적어도 하나의 스캔라인마다 가변하여 패널(160)에 포함된 서브 픽셀들에 공급한다. 기준전압 보상부(135)는 제1전압(V1)과 데이터구동부(130)에 포함된 디지털아날로그 변환부(132)로부터 출력된 제2전압(V2)을 분압하여 기준전압(Vref)을 생성한다.
- [0066] 이를 위해, 기준전압 보상부(135)에는 제1저항기(R1), 오피앰프(OP) 및 제2저항기(R2)가 포함된다. 제1저항기(R1)는 제1전압단(V1)에 일단이 연결되고 제2저항기(R2)의 일단과 오피앰프(OP)의 비반전 단자(+)에 타단이 연결된다. 오피앰프(OP)는 제1저항기(R1)의 타단에 비반전 단자(+)가 연결되고 출력단(O)과 반전단자(-)가 연결된다. 제2저항기(R2)는 제1저항기(R1)의 타단 및 오피앰프(OP)의 비반전 단자(+)에 일단이 연결되고 제2전압단(V2)에 타단이 연결된다.

- [0067] 기준전압 보상부(135)는 제1저항기(R1)의 일단을 통해 공급되는 제1전압과 제2저항기(R2)의 타단을 통해 공급되는 제2전압을 분압하여 오피앰프(OP)의 출력단(O)을 통해 출력할 기준전압(Vref)을 생성한다. 제1전압단(V1)을 통해 공급되는 제1전압은 고정된 전압값을 갖도록 설정되고, 제2전압단(V2)을 통해 공급되는 제2전압은 변동값을 갖도록 설정된다.
- [0068] 기준전압 보상부(135)로부터 출력되는 기준전압(Vref)은 대략 0V ~ -10V 이내의 전압으로 선택될 수 있으나 이에 한정되지 않는다. 그리고 분압하고자 하는 전압값에 따라 다를 수 있지만 제1전압단(V1)을 통해 공급되는 제1전압은 0V 이하의 음의 전압으로 선택될 수 있고, 제2전압단(V2)을 통해 공급되는 제2전압은 양의 전압으로 선택될 수 있다.
- [0069] 한편, 타이밍제어부(110)는 데이터구동부(130)에 데이터신호(DATA) 및 데이터 타이밍 제어신호(DDC)와 더불어 전압변경신호(VCS)를 공급한다. 타이밍제어부(110)는 데이터구동부(130)와의 통신을 통해 디지털아날로그 변환부(132)로부터 출력되는 제2전압(V2)을 변경하는 전압변경신호(VCS)를 공급할 수 있다. 예컨대, 타이밍제어부(110)는 데이터구동부(130)에 포함된 인터페이스부(131)와 I2C 통신 방식을 체결하고 기준전압 보상부(135)로부터 출력되는 기준전압(Vref)을 가변하라는 전압변경신호(VCS)를 공급할 수 있다.
- [0070] 위의 설명에 의하면, 데이터구동부(130)는 타이밍제어부(110)로부터 출력되는 전압변경신호(VCS)에 대응하여 제2전압을 가변하고 기준전압 보상부(135)는 데이터구동부(130)로부터 출력된 제2전압의 변동값에 따라 기준전압(Vref)을 가변한다. 즉, 기준전압 보상부(135)는 타이밍제어부(110)로부터 출력된 전압변경신호(VCS)에 대응하여 기준전압(Vref)을 가변하게 된다.
- [0071] 그러나, 이는 데이터구동부(130) 내에 포함된 디지털아날로그 변환부(132)를 이용하여 기준전압 보상부(135)에 제2전압(V2)을 공급하기 위한 방식으로 설계된 경우이다. 예컨대, 기준전압 보상부(135)에 타이밍제어부(110)와 통신을 수행하는 인터페이스부와 제2전압을 출력하는 디지털아날로그 변환부가 포함된 경우, 기준전압 보상부(135)는 데이터구동부(130)와 분리되어 구성될 수 있다.
- [0072] 한편, 기준전압 보상부(135)는 패널(160)에 나타나는 휘도 얼룩을 보상하기 위해 기준전압(Vref)을 적어도 하나의 스캔라인마다 가변하여 패널(160)에 포함된 서브 픽셀들에 공급한다. 이를 위해, 타이밍제어부(110)는 다음과 같이 구성될 수 있다.
- [0073] 도 14는 본 발명의 제1실시예에 따른 타이밍제어부의 블록도이고, 도 15는 전압변경신호를 출력하는 시점을 개략적으로 설명하기 위한 신호의 파형도이며, 도 16은 본 발명의 제1실시예에 따라 스캔라인별로 기준전압이 가변되는 예를 설명하기 위한 도면이다.
- [0074] 도 14 및 도 15에 도시된 바와 같이, 타이밍제어부(110)에는 데이터 프로세서부(111), 제1제어부(112), 제2제어부(113), 카운터부(115), 룩업테이블(114), 인터페이스부(116) 및 메모리부(118)가 포함된다.
- [0075] 제1제어부(112)는 데이터 프로세서부(111)로부터 공급된 수직 동기신호(Vsync) 및 수평 동기신호(Hsync)를 기반으로 생성된 게이트 스타트 펄스, 게이트 시프트 클럭, 게이트 출력 인에이블신호 등의 게이트 타이밍 제어신호(GDC)를 출력한다.
- [0076] 제2제어부(113)는 데이터 프로세서부(111)로부터 공급된 데이터 인에이블 신호(DE)를 기반으로 생성된 게이트 스타트 펄스, 게이트 시프트 클럭, 게이트 출력 인에이블신호 등의 데이터 타이밍 제어신호(DDC)와 더불어 데이터신호(DATA)를 출력한다.
- [0077] 카운터부(115)는 데이터 프로세서부(111)로부터 출력된 수직 동기신호(Vsync), 수평 동기신호(Hsync) 및 데이터 인에이블 신호(DE)를 기반으로 스캔라인별로 기준전압이 공급되는 시점을 판단할 수 있는 카운터 정보(CNT)를 생성한다. 카운터부(115)는 카운터 정보(CNT)를 데이터 프로세서부(111), 룩업테이블(114) 및 인터페이스부(116)에 전달한다.
- [0078] 메모리부(118)는 가로 방향의 휘도 얼룩 정보 또는 다양한 형태의 휘도 얼룩 정보에 대응되는 전압변경신호(VCS)를 저장한다. 전압변경신호(VCS)는 룩업테이블(114)의 휘도맵에 대응하여 디지털아날로그 변환부로부터 출력되는 전압을 조절할 수 있는 값들로 저장된다. 메모리부(118)는 타이밍제어부(110)로부터 분리되어 별도로 구성되거나 타이밍제어부(110)의 내부에 포함되어 구성된다.
- [0079] 룩업테이블(114)은 패널의 스캔라인별로 나타나는 가로 방향의 휘도 얼룩 정보 또는 다양한 형태의 휘도 얼룩 정보가 기록된다. 패널의 스캔라인별로 나타나는 가로 방향의 휘도 얼룩 정보 또는 다양한 형태의 휘도 얼룩 정보는 패널의 휘도를 측정한 휘도맵을 기반으로 기록된다. 룩업테이블(114)은 메모리부(118)로부터 가로 방향의

휘도 얼룩 정보 또는 다양한 형태의 휘도 얼룩 정보에 대응되는 전압변경신호(VCS)를 독출하여 인터페이스부(116)에 전달한다.

[0080] 데이터 프로세서부(111)는 제1제어부(112), 제2제어부(113), 룩업테이블(114), 인터페이스부(116) 및 메모리부(118)를 제어한다. 데이터 프로세서부(111)는 수직 동기신호(Vsync) 및 수평 동기신호(Hsync)를 제1제어부(112)에 공급하고, 데이터 인에이블 신호(DE) 및 데이터신호(DATA)를 제2제어부(113)에 공급한다.

[0081] 한편, 데이터 프로세서부(111)는 카운터부(115)로부터 공급된 카운터 정보(CNT)를 이용하여 패널의 스캔라인별로 기준전압이 공급되는 시점을 판단한다. 그리고, 데이터 프로세서부(111)는 룩업테이블(114)을 통해 패널의 스캔라인별로 나타나는 휘도 얼룩 정보를 분석하고 메모리부(118)를 통해 이에 대응되는 전압변경신호(VCS)를 독출한다. 그리고, 데이터 프로세서부(111)는 독출된 전압변경신호(VCS)가 패널의 스캔라인별로 기준전압이 공급되는 시점에 대응되어 공급될 수 있도록 인터페이스부(116)의 출력을 제어한다. 이때, 데이터 프로세서부(111)는 전압변경신호(VCS)가 패널의 스캔라인별로 기준전압이 공급되는 시점에 대응되어 출력되도록 인터페이스부(116)의 신호 출력시간을 조절할 수 있다.

[0082] 한편, 위의 설명에서는 기준전압 보상부(135)를 간접적으로 제어하는 구성으로 타이밍제어부(110)를 예로 하였다. 그리고 타이밍제어부(110)는 데이터 프로세서부(111), 카운터부(115), 룩업테이블(114), 인터페이스부(116) 및 메모리부(118)를 포함하는 구성으로 전압변경신호(VCS)를 출력하는 것을 예로 하였다. 그러나, 데이터 프로세서부(111), 카운터부(115), 룩업테이블(114), 인터페이스부(116) 및 메모리부(118)는 전압변경신호(VCS)를 출력하는 블록을 기능적으로 나눈 것일 뿐 이들은 하나 이상이 통합되거나 더욱 세밀한 구성으로 나누어질 수도 있다.

[0083] 도 16에 도시된 바와 같이, 기준전압라인(VREF)을 통해 출력된 기준전압(Vref1 ~ Vref5)은 첫 번째 스캔라인(SL1)에 위치하는 제11서브 픽셀(SP11) 내지 다섯 번째 스캔라인(SL5)에 위치하는 제51서브 픽셀(SP51)까지 가변되어 공급된다. 이때, 제1기준전압(Vref1) 내지 제5기준전압(Vref5)은 하나 이상 다를 수 있다. 예컨대, 첫 번째 스캔라인(SL1)에 위치하는 제11서브 픽셀(SP11) 내지 다섯 번째 스캔라인(SL5)에 위치하는 제51서브 픽셀(SP51)이 모두 휘도 편차를 일으킬 경우, 제1기준전압(Vref1) 내지 제5기준전압(Vref5)은 모두 다를 수 있다.

[0084] 기준전압라인(VREF)은 도시된 바와 같이 모든 서브 픽셀들(SP)이 공유한다. 따라서, 기준전압라인(VREF)을 통해 공급되는 기준전압(Vref1 ~ Vref5)은 시분할 방식으로 각 서브 픽셀들(SP11 ~ SP51)에 구분되어 공급된다.

[0085] 위의 설명에서는 스캔라인별로 기준전압을 모두 가변하는 것(Line by Line)을 예로 하였다. 하지만 패널에 나타나는 휘도 얼룩은 도 7과 같이 등간격 형태를 가지고 가로 방향으로 일정하게 나타날 수 있다. 이 경우, 제1블록(B1)의 기준전압과 제2블록(B2)의 기준전압은 동일하게 설정된다. 즉, 기준전압은 도 7과 같이 휘도가 저하되는 블록에 포함된 스캔라인들의 개수에 대응하여 제1 내지 제n(n은 2 이상 정수)기준전압으로 설정되고, 제1 내지 제n기준전압은 제1블록(B1) 내지 제m(m은 2 이상 정수)블록에 모두 동일하게 이용된다.

[0086] 이하, 본 발명의 제1실시예에 따른 유기전계발광표시장치의 구동방법에 대해 설명하되, 설명의 이해를 돕기 위해 도 1 내지 도 16을 함께 참조한다.

[0087] 도 17은 본 발명의 제1실시예에 따른 유기전계발광표시장치의 구동방법을 설명하기 위한 흐름도이다.

[0088] 도 1 내지 도 17에 도시된 바와 같이, 본 발명의 제1실시예에 따른 유기전계발광표시장치의 구동방법은 기준전압 공급단계(S110), 스캔신호 공급단계(S120), 데이터신호 공급단계(S130) 및 영상 표시단계(S140)의 흐름을 가질 수 있다.

[0089] 기준전압 공급단계(S110)는 패널(160)에 포함된 서브 픽셀들(SP)에 연결된 기준전압라인(VREF)에 기준전압(Vref)을 공급하는 단계이다.

[0090] 스캔신호 공급단계(S120)는 패널(160)에 포함된 서브 픽셀들(SP)에 연결된 스캔라인들(SL1 ~ SLm)을 통해 스캔신호를 공급하는 단계이다. 하나의 스캔라인들에는 제1 내지 제3스캔라인(EM, INIT, SCAN)이 포함된다. 따라서, 하나의 스캔라인에 스캔신호를 공급한다는 것은 제1 내지 제3스캔라인(EM, INIT, SCAN)을 통해 발광제어신호(em), 초기화신호(init) 및 스위칭신호(scan)를 공급하는 것을 의미한다. 여기서, 제1 및 제2스캔라인(EM, INIT)을 통해 공급되는 발광제어신호(em) 및 초기화신호(init)의 우선순위는 제3스캔라인(SCAN)을 통해 공급되는 스위칭신호(scan)보다 높은 것을 예로 하였으나 이는 회로의 구성에 따라 다를 수 있다.

[0091] 데이터신호 공급단계(S130)는 패널(160)에 포함된 서브 픽셀들(SP)에 연결된 데이터라인(DL1)을 통해 데이터신

호(Vdata)를 공급하는 단계이다.

- [0092] 영상 표시단계(S140)는 패널(160)에 포함된 서브 픽셀들(SP)이 빛을 발광하며 영상을 표시하는 단계이다.
- [0093] 한편, 기준전압 공급단계(S110)에서는 기준전압(Vref)을 패널(160)의 스캔라인별(SL1 ~ SLm)로 가변하여 서브 픽셀들(SP)에 공급한다. 기준전압 공급단계(S110)에서는 기준전압(Vref)을 적어도 하나의 스캔라인마다 가변하여 서브 픽셀들(SP)에 공급한다. 기준전압 공급단계(S110)에서는 기준전압(Vref)을 등간격의 전압 편차를 갖도록 서브 픽셀들(SP)에 공급하여 패널(160)의 스캔라인별로 나타나는 가로 방향의 휘도 얼룩을 보상한다.
- [0094] 위의 설명에서는 기준전압(Vref)을 패널(160)의 스캔라인별(SL1 ~ SLm)로 가변하여 서브 픽셀들(SP)에 공급하는 정도로 요약 설명하였으나, 본 발명에 따른 구동방법은 도 1 내지 도 16 전반에 걸쳐 설명된 방법으로 해석되어야 한다.
- [0095] 한편, 위의 설명에서는 스캔라인별(SL1 ~ SLm)로 기준전압(Vref)을 모두 가변하는 것을 예로 하였다. 하지만 패널에 나타나는 휘도 얼룩은 도 7과 같이 등간격 형태를 가지고 가로 방향으로 일정하게 나타날 수 있다. 이 경우, 제1블록(B1)의 기준전압과 제2블록(B2)의 기준전압(Vref)은 동일하게 설정된다. 즉, 기준전압(Vref)은 도 7과 같이 휘도가 저하되는 블록에 포함된 스캔라인들의 개수에 대응하여 제1 내지 제n(n은 2 이상 정수)기준전압으로 설정되고, 제1 내지 제n기준전압은 제1블록(B1) 내지 제m(m은 2 이상 정수)블록에 모두 동일하게 이용된다. 따라서, 기준전압(Vref)은 패널의 세로 방향의 블록마다 동일한 값을 가질 수 있다.
- [0096] 이상 본 발명의 제1실시예는 서브 픽셀에 보상회로 사용시 스캔구동부의 출력 편차로 인하여 패널에 밝고 어두운 형태가 반복되는 휘도 얼룩을 개선할 수 있는 유기전계발광표시장치와 이의 구동방법을 제공하는 효과가 있다. 또한, 본 발명의 제1실시예는 서브 픽셀에 보상회로 사용시 패널에 표시된 휘도를 측정하고 이를 기반으로 기준전압을 가변하므로 다양한 형태의 휘도 얼룩을 개선할 수 있는 유기전계발광표시장치와 이의 구동방법을 제공하는 효과가 있다.
- [0097] <제2실시예>
- [0098] 도 18 및 도 19는 보상회로 사용시 발생하는 크로스토크의 형태를 설명하기 위한 도면이고, 도 20은 크로스토크 발생시 기준전압의 리플의 형태를 설명하기 위한 파형도이다.
- [0099] 도 18에 도시된 바와 같이 패널(160)에 크로스토크(Cross-Talk) 발생 여부를 실험할 수 있는 패턴 예컨대, 패턴의 배경에 검은색을 표시하고, 패턴의 중앙부분에 흰색을 사각형 박스 형태로 표시하면, 도 19에 도시된 ①, ②, ③ 간의 색차를 통해 알 수 있듯이 수평 크로스토크가 발생한다.
- [0100] 이때, 제A데이터신호(Data<A>)가 공급되는 영역과 제B데이터신호(Data)가 공급되는 영역에는 도 20에 도시된 바와 같이 기준전압(Vref)에 리플(+Rp, -Rp)이 발생하게 된다. 기준전압(Vref)에 발생하는 포지티브 리플(+Rp)은 제A데이터신호(Data<A>)의 공급이 시작되는 시점에 발생하고, 기준전압(Vref)에 발생하는 네거티브 리플(-Rp)은 제A데이터신호(Data<A>)의 공급이 종료되는 시점에 발생한다.
- [0101] 이와 같이 기준전압(Vref)에 리플(+Rp, -Rp)이 발생하는 이유는 제B데이터신호(Data)에서 제A데이터신호(Data<A>)로 신호가 변경되면 전압의 레벨이 급격하게 변하기 때문이다.
- [0102] 기준전압(Vref)에 리플(+Rp, -Rp)이 발생하는 이유를 더욱 구체적으로 설명하면, 제B데이터신호(Data)에서 제A데이터신호(Data<A>)를 공급하는 데이터라인과 기준전압을 공급하는 기준전압라인 사이에 커패시티브 커플링(Capacitive Coupling)이 발생하기 때문이다. 이때, 기준전압(Vref)에 발생한 리플(+Rp, -Rp)은 패널 내의 기생 커패시티브 커플링(Capacitive Coupling)에 의한 영향으로 좌우 등으로 퍼져나가게 된다. 그리고 기준전압(Vref)에 발생한 리플(+Rp, -Rp)은 박스 형태의 패턴이 시작되고 종료되는 경계부분에 위치하는 모든 서브 픽셀들의 동작에 영향을 미치게 되므로, 패널에 수평 크로스토크로 나타나게 된다.
- [0103] 한편, 도 19의 ①, ②, ③에는 도 20의 ①, ②, ③과 같은 파형으로 신호가 공급된다. 도 20의 ①, ②, ③에 도시된 파형에서 알 수 있듯이, 수평 크로스토크는 박스 형태의 패턴이 시작되고 종료되는 영역에 가로줄을 형성하는 밴드 형태로 나타나는데, 이는 서브 픽셀의 구동 파형과 밀접한 관계가 있다.
- [0104] 도 20의 ①, ②, ③의 구동 파형을 참조 구체적으로 설명하면, 초기화기간(Ti) 및 센싱기간(Ts)은 각각 1 수평기간 이상으로 설정된다. 이 때문에, 도 20에 나타나듯이 초기화기간 내지 프로그래밍기간에 있는 서브 픽셀들은 박스 형태의 패턴이 시작되고 종료되는 영역에서 초기화기간 내지 프로그래밍기간을 합만큼의 라인에 위치하게 되므로 밴드 형태를 나타내게 된다.

- [0105] 그러므로, 보상회로가 포함된 패널은 특정 패턴 구현시 수평 크로스토크가 발생하고, 수평 크로스토크는 보상회로에 공급되는 기준전압에 리플이 발생하기 때문에 발생하고 있는바 이를 다음과 같이 개선한다.
- [0106] 이하, 본 발명을 달성하기 위한 장치의 구성에 대해 설명한다.
- [0107] 도 21은 본 발명의 제2실시예에 따른 유기전계발광표시장치의 일부 구성 예시도이고, 도 22는 본 발명의 제2실시예에 따른 기준전압 공급방식에 따른 크로스토크 보상 개념을 설명하기 위한 패턴 및 파형도이다.
- [0108] 도 21 및 도 22에 도시된 바와 같이, 타이밍제어부(110)는 패널(160)에 공급되는 기준전압(Vref)에 도 20과 같은 리플(+Rp, -Rp)이 발생할 것을 예상하고, 리플(+Rp, -Rp)과 반대되는 역상전압(-VR, +VR)을 포함하는 기준전압(Vref)이 출력되도록 기준전압 보상부(135)를 제어한다.
- [0109] 기준전압 보상부(135)가 역상전압(-VR, +VR)을 포함하는 기준전압(Vref)을 출력할 경우, 도 20의 포지티브 리플(+Rp)은 네거티브 역상전압(-VR)에 의해 도 22와 같이 상쇄, 완화 또는 삭제되고, 도 20의 네거티브 리플(-Rp)은 포지티브 역상전압(+VR)에 의해 도 22와 같이 상쇄, 완화 또는 삭제된다.
- [0110] 이를 위해, 타이밍제어부(110)에는 차이값산출부(117)와 이득조절부(119)가 포함된다. 차이값산출부(117)는 제 n-1데이터신호(n-1)(이전 데이터신호)와 제 n데이터신호(n)(현재 데이터신호)를 불러들인다. 차이값산출부(117)는 타이밍제어부(110)의 내부 또는 외부에 포함된 두 개의 메모리부(118a, 118b)로부터 제 n-1데이터신호(n-1)와 제 n데이터신호(n)를 불러들일 수 있으나 이에 한정되지 않는다. 차이값산출부(117)는 제 n-1데이터신호(n-1)와 제 n데이터신호(n)를 비교하여 이들 간의 차이값(Diff)을 도출한다. 예컨대, 차이값산출부(117)는 제 n-1데이터신호(n-1)와 제 n데이터신호(n)를 비교함으로써 패널에 표시되는 영상 또는 패턴 간에 전류차, 전압차 또는 휘도차 등에 해당하는 차이값(Diff)을 도출할 수 있다.
- [0111] 이득조절부(119)는 차이값산출부(117)로부터 공급된 차이값(Diff)을 기반으로 기준전압(Vref)을 조절할 수 있는 전압변경신호(VCS)를 출력한다. 이득조절부(119)는 차이값산출부(117)로부터 공급된 차이값(Diff)을 모두 합산한 후 이득값(Gain)을 곱하여 전압변경신호(VCS)를 생성할 수 있다. 이때, 차이값(Diff)에 곱해지는 이득값(Gain)은 패널에 나타나는 리플(+Rp, -Rp)을 측정하고 이를 상쇄시키도록 산출된 데이터값을 기반으로 한다.(즉, 실험적인 측정값으로 결정된다.)
- [0112] 디지털아날로그 변환부(132)는 이득조절부(119)로부터 출력된 전압변경신호(VCS)에 대응하여 기준전압 보상부(135)로부터 출력되는 기준전압(Vref)을 조절한다. 디지털아날로그 변환부(132)는 전압변경신호(VCS)에 대응하여 제1기준전압(Vref_H)과 제2기준전압(Vref_L) 사이의 전압 레벨을 조절하여 출력한다.
- [0113] 기준전압 보상부(135)는 디지털아날로그 변환부(132)로부터 출력되는 전압 레벨에 대응하여 제1포지티브 역상전압(+VR1) 내지 제i포지티브 역상전압(+VRi) 또는 제1네거티브 역상전압(-VR1) 내지 제i네거티브 역상전압(-VRi)을 포함하는 기준전압(Vref)을 출력한다.
- [0114] 한편, 타이밍제어부(110)는 스캔구동부(120)와 데이터구동부(130)를 제어하므로, 어느 시점에 출력되는 기준전압(Vref)에 리플(+Rp, -Rp)이 발생하는지 알 수 있다. 따라서, 타이밍제어부(110)는 차이값산출부(117) 및 이득조절부(119)를 이용하여 기준전압(Vref)에 리플(+Rp, -Rp)이 발생할 것으로 예상되면, 그 시점에 발생하는 리플(+Rp, -Rp)과 반대되는 레벨의 역상전압(-VR, +VR)이 출력되도록 기준전압 보상부(135)를 간접적으로 제어할 수 있게 된다.
- [0115] 도 23은 개선 전의 기준전압 공급방식과 본 발명의 제2실시예에 따른 기준전압 공급방식에 따른 시뮬레이션 결과 파형도이고, 도 24는 개선 전의 기준전압 공급방식과 본 발명의 제2실시예에 따른 기준전압 공급방식을 비교하기 위한 그래프이다.
- [0116] 도 23에 도시된 바와 같이 개선 전에는 패널 내에 공급되는 기준전압(Vref)에 포지티브 리플(+Rp)이 발생하였다. 그러나, 본 발명의 제2실시예와 같이 기준전압(Vref)에 리플(+Rp)이 발생할 것을 예상하고 네거티브 역상전압(-VR)을 공급한 결과 기준전압(Vref)에 형성된 포지티브 리플(+Rp)은 대거 완화 또는 상쇄되었다.
- [0117] 도 24에 도시된 바와 같이 개선 전에는 기준전압(Vref)에 발생한 리플(+Rp, -Rp)에 의해 패널의 위치별 서브 픽셀의 전류가 매우 큰 폭으로 출렁이는 것을 볼 수 있다. 그러나, 본 발명의 제2실시예와 같이 기준전압(Vref)에 리플(+Rp)이 발생할 것을 예상하고 역상전압(+VR, -VR)을 공급한 결과 패널의 위치별 서브 픽셀의 전류가 작은 폭으로 출렁이는 것을 볼 수 있다. 따라서, 개선 전에는 패널의 위치별 서브 픽셀의 전류가 대략 2.3%의 폭으로 출렁거렸지만, 본 발명의 제2실시예는 패널의 위치별 서브 픽셀의 전류가 대략 0.4%의 폭으로 출렁거리는 현상

이 미미하게 보일 정도로 크게 개선되었다.

- [0118] 이하, 본 발명의 제2실시예에 따른 유기전계발광표시장치의 구동방법에 대해 설명하되, 설명의 이해를 돕기 위해 도 18 내지 도 24를 함께 참조한다.
- [0119] 도 25는 본 발명의 제2실시예에 따른 유기전계발광표시장치의 구동방법을 설명하기 위한 흐름도이다.
- [0120] 도 18 내지 도 25에 도시된 바와 같이, 본 발명의 제2실시예에 따른 유기전계발광표시장치의 구동방법은 리플을 상쇄시키는 이득값을 데이터화하는단계(S210), 기준전압 공급단계(S220), 스캔신호 공급단계(S230), 데이터신호 공급단계(S240) 및 영상 표시단계(S250)의 흐름을 가질 수 있다.
- [0121] 리플을 상쇄시키는 이득값을 데이터화하는단계(S210)는 패널(160)을 측정하여 기준전압(Vref)에 발생하는 리플(+Rp, -Rp)을 상쇄시키는 이득값(Gain)을 데이터화하는 단계이다. 리플을 상쇄시키는 이득값을 데이터화하는단계(S210)는 제n-1데이터신호(n-1)와 제n데이터신호(n)를 비교함으로써 패널에 표시되는 영상 또는 패턴 간에 전류차, 전압차 또는 휘도차 등에 해당하는 차이값(Diff)을 도출할한다. 그리고 차이값(Diff)을 모두 합산한 후 측정을 통해 얻은 이득값(Gain)을 곱하고 이값을 기반으로 기준전압(Vref)에 발생하는 리플(+Rp, -Rp)이 상쇄되는 역상전압(-VR, +VR)이 기준전압(Vref)에 포함되도록 한다. 그러면, 기준전압(Vref)에는 제1포지티브 역상전압(+VR1) 내지 제i포지티브 역상전압(+VRi) 또는 제1네거티브 역상전압(-VR1) 내지 제i네거티브 역상전압(-VRi)이 포함되어 출력된다.
- [0122] 기준전압 공급단계(S220)는 기준전압(Vref)에 발생하는 리플(+Rp, -Rp)이 상쇄되도록 이득값(Gain)을 이용하여 리플(+Rp, -Rp)과 반대되는 역상전압(-VR, +VR)을 포함하는 기준전압(Vref)을 패널(160)에 포함된 서브 픽셀들(SP)에 공급하는 단계이다.
- [0123] 스캔신호 공급단계(S230)는 패널(160)에 포함된 서브 픽셀들(SP)에 연결된 스캔라인들(SL1 ~ SLm)을 통해 스캔신호를 공급하는 단계이다. 하나의 스캔라인들에는 제1 내지 제3스캔라인(EM, INIT, SCAN)이 포함된다. 따라서, 하나의 스캔라인에 스캔신호를 공급한다는 것은 제1 내지 제3스캔라인(EM, INIT, SCAN)을 통해 발광제어신호(em), 초기화신호(init) 및 스위칭신호(scan)를 공급하는 것을 의미한다. 여기서, 제1 및 제2스캔라인(EM, INIT)을 통해 공급되는 발광제어신호(em) 및 초기화신호(init)의 우선순위는 제3스캔라인(SCAN)을 통해 공급되는 스위칭신호(scan)보다 높은 것을 예로 하였으나 이는 회로의 구성에 따라 다를 수 있다.
- [0124] 데이터신호 공급단계(S240)는 패널(160)에 포함된 서브 픽셀들(SP)에 연결된 데이터라인(DL1)을 통해 데이터신호(Vdata)를 공급하는 단계이다.
- [0125] 영상 표시단계(S250)는 패널(160)에 포함된 서브 픽셀들(SP)이 빛을 발광하며 영상을 표시하는 단계이다.
- [0126] 위의 설명에서는 기준전압(Vref)에 발생하는 리플(+Rp, -Rp)이 상쇄되도록 이득값(Gain)을 이용하여 리플(+Rp, -Rp)과 반대되는 역상전압(-VR, +VR)을 포함하는 기준전압(Vref)을 서브 픽셀들(SP)에 공급하는 정도로 요약 설명하였으나, 본 발명에 따른 구동방법은 도 18 내지 도 24 전반에 걸쳐 설명된 방법으로 해석되어야 한다.
- [0127] 이상 본 발명의 제2실시예는 서브 픽셀에 보상회로 사용시 특정 패턴을 표시할 때 패널에 수평 크로스토크가 발생하는 문제를 개선할 수 있는 유기전계발광표시장치와 이의 구동방법을 제공하는 효과가 있다. 또한, 본 발명의 제2실시예는 패널에 나타나는 기준전압의 리플을 측정하고 이를 기반으로 기준전압을 가변하므로 다양한 형태의 수평 크로스토크를 개선할 수 있는 유기전계발광표시장치와 이의 구동방법을 제공하는 효과가 있다.
- [0128] <제3실시예>
- [0129] 도 26은 본 발명의 제3실시예에 따른 유기전계발광표시장치의 개략적인 구성도이고, 도 27은 서브 픽셀의 회로 구성 예시도이며, 도 28은 도 27에 도시된 서브 픽셀을 포함하는 패널의 스캔라인의 배선 레이아웃 예시도이고, 도 29는 도 27에 도시된 보상회로의 예시도이며, 도 30은 도 29에 도시된 서브 픽셀의 구동 파형도이다.
- [0130] 도 26에 도시된 바와 같이, 본 발명의 제3실시예에 따른 유기전계발광표시장치에는 타이밍제어부(110), 데이터 구동부(130), 스캔구동부(120), 패널(160) 및 전원공급부(140)가 포함된다.
- [0131] 전원공급부(140)는 외부로부터 공급된 전압을 변환하여 제1고전위전원, 제2고전위전원, 제1저전위전원 및 제2저전위전원으로 출력할 수 있다. 제1고전위전원과 제1저전위전원은 제1전원배선(EVDD)과 제1그라운드배선(EVSS)을 통해 출력된다. 제2고전위전원과 제2저전위전원은 제2전원배선(VCC)과 제2그라운드배선(GND)을 통해 출력된다.
- [0132] 제1 및 제2실시예에서는 데이터구동부(130) 내에 기준전압(Vref)을 출력하는 장치가 포함된 것을 일례로

하였다. 그러나, 이는 하나의 예시일뿐 기준전압(Vref)은 도 26과 같이 전원공급부(140)로부터 출력될 수도 있다. 이 경우, 전원공급부(140)는 레지스터부(145)에 저장된 레지스터값에 대응하여 기준전압(Vref)을 직접적으로 출력할 수 있다. 그러나, 레지스터부(145)에 저장된 레지스터값에 대응하여 출력된 전압 레벨에 대응하여 데이터구동부(130)가 기준전압(Vref)을 출력하도록 구성될 수도 있다. 즉, 기준전압(Vref)을 출력하는 주체는 다양하게 변형될 수 있다.

[0133] 서브 픽셀들(SP)에는 도 27과 같이 보상회로(CC)가 포함될 수 있다. 도 27과 같이 보상회로(CC)가 포함되고, 스캔구동부(120)가 게이트인 패널 방식으로 형성된 경우, 이의 배선 레이아웃은 도 28과 같이 형성될 수 있다. 즉, 도 5와 유사한 형태로 스캔구동부(120)가 형성될 수 있으나, 하나의 스캔라인(SL1)에는 제1 및 제2스캔라인(INIT, SCAN)이 포함된다.

[0134] 도 29에 도시된 바와 같이, 보상회로(CC)에는 기준전압 공급 트랜지스터(ST)가 포함된다. 기준전압 공급 트랜지스터(ST)는 제1스캔라인(INIT)을 통해 공급된 초기화신호(init)에 응답하여 기준전압(Vref)을 노드 B(B)에 공급한다. 기준전압 공급 트랜지스터(ST)는 제1스캔라인(INIT)에 게이트전극이 연결되고 노드 B(B)에 제1전극이 연결되며 기준전압라인(VREF)에 제2전극이 연결된다.

[0135] 보상회로(CC)가 위와 같이 구성됨에 따라, 스위칭 트랜지스터(SW)는 제2스캔라인(SCAN)을 통해 공급된 스위칭신호(scan)에 응답하여 데이터전압(Vdata)을 노드 A(A)에 공급한다. 스위칭 트랜지스터(SW)는 제2스캔라인(SCAN)에 게이트전극이 연결되고 노드 A(A)에 제1전극이 연결되며 제1데이터라인(DL1)에 제2전극이 연결된다. 스토리지 커패시터(Cst)는 노드 A(A)에 일단이 연결되고 노드 B(B)에 타단이 연결된다. 구동 트랜지스터(DT)는 노드 A(A)에 게이트전극이 연결되고 노드 B(B)에 제1전극이 연결되며 제1전원배선(EVDD)에 제2전극이 연결된다. 유기 발광다이오드(OLED)는 노드 B(B)에 애노드전극이 연결되고 제1그라운드배선(EVSS)에 캐소드전극이 연결된다. 위의 설명에서는 트랜지스터들의 제1전극이 소오스전극으로 선택되고 제2전극이 드레인전극으로 선택된 것을 예로 하였으나 이에 한정되지 않는다.

[0136] 도 30에 도시된 바와 같이, 보상회로(CC)가 포함된 서브 픽셀은 노드 B(B)를 특정 전압으로 초기화하는 초기화 시간(Ti), 구동 트랜지스터(DT)의 문턱전압을 검출 및 저장하는 센싱시간(Ts), 데이터전압(Vdata)을 인가하는 프로그래밍시간(Tp), 문턱전압과 데이터전압(Vdata)을 이용하여 유기 발광다이오드(OLED)에 인가되는 구동 전류를 문턱전압과 무관하게 보상하는 발광기간(Te)으로 나누어질 수 있으나 이에 한정되지 않는다.

[0137] 제1 및 제2실시에에서는 서브 픽셀들(SP)의 스캔라인들(SL1 ~ SLm)이 각각 3개의 스캔라인들을 포함하는 것을 일례로 하였다. 그러나, 이는 하나의 예시일뿐 서브 픽셀들(SP)은 도 27과 같이 2개의 스캔라인들(SCAN, INIT)을 포함할 수도 있다.

[0138] 한편, 제1 내지 제3실시에와 같이 보상회로가 포함된 패널은 특정 패턴 구현시 패널 간의 색차가 발생한다.

[0139] 도 31 및 도 32는 패널 간의 색차 발생 문제를 설명하기 위한 도면이다.

[0140] 도 31에 도시된 바와 같이 2개의 패널(160A, 160B)을 동일한 조건으로 제조하더라도 특정 패턴을 구현하면 제1 패널(160A)은 연한 검은색을 표시하는 반면 제2패널(160B)은 검은색을 표시한다. 이는 패널별로 구동 트랜지스터의 문턱전압(Vth) 특성이 다르기 때문이다.

[0141] 예컨대, 제1패널(160A)의 서브 픽셀들에 포함된 구동 트랜지스터의 문턱전압(Vth)을 측정하면 도 32의 (a)와 같은 그래프로 나타나지만 제2패널(160B)의 서브 픽셀들에 포함된 구동 트랜지스터의 문턱전압(Vth)을 측정하면 도 32의 (b)와 같은 그래프로 나타난다. 도 32의 (a)는 구동 트랜지스터의 문턱전압(Vth)이 네거티브바이어스(NBTiS) 방향으로 치우친 경우를 의미하고, 도 32의 (b)는 구동 트랜지스터의 문턱전압(Vth)이 포지티브바이어스(PBTiS) 방향으로 치우친 경우를 의미한다.

[0142] 도 32의 그래프는 서브 픽셀들의 개수 대비 구동 트랜지스터의 문턱전압 분포도를 나타낸다. 도 32의 그래프는 단편적인 예로 2개의 그래프만 도시하였으나 실질적으로 도 32의 (a)와 도 32의 (b) 사이에는 무수히 많은 형태의 그래프가 존재한다. 그리고 이들 사이에 존재하는 그래프는 서로 같은 조건을 갖는 그래프를 포함할 수도 있고 서로 다른 조건을 갖는 그래프를 포함할 수도 있다. 즉, 패널을 동일한 조건으로 제조하더라도 Lot to Lot) 슬롯 투 슬롯(Slot to Slot) 셀 투 셀(Cell to Cell) 별로 구동 트랜지스터의 문턱전압(Vth) 특성이 서로 다른 값을 갖는다.

[0143] 그러므로, 보상회로를 포함하는 패널에 동일한 구동 조건의 디폴트 기준전압(Vref_dv)을 적용하면 도 31과 같이 제1패널(160A)은 연한 검은색을 나타내는 반면 제2패널(160B)은 검은색을 나타내게 된다.

- [0144] 이와 같이 패널별로 구동 트랜지스터의 문턱전압(V_{th}) 특성이 서로 다른바 본 발명의 제3실시예는 이를 개선하기 위해 다음과 같이 유기전계발광표시장치를 제조한다.
- [0145] 도 33은 본 발명의 제3실시예에 따른 유기전계발광표시장치의 제조방법을 설명하기 위한 흐름도이고, 도 34는 본 발명의 제3실시예에 따라 패널 간의 색차 발생 문제를 개선한 예를 나타낸 도면이다.
- [0146] 도 33에 도시된 바와 같이, 본 발명의 제3실시예에 따른 유기전계발광표시장치의 제조방법은 패널들을 형성하는 단계(S310), 기준전압을 설정하고 구동하는 단계(S320), 패널들 각각의 표시 특성을 측정 및 분석하는 단계(S330) 및 표시 특성에 대응하여 기준전압을 달리하는 보정하는 단계(S340)의 흐름을 가질 수 있다.
- [0147] 패널들을 형성하는 단계(S310)는 기준전압 공급 트랜지스터를 포함하는 보상회로를 갖는 서브 픽셀들을 포함하는 패널들을 형성하는 단계이다. 기준전압 공급 트랜지스터를 포함하는 서브 픽셀들의 구성은 도 3과 같은 형태가 되거나 도 29와 같은 형태가 될 수 있으나 이에 한정되지 않는다. 다만, 도 3 또는 도 29와 같은 형태로 구성된 서브 픽셀들에 본 발명이 적용될 경우 패널 간의 색차 발생 문제가 개선된 것으로 나타났다.
- [0148] 기준전압을 설정하고 구동하는 단계(S320)는 패널들 각각에 디폴트 기준전압을 설정하고 구동시키는 단계이다. 패널들 각각에 디폴트 기준전압을 설정하고 구동하면 서브 픽셀들에 포함된 구동 트랜지스터의 문턱전압(V_{th}) 특성에 따라 연한 검은색, 검은색, 진한 검은색 등으로 적어도 하나가 같거나 다른 검은색을 표시하게 된다. 이때, 디폴트 기준전압으로 설정된 값은 도 26의 전원공급부(140)에 포함된 레지스터부(145)에 저장된다.
- [0149] 패널들 각각의 표시 특성을 측정 및 분석하는 단계(S330)는 패널들 각각의 표시 특성을 측정 및 분석하는 단계이다. 패널들 각각에는 모두 동일하게 디폴트 기준전압이 설정되어 있으므로, 패널들을 각각 측정하면 각 패널의 서브 픽셀들에 포함된 구동 트랜지스터의 문턱전압(V_{th}) 특성을 알 수 있다. 한편, 도 32의 그래프를 참조하면, 구동 트랜지스터의 문턱전압을 측정하고 이를 데이터화하여 분석하면 이 값들은 평균치(Typ)를 기준으로 최소치(Min)와 최대치(Max)로 구분되어 산포된다. 구동 트랜지스터의 문턱전압을 측정하고 이를 데이터화하여 분석하면 기준전압을 얼마만큼 변경하였을 때, 패널들 각각의 색차 발생 문제를 줄일 수 있는지 알 수 있게 된다. 예컨대, 산포된 구동 트랜지스터의 문턱전압에 대해 2개의 관리기준(LSL, USL)을 정의하고 2개의 관리기준(LSL, USL) 중 하나에 부합하도록 기준전압을 조절하면 패널들 각각의 색차 발생 문제를 줄일 수 있다. 즉, 관리기준(LSL, USL)은 기준전압을 조절할 때 사용되는 조정값의 척도로 사용된다.
- [0150] 표시 특성에 대응하여 기준전압을 달리하는 단계(S340)는 패널들 각각의 표시 특성을 측정 및 분석단계(S330)에 의해 도출된 조정값에 대응하여 제1패널(160A)에 설정할 기준전압과 제2패널(160B)에 설정할 기준전압을 보정하는 단계이다. 단편적인 예로, 제1패널(160A)에 포함된 구동 트랜지스터의 문턱전압의 분포도와 제2패널(160B)에 포함된 구동 트랜지스터의 문턱전압의 분포도가 다를 경우, 2개의 패널(160A, 160B)에 설정되는 기준전압은 서로 다르다. 반면, 제1패널(160A)에 포함된 구동 트랜지스터의 문턱전압의 분포도와 제2패널(160B)에 포함된 구동 트랜지스터의 문턱전압의 분포도가 같을 경우, 2개의 패널(160A, 160B)에 설정되는 기준전압은 동일하다. 그러나, 엄밀히 따져보면 제1패널(160A)과 제2패널(160B)에 포함된 구동 트랜지스터의 문턱전압의 분포도가 같을 확률은 매우 적기 때문에 두 패널(160A, 160B)에 설정되는 기준전압은 서로 다르다.
- [0151] 앞서 설명한 방법에 따르면, 도 34에 도시된 바와 같이 제1패널(160A)과 제2패널(160B)에 포함된 구동 트랜지스터의 문턱전압의 분포도가 다르다. 따라서, 제1패널(160A)을 구성하는 전원공급부(140)에 포함된 레지스터부(145)에는 제1보정 기준전압(V_{ref_aV})이 설정된다. 반면, 제2패널(160B)을 구성하는 전원공급부(140)에 포함된 레지스터부(145)에는 제2보정 기준전압(V_{ref_bV})이 설정된다.
- [0152] 이상 본 발명의 제3실시예는 서브 픽셀에 보상회로 사용시 특정 패턴을 표시할 때 패널 간의 색차가 발생하는 문제를 개선할 수 있는 유기전계발광표시장치의 제조방법을 제공하는 효과가 있다. 또한, 본 발명의 제3실시예는 패널별 구동 트랜지스터의 문턱전압 특성에 대응하여 기준전압을 다르게 설정하므로 패널 간의 색차가 발생하는 문제를 개선할 수 있는 유기전계발광표시장치의 제조방법을 제공하는 효과가 있다.
- [0153] 이상 본 발명은 구조, 구성 및 효과별로 구분하여 제1 내지 제3실시예를 설명하였다. 그러나, 본 발명의 제1 내지 제3실시예는 보상회로를 포함하는 서브 픽셀로 이루어진 패널을 최적화하기 위해 서로 결합 조합하여 구성될 수도 있다. 예컨대, 제1 및 제2실시예를 결합 조합하여 기준전압을 스캔라인별로 가변함과 동시에 리플을 제거하기 위해 기준전압에 역상전압이 포함되도록 구성될 수 있다. 예컨대, 제1 및 제3실시예를 결합 조합하여 패널별로 다른 기준전압이 출력되도록 레지스터를 설정함과 동시에 기준전압이 스캔라인별로 가변하도록 구성될 수 있다. 예컨대, 제2 및 제3실시예를 결합 조합하여 패널별로 다른 기준전압이 출력되도록 레지스터를 설정함과 동시에 리플을 제거하기 위해 기준전압에 역상전압이 포함되도록 구성될 수 있다.

[0154] 이상 본 발명은 서브 픽셀에 보상회로 사용시 특정 패턴을 표시할 때 나타나는 다양한 문제(예컨대, 휘도 얼룩, 수평 크로스트로크, 문턱전압 편차 등)를 개선할 수 있는 유기전계발광표시장치, 이의 구동방법 및 이의 제조방법을 제공하는 효과가 있다.

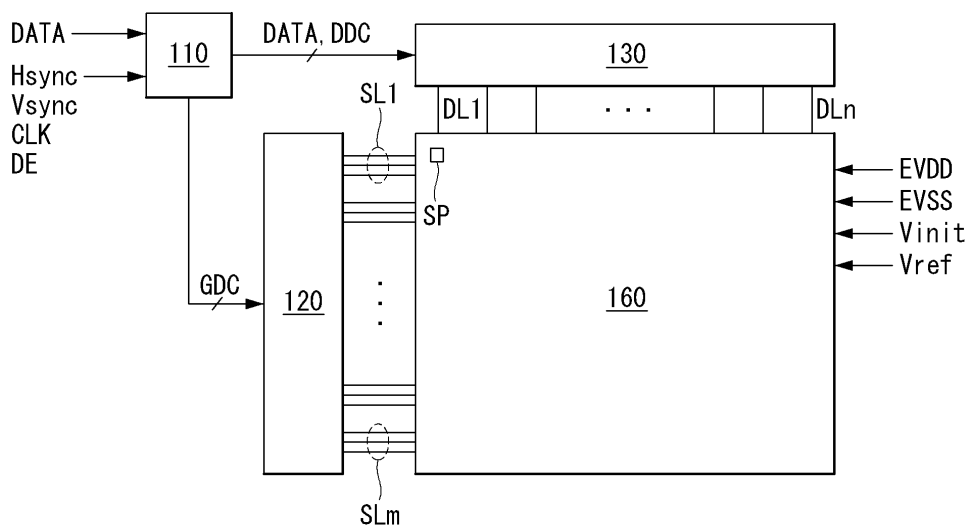
[0155] 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 상술한 본 발명의 기술적 구성은 본 발명이 속하는 기술 분야의 당업자가 본 발명의 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해되어야 한다. 아울러, 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어진다. 또한, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

부호의 설명

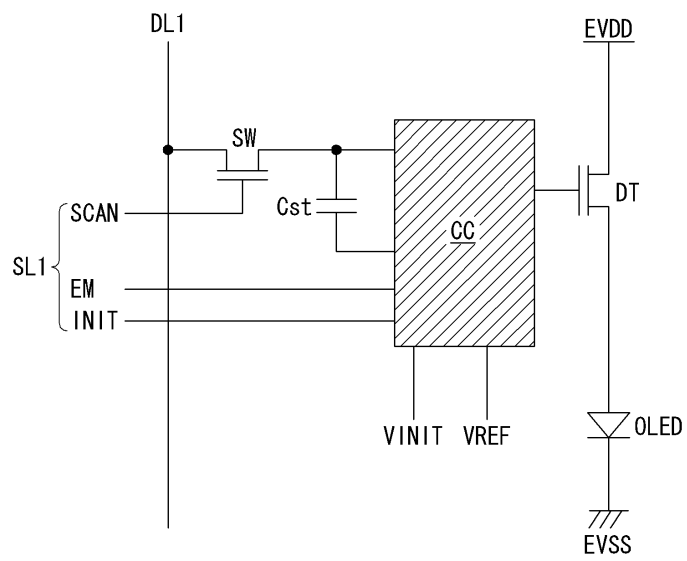
[0156] 110: 타이밍 제어부 130: 데이터구동부
120: 스캔구동부 160: 패널
135: 기준전압 보상부 R1: 제1저항기
OP: 오피앰프 R2: 제2저항기
VCS: 전압변경신호 111: 데이터 프로세서부
112: 제1제어부 113: 제2제어부
115: 카운터부 114: 룩업테이블
117: 차이값산출부 119: 이득조절부
Diff.: 차이값 Gain: 이득값
-VR, +VR: 역상전압 +Rp, -Rp: 리플

도면

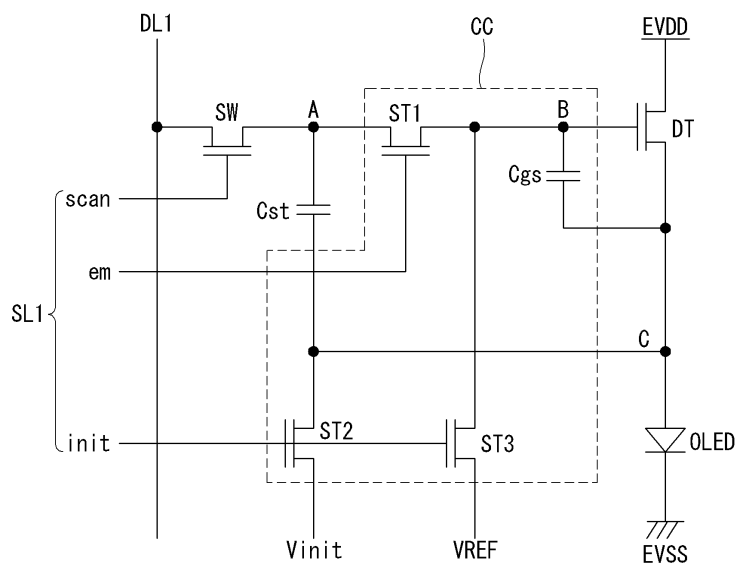
도면1



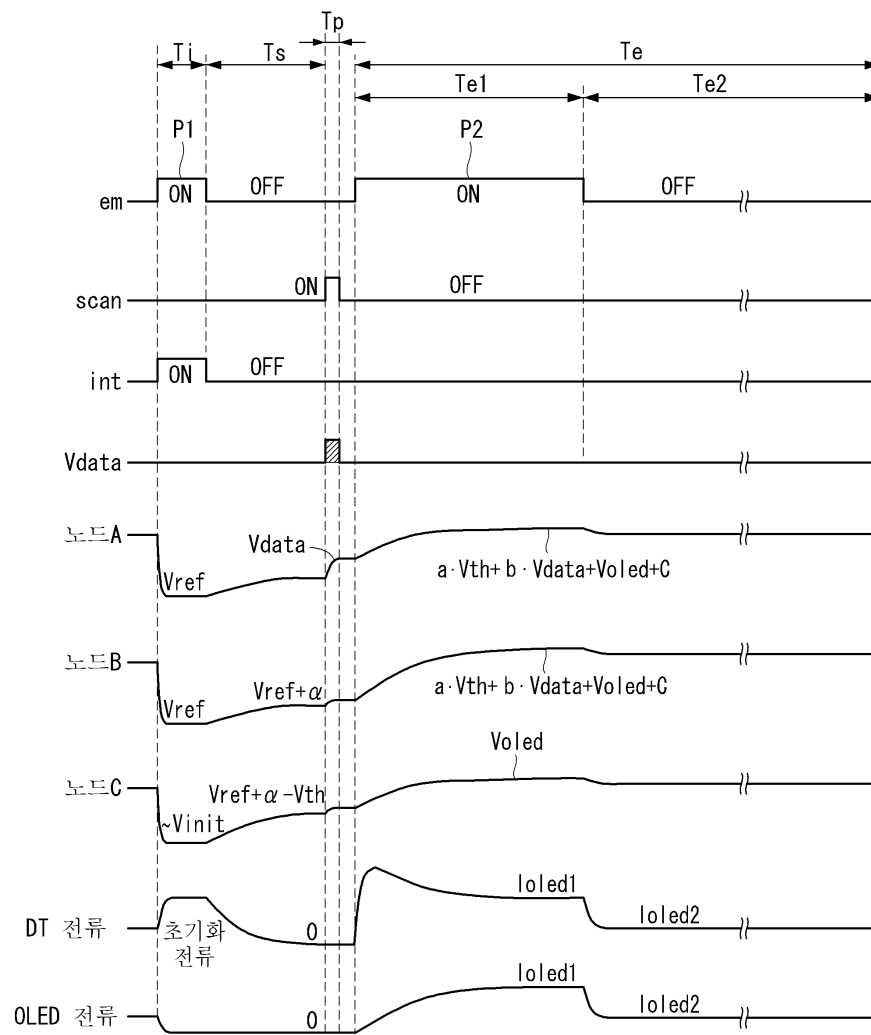
도면2



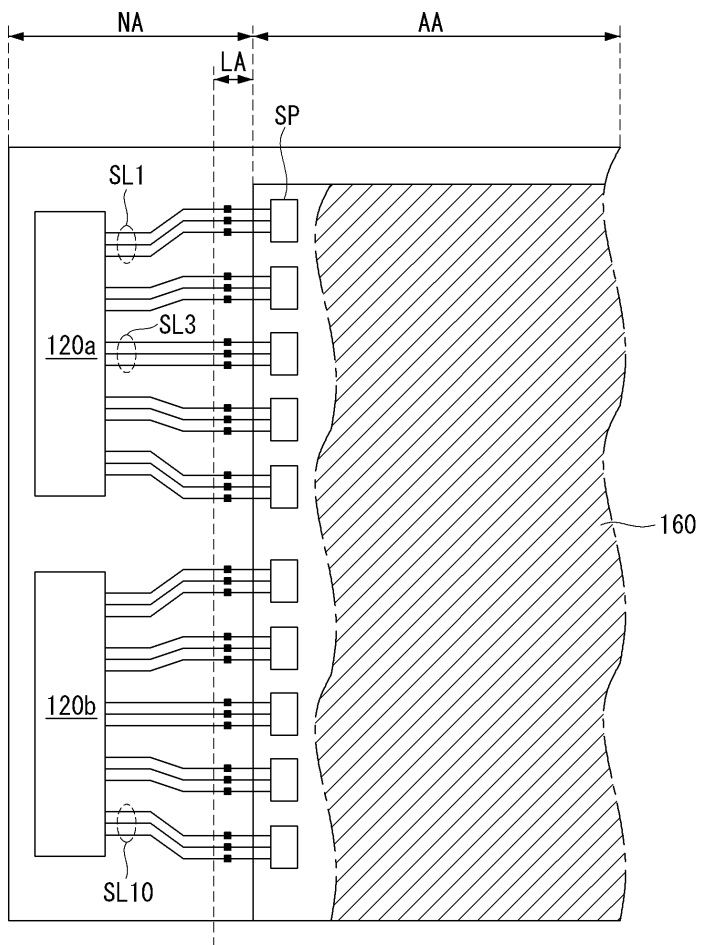
도면3



도면4



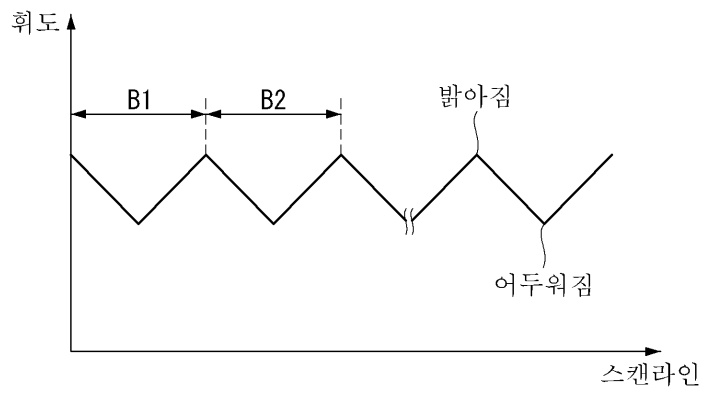
도면5



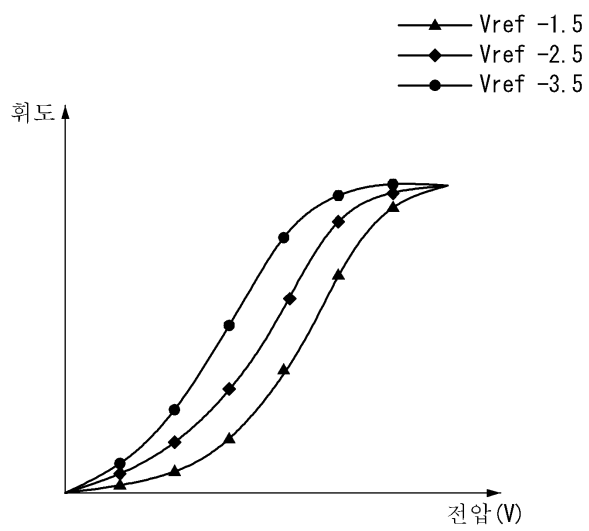
도면6



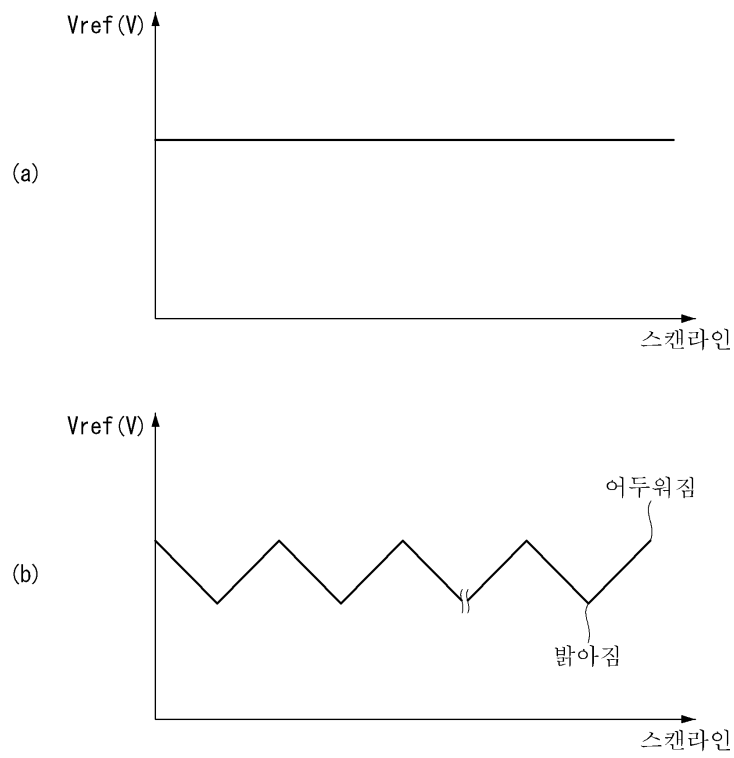
도면7



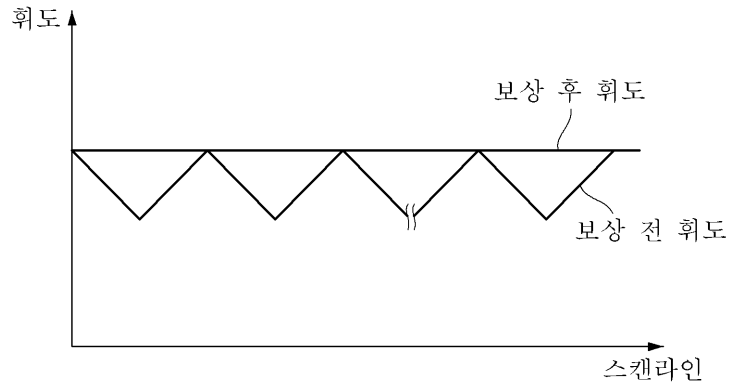
도면8



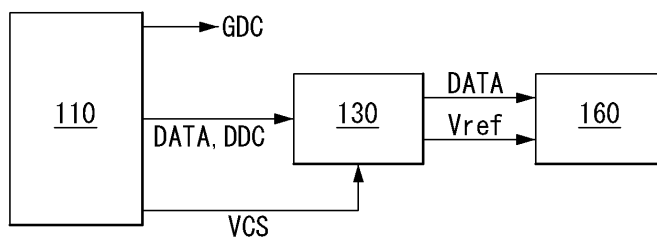
도면9



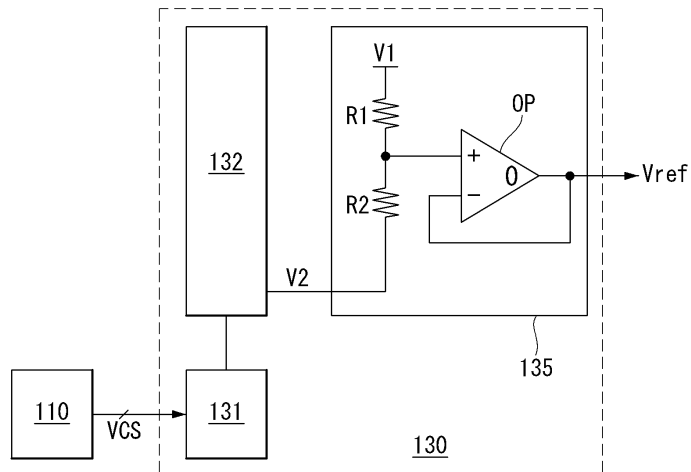
도면10



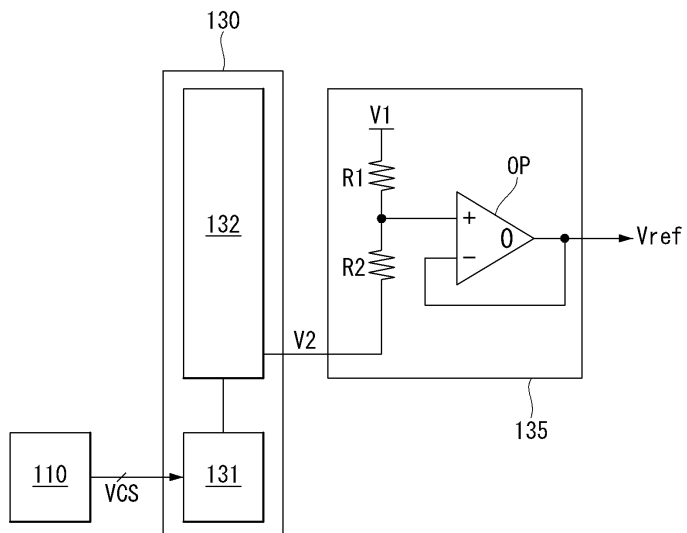
도면11



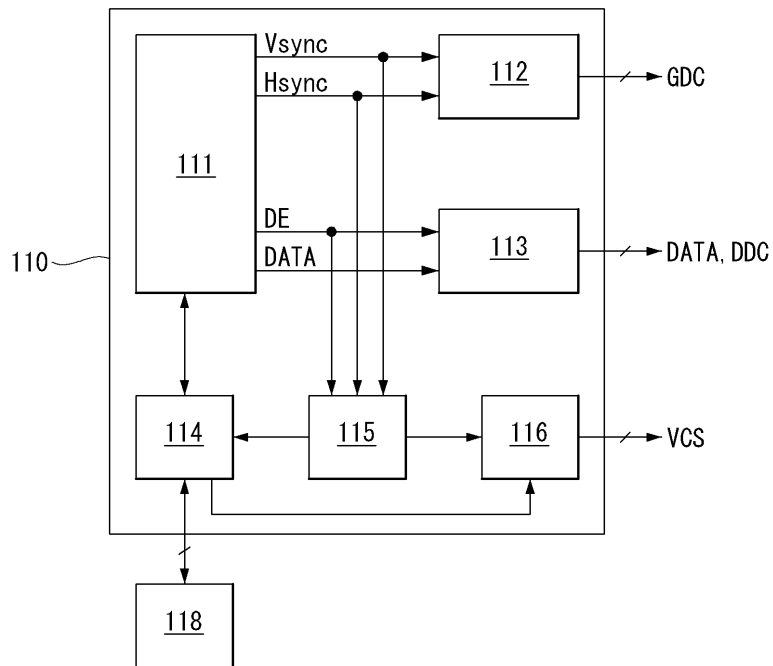
도면12



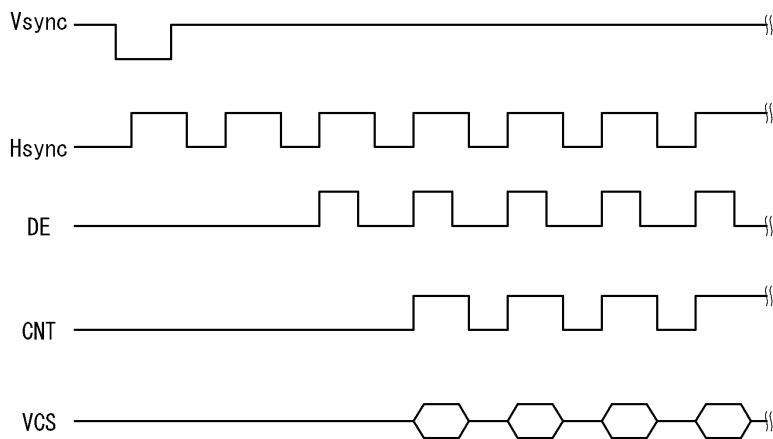
도면13



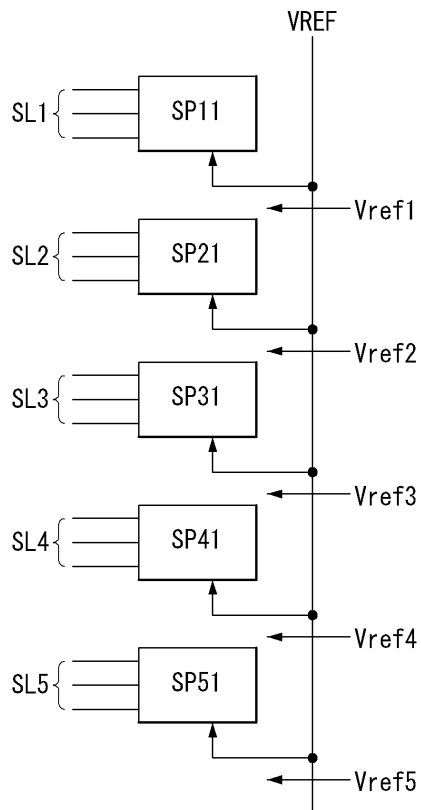
도면14



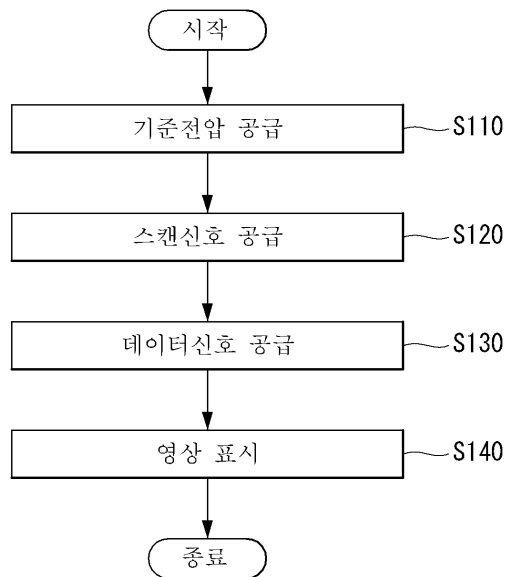
도면15



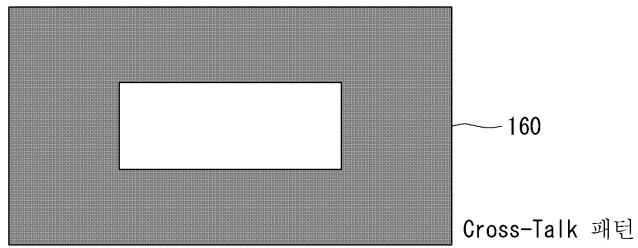
도면16



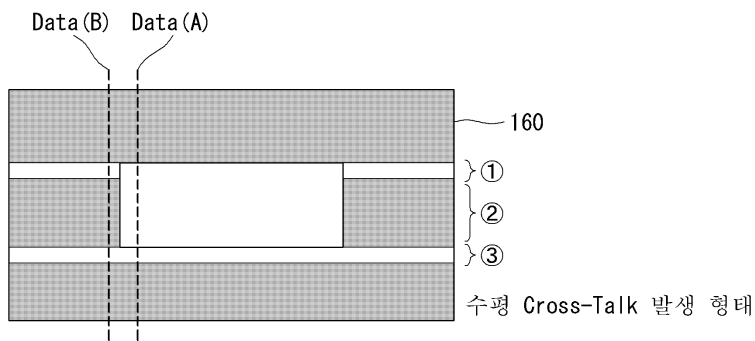
도면17



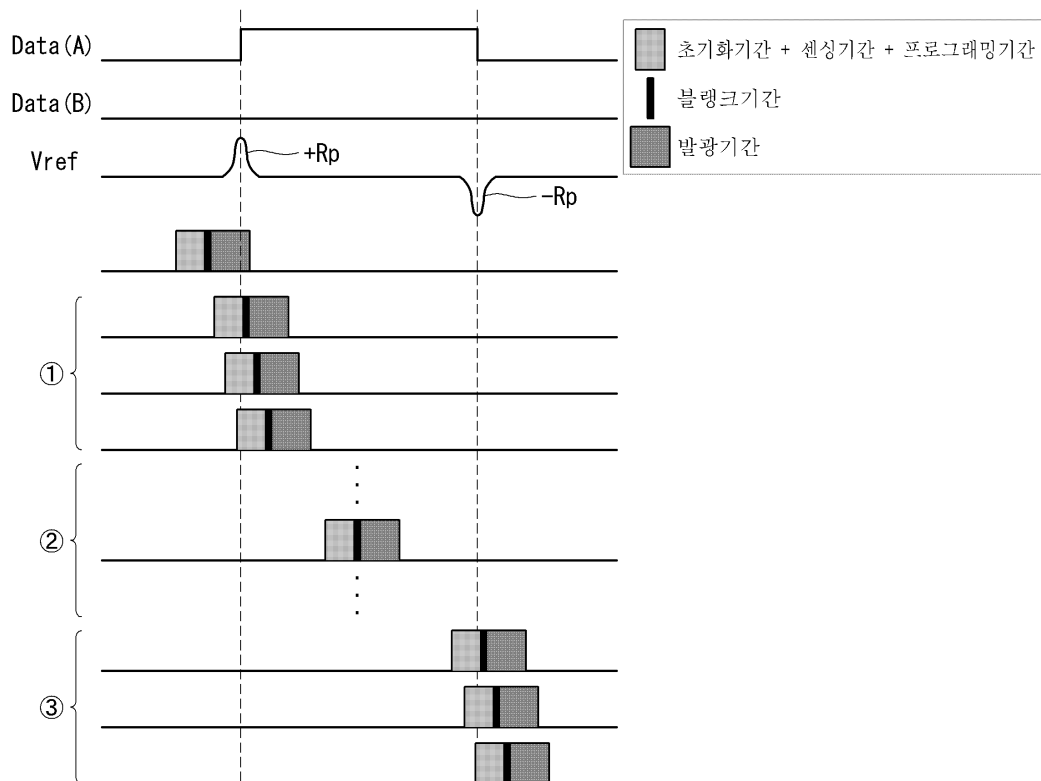
도면18



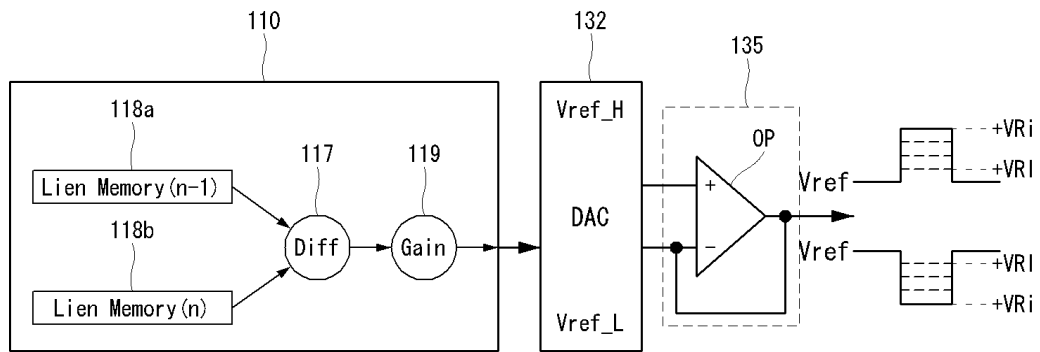
도면19



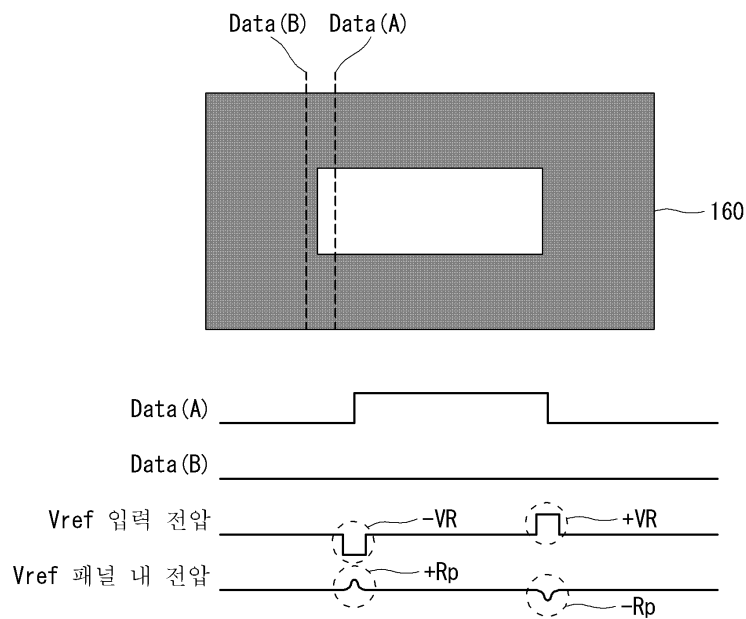
도면20



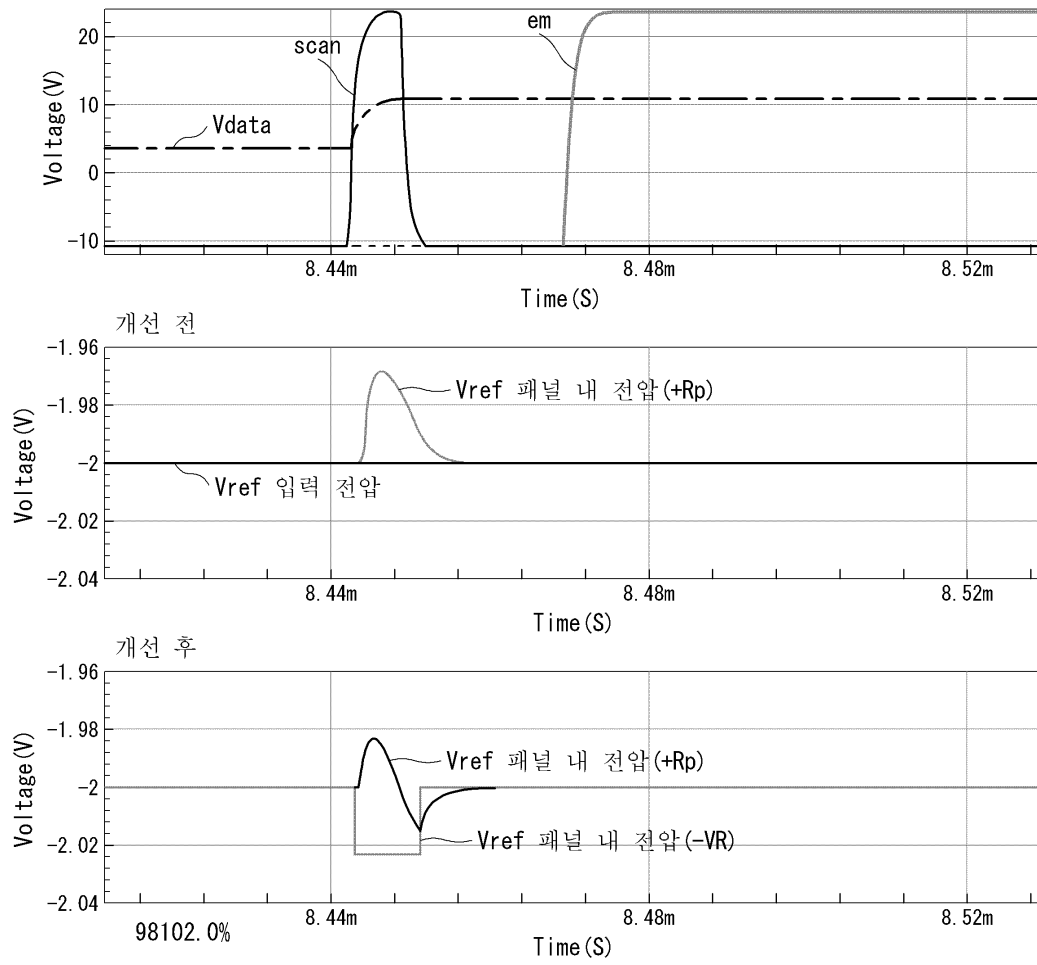
도면21



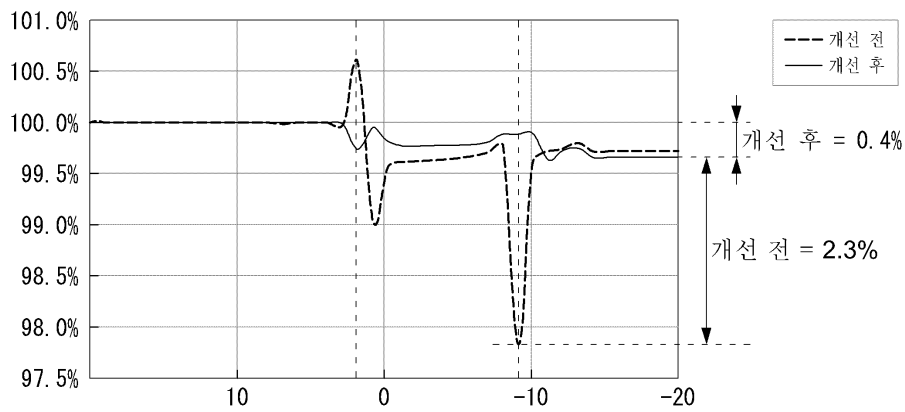
도면22



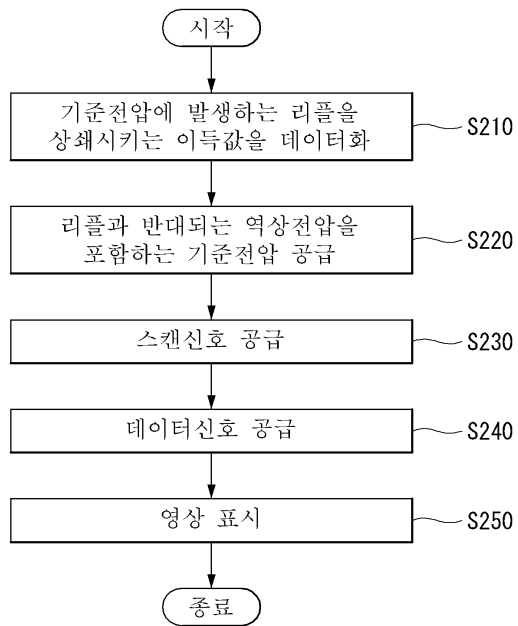
도면23



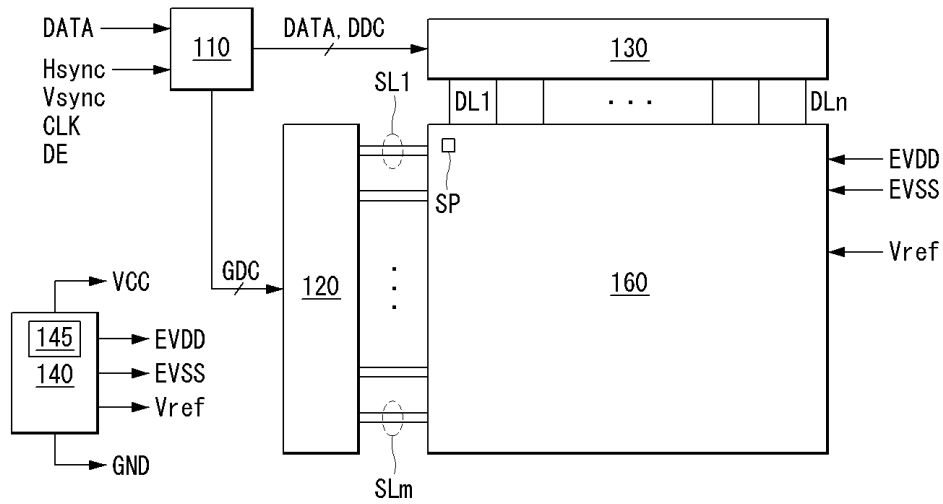
도면24



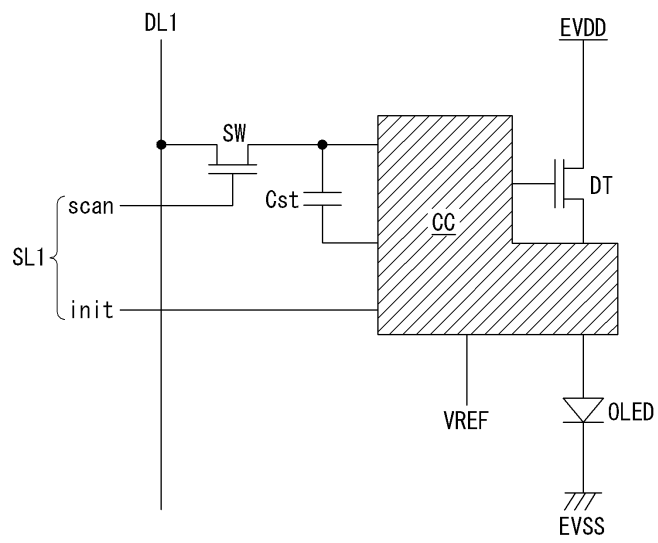
도면25



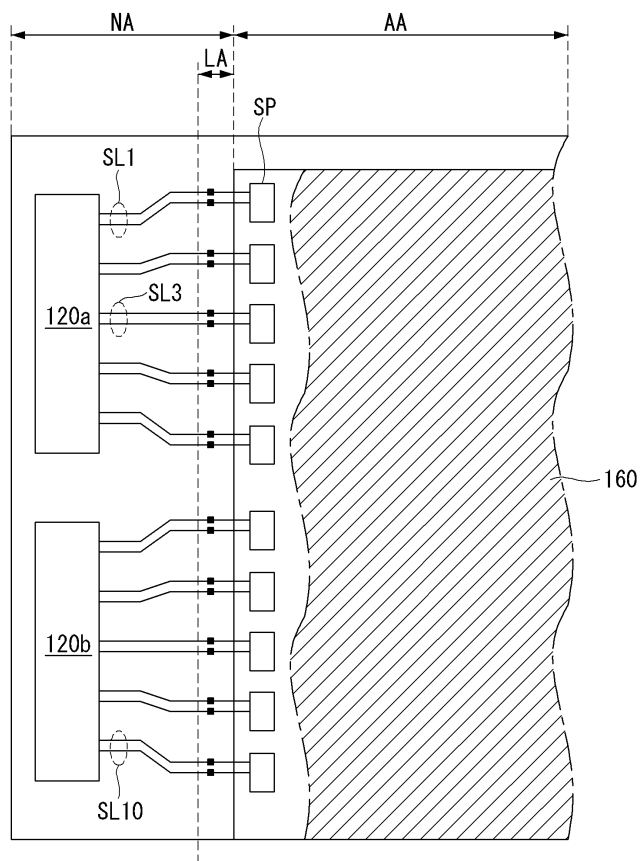
도면26



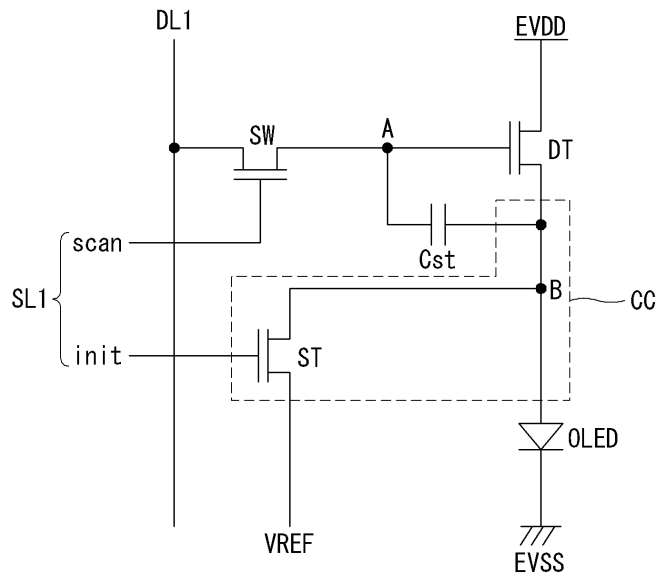
도면27



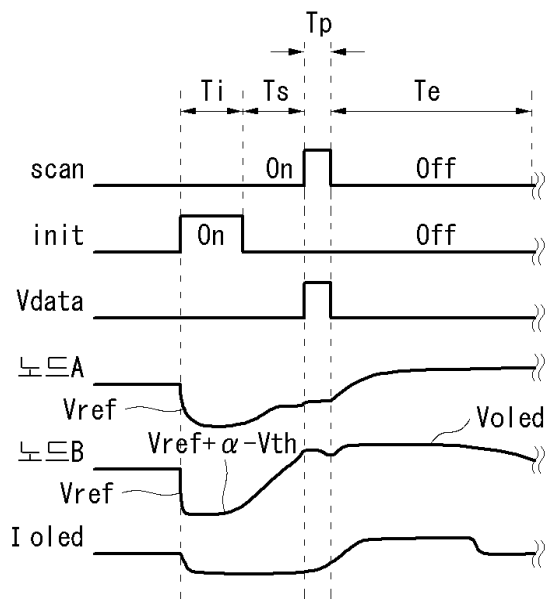
도면28



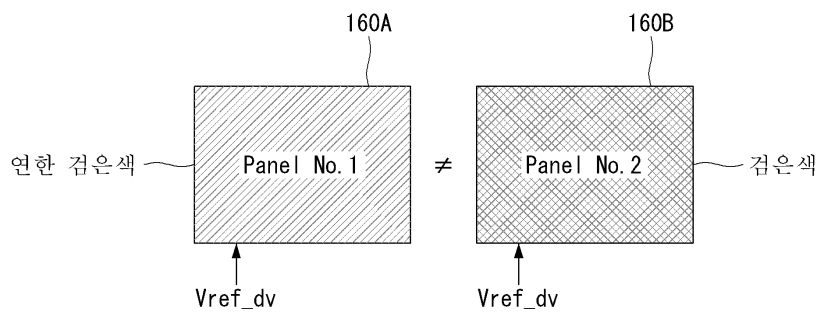
도면29



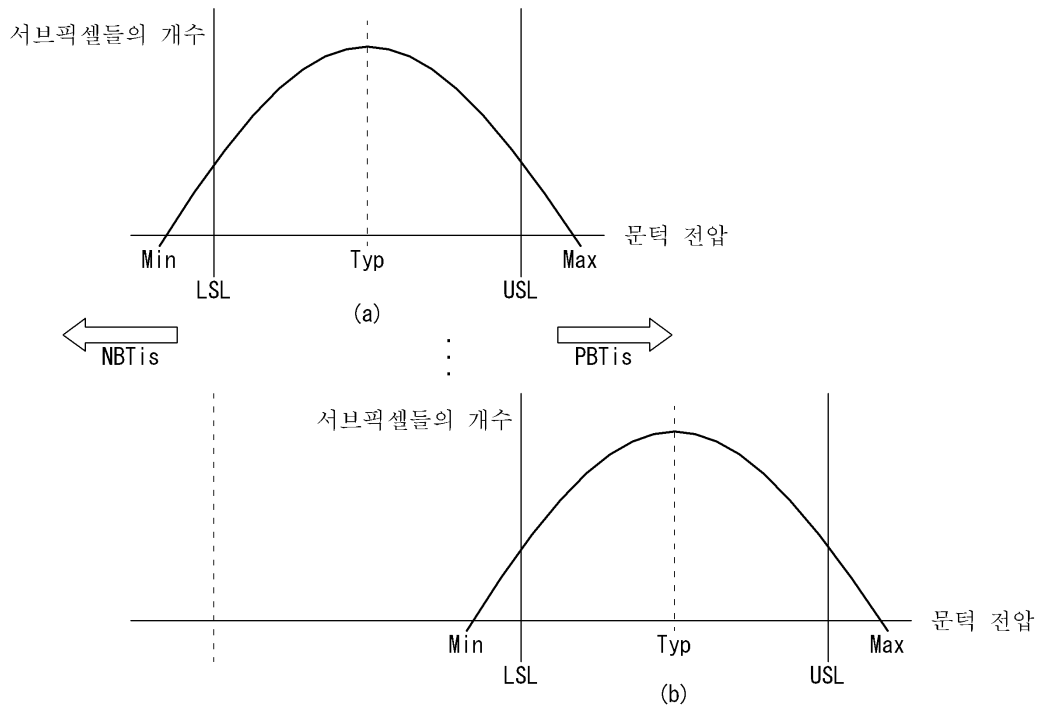
도면30



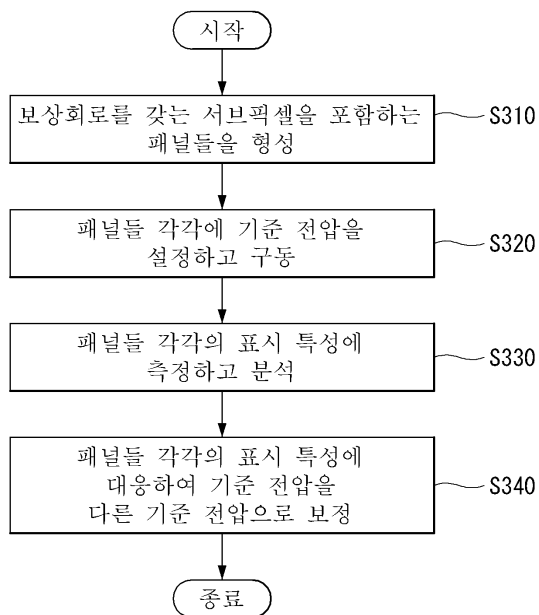
도면31



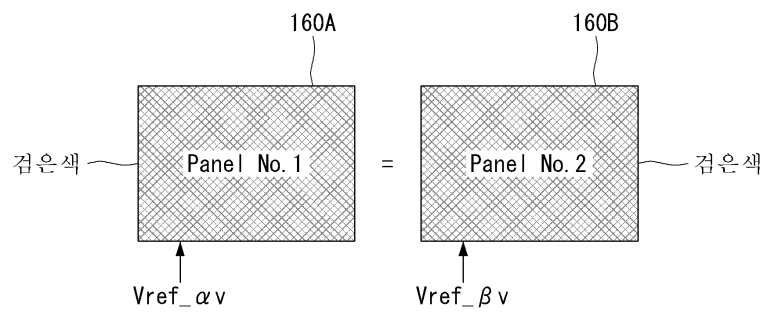
도면32



도면33



도면34



专利名称(译)	有机电致发光显示装置，其驱动方法及其制造方法		
公开(公告)号	KR1020140042623A	公开(公告)日	2014-04-07
申请号	KR1020120155145	申请日	2012-12-27
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM JI HUN 김지훈 YU SANG HO 유상호 NAM WOO JIN 남우진 YOON JOONG SUN 윤중선 CHANG MIN KYU 장민규		
发明人	김지훈 유상호 남우진 윤중선 장민규		
IPC分类号	G09G3/30 H01L51/50 H05B33/10		
CPC分类号	G09G3/3208 H01L22/10 G09G3/3233 G09G2300/0852 G09G2300/0861 G09G2320/045 G09G2300/0842 G09G3/3258 G09G2320/0209		
优先权	1020120107267 2012-09-26 KR		
其他公开文献	KR101985243B1		
外部链接	Espacenet		

摘要(译)

本发明涉及一种包括子像素的面板，该子像素具有补偿电路，该补偿电路包括参考电压供应晶体管，该参考电压供应晶体管被提供有参考电压并用参考电压初始化驱动晶体管的栅电极的节点。扫描驱动器，用于向形成在面板上的扫描线提供扫描信号；一种数据驱动器，用于向形成在面板上的数据线提供数据信号；用于控制扫描驱动器和数据驱动器的定时控制器；以及参考电压补偿器，其改变每条扫描线的参考电压并将电压提供给子像素。 专利文献10-2014-0042623

