



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0025717
(43) 공개일자 2013년03월12일

(51) 국제특허분류(Int. Cl.)
H01L 51/50 (2006.01) *H05B 33/04* (2006.01)
H05B 33/22 (2006.01) *H05B 33/10* (2006.01)
(21) 출원번호 10-2011-0089208
(22) 출원일자 2011년09월02일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
 경기도 용인시 기흥구 삼성2로 95 (농서동)

(72) 발명자
허성권
 경기도 용인시 기흥구 삼성2로 95 (농서동)
강기녕
 경기도 용인시 기흥구 삼성2로 95 (농서동)
최종현
 경기도 용인시 기흥구 삼성2로 95 (농서동)

(74) 대리인
리앤목특허법인

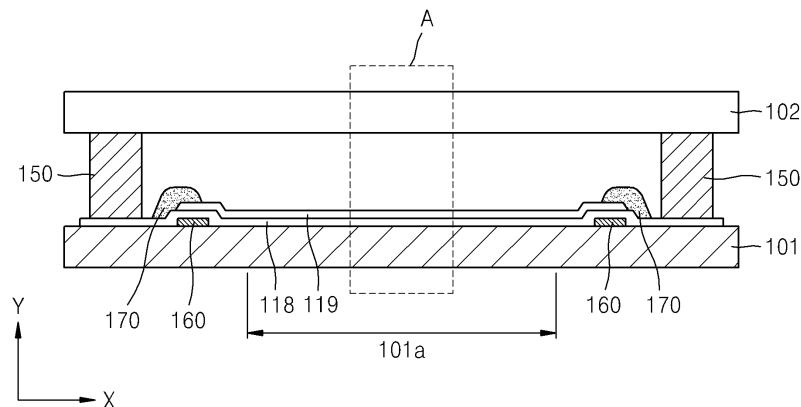
전체 청구항 수 : 총 24 항

(54) 발명의 명칭 유기 발광 표시 장치 및 유기 발광 표시 장치 제조 방법

(57) 요약

내구성 및 기관상의 공간 이용율을 향상하도록 본 발명은 표시 영역을 구비하는 기관, 상기 기관과 대향하도록 배치되는 밀봉 부재, 상기 기관의 표시 영역 상에 상기 밀봉 부재를 향하도록 배치되고 활성층, 게이트 전극, 소스 전극 및 드레인 전극을 구비하는 박막 트랜지스터, 상기 표시 영역상에 상기 박막 트랜지스터와 전기적으로 연결되고, 제1 전극, 제2 전극 및 상기 제1 전극과 제2 전극 사이에 배치되고 유기 발광층을 구비하는 중간층을 포함하는 유기 발광 소자, 상기 기관과 상기 밀봉 부재 사이에 상기 표시 영역의 주변에 형성되는 씰링 부재, 상기 표시 영역과 상기 씰링 부재 사이에 배치되는 내장 회로부, 상기 박막 트랜지스터 상에 배치되고 상기 내장 회로부를 덮도록 길게 연장되어 형성된 패시베이션막, 상기 패시베이션막 상에 배치되는 화소 정의막 및 상기 기관과 상기 밀봉 부재 사이에 내장 회로부의 적어도 일부와 중첩되도록 배치되는 게터를 포함하는 유기 발광 표시 장치 및 제조 방법을 제공한다.

대표도 - 도2



특허청구의 범위

청구항 1

표시 영역을 구비하는 기판;

상기 기판과 대향하도록 배치되는 밀봉 부재;

상기 기판의 표시 영역 상에 상기 밀봉 부재를 향하도록 배치되고 활성층, 게이트 전극, 소스 전극 및 드레인 전극을 구비하는 박막 트랜지스터;

상기 표시 영역상에 상기 박막 트랜지스터와 전기적으로 연결되고, 제1 전극, 제2 전극 및 상기 제1 전극과 제2 전극 사이에 배치되고 유기 발광층을 구비하는 중간층을 포함하는 유기 발광 소자;

상기 기판과 상기 밀봉 부재 사이에 상기 표시 영역의 주변에 형성되는 셸링 부재;

상기 표시 영역과 상기 셸링 부재 사이에 배치되는 내장 회로부;

상기 박막 트랜지스터 상에 배치되고 상기 내장 회로부를 덮도록 길게 연장되어 형성된 패시베이션막;

상기 패시베이션막 상에 배치되는 화소 정의막 및

상기 기판과 상기 밀봉 부재 사이에 내장 회로부의 적어도 일부와 중첩되도록 배치되는 게터를 포함하는 유기 발광 표시 장치.

청구항 2

제1 항에 있어서,

상기 패시베이션막은 무기물을 포함하는 유기 발광 표시 장치.

청구항 3

제1 항에 있어서,

상기 게터는 상기 기판과 상기 밀봉 부재 사이에 상기 셸링 부재와 상기 표시 영역 사이에 형성되는 유기 발광 표시 장치.

청구항 4

제1 항에 있어서,

상기 게터는 상기 패시베이션막 상에 형성된 유기 발광 표시 장치.

청구항 5

제1 항에 있어서,

상기 게터는 상기 화소 정의막과 접하도록 형성된 유기 발광 표시 장치.

청구항 6

제1 항에 있어서,

상기 게터는 Ba, Ca, Mg, Ti, V, Zr, Nb, Mo, Ta, Th, Ce, Al 및 Ni로 이루어지는 군으로부터 선택된 적어도 어느 하나를 함유하는 유기 발광 표시 장치.

청구항 7

제1 항에 있어서,

상기 화소정의막은 유기물을 포함하는 유기 발광 표시 장치.

청구항 8

제1 항에 있어서,

상기 중간층은 상기 패시베이션막과 이격되고 화소 정의막과 접하는 유기 발광 표시 장치.

청구항 9

제1 항에 있어서,

상기 게이트 전극은 상기 활성층 상에 형성되고, 상기 활성층과 상기 게이트 전극 사이에 배치된 게이트 절연막을 더 포함하고,

상기 게이트 절연막상에 형성되는 층간 절연막을 더 포함하고,

상기 소스 전극 및 상기 드레인 전극은 상기 층간 절연막 상에 형성되는 유기 발광 표시 장치.

청구항 10

제9 항에 있어서,

상기 제1 전극은 상기 게이트 절연막 상에 형성되는 유기 발광 표시 장치.

청구항 11

제9 항에 있어서,

상기 층간 절연막은 두 개 이상의 절연층이 적층된 형태인 유기 발광 표시 장치.

청구항 12

제11 항에 있어서,

상기 층간 절연막은 무기물층과 유기물층이 교대로 적층되어 형성된 유기 발광 표시 장치.

청구항 13

제11 항에 있어서,

상기 제1 전극은 상기 층간 절연막의 복수의 절연층 중 최상부의 절연층을 제외한 나머지 절연층 중 어느 하나의 절연층의 상면에 형성된 유기 발광 표시 장치.

청구항 14

제1 항에 있어서,

상기 기판상에 배치되는 캐패시터를 더 포함하고,

상기 캐패시터는 상기 활성층과 동일한 층에 상기 활성층과 동일한 재질을 함유하는 제1 캐패시터 전극; 및

상기 게이트 전극과 동일한 층에 형성되고 적어도 상기 제1 전극을 형성하는 재료를 함유하는 제2 캐패시터 전극을 구비하는 유기 발광 표시 장치.

청구항 15

제14 항에 있어서,

상기 제2 캐패시터 전극은 상기 제1 캐패시터 전극보다 작게 형성되는 유기 발광 표시 장치.

청구항 16

제1 항에 있어서,

상기 제1 전극은 투과형 도전물을 함유하는 유기 발광 표시 장치.

청구항 17

제16 항에 있어서,

상기 투과형 도전물은 ITO, IZO, ZnO, In₂O₃, IGO 및 AZO로 이루어지는 군으로부터 선택된 적어도 어느 하나를 포함하는 유기 발광 표시 장치.

청구항 18

제1 항에 있어서,

상기 제1 전극은 반투과 금속층 상부에 투과형 도전물층이 순차로 적층되어 형성된 유기 발광 표시 장치.

청구항 19

제18 항에 있어서,

상기 제1 전극은 상기 반투과 금속층의 하부에 형성된 투과형 도전물층을 더 구비하는 유기 발광 표시 장치.

청구항 20

제18 항에 있어서,

상기 반투과 금속층은 Ag를 함유하는 유기 발광 표시 장치.

청구항 21

제1 항에 있어서,

상기 중간층은 상기 박막 트랜지스터와 중첩되지 않고 이격되도록 형성되는 유기 발광 표시 장치.

청구항 22

표시 영역을 구비하는 기판과 밀봉 부재 사이에 상기 기판의 표시 영역 상에 활성층, 게이트 전극, 소스 전극 및 드레인 전극을 구비하는 박막 트랜지스터를 형성하는 단계;

상기 표시 영역상에 상기 박막 트랜지스터와 전기적으로 연결되고, 제1 전극, 제2 전극 및 상기 제1 전극과 제2 전극 사이에 배치되고 유기 발광층을 구비하는 중간층을 포함하는 유기 발광 소자를 형성하는 단계;

상기 기판과 상기 밀봉 부재 사이에 상기 표시 영역의 주변에 셀링 부재를 형성하는 단계;

상기 표시 영역과 상기 셀링 부재 사이에 내장 회로부를 형성하는 단계;

상기 박막 트랜지스터 상에 배치되고 상기 내장 회로부를 덮도록 길게 연장된 형태로 패시베이션막을 형성하는 단계;

상기 패시베이션막 상에 화소 정의막을 형성하는 단계 및

상기 내장 회로부의 적어도 일부와 중첩되도록 게터를 형성하는 단계를 포함하는 유기 발광 표시 장치 제조 방법.

청구항 23

제22 항에 있어서,

상기 패시베이션막 및 상기 화소 정의막은 적어도 상기 제1 전극의 상면에 대응하는 개구부를 각각 구비하고,

상기 패시베이션막의 개구부를 형성하는 단계는 상기 화소 정의막의 개구부를 형성한 후에 수행하는 유기 발광 표시 장치 제조 방법.

청구항 24

제23 항에 있어서,

상기 패시베이션막의 개구부는 상기 화소 정의막에 덮이도록 형성되는 유기 발광 표시 장치 제조 방법.

명세서

기술분야

[0001] 본 발명은 유기 발광 표시 장치 및 유기 발광 표시 장치 제조 방법에 관한 것으로 더 상세하게는 내구성 및 기관상의 공간 이용율을 향상하는 유기 발광 표시 장치 및 유기 발광 표시 장치 제조 방법에 관한 것이다.

배경기술

[0002] 근래에 표시 장치는 휴대가 가능한 박형의 평판 표시 장치로 대체되는 추세이다. 평판 표시 장치 중에서도 유기 발광 표시 장치는 자발광형 표시 장치로서 시야각이 넓고 콘트라스트가 우수할 뿐만 아니라 응답속도가 빠르다는 장점을 가져서 차세대 디스플레이 장치로 주목 받고 있다.

[0003] 유기 발광 표시 장치는 중간층, 제1 전극 및 제2 전극을 구비한다. 중간층은 유기 발광층을 구비하고, 제1 전극 및 제2 전극에 전압을 가하면 유기 발광층에서 가시광선을 발생하게 된다.

[0004] 또한 유기 발광 표시 장치는 복수의 화소들을 구비하고, 화소들을 구동하는 회로부를 포함한다

[0005] 유기 발광 표시 장치에 구비된 다수의 박막 및 회로부는 외부의 수분 및 산소에 의하여 특성이 저하되기 쉽다. 이로 인하여 유기 발광 표시 장치의 내구성을 향상하는데 한계가 있다.

발명의 내용

해결하려는 과제

[0006] 본 발명은 내구성 및 기관상의 공간 이용율을 향상하는 유기 발광 표시 장치 및 유기 발광 표시 장치 제조 방법을 제공할 수 있다.

과제의 해결 수단

[0007] 본 발명은 표시 영역을 구비하는 기관, 상기 기관과 대향하도록 배치되는 밀봉 부재, 상기 기관의 표시 영역 상에 상기 밀봉 부재를 향하도록 배치되고 활성층, 게이트 전극, 소스 전극 및 드레인 전극을 구비하는 박막 트랜지스터, 상기 표시 영역상에 상기 박막 트랜지스터와 전기적으로 연결되고, 제1 전극, 제2 전극 및 상기 제1 전극과 제2 전극 사이에 배치되고 유기 발광층을 구비하는 중간층을 포함하는 유기 발광 소자, 상기 기관과 상기 밀봉 부재 사이에 상기 표시 영역의 주변에 형성되는 셸링 부재, 상기 표시 영역과 상기 셸링 부재 사이에 배치되는 내장 회로부, 상기 박막 트랜지스터 상에 배치되고 상기 내장 회로부를 덮도록 길게 연장되어 형성된 패시베이션막, 상기 패시베이션막 상에 배치되는 화소 정의막 및 상기 기관과 상기 밀봉 부재 사이에 내장 회로부의 적어도 일부와 중첩되도록 배치되는 게터를 포함하는 유기 발광 표시 장치를 개시한다.

[0008] 본 발명에 있어서 상기 패시베이션막은 무기물을 포함할 수 있다.

[0009] 본 발명에 있어서 상기 게터는 상기 기관과 상기 밀봉 부재 사이에 상기 셸링 부재와 상기 표시 영역 사이에 형성될 수 있다.

[0010] 본 발명에 있어서 상기 게터는 상기 패시베이션막 상에 형성될 수 있다.

[0011] 본 발명에 있어서 상기 게터는 상기 화소 정의막과 접하도록 형성될 수 있다.

[0012] 본 발명에 있어서 상기 게터는 Ba, Ca, Mg, Ti, V, Zr, Nb, Mo, Ta, Th, Ce, Al 및 Ni로 이루어지는 군으로부터 선택된 적어도 어느 하나를 함유할 수 있다.

[0013] 본 발명에 있어서 상기 화소정의막은 유기물을 포함할 수 있다.

[0014] 본 발명에 있어서 상기 중간층은 상기 패시베이션막과 이격되고 화소 정의막과 접할 수 있다.

[0015] 본 발명에 있어서 상기 게이트 전극은 상기 활성층 상에 형성되고, 상기 활성층과 상기 게이트 전극 사이에 배치된 게이트 절연막을 더 포함하고, 상기 게이트 절연막상에 형성되는 층간 절연막을 더 포함하고, 상기 소스 전극 및 상기 드레인 전극은 상기 층간 절연막 상에 형성될 수 있다.

[0016] 본 발명에 있어서 상기 제1 전극은 상기 게이트 절연막 상에 형성될 수 있다.

- [0017] 본 발명에 있어서 상기 층간 절연막은 두 개 이상의 절연층이 적층된 형태일 수 있다.
- [0018] 본 발명에 있어서 상기 층간 절연막은 무기물층과 유기물층이 교대로 적층되어 형성될 수 있다.
- [0019] 본 발명에 있어서 상기 제1 전극은 상기 층간 절연막의 복수의 절연층 중 최상부의 절연층을 제외한 나머지 절연층 중 어느 하나의 절연층의 상면에 형성될 수 있다.
- [0020] 본 발명에 있어서 상기 기판상에 배치되는 캐패시터를 더 포함하고, 상기 캐패시터는 상기 활성층과 동일한 층에 상기 활성층과 동일한 재질을 함유하는 제1 캐패시터 전극 및 상기 게이트 전극과 동일한 층에 형성되고 적어도 상기 제1 전극을 형성하는 재료를 함유하는 제2 캐패시터 전극을 구비할 수 있다.
- [0021] 본 발명에 있어서 상기 제2 캐패시터 전극은 상기 제1 캐패시터 전극보다 작게 형성될 수 있다.
- [0022] 본 발명에 있어서 상기 제1 전극은 투과형 도전물을 함유할 수 있다.
- [0023] 본 발명에 있어서 상기 투과형 도전물은 ITO, IZO, ZnO, In₂O₃, IGO 및 AZO로 이루어지는 군으로부터 선택된 적어도 어느 하나를 포함할 수 있다.
- [0024] 본 발명에 있어서 상기 제1 전극은 반투과 금속층 상부에 투과형 도전물층이 순차로 적층되어 형성될 수 있다.
- [0025] 본 발명에 있어서 상기 제1 전극은 상기 반투과 금속층의 하부에 형성된 투과형 도전물층을 더 구비할 수 있다.
- [0026] 본 발명에 있어서 상기 반투과 금속층은 Ag를 함유할 수 있다.
- [0027] 본 발명에 있어서 상기 중간층은 상기 박막 트랜지스터와 중첩되지 않고 이격되도록 형성될 수 있다.
- [0028] 본 발명은 표시 영역을 구비하는 기판과 밀봉 부재 사이에 상기 기판의 표시 영역 상에 활성층, 게이트 전극, 소스 전극 및 드레인 전극을 구비하는 박막 트랜지스터를 형성하는 단계, 상기 표시 영역상에 상기 박막 트랜지스터와 전기적으로 연결되고, 제1 전극, 제2 전극 및 상기 제1 전극과 제2 전극 사이에 배치되고 유기 발광층을 구비하는 중간층을 포함하는 유기 발광 소자를 형성하는 단계, 상기 기판과 상기 밀봉 부재 사이에 상기 표시 영역의 주변에 씰링 부재를 형성하는 단계, 상기 표시 영역과 상기 씰링 부재 사이에 내장 회로부를 형성하는 단계, 상기 박막 트랜지스터 상에 배치되고 상기 내장 회로부를 덮도록 길게 연장된 형태로 패시베이션막을 형성하는 단계, 상기 패시베이션막 상에 화소 정의막을 형성하는 단계 및 상기 내장 회로부의 적어도 일부와 중첩되도록 게터를 형성하는 단계를 포함하는 유기 발광 표시 장치 제조 방법을 개시한다.
- [0029] 본 발명에 있어서 상기 패시베이션막 및 상기 화소 정의막은 적어도 상기 제1 전극의 상면에 대응하는 개구부를 각각 구비하고, 상기 패시베이션막의 개구부를 형성하는 단계는 상기 화소 정의막의 개구부를 형성한 후에 수행할 수 있다.
- [0030] 본 발명에 있어서 상기 패시베이션막의 개구부는 상기 화소 정의막에 덮이도록 형성될 수 있다.

발명의 효과

- [0031] 본 발명에 관한 유기 발광 표시 장치 및 유기 발광 표시 장치 제조 방법은 내구성 및 기판상의 공간 이용율을 용이하게 향상할 수 있다.

도면의 간단한 설명

- [0032] 도 1은 본 발명의 일 실시예에 관한 유기 발광 표시 장치를 도시한 개략적인 평면도이다.
- 도 2는 도 1의 II-II선을 따라 절취한 단면도이다.
- 도 3은 도 2의 A의 확대도이다.
- 도 4는 본 발명의 다른 실시예에 관한 유기 발광 표시 장치를 도시한 개략적인 평면도이다.
- 도 5는 도 4의 V-V선을 따라 절취한 단면도이다.
- 도 6a 내지 도 6f는 본 발명의 일 실시예에 관한 유기 발광 표시 장치의 제조 방법을 순차적으로 도시한 단면도들이다.

발명을 실시하기 위한 구체적인 내용

- [0033] 이하 첨부된 도면들에 도시된 본 발명에 관한 실시예를 참조하여 본 발명의 구성 및 작용을 상세히 설명한다.
- [0034] 도 1은 본 발명의 일 실시예에 관한 유기 발광 표시 장치를 도시한 개략적인 평면도이고, 도 2는 도 1의 II-II 선을 따라 절취한 단면도이고, 도 3은 도 2의 A의 확대도이다.
- [0035] 도 1 내지 도 3을 참조하면 유기 발광 표시 장치(100)는 기관(101), 밀봉 부재(102), 박막 트랜지스터(TFT), 유기 발광 소자(120), 셀링 부재(150), 내장 회로부(160), 패시베이션막(118), 화소 정의막(119) 및 게터(170)를 포함한다.
- [0036] 박막 트랜지스터(TFT)는 활성층(112), 게이트 전극(114), 소스 전극(116) 및 드레인 전극(117)을 구비한다. 유기 발광 소자(120)는 제1 전극(121) 및 제2 전극(122) 및 중간층(123)을 구비한다.
- [0037] 각 부재의 구성에 대하여 구체적으로 설명하기로 한다.
- [0038] 기관(101)은 표시 영역(101a)을 구비한다. 표시 영역(101a)에는 복수의 부화소들이 형성되고, 각 부화소들은 가시 광선을 구현하는 유기 발광 소자(120) 및 유기 발광 소자(120)에 연결되는 하나 이상의 박막 트랜지스터(TFT)를 구비한다.
- [0039] 기관(101)의 표시 영역(101a)과 이격되도록 기관(101)의 일측에 패드 영역(101b)이 형성된다. 패드 영역(101b)에는 데이터 구동부와 같은 IC칩을 실장하고 복수의 패드들이 실장된다.
- [0040] 기관(101)은 SiO₂를 주성분으로 하는 투명한 유리 재질로 이루어질 수 있다. 기관(101)은 반드시 이에 한정되는 것은 아니며 투명한 플라스틱 재질로 형성할 수도 있다. 이 때 기관(101)을 형성하는 플라스틱 재질은 다양한 유기물들 중 선택된 하나 이상일 수 있다.
- [0041] 기관(101)상의 표시 영역(101a) 주변에는 셀링 부재(150)가 배치된다. 셀링 부재(150)는 다양한 재질로 형성되고, 기관(101)과 밀봉 부재(102)를 결합한다.
- [0042] 표시 영역(101a)과 셀링 부재(150) 사이에 내장 회로부(160)가 배치된다. 내장 회로부(160)는 스캔 구동부 또는 발광 제어 구동부일 수 있다. 도 1에는 내장 회로부(160)가 표시 영역(101a)의 측면을 모두 둘러싸도록 형성된 것이 도시되어 있으나 본 발명은 이에 한정되지 않는다. 즉 내장 회로부(160)는 표시 영역(101a)의 일측면에 대응되도록 형성될 수도 있고 표시 영역(101a)의 두 개의 측면에 마주보도록 형성될 수도 있다.
- [0043] 패시베이션막(118)은 표시 영역(101a)의 박막 트랜지스터(TFT)상에 배치되고 내장 회로부(160)를 덮도록 길게 연장된 형태로 형성된다. 또한 패시베이션막(118)은 셀링 부재(150)와 접하도록 형성하는 것이 바람직하다. 이를 통하여 기관(101)과 밀봉 부재(102)사이의 결합력을 향상한다.
- [0044] 패시베이션막(118)은 무기물을 함유하도록 형성한다.
- [0045] 화소 정의막(119)은 패시베이션막(118)상에 형성된다. 화소 정의막(119)은 내장 회로부(160)의 상면의 소정의 영역과 중첩되도록 형성하는 것이 바람직하다. 또한 화소 정의막(119)은 게터(170)와 접한다. 화소 정의막(119)은 폴리 이미드 계열 고분자, 아크릴계 고분자 또는 올레핀 계 고분자와 같은 유기물을 함유하도록 형성하는 것이 바람직하다.
- [0046] 화소 정의막(119)은 유기 발광 소자(120)의 중간층(123)이 형성되는 영역을 정의한다. 이에 대한 구체적인 내용은 후술한다.
- [0047] 기관(101)과 밀봉 부재(102) 사이에 게터(170)가 배치된다. 게터(170)는 외부에서 침투한 수분 및 산소가 유기 발광 소자(120), 박막 트랜지스터(TFT) 기타 박막에 손상을 주는 것을 방지한다.
- [0048] 게터(170)는 기관(101)과 밀봉 부재(102)사이의 공간에 존재하는 수분 또는 산소와 반응하여 수분 및 산소를 용이하게 제거하고 결과적으로 수분 및 산소가 유기 발광 소자(120), 박막 트랜지스터(TFT) 기타 박막에 손상을 주는 것을 방지한다.
- [0049] 게터(170)는 Ba, Ca, Mg, Ti, V, Zr, Nb, Mo, Ta, Th, Ce, Al 및 Ni로 이루어지는 군으로부터 선택된 적어도 어느 하나를 함유한다. 예를들면 게터(170)는 상기의 재료 중 하나 이상을 함유하는 합금 또는 산화물을 포함할 수 있다.
- [0050] 게터(170)는 내장 회로부(160)의 적어도 일부와 중첩되도록 한다. 게터(170)는 전술한 대로 금속 또는 금속 산화물을 함유한다. 게터(170)를 내장 회로부(160)와 중첩되도록 형성하면 게터(170)에 함유된 물질이 내장 회로

부(160)에 침투 시 내장 회로부(160)에서 쇼트가 발생하거나 기타 손상이 발생한다. 그러나 본 실시예에서는 내장 회로부(160)를 덮도록 패시베이션막(118)이 길게 연장되어 형성되어 게터(170)에 함유된 물질이 내장 회로부(160)로 침투하는 것을 원천적으로 방지한다. 특히 패시베이션막(118)은 무기물을 함유하므로 게터(170)에 함유된 물질이 패시베이션막(118)을 침투하는 것이 용이하지 않아 내장 회로부(160)를 효과적으로 보호한다.

- [0051] 도 3을 참조하면서 표시 영역(101a)을 구체적으로 설명하기로 한다.
- [0052] 기판(101)상에 버퍼층(111)이 형성된다. 버퍼층(111)은 SiO_2 또는 SiN_x 를 함유할 수 있다. 버퍼층(111)은 기판(101)의 상부에 평탄한 면을 제공하고 기판(101)방향으로 수분 및 이물이 침투하는 것을 방지한다.
- [0053] 버퍼층(111)상에 활성층(112)이 형성된다. 활성층(112)은 반도체 물질을 함유하는데 구체적인 예로 비정질 실리콘 또는 다결정질 실리콘 물질을 이용하여 형성한다.
- [0054] 활성층(112)의 상부에는 게이트 절연막(113)이 형성되고, 게이트 절연막(113)상부의 소정 영역에는 게이트 전극(114)이 형성된다. 게이트 절연막(113)은 활성층(112)과 게이트 전극(114)을 절연하기 위한 것으로 유기물 또는 SiN_x , SiO_2 같은 무기물로 형성할 수 있다.
- [0055] 게이트 전극(114)은 Au, Ag, Cu, Ni, Pt, Pd, Al, Mo, 또는 Al:Nd, Mo:W 합금 등과 같은 금속 또는 금속의 합금으로 이루어질 수 있으나 이에 한정되지 않고 밀착성, 평탄성, 전기 저항 및 가공성 등을 고려하여 다양한 재료를 사용할 수 있다. 게이트 전극(114)은 전기적 신호를 인가하는 게이트 라인(미도시)과 연결되어 있다.
- [0056] 게이트 전극(114)의 상부로는 층간 절연막(115)이 형성된다. 층간 절연막(115) 및 게이트 절연막(113)은 활성층(112)의 소스 영역 및 드레인 영역을 노출하도록 형성되고 이러한 활성층(112)의 노출된 영역에 소스 전극(116) 및 드레인 전극(117)이 접하도록 형성한다.
- [0057] 소스 전극(116) 및 드레인 전극(117)을 이루는 물질은 Au, Pd, Pt, Ni, Rh, Ru, Ir, Os 외에도, Al, Mo, Al:Nd 합금, MoW 합금 등과 같은 2 종 이상의 금속으로 이루어진 합금을 사용할 수 있으며 이에 한정되지는 않는다.
- [0058] 소스 전극(116) 및 드레인 전극(117)을 덮도록 패시베이션막(118)이 형성된다. 패시베이션막(118)은 전술한 대로 무기 절연막으로 형성하는데 SiO_2 , SiN_x , SiON , Al_2O_3 , TiO_2 , Ta_2O_5 , HfO_2 , ZrO_2 , BST, PZT 등이 포함되도록 할 수 있으나 본 발명은 이에 한정되지 않고 기타 다양한 무기물을 함유하도록 형성할 수 있다.
- [0059] 패시베이션막(118)은 드레인 전극(117)을 노출하도록 형성되고, 노출된 드레인 전극(117)과 연결되도록 유기 발광 소자(120)를 형성한다. 유기 발광 소자(120)는 제1 전극(121), 제2 전극(122) 및 중간층(123)을 포함한다. 구체적으로 제1 전극(121)과 드레인 전극(117)이 접촉한다.
- [0060] 중간층(123)은 유기 발광층을 구비하고 제1 전극(121)과 제2 전극(122)을 통하여 전압이 인가되면 가시 광선을 발생한다.
- [0061] 제1 전극(121)상에 절연물로 화소 정의막(119)(pixel define layer)을 형성한다. 전술한대로 화소 정의막(119)은 유기물을 함유하도록 형성한다. 화소 정의막(119)에 소정의 개구를 형성하여 제1 전극(121)이 노출되도록 한다. 노출된 제1 전극(121)상에 중간층(123)을 형성한다. 그리고, 중간층(123)과 연결되도록 제2 전극(122)을 형성한다.
- [0062] 제1 전극(121) 및 제2 전극(122)은 각각 애노드 전극, 캐소드 전극의 극성을 갖도록 한다. 물론 제1 전극(121), 제2 전극(122)의 극성은 바뀔 수 있다.
- [0063] 제2 전극(122)상에 밀봉 부재(102)가 배치된다.
- [0064] 본 실시예의 유기 발광 표시 장치(100)는 기판(101)상에 밀봉 부재(102)가 배치되고, 기판(101)과 밀봉 부재(102)는 씰링 부재(150)에 의하여 결합된다. 이를 통하여 유기 발광 소자(120) 및 박막 트랜지스터(TFT) 기타 박막이 외부의 충격, 수분 및 산소에 의하여 손상되는 것을 방지한다.
- [0065] 또한 기판(101)과 밀봉 부재(102)사이에 게터(170)를 배치한다. 게터(170)를 통하여 기판(101)과 밀봉 부재(102)사이로 침투한 수분 또는 산소를 제거하여 유기 발광 소자(120) 및 박막 트랜지스터(TFT) 기타 박막이 수분 및 산소에 의하여 손상되는 것을 효율적으로 방지한다.
- [0066] 또한 박막 트랜지스터(TFT)를 덮는 패시베이션막(118)을 형성 시 패시베이션막(118)이 내장 회로부(160)를 덮도록 길게 연장되도록 형성한다. 특히 패시베이션막(118)은 무기물을 함유하도록 형성한다. 이를 통하여 게터

(170)를 내장 회로부(160)와 중첩되도록 형성하여도 게터(170)의 재료, 예를들면 금속 또는 금속 산화물이 내장 회로부(160)로 침투하여 내장 회로부(160)를 손상시키는 것을 원천적으로 방지한다.

- [0067] 결과적으로 게터(170)를 내장 회로부(160)와 이격시킬 필요없이 중첩되도록 형성하는 것이 가능하므로 표시 영역(101a)과 셀링 부재(150)사이의 영역을 최소화할 수 있다. 결과적으로 유기 발광 표시 장치(100)의 기관(101)상의 공간을 효율적으로 활용할 수 있다.
- [0068] 또한 화소 정의막(119)을 내장 회로부(160)의 상면과 중첩되도록 형성하여 패시베이션막(118)과 화소 정의막(119)의 적층 구조를 통하여 내장 회로부(160)의 손상을 효과적으로 방지한다.
- [0069] 또한 화소 정의막(119)을 게터(170)와 접하도록 형성하여 유기 발광 표시 장치(100)의 측면을 통한 수분 및 산소의 침투를 효과적으로 방지한다. 즉 게터(170), 화소 정의막(119) 및 패시베이션막(118)이 차례로 배치되어 수분 및 산소에 대한 배리어로 작용할 수 있다.
- [0070] 도 4는 본 발명의 다른 실시예에 관한 유기 발광 표시 장치를 도시한 개략적인 평면도이고, 도 5는 도 4의 V-V 선을 따라 절취한 단면도이다.
- [0071] 도 4 및 도 5를 참조하면 유기 발광 표시 장치(200)는 기관(201), 밀봉 부재(202), 박막 트랜지스터(TFT), 유기 발광 소자(217), 셀링 부재(250), 내장 회로부(260), 패시베이션막(218), 화소 정의막(219), 게터(270) 및 캐패시터(214)를 포함한다.
- [0072] 박막 트랜지스터(TFT)는 활성층(203), 게이트 전극(205), 소스 전극(207) 및 드레인 전극(208)을 구비한다. 유기 발광 소자(217)는 제1 전극(210), 제2 전극(216) 및 중간층(212)을 구비한다.
- [0073] 기관(201)은 표시 영역(201a)을 구비한다. 표시 영역(201a)에는 복수의 부화소들이 형성되고, 각 부화소들은 가시 광선을 구현하는 유기 발광 소자(217) 및 유기 발광 소자(217)에 연결되는 하나 이상의 박막 트랜지스터(TFT)를 구비한다.
- [0074] 기관(201)의 표시 영역(201a)과 이격되도록 기관(201)의 일측에 패드 영역(201b)이 형성된다. 패드 영역(201b)에는 데이터 구동부와 같은 IC칩을 실장하고 복수의 패드들이 실장된다.
- [0075] 기관(201)상의 표시 영역(201a) 주변에는 셀링 부재(250)가 배치된다. 셀링 부재(250)는 다양한 재료로 형성되고, 기관(201)과 밀봉 부재(202)를 결합한다.
- [0076] 표시 영역(201a)과 셀링 부재(250)사이에 내장 회로부(260)가 배치된다. 내장 회로부(260)는 스캔 구동부 또는 발광 제어 구동부일 수 있다. 도 4에는 내장 회로부(260)가 표시 영역(201a)의 측면을 모두 둘러싸도록 형성된 것이 도시되어 있으나 본 발명은 이에 한정되지 않는다. 즉 내장 회로부(260)는 표시 영역(201a)의 일측면에 대응되도록 형성될 수도 있고 표시 영역(201a)의 두 개의 측면에 마주보도록 형성될 수도 있다.
- [0077] 또한 도 5에 도시된 대로 내장 회로부(260)는 회로부 활성층(261), 회로부 게이트 전극(262), 회로부 소스 전극(263) 및 회로부 드레인 전극(264)를 포함한다. 그러나 이는 내장 회로부(260)의 예시적인 구성으로서, 본 발명은 이에 한정되지 않고 다양한 형태의 구성을 갖는 내장 회로부(260)를 포함할 수 있다.
- [0078] 패시베이션막(218)은 표시 영역(201a)의 박막 트랜지스터(TFT)상에 배치되고 내장 회로부(260)를 덮도록 길게 연장된 형태로 형성된다. 또한 패시베이션막(218)은 셀링 부재(250)와 접하도록 형성하는 것이 바람직하다.
- [0079] 패시베이션막(218)은 무기물을 함유하도록 형성한다.
- [0080] 화소 정의막(219)은 패시베이션막(218)상에 형성된다. 화소 정의막(219)은 유기 발광 소자(220)의 중간층(212)이 형성되는 영역을 정의한다.
- [0081] 기관(201)과 밀봉 부재(202)사이에 게터(270)가 배치된다. 게터(270)는 내장 회로부(260)의 적어도 일부와 중첩되도록 한다. 게터(270)를 형성하는 물질은 전술한 실시예와 동일하므로 구체적인 내용은 생략한다.
- [0082] 도 5를 참조하면서 표시 영역(201a)을 구체적으로 설명하기로 한다.
- [0083] 기관(201)상에 버퍼층(215)이 형성된다. 버퍼층(215)은 표시 영역(201a)뿐만 아니라 셀링 부재(250)에 대응되도록 형성되는 것이 바람직하다.
- [0084] 버퍼층(215)상에 활성층(203)이 형성된다. 또한 버퍼층(215)상에 제1 캐패시터 전극(211)이 형성된다. 제1 캐패시터 전극(211)은 활성층(203)과 동일한 재료로 형성되는 것이 바람직하다. 또한 이때 회로부 활성층(261)도 버

퍼층(215)상에 형성하는 것이 바람직하다.

- [0085] 버퍼층(215)상에 활성층(203) 및 제1 캐패시터 전극(211)을 덮도록 게이트 절연막(204)이 형성된다. 게이트 절연막(204)은 표시 영역(201a)뿐만 아니라 회로부 활성층(261)을 덮고 셀링 부재(250)에 대응되도록 형성되는 것이 바람직하다.
- [0086] 게이트 절연막(204)상에 게이트 전극(205), 제1 전극(210) 및 제2 캐패시터 전극(213)이 형성된다.
- [0087] 게이트 전극(205)은 제1 도전층(205a) 및 제2 도전층(205b)을 구비한다. 제1 도전층(205a)은 투과형 도전 물질을 함유하는데 구체적으로 인듐틴옥사이드(indium tin oxide: ITO), 인듐징크옥사이드(indium zinc oxide: IZO), 징크옥사이드(zinc oxide: ZnO), 인듐옥사이드(indium oxide: In₂O₃), 인듐갈륨옥사이드(indium gallium oxide: IGO), 및 알루미늄징크옥사이드(aluminum zinc oxide: AZO)를 포함하는 그룹에서 선택된 적어도 하나 이상을 함유할 수 있다. 제2 도전층(205b)은 제1 도전층(205a)상에 Mo, MoW, Al계 합금 등과 같은 금속 또는 금속의 합금을 함유하도록 형성할 수 있으나, 이에 한정되는 것은 아니다.
- [0088] 제1 전극(210)은 투과형 도전 물질을 함유하는데 제1 도전층(205a)과 동일한 물질로 형성할 수 있다. 제1 전극(210)의 상부의 소정의 영역에는 도전부(210a)가 배치되는데 도전부(210a)는 제2 도전층(205b)과 동일한 재질로 형성된다.
- [0089] 또한 제1 전극(210)은 단층이 아닌 복층 구조를 가질 수 있는데, 은(Ag)과 같은 금속을 함유하는 반투과 금속층 상부에 투과형 도전물층을 형성할 수 있다. 즉 제1 전극(210)은 ITO/Ag의 적층 구조를 가질 수 있는데, ITO대신 IZO, ZnO, In₂O₃, IGO, 및 AZO를 사용할 수 있음은 물론이다.
- [0090] 또한 제1 전극(210)은 3층 구조, 즉 ITO/Ag/ITO의 적층 구조를 가질 수 있는데, ITO대신 IZO, ZnO, In₂O₃, IGO, 및 AZO를 사용할 수 있음은 물론이다.
- [0091] 이를 통하여 중간층(212)에서 발생한 가시 광선이 제1 전극(210)과 제2 전극(216)사이에서 공진하도록 하여 유기 발광 표시 장치(200)의 광효율을 향상한다.
- [0092] 또한 전술한 게이트 전극(205)의 제1 도전층(205a)을 제1 전극(210)과 같이 2층 구조 또는 3층 구조로 할 수 있음은 물론이다.
- [0093] 제2 캐패시터 전극(213)은 제1 층(213a) 및 제2 층(213b)을 구비하는데, 제1 층(213a)은 제1 도전층(205a)과 동일한 재질로 형성되고 제2 층(213b)은 제2 도전층(205b)과 동일한 재질로 형성된다. 또한 제2 층(213b)을 제1 전극(210)과 같이 2층 구조 또는 3층 구조로 할 수 있음은 물론이다.
- [0094] 제2 층(213b)은 제1 층(213a)보다 작게 제1 층(213a)상에 형성된다. 또한 제2 캐패시터 전극(213)은 제1 캐패시터 전극(211)과 중첩되고 제1 캐패시터 전극(211)보다 작게 형성된다.
- [0095] 또한 이 때 내장 회로부(260)의 회로부 게이트 전극(262)도 게이트 절연막(204)에 형성되는데 회로부 게이트 전극(262)은 게이트 전극(205)과 마찬가지로 두 개의 층(262a, 262b)을 구비하고 게이트 전극(205)의 제1, 2 도전층(205a, 205b)과 동일한 재질로 형성되는 것이 바람직하다.
- [0096] 제1 전극(210), 게이트 전극(205) 및 제2 캐패시터 전극(213)상에 층간 절연막(206)이 형성된다. 층간 절연막(206)은 유기물 또는 무기물 등 다양한 재질의 절연 물질을 함유할 수 있다. 층간 절연막(206)은 표시 영역(201a)뿐만 아니라 셀링 부재(250)에 대응되도록 형성되고 회로부 게이트 전극(262)을 덮도록 형성되는 것이 바람직하다.
- [0097] 한편 본 발명은 도시하지 않았으나 층간 절연막(206)을 복층 구조로 형성할 수 있다. 예를들면 층간 절연막(206)을 무기막/유기막의 2층 이상의 적층 구조로 형성할 수도 있다. 이를 통하여 층간 절연막(206)의 절연 및 보호 효과를 증대한다. 이 때 층간 절연막(206)을 형성하는 무기막은 실리콘 옥사이드 또는 실리콘 나이트라이드를 함유할 수 있다.
- [0098] 층간 절연막(206)을 복층 구조로 형성할 경우 제1 전극(210)을 층간 절연막(206)의 복수의 절연막 중 최상부의 절연막을 제외한 나머지 절연막 중 어느 하나의 절연막의 상면에 형성할 수 있다.
- [0099] 이를 통하여 게이트 전극(205) 및 제2 캐패시터 전극(213)이 형성되는 층과 제1 전극(210)이 형성되는 층을 다르게 하여 게이트 전극(205) 및 제2 캐패시터 전극(213) 형성 시 제1 전극(210)이 손상되는 것을 원천적으로 방지할 수 있다.

- [0100] 층간 절연막(206)상에 소스 전극(207) 및 드레인 전극(208)이 형성된다. 소스 전극(207) 및 드레인 전극(208)은 활성층(203)과 연결되도록 형성된다.
- [0101] 또한 소스 전극(207) 및 드레인 전극(208) 중 어느 하나의 전극은 제1 전극(210)과 전기적으로 연결되는데 도 5에는 드레인 전극(208)이 제1 전극(210)과 전기적으로 연결된 것이 도시되어 있다. 구체적으로 드레인 전극(208)은 도전부(210a)와 접한다.
- [0102] 또한 층간 절연막(206)상에 회로부 소스 전극(263) 및 회로부 드레인 전극(264)을 회로부 활성층(261)과 연결되도록 형성한다. 회로부 소스 전극(263) 및 회로부 드레인 전극(264)은 소스 전극(207) 또는 드레인 전극(208)과 동일한 재질로 형성하는 것이 바람직하다.
- [0103] 층간 절연막(206)상에 박막 트랜지스터(TFT) 및 캐패시터(214)를 덮도록 패시베이션막(218)이 형성된다.
- [0104] 패시베이션막(218)은 제1 전극(210)의 상면에 대응되는 소정의 개구부(218a)를 구비하도록 형성된다. 또한 패시베이션막(218)은 회로부 소스 전극(263) 및 회로부 드레인 전극(264)상에 형성된다. 즉 패시베이션막(218)은 내장 회로부(260)를 덮도록 형성된다.
- [0105] 또한 패시베이션막(218)은 쉘링 부재(250)와 대응되도록 길게 형성되는 것이 바람직하다.
- [0106] 화소 정의막(219)은 패시베이션막(218)상에 형성된다. 화소 정의막(219)은 제1 전극(210)의 상면에 대응되는 소정의 개구부(219a)를 갖도록 형성되고, 화소 정의막(219)의 개구부(219a)를 통하여 노출된 제1 전극(210)상에 중간층(212)이 형성된다. 구체적으로 화소 정의막(219)의 개구부(219a)는 패시베이션막(218)의 개구부(218a)에 대응되고 패시베이션막(218)의 개구부(218a)보다 작게 형성된다. 이를 통하여 패시베이션막(218)의 개구부(218a)는 화소 정의막(219)에 의하여 덮인다. 결과적으로 중간층(212)은 패시베이션막(218)과 접하지 않고 화소 정의막(219)과 접한다.
- [0107] 화소 정의막(219)은 유기물을 함유하는데 전술한 실시예와 동일하다.
- [0108] 또한 화소 정의막(219)은 내장 회로부(260)의 상면의 소정의 영역과 중첩되도록 형성되고 게터(270)와 접하는 것이 바람직하다.
- [0109] 중간층(212)상에 제2 전극(216)이 형성된다. 제2 전극(216)상에 밀봉 부재(202)가 배치된다.
- [0110] 본 실시예의 유기 발광 표시 장치(200)는 기관(201)상에 밀봉 부재(202)가 배치되고, 기관(201)과 밀봉 부재(202)는 쉘링 부재(250)에 의하여 결합된다. 이를 통하여 유기 발광 소자(217) 및 박막 트랜지스터(TFT) 기타 박막이 외부의 충격, 수분 및 산소에 의하여 손상되는 것을 방지한다.
- [0111] 또한 기관(201)과 밀봉 부재(202)사이에 게터(270)를 배치한다. 게터(270)를 통하여 기관(201)과 밀봉 부재(202)사이로 침투한 수분 또는 산소를 제거하여 유기 발광 소자(220) 및 박막 트랜지스터(TFT) 기타 박막이 수분 및 산소에 의하여 손상되는 것을 효율적으로 방지한다.
- [0112] 또한 박막 트랜지스터(TFT)를 덮는 패시베이션막(218)을 형성 시 패시베이션막(218)이 내장 회로부(260)를 덮도록 길게 연장되도록 형성한다. 이를 통하여 게터(270)를 내장 회로부(260)와 중첩되도록 형성하여도 게터(270)의 재료, 예를들면 금속 또는 금속 산화물이 내장 회로부(260)로 침투하여 내장 회로부(260)를 손상시키는 것을 원천적으로 방지한다.
- [0113] 이를 통하여 내장 회로부(260)를 안정적으로 보호하고 게터(270)를 내장 회로부(260)와 이격시킬 필요없이 중첩되도록 형성하는 것이 가능하므로 표시 영역(201a)과 쉘링 부재(250)사이의 영역을 최소화할 수 있다.
- [0114] 또한 게이트 전극(205)과 캐패시터(214)를 동일한 재료로 동일한 층에 형성하여 유기 발광 표시 장치(200)의 두께를 용이하게 감소할 수 있다.
- [0115] 또한 제1 전극(210)이 반투과 금속층을 포함하도록 하여 중간층(212)에서 발생한 가시 광선이 제1 전극(210)과 제2 전극(216)사이에서 공진하도록 하여 유기 발광 표시 장치(200)의 광효율을 향상할 수 있다.
- [0116] 도 6a 내지 도 6f는 본 발명의 일 실시예에 관한 유기 발광 표시 장치의 제조 방법을 순차적으로 도시한 단면도들이다. 구체적으로 도 6a 내지 도 6f는 도 4 및 도 5의 유기 발광 표시 장치(200)의 제조 방법을 도시한다.
- [0117] 도 6a를 참조하면 기관(201)상에 버퍼층(215), 활성층(203), 제1 캐패시터 전극(211) 및 회로부 활성층(261)을 형성한다. 구체적으로 기관(201)상에 버퍼층(215)을 형성하고, 버퍼층(215)상에 표시 영역(201a)상에 소정의 패

턴을 갖도록 활성층(203)을 형성한다. 활성층(203)과 이격되도록 제1 캐패시터 전극(211)을 형성한다. 또한 표시 영역(201a)과 이격되도록 회로부 활성층(261)을 형성한다.

- [0118] 버퍼층(215)상에 활성층(203) 및 제1 캐패시터 전극(211)을 덮도록 게이트 절연막(204)이 형성된다. 게이트 절연막(204)은 표시 영역(201a)뿐만 아니라 회로부 활성층(261)을 덮도록 형성하는 것이 바람직하다.
- [0119] 그리고 나서 도 6b를 참조하면 게이트 절연막(204)상에 제1 도전층(205a) 및 제2도전층(205b)을 구비하는 게이트 전극(205)을 형성하고, 제1, 2층(262a, 262b)을 구비하는 회로부 게이트 전극(262)을 형성하고, 제1, 2 층(213a, 213b)을 구비하는 제2 캐패시터 전극(213)을 형성한다. 또한 제1 전극(210) 및 도전부(210a)를 형성한다.
- [0120] 또한 게이트 전극(205), 제1 전극(210) 및 도전부(210a) 각각의 패턴을 형성하는 공정은 동시에 진행하는 것이 바람직하다.
- [0121] 제1 전극(210), 게이트 전극(205)의 제1 도전층(205a), 제2 캐패시터 전극(213)의 제1 층(213a), 회로부 게이트 전극(262)의 제1 층(262a)은 투과형 도전 물질을 함유하는데 구체적으로 인듐틴옥사이드(indium tin oxide: ITO), 인듐징크옥사이드(indium zinc oxide: IZO), 징크옥사이드(zinc oxide: ZnO), 인듐옥사이드(indium oxide: In₂O₃), 인듐갈륨옥사이드(indium gallium oxide: IGO), 및 알루미늄징크옥사이드(aluminum zinc oxide: AZO)을 포함하는 그룹에서 선택된 적어도 하나 이상을 함유할 수 있다.
- [0122] 제1 전극(210), 게이트 전극(205)의 제1 도전층(205a), 제2 캐패시터 전극(213)의 제1 층(213a), 회로부 게이트 전극(262)의 제1 층(262a)은 단층이 아닌 복층 구조를 가질 수 있는데, 은(Ag)과 같은 금속을 함유하는 반투과 금속층 상부에 투과형 도전물층을 형성할 수 있다. 즉 도전성 재료층(205c)은 ITO/Ag의 적층 구조를 가질 수 있는데, ITO대신 IZO, ZnO, In₂O₃, IGO, 및 AZO를 사용할 수 있음은 물론이다.
- [0123] 또한 제1 전극(210), 게이트 전극(205)의 제1 도전층(205a), 제2 캐패시터 전극(213)의 제1 층(213a), 회로부 게이트 전극(262)의 제1 층(262a)은 은 3층 구조, 즉 ITO/Ag/ITO의 적층 구조를 가질 수 있는데, ITO대신 IZO, ZnO, In₂O₃, IGO, 및 AZO를 사용할 수 있음은 물론이다.
- [0124] 그리고 나서 화살표로 도시된 방향으로 도펀트(D)를 주입한다. 도펀트는 다양한 종류일 수 있는데, 붕소(B)와 같은 3족 원소 또는 인(N)과 같은 5족 원소 등을 포함할 수 있다.
- [0125] 그리고 나서 도 6c를 참조하면 도전부(210a), 게이트 전극(205) 및 제2 캐패시터 전극(213)상에 층간 절연막(206)을 형성한다. 이때 층간 절연막(206)의 영역 중 일 영역을 제거하여 개구부를 형성하는데 구체적으로 도전부(210a)의 소정의 영역에 대응하도록 개구부를 형성한다. 또한 층간 절연막(206)의 영역 중 일부를 제거하여 제2 캐패시터 전극(213)의 제2 층(213b)의 상면의 소정의 영역이 노출되도록 한다.
- [0126] 또한 층간 절연막(206) 및 게이트 절연막(204)의 소정의 영역을 제거하여 활성층(203), 회로부 활성층(261) 및 제1 캐패시터 전극(211)의 소정의 영역이 노출되도록 한다.
- [0127] 그리고 나서 도 6d를 참조하면 도전부(210a)의 영역 중 층간 절연막(206)의 개구부를 통하여 노출된 영역을 제거하여 제1 전극(210)이 노출되도록 한다. 또한 제2 캐패시터 전극(213)의 제2 층(213b)의 영역 중 층간 절연막(206)의 개구부를 통하여 노출된 영역을 제거하여 제2 캐패시터 전극(213)의 제1 층(213a)이 노출되도록 한다.
- [0128] 또한 소스 전극(207), 드레인 전극(208)을 활성층(203)과 연결되도록 형성하고, 회로부 소스 전극(263) 및 회로부 드레인 전극(264)을 회로부 활성층(261)과 연결되도록 형성한다. 이를 통하여 박막 트랜지스터(TFT) 및 내장 회로부(260)가 완성된다.
- [0129] 그리고 나서 화살표 방향으로 도펀트(D)를 제1 캐패시터 전극(211)에 주입한다. 즉 도펀트(D)는 제2 캐패시터 전극(213)의 제1 층(213a)을 통하여 제1 캐패시터 전극(211)에 주입된다.
- [0130] 그리고 나서 도 6e를 참조하면 층간 절연막(206)상에 박막 트랜지스터(TFT) 및 캐패시터(214)를 덮도록 패시베이션막(218)을 형성한다.
- [0131] 패시베이션막(218)은 제1 전극(210)의 상면에 대응되는 개구부(218a)를 구비하도록 형성된다. 또한 패시베이션막(218)은 회로부 소스 전극(263) 및 회로부 드레인 전극(264)상에 형성된다. 즉 패시베이션막(218)은 내장 회로부(260)를 덮도록 형성한다.
- [0132] 패시베이션막(218)상에 화소 정의막(219)을 형성한다. 화소 정의막(219)은 제1 전극(210)의 상면에 대응되는 개

구부(219a)를 갖도록 형성되고, 화소 정의막(219)의 개구부(219a)는 패시베이션막(218)의 개구부(218a)에 대응되고 패시베이션막(218)의 개구부(218a)보다 작게 형성된다. 이를 통하여 패시베이션막(218)의 개구부(218a)는 화소 정의막(219)에 의하여 덮인다.

[0133] 또한 화소 정의막(219)은 내장 회로부(260)의 상면의 소정의 영역과 중첩되도록 형성하는 것이 바람직하다.

[0134] 패시베이션막(218)의 개구부(218a)는 별도의 마스크 없이 화소 정의막(219)의 개구부(219a)를 이용하여 형성할 수 있다. 즉 패시베이션막(218)을 형성하기 위한 재료 및 화소 정의막(219)을 형성하기 위한 재료를 차례로 적층한다. 그리고 나서 화소 정의막(219)을 형성하기 위한 재료를 패터닝하여 화소 정의막(219)의 개구부(219a)를 형성한다. 그리고 나서 화소 정의막(219)의 개구부(219a)를 이용하여 패시베이션막(218)을 형성하기 위한 재료를 식각하여 패시베이션막(218)의 개구부(218a)를 형성한다. 이 때 패시베이션막(218)의 일부가 화소 정의막(219)의 개구부(219a)를 통하여 노출될 수 있는데, 소정의 열처리를 통하여 화소 정의막(219)의 일부가 패시베이션막(218)의 개구부로 흘러 내려오도록 하여 패시베이션막(218)의 개구부(218a)는 화소 정의막(219)에 의하여 덮이고 화소 정의막(219)의 개구부(219a)에서 패시베이션막(218)이 노출되지 않도록 한다.

[0135] 즉, 도 6e에 도시된 대로 제1 전극(210)에 대응하는 패시베이션막(218)의 개구부(218a)보다 화소 정의막(219)의 개구부(219a)가 작게 형성되고 패시베이션막(218)의 개구부(218a)는 화소 정의막(219)의 개구부(219a)와 이격된다.

[0136] 그리고 나서 도 6f를 참조하면 제1 전극(210)상에 중간층(212)이 형성되고, 중간층(212)상에 제2 전극(216)이 형성되어 유기 발광 소자(217)가 완성된다.

[0137] 기관(201)상의 표시 영역(201a)주변에는 쉴링 부재(250)가 배치된다. 기관(201)과 대향하도록 밀봉 부재(202)가 배치되고, 기관(201)과 밀봉 부재(202)는 쉴링 부재(250)를 이용하여 결합한다.

[0138] 기관(201)과 밀봉 부재(202)사이에 게터(270)가 배치된다. 게터(270)는 내장 회로부(160)의 적어도 일부와 중첩되도록 한다. 또한 게터(270)는 패시베이션막(218)상에 형성된다. 또한 게터(270)은 화소 정의막(219)과 접하는 것이 바람직하다.

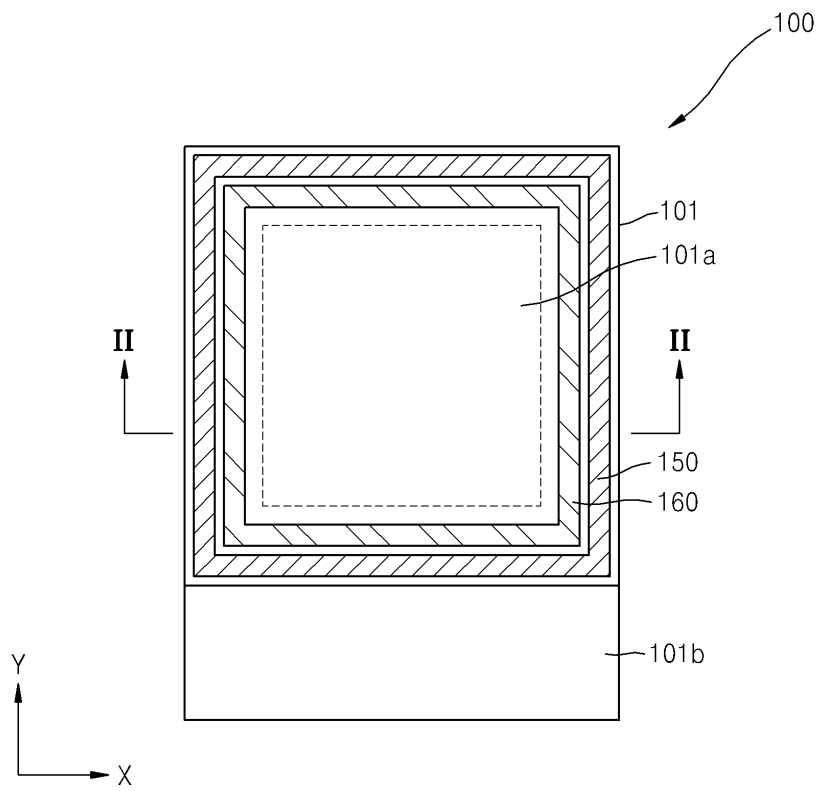
[0139] 본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 당해 기술 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 다른 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

부호의 설명

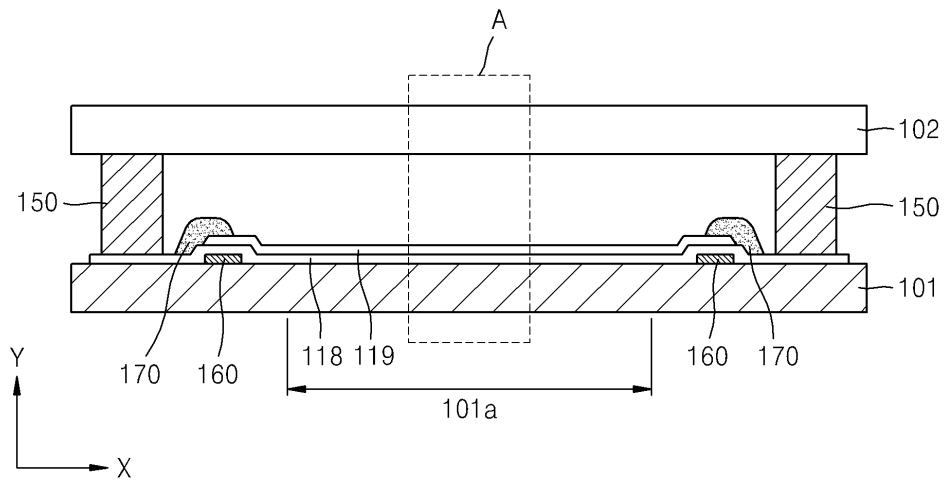
[0140]	100, 200: 유기 발광 표시 장치	101, 201: 기관
	102, 202: 밀봉 부재	120, 217: 유기 발광 소자
	121, 210: 제1 전극	TFT: 박막 트랜지스터
	118, 218: 패시베이션막	119, 219: 화소 정의막
	160, 260: 내장 회로부	123, 212: 중간층
	122, 216: 제2 전극	150, 250: 쉴링 부재
	160, 260: 내장 회로부	170, 270: 게터

도면

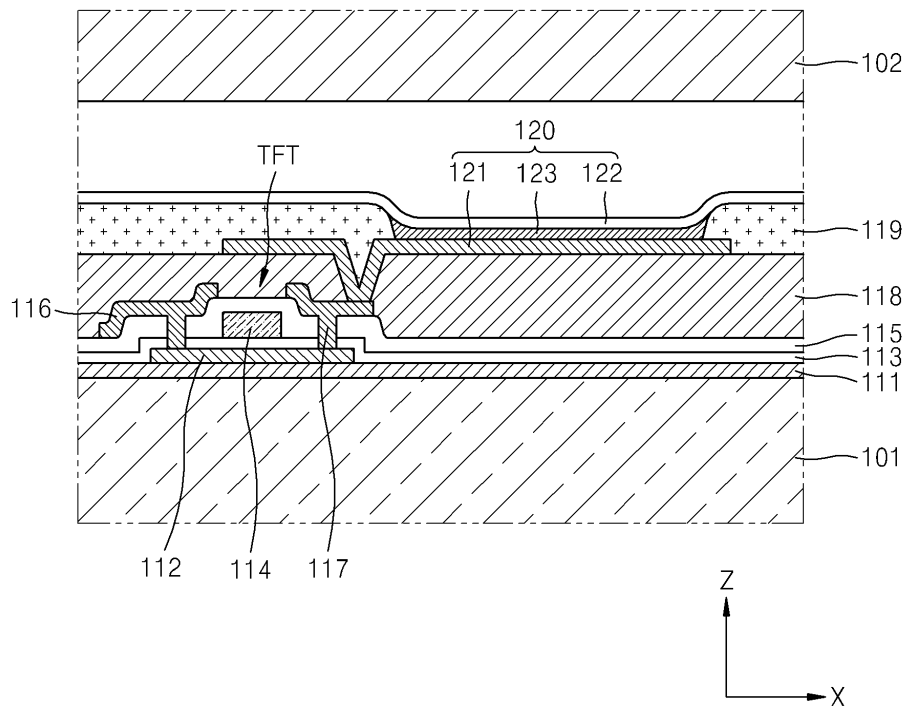
도면1



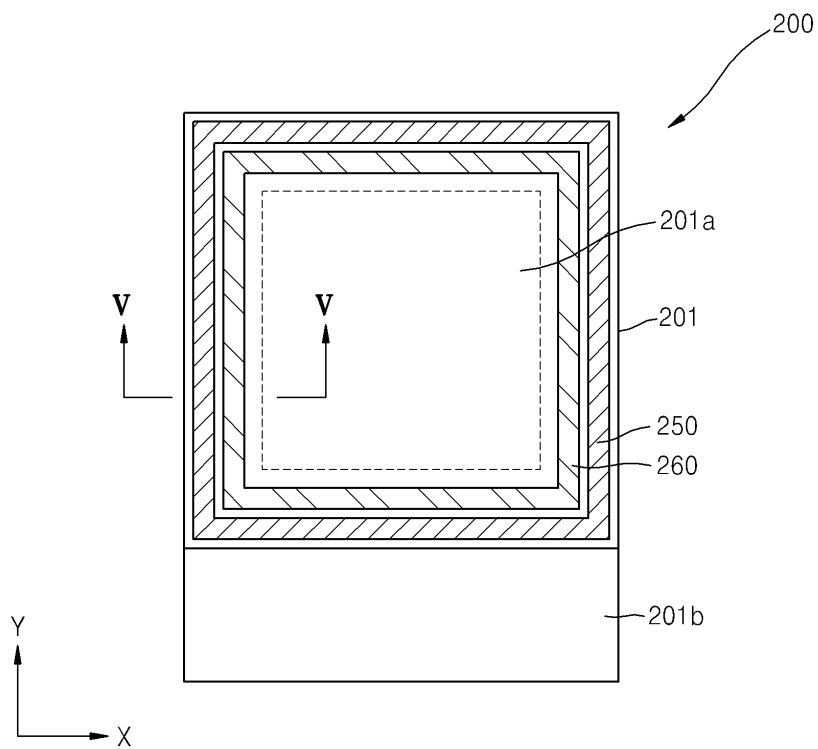
도면2



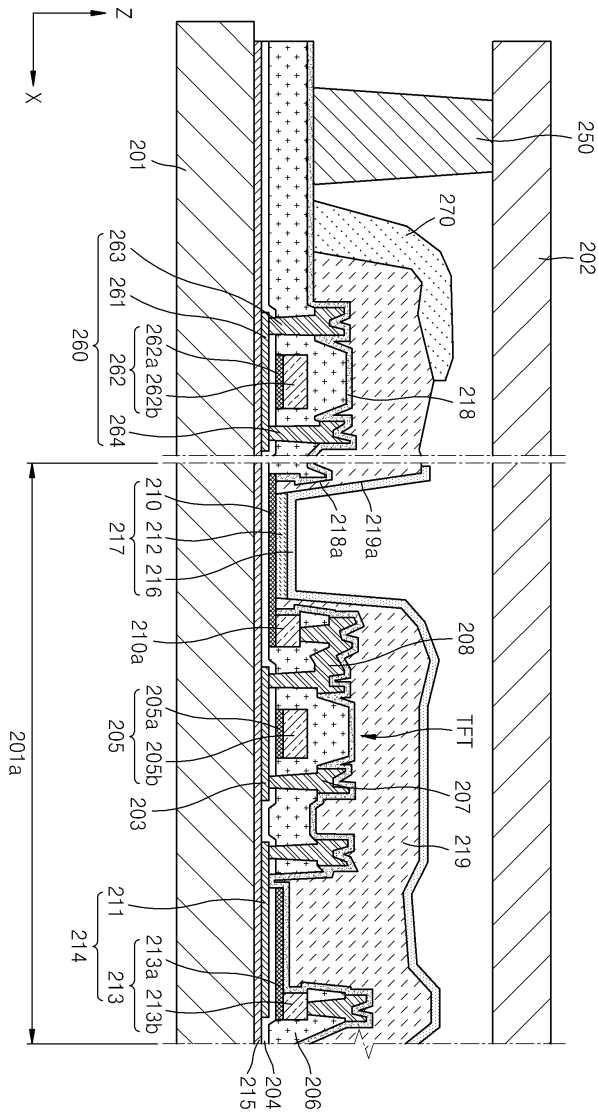
도면3



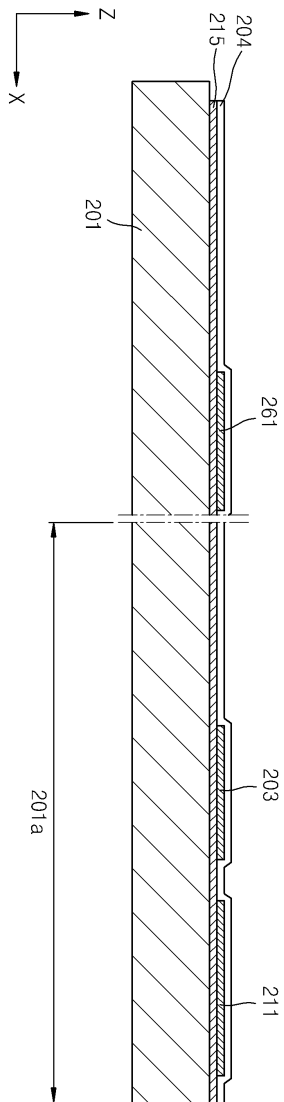
도면4



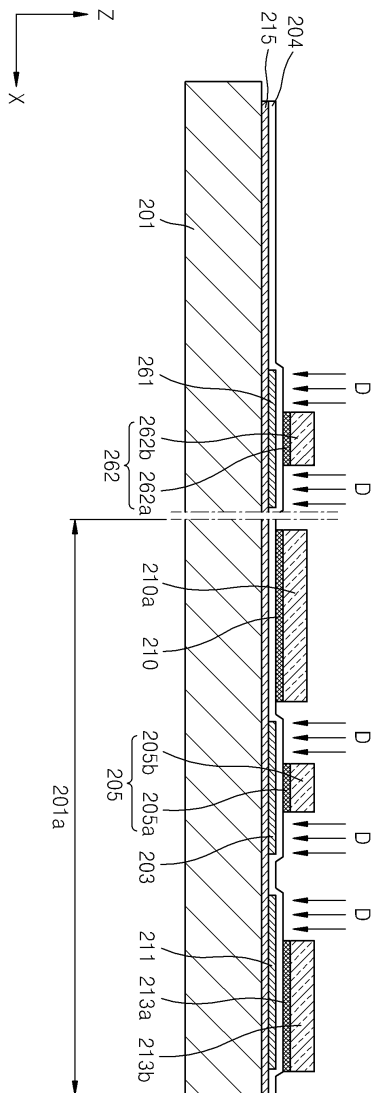
도면5



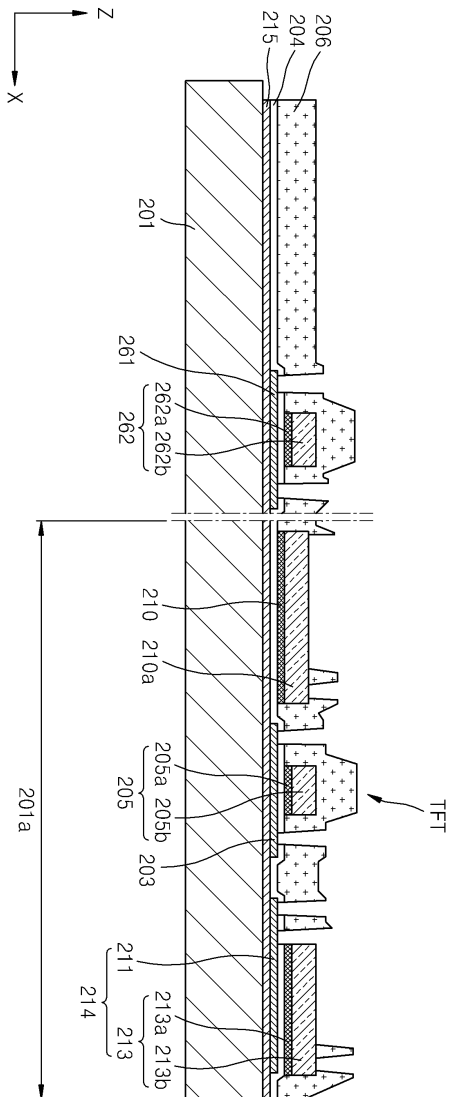
도면6a



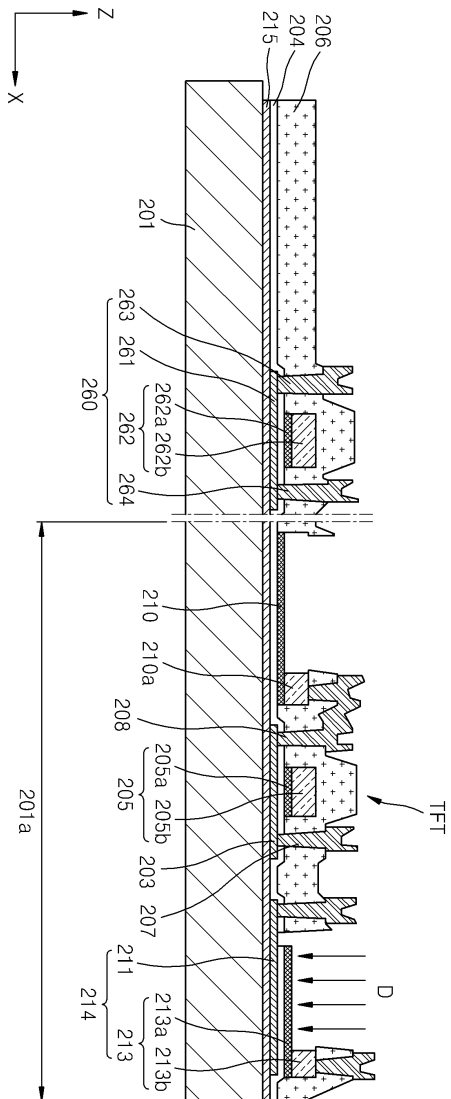
도면6b



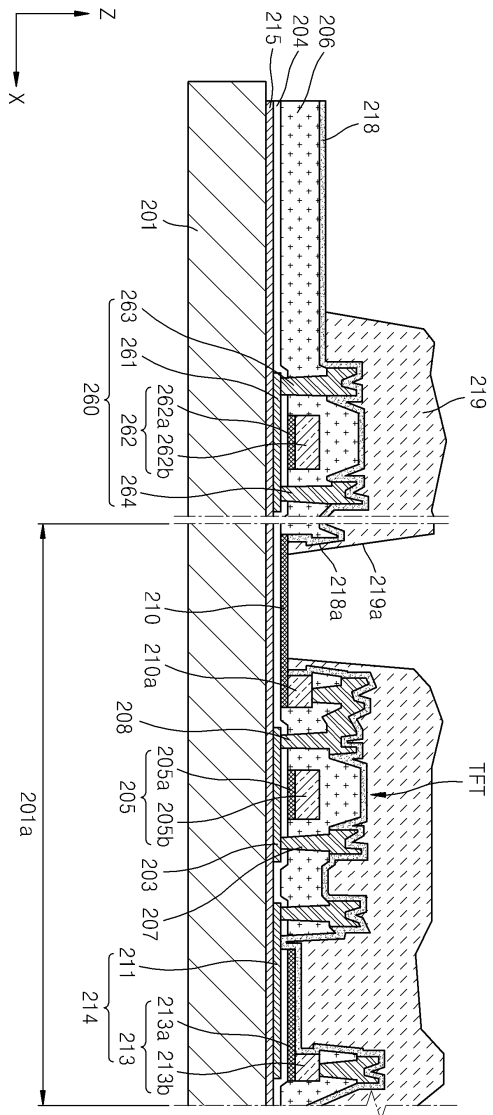
도면6c



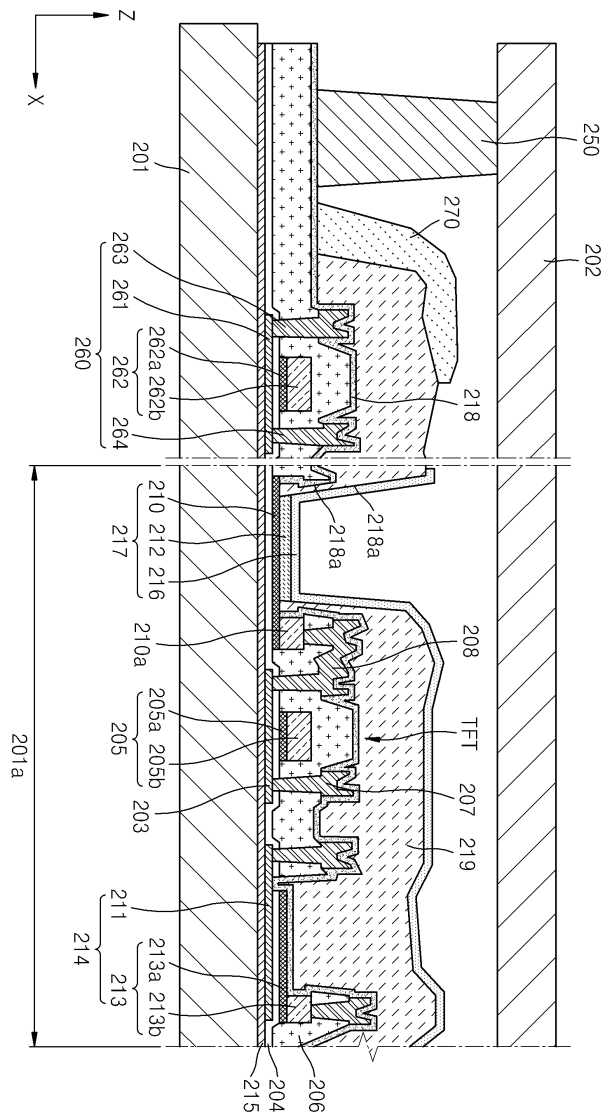
도면6d



도면6e



도면6f



专利名称(译)	标题：OLED显示装置和制造OLED显示装置的方法		
公开(公告)号	KR1020130025717A	公开(公告)日	2013-03-12
申请号	KR1020110089208	申请日	2011-09-02
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	HEO SEONG KWEON 허성권 KANG KI NYENG 강기녕 CHOI JONG HYUN 최종현		
发明人	허성권 강기녕 최종현		
IPC分类号	H01L51/50 H05B33/04 H05B33/22 H05B33/10		
CPC分类号	H01L27/3258 H01L51/5246 H01L51/5259 H01L27/3246 H01L27/1255 H01L29/4908 H01L23/26		
外部链接	Espacenet		

摘要(译)

提高了耐久性和基材的空间利用系数。本发明提供一种面向基板的密封件，基板，包括有源层的薄膜晶体管，栅电极和源电极，密封件设置在基板和漏极的显示区域上电极，显示区域上的薄膜晶体管和包括基板和密封构件中的内部电路部分的至少一部分的有机发光显示装置和设置成重叠的吸气剂以及包括显示区域的制造方法。

