



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0119546
(43) 공개일자 2012년10월31일

(51) 국제특허분류(Int. Cl.)

H01L 51/50 (2006.01) H01L 51/56 (2006.01)

H05B 33/10 (2006.01)

(21) 출원번호 10-2011-0037541

(22) 출원일자 2011년04월21일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

김진태

경기도 고양시 일산서구 강선로 33, 1404동 603호
(주엽동, 강선마을)

이규태

경상북도 칠곡군 석적읍 동중리6길 1, 401호 (스
위트빌)

(74) 대리인

박영복, 김용인

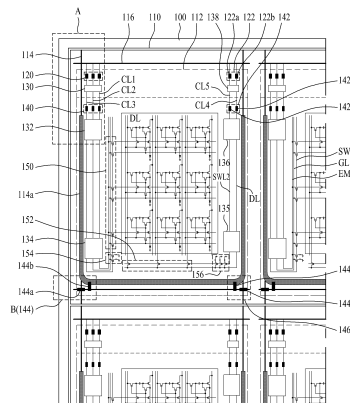
전체 청구항 수 : 총 9 항

(54) 발명의 명칭 유기전계발광 표시패널의 모기판 및 그의 제조방법

(57) 요약

본 발명은 게이트 라인, 데이터 라인, 전원 라인, 기준 전압 라인 및 에미션 라인과 접속된 화소들이 매트릭스 형태로 배치되며, 상기 각 화소에 유기 전계 발광 소자를 포함하는 다수의 유기전계발광 표시패널들과, 상기 다수의 유기전계발광 패널들의 제조 공정 중에 발생하는 정전기를 각 라인에 분산시켜 등전위로 만들어 정전기를 방지하는 다수의 쇼팅바들과, 각각의 유기전계발광 표시패널을 절단하기 위한 스크라이빙 라인을 포함하는 유기 전계발광 표시패널의 모기판에 있어서, 상기 다수의 쇼팅바는 상기 다수의 유기전계발광 표시패널들의 외곽 영역에 형성되며, 상기 유기 전계 발광 소자의 양극과 동일 재질로 동일층에 형성되는 제1 쇼팅바와, 상기 유기전계 발광 표시패널의 표시 영역을 둘러싸도록 형성되며, 상기 게이트 라인으로 형성되는 제2 쇼팅바와, 상기 제2 쇼팅바와 메쉬(Mesh)형으로 이루어지도록 교차하도록 접속되며, 상기 데이터 라인으로 형성되는 제3 쇼팅바를 포함하는 것을 특징으로 한다.

대표도 - 도2



특허청구의 범위

청구항 1

게이트 라인, 데이터 라인, 전원 라인, 기준 전압 라인 및 에미션 라인과 접속된 화소들이 매트릭스 형태로 배치되며, 상기 각 화소에 유기 전계 발광 소자를 포함하는 다수의 유기전계발광 표시패널들과, 상기 다수의 유기 전계발광 패널들의 제조 공정 중에 발생하는 정전기를 각 라인에 분산시켜 등전위로 만들어 정전기를 방지하는 다수의 쇼팅바들과, 각각의 유기전계발광 표시패널을 절단하기 위한 스크라이빙 라인을 포함하는 유기전계발광 표시패널의 모기판에 있어서,

상기 다수의 쇼팅바는

상기 다수의 유기전계발광 표시패널들의 외곽 영역에 형성되며, 상기 유기 전계 발광 소자의 양극과 동일 재질로 동일층에 형성되는 제1 쇼팅바와;

상기 유기전계발광 표시패널의 표시 영역을 둘러싸도록 형성되며, 상기 게이트 라인으로 형성되는 제2 쇼팅바와;

상기 제2 쇼팅바와 메쉬(Mesh)형으로 이루어지도록 교차하도록 접속되며, 상기 데이터 라인으로 형성되는 제3 쇼팅바를 포함하는 것을 특징으로 하는 유기전계발광 표시패널의 모기판.

청구항 2

제1항에 있어서,

상기 각각의 유기전계발광 표시패널은 상기 다수의 화소들을 포함하는 표시 영역과,

상기 유기전계발광 표시패널들이 공정 중에 발생하는 정전기를 방지하기 위한 다수의 정전기 방지 패턴들과, 상기 게이트 라인, 데이터 라인, 에미션 라인으로 검사 신호를 인가하여 상기 표시 영역의 소자들의 점등 검사를 하기 위한 테스트 패드부 및 상기 쇼팅바들이 형성된 비표시 영역을 포함하는 것을 특징으로 하는 유기전계발광 표시패널의 모기판.

청구항 3

제2항에 있어서,

상기 제3 쇼팅바와 연결된 연결 라인들을 더 포함하며, 상기 연결 라인들은 상기 게이트 라인, 데이터 라인, 에미션 라인 각각과 연결 전극 패턴부를 통해 연결되는 것을 특징으로 하는 유기전계발광 표시패널의 모기판.

청구항 4

제3항에 있어서,

상기 연결 전극 패턴부는 제1 내지 제3 연결 전극 패턴부를 포함하며,

상기 제1 연결 전극 패턴부는 상기 연결 라인과 상기 에미션 라인이 연결해주는 제1 연결전극과, 상기 연결 라인과 게이트 라인과 연결해주는 제2 연결전극을 포함하며,

상기 제2 연결 전극 패턴부는 상기 연결 라인과 상기 데이터 라인을 연결해주는 제1 연결 전극을 포함하며,

상기 제3 연결 전극 패턴부는 상기 제2 쇼팅바와 상기 제3 쇼팅바가 서로 교차하는 지점에서 서로 연결해주는 제1 연결 전극과, 상기 제2 쇼팅바와 상기 제3 쇼팅바가 서로 평행하는 지점에서 서로 연결해주는 제2 연결 전극을 포함하는 것을 특징으로 하는 유기전계발광 표시패널의 모기판.

청구항 5

제3항에 있어서,

상기 정전기 방지 패턴들은 상기 각 연결 라인에 다수의 제너 다이오드로 형성되는 것을 특징으로 하는 유기전계발광 표시패널의 모기판.

청구항 6

제3항에 있어서,

상기 정전기 방지 패턴들은 게이트 라인, 데이터 라인, 에미션 라인 각각에 다수의 다이오드로 형성된 것을 특징으로 하는 유기전계발광 표시패널의 모기관.

청구항 7

게이트 라인, 데이터 라인, 전원 라인, 기준 전압 라인 및 에미션 라인과 접속된 화소들이 매트릭스 형태로 배치되며, 상기 각 화소에 유기 전계 발광 소자를 포함하는 다수의 유기전계발광 표시패널들과, 상기 다수의 유기 전계발광 표시패널들의 외곽 영역에 형성되는 제1 쇼팅바와, 상기 유기전계발광 표시패널의 표시 영역을 둘러싸도록 형성되는 제2 쇼팅바와, 상기 제2 쇼팅바와 메쉬(Mesh)형으로 이루어지도록 교차하도록 형성되는 제3 쇼팅바를 포함하는 유기전계발광 표시패널의 모기관의 제조 방법에 있어서,

상기 모기관의 유기전계발광 표시패널의 화소들에 다수의 박막 트랜지스터가 형성되며, 상기 게이트 라인과 동일 재질로 제2 쇼팅바와, 상기 데이터 라인과 동일 재질로 제3 쇼팅바와, 상기 게이트 라인 또는 상기 데이터 라인으로 형성된 연결 라인들을 형성하는 단계와;

상기 박막 트랜지스터와, 제2 쇼팅바, 상기 제3 쇼팅바, 상기 연결 라인들이 형성된 모기관 상에 다수의 컨택홀을 포함하는 보호막을 형성하는 단계와;

상기 유기 전계 발광 소자의 양극과, 상기 제1 쇼팅바와, 상기 연결 라인들과 상기 게이트 라인, 데이터 라인, 에미션 라인을 연결하며, 상기 제2 쇼팅바와 상기 제3 쇼팅바를 연결 전극 패턴부를 형성하는 단계를 포함하는 것을 특징으로 하는 유기전계발광 표시패널의 모기관의 제조방법.

청구항 8

제7항에 있어서,

상기 제1 쇼팅바가 형성되기 이전 공정까지 상기 제1 쇼팅바와 상기 제2 쇼팅바는 서로 이격되어 형성되는 것을 특징으로 하는 유기전계발광 표시패널의 모기관의 제조방법.

청구항 9

제7항에 있어서,

상기 연결 전극 패턴부는 제1 내지 제3 연결 전극 패턴부를 포함하며,

상기 제1 연결 전극 패턴부는 상기 연결 라인과 상기 에미션 라인이 연결해주는 제1 연결전극과, 상기 연결 라인과 게이트 라인과 연결해주는 제2 연결전극을 포함하며,

상기 제2 연결 전극 패턴부는 상기 연결 라인과 상기 데이터 라인을 연결해주는 제1 연결 전극을 포함하며,

상기 제3 연결 전극 패턴부는 상기 제2 쇼팅바와 상기 제3 쇼팅바가 서로 교차하는 지점에서 서로 연결해주는 제1 연결 전극과, 상기 제2 쇼팅바와 상기 제3 쇼팅바가 서로 평행하는 지점에서 서로 연결해주는 제2 연결 전극을 포함하는 것을 특징으로 하는 유기전계발광 표시패널의 모기관의 제조 방법.

명세서**기술분야**

[0001] 본 발명은 유기 전계 발광 표시 장치 및 그의 제조 방법에 관한 것으로, 특히 박막 트랜지스터 공정이 완료되는 공정 이전까지 쇼팅바들과 표시 영역의 소자들이 서로 이격되게 형성되어 정전기를 방지할 수 있는 유기전계발광 표시 패널의 모기관 및 그의 제조 방법에 관한 것이다.

배경기술

[0002] 다양한 정보를 화면으로 구현해 주는 영상 표시 장치는 정보 통신 시대의 핵심 기술로 더 얇고 더 가볍고 휴대가 가능하면서도 고성능의 방향으로 발전하고 있다. 이에 음극선관(CRT)의 단점인 무게와 부피를 줄일 수 있는 평판 표시 장치로 유기 전계 발광 소자의 발광량을 제어하여 영상을 표시하는 유기전계발광 표시패널이 각광받

고 있다. 유기 전계 발광 소자는 전극 사이의 얇은 발광층을 이용한 자발광 소자로 종이와 같이 박막화가 가능하다는 장점을 갖고 있다.

[0003] 유기전계발광 표시패널은 3색(R, G, B) 서브 화소로 구성된 화소들이 매트릭스 형태로 배열되어 화상을 표시하게 된다. 각 서브 화소는 유기 전계 발광 소자와, 그 유기 전계 발광 소자를 구동하는 셀 구동부를 포함한다. 셀 구동부는 스캔 신호를 공급하는 게이트 라인과, 비디오 데이터 신호를 공급하는 데이터 라인과, 공통 전원 신호를 공급하는 공통 전원 라인 사이에 접속된 적어도 2개의 박막 트랜지스터와 스토리지 캐패시터로 구성되어 유기 발광 소자의 양극을 구동한다.

[0004] 이러한, 유기전계발광 표시패널은 하나의 모기관 상에 다수의 유기전계발광 표시패널을 형성한 후, 스크라이빙 공정으로 분리하여 형성된다. 이때, 유기전계발광 표시패널의 공정 중에 발생하는 정전기를 방지하기 위해 모기관 상에는 쇼팅바를 형성한다. 쇼팅바는 제조 공정 중에 발생하는 정전기를 각 라인에 분산시켜 등전위를 만들어 주기 위해 게이트 라인 또는 데이터 라인과 모두 연결되어 있으며, 게이트 라인 또는 데이터 라인으로 형성된다.

[0005] 하지만, 게이트 라인과 데이터 라인, 절연막은 스퍼터링 방법 또는 CVD 방법으로 형성하게 되는데 이러한 스퍼터링 방법 또는 CVD 방법은 플라스마 상태에서 형성하게 되므로 양전하나 음전하들이 발생된다. 이와 같이, 플라스마 상태에서 많은 전하들로 인해 오히려 정전기가 발생하게 되어 쇼팅바를 통해 정전기가 게이트 라인 또는 데이터 라인으로 유입되어 표시 영역의 화소 불량이 발생된다.

발명의 내용

해결하려는 과제

[0006] 본 발명은 상기 문제점을 해결하기 위해 창안된 것으로서, 박막 트랜지스터 공정이 완료되는 공정 이전까지 쇼팅바들과 표시 영역의 소자들이 서로 이격되게 형성되어 정전기를 방지할 수 있는 유기전계발광 표시 패널의 모기관 및 그의 제조 방법을 제공하는 것이다.

과제의 해결 수단

[0007] 이를 위하여, 본 발명은 게이트 라인, 데이터 라인, 전원 라인, 기준 전압 라인 및 에미션 라인과 접속된 화소들이 매트릭스 형태로 배치되며, 상기 각 화소에 유기 전계 발광 소자를 포함하는 다수의 유기전계발광 표시패널들과, 상기 다수의 유기전계발광 패널들의 제조 공정 중에 발생하는 정전기를 각 라인에 분산시켜 등전위로 만들어 정전기를 방지하는 다수의 쇼팅바들과, 각각의 유기전계발광 표시패널을 절단하기 위한 스크라이빙 라인을 포함하는 유기전계발광 표시패널의 모기관에 있어서, 상기 다수의 쇼팅바는 상기 다수의 유기전계발광 표시패널들의 외곽 영역에 형성되며, 상기 유기 전계 발광 소자의 양극과 동일 재질로 동일층에 형성되는 제1 쇼팅바와, 상기 유기전계발광 표시패널의 표시 영역을 둘러싸도록 형성되며, 상기 게이트 라인으로 형성되는 제2 쇼팅바와, 상기 제2 쇼팅바와 메쉬(Mesh)형으로 이루어지도록 교차하도록 접속되며, 상기 데이터 라인으로 형성되는 제3 쇼팅바를 포함하는 것을 특징으로 한다.

[0008] 여기서, 상기 각각의 유기전계발광 표시패널은 상기 다수의 화소들을 포함하는 표시 영역과, 상기 유기전계발광 표시패널들이 공정 중에 발생하는 정전기를 방지하기 위한 다수의 정전기 방지 패턴들과, 상기 게이트 라인, 데이터 라인, 에미션 라인으로 검사 신호를 인가하여 상기 표시 영역의 소자들의 점등 검사를 하기 위한 테스트 패드부 및 상기 쇼팅바들이 형성된 비표시 영역을 포함하는 것을 특징으로 한다.

[0009] 그리고, 상기 제3 쇼팅바와 연결된 연결 라인들을 더 포함하며, 상기 연결 라인들은 상기 게이트 라인, 데이터 라인, 에미션 라인 각각과 연결 전극 패턴부를 통해 연결되는 것을 특징으로 한다.

[0010] 또한, 상기 연결 전극 패턴부는 제1 내지 제3 연결 전극 패턴부를 포함하며, 상기 제1 연결 전극 패턴부는 상기 연결 라인과 상기 에미션 라인이 연결해주는 제1 연결전극과, 상기 연결 라인과 게이트 라인과 연결해주는 제2 연결전극을 포함하며, 상기 제2 연결 전극 패턴부는 상기 연결 라인과 상기 데이터 라인을 연결해주는 제1 연결전극을 포함하며, 상기 제3 연결 전극 패턴부는 상기 제2 쇼팅바와 상기 제3 쇼팅바가 서로 교차하는 지점에서 서로 연결해주는 제1 연결 전극과, 상기 제2 쇼팅바와 상기 제3 쇼팅바가 서로 평행하는 지점에서 서로 연결해주는 제2 연결 전극을 포함하는 것을 특징으로 한다.

[0011] 그리고, 상기 정전기 방지 패턴들은 상기 각 연결 라인에 다수의 제너 다이오드로 형성되는 것을 특징으로

한다.

[0012] 또한, 상기 정전기 방지 패턴들은 게이트 라인, 데이터 라인, 에미션 라인 각각에 다수의 다이오드로 형성된 것을 특징으로 한다.

[0013] 본 발명은 게이트 라인, 데이터 라인, 전원 라인, 기준 전압 라인 및 에미션 라인과 접속된 화소들이 매트릭스 형태로 배치되며, 상기 각 화소에 유기 전계 발광 소자를 포함하는 다수의 유기전계발광 표시패널들과, 상기 다수의 유기전계발광 표시패널들의 외곽 영역에 형성되는 제1 쇼팅바와, 상기 유기전계발광 표시패널의 표시 영역을 둘러싸도록 형성되는 제2 쇼팅바와, 상기 제2 쇼팅바와 메쉬(Mesh)형으로 이루어지도록 교차하도록 형성되는 제3 쇼팅바를 포함하는 유기전계발광 표시패널의 모기판의 제조 방법에 있어서, 상기 모기판의 유기전계발광 표시패널의 화소들에 다수의 박막 트랜지스터가 형성되며, 상기 게이트 라인과 동일 재질로 제2 쇼팅바와, 상기 데이터 라인과 동일 재질로 제3 쇼팅바와, 상기 게이트 라인 또는 상기 데이터 라인으로 형성된 연결 라인들을 형성하는 단계와, 상기 박막 트랜지스터와, 제2 쇼팅바, 상기 제3 쇼팅바, 상기 연결 라인들이 형성된 모기판 상에 다수의 컨택홀을 포함하는 보호막을 형성하는 단계와, 상기 유기 전계 발광 소자의 양극과, 상기 제1 쇼팅바와, 상기 연결 라인들과 상기 게이트 라인, 데이터 라인, 에미션 라인을 연결하며, 상기 제2 쇼팅바와 상기 제3 쇼팅바를 연결 전극 패턴부를 형성하는 단계를 포함하는 것을 특징으로 한다.

[0014] 여기서, 상기 제1 쇼팅바가 형성되기 이전 공정까지 상기 제1 쇼팅바와 상기 제2 쇼팅바는 서로 이격되어 형성되는 것을 특징으로 한다.

[0015] 그리고, 상기 연결 전극 패턴부는 제1 내지 제3 연결 전극 패턴부를 포함하며, 상기 제1 연결 전극 패턴부는 상기 연결 라인과 상기 에미션 라인이 연결해주는 제1 연결전극과, 상기 연결 라인과 게이트 라인과 연결해주는 제2 연결전극을 포함하며, 상기 제2 연결 전극 패턴부는 상기 연결 라인과 상기 데이터 라인을 연결해주는 제1 연결 전극을 포함하며, 상기 제3 연결 전극 패턴부는 상기 제2 쇼팅바와 상기 제3 쇼팅바가 서로 교차하는 지점에서 서로 연결해주는 제1 연결 전극과, 상기 제2 쇼팅바와 상기 제3 쇼팅바가 서로 평행하는 지점에서 서로 연결해주는 제2 연결 전극을 포함하는 것을 특징으로 한다.

발명의 효과

[0016] 본 발명은 다수의 유기전계발광 표시패널들의 외곽 영역에 형성된 제1 쇼팅바와, 유기전계발광 표시패널의 표시 영역을 둘러싸도록 형성된 제2 쇼팅바와, 제2 쇼팅바와 메쉬형으로 이루어지도록 교차한 제3 쇼팅바를 포함한다. 이때, 제1 내지 제3 쇼팅바는 표시 영역의 박막 트랜지스터 공정이 완료되기 전까지 서로 연결되지 않은 레이 아웃 형태로 형성되며, 유기 전계 발광 소자의 양극이 형성될 때, 제1 쇼팅바가 형성되며, 제1 내지 제3 쇼팅바가 연결 전극을 통해 접속된다.

[0017] 이에 따라, 제1 내지 제3 쇼팅바에 의해 발생되었던 정전기가 유기발광표시패널의 표시 영역으로 유입되는 것이 방지되므로 불량 화소가 발생할 확률이 감소됨으로써 유기전계발광 표시패널의 표시 품질과 신뢰성이 향상될 수 있다.

도면의 간단한 설명

[0018] 도 1은 본 발명에 따른 유기 전계 발광 표시 패널의 모기판을 나타내는 평면도이다.

도 2는 도 1에 도시된 유기 전계 발광 표시 패널의 모기판의 일부를 확대한 평면도이다.

도 3은 도 2에 도시된 A 영역 및 B 영역을 확대한 평면도이다.

도 4는 도 3에 도시된 유기 전계 발광 표시 패널을 I-I', II-II' 선을 따라 절단하여 도시한 단면도이다.

도 5는 한 화소에 대한 회로도를 나타낸 도면이다.

도 6a 내지 도 9는 본 발명의 실시 예에 따른 유기전계발광 표시패널의 모기판의 제조방법을 나타낸 평면도들 및 단면도들이다.

발명을 실시하기 위한 구체적인 내용

[0019] 이하, 첨부된 도면을 참조하여 본 발명에 따른 실시 예를 상세하게 설명한다. 본 발명의 구성 및 그에 따른 작용 효과는 이하의 상세한 설명을 통해 명확하게 이해될 것이다. 본 발명의 상세한 설명에 앞서, 동일한 구성 요소에 대해서는 다른 도면 상에 표시되더라도 가능한 동일한 부호로 표시하며, 공지된 구성에 대해서는 본 발

명의 요지를 흐릴 수 있다고 판단되는 경우 구체적인 설명은 생략하기로 함에 유의한다.

- [0020] 이하, 본 발명의 바람직한 실시 예를 도 1 내지 도 9를 참조하여 상세히 설명하기로 한다.
- [0021] 도 1은 본 발명에 따른 유기 전계 발광 표시 패널의 모기관을 나타내는 평면도이고, 도 2는 도 1에 도시된 유기 전계 발광 표시 패널의 모기관의 일부를 확대한 평면도이다. 도 3은 도 2에 도시된 A 영역 및 B 영역을 확대한 평면도이며, 도 4는 도 3에 도시된 유기 전계 발광 표시 패널을 I-I', II-II' 선을 따라 절단하여 도시한 단면도이다. 그리고, 도 5는 한 화소에 대한 회로도를 나타낸 도면이다.
- [0022] 도 1 및 도 2에 도시된 바와 같이 본 발명의 실시 예에 따른 유기전계발광 표시패널의 모기관(100)은 매트릭스 타입으로 배열되는 다수의 유기전계발광 표시패널들과, 다수의 유기전계발광 표시패널들의 제조 공정 중에 발생하는 정전기를 각 라인에 분산시켜 등전위로 만들어 정전기를 방지하는 다수의 쇼팅바들(110, 114a, 114, 116)과, 각각의 유기전계발광 표시패널을 절단하기 위한 스크라이빙 라인(112)을 포함한다.
- [0023] 각각의 유기전계발광 표시패널은 화상을 표시하는 표시 영역(102)과, 다수의 정전기 방지 패턴부와, 테스트 패드부(120, 122) 및 쇼팅바(114a, 114, 116)가 형성된 비표시 영역을 포함한다.
- [0024] 유기전계발광 표시패널의 표시 영역(Active area)에는 게이트 라인(GL), 데이터 라인(DL), 전원 라인(PL), 기준 전압 라인(Vref) 및 에미션 라인(EML)과 접속된 화소들이 매트릭스 형태로 배치된다. 전원 라인(PL)은 화소들 각각에 고전위 구동전압(Vdd)을 공급하며, 기준 전압 라인(VLref)은 화소들 각각에 기준 전압(Vref)을 공급한다. 화소들 각각은 신호 라인들의 교차 영역에 형성된 다수의 스위칭 트랜지스터(T1 내지 T5), 구동 트랜지스터(DT) 및 유기 전계 발광 소자를 포함한다.
- [0025] 구동 트랜지스터(DT)의 게이트 전극은 제1 노드(N1)를 통해 스위칭 회로에 접속되고, 구동 트랜지스터(DT)의 소스 전극은 전원 라인(PL)과 접속되고, 구동 트랜지스터(DT)의 드레인 전극은 제6 노드(N6)를 통해 스위치 회로에 접속된다. 구동 트랜지스터(DT)는 게이트 전극과 소스 전극 간의 차전압에 따라 유기 전계 발광 소자에 흐르는 전류량을 제어한다.
- [0026] 유기 발광 소자는 제4 트랜지스터(T4)의 드레인 전극(210)과 접속하는 양극(222)과, 양극(222)을 노출시키는 뱅크홀(235)이 형성된 뱅크 절연막(230)과, 뱅크홀(235)을 통해 노출된 양극(222) 위에 형성된 유기층(232)과, 유기층(232) 위에 형성된 음극(234)으로 구성된다. 유기층(232)은 양극(222)으로부터 적층된 정공 주입층, 정공 수송층, 발광층, 전자 수송층, 전자 주입층으로 구성된다. 이러한, 유기층(232)은 양극(222)에 공급된 전류량에 따라 발광한다. 음극(234) 및 양극(222)의 재질에 따라 기관의 전면으로 발광하는 전면 발광, 기관의 후면으로 발광하는 후면 발광 또는 기관 전면 및 후면으로 발광하는 양면 발광을 할 수 있다. 이때, 양극(222)은 투명 전극 재질로 형성되며, 투명 전극 재질로는 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), ITZO(Indium Tin Zinc Oxide), ATO(Antimony Tin Oxide) 등의 물질로 형성할 수 있다.
- [0027] 다수의 스위칭 트랜지스터는 제1 내지 제5 스위칭 트랜지스터(T1 내지 T5)를 포함한다.
- [0028] 제1 스위칭 트랜지스터(T1)의 게이트 전극은 제2 노드(N2)와 접속되며, 제1 스위칭 트랜지스터(T1)의 소스 전극은 데이터 라인(DL)과 접속되며, 제1 스위칭 트랜지스터(T1)의 드레인 전극은 제3 노드(N3)와 접속된다.
- [0029] 제2 스위칭 트랜지스터(T2)의 게이트 전극은 에미션 라인(EML)과 접속되며, 제2 스위칭 트랜지스터(T2)의 소스 전극은 제3 노드(N3)와 접속되며, 제2 스위칭 트랜지스터(T2)의 드레인 전극은 기준 전압 라인(VLref)와 접속된다.
- [0030] 제3 스위칭 트랜지스터(T3)의 게이트 전극은 게이트 라인(GL)과 접속되며, 제3 스위칭 트랜지스터(T3)의 소스 전극은 제1 노드(N1)와 접속되며, 제3 스위칭 트랜지스터(T3)의 드레인 전극은 제6 노드(N6)와 접속된다.
- [0031] 제4 스위칭 트랜지스터(T4)의 게이트 전극은 에미션 라인(EML)과 접속되며, 제4 스위칭 트랜지스터(T4)의 소스 전극은 제6 노드(N6)와 접속되며, 제4 스위칭 트랜지스터(T4)의 드레인 전극은 유기 전계 발광 소자의 양극과 접속된다. 이에 대해, 제4 트랜지스터(T4)는 도 4에 도시된 바와 같이 하부 기관 상에 버퍼막(216), 액티브층(214)이 형성되며, 게이트 전극(206)은 액티브층의 채널 영역(214C)과 게이트 절연막(212)을 사이에 두고 중첩되게 형성된다. 소스 전극(208) 및 드레인 전극(210)은 게이트 전극(206)과 층간 절연막(226)을 사이에 두고 절연되게 형성된다. 소스 전극(208) 및 드레인 전극(210)은 층간 절연막(226) 및 게이트 절연막(212)을 관통하는 소스 콘택홀(224S) 및 드레인 콘택홀(224D) 각각을 통해 n+ 불순물이 주입된 액티브층(214)의 소스 영역(214S) 및 드레인 영역(214D) 각각과 접속된다. 또한, 액티브층(214)은 오프 전류를 감소시키기 위해 채널 영역(214C)과 소스 및 드레인 영역(214S, 214D) 사이에 n- 불순물이 주입된 엘디디(Light Doped Drain; LDD) 영

역(미도시) 더 구비하기도 한다. 제5 트랜지스터를 덮도록 형성되는 보호막을 포함하며, 보호막은 드레인 전극을 노출시키는 화소 콘택홀을 포함한다.

[0032] 제5 스위칭 트랜지스터(T5)의 게이트 전극은 게이트 라인(GL)과 접속되며, 제5 스위칭 트랜지스터(T5)의 소스 전극은 기준 전압 라인(VLref)과 접속되며, 제5 스위칭 트랜지스터(T5)의 드레인 전극은 제7 노드(N7)와 접속된다.

[0033] 유기전계발광 표시패널의 비표시 영역에는 정전기 방지 패턴부(130, 132, 134, 136, 138, 150, 152, 154, 156)와, 테스트 패턴부(120, 122) 및 다수의 쇼팅바(114a, 114, 116)를 포함한다. 여기서, 쇼팅바에 대한 구체적인 설명은 후술하기로 한다.

[0034] 테스트 패턴부는 제1 및 제2 테스트 패턴부(120, 122)를 포함하며, 유기전계발광 표시패널의 각종 신호 라인 및 트랜지스터들이 형성된 후에 실시되는 전기적인 점등검사와 각 화소의 불량을 검사한다. 구체적으로, 제1 및 제2 테스트 패턴부(120, 122) 각각에 형성된 다수의 점등 검사용 패드는 오토 프로브 장치의 핀과 전기적으로 접촉되어 신호가 인가된다. 다수의 점등 검사용 패드에 인가되는 신호에 의해 유기전계발광 표시 패널의 점등 여부를 검사한다.

[0035] 제1 테스트 패턴부(120)는 제1 내지 제3 검사용 패드(120a, 120b, 120c)를 포함하며, 제1 검사용 패드(120c)는 에미션 라인(EML)으로 검사 신호를 공급하며, 제2 검사용 패드(120b)는 게이트 라인(GL)으로 검사 신호를 공급하며, 제3 검사용 패드(120c)는 제1 스위칭 라인(SWL1)으로 검사 신호를 공급한다. 제1 테스트 패턴부(120)의 제1 내지 제3 검사용 패드(120a, 120b, 120c) 각각은 제3 쇼팅바(116)로부터 연장되어 형성된 상부 전극과, 상부 전극과 콘택홀을 통해 접속된 연결 라인들(CL1, CL2, CL3)로부터 연장되어 형성된 하부 전극으로 이루어진다.

[0036] 제2 테스트 패턴부(122)는 제1 및 제2 검사용 패드(122a, 122b)를 포함하며, 제1 검사용 패드(122b)는 데이터 라인(DL)으로 검사 신호를 공급하며, 제2 검사용 패드(122a)는 제2 스위칭 라인(SWL2)으로 검사 신호를 공급한다. 제2 테스트 패턴부(122)의 제1 및 제2 검사용 패드 각각은 도 3과 같이 도시되지 않았지만, 제1 테스트 패턴부(120)와 마찬가지로 제3 쇼팅바(116)로부터 연장되어 형성된 상부 전극과, 상부 전극과 콘택홀을 통해 접속된 연결 라인들(CL4, CL4)로부터 연장되어 형성된 하부 전극으로 이루어진다.

[0037] 정전기 방지 패턴부는 정전기가 표시 영역의 트랜지스터로 전달되어 손상되지 않도록 제1 내지 제10 정전기 방지 패턴(130, 132, 134, 136, 138, 150, 152, 154, 156)을 포함한다. 이러한, 제1 내지 제10 정전기 방지 패턴(130, 132, 134, 136, 138, 150, 152, 154, 156)은 각 신호 라인들에 다수의 다이오드로 형성되며, 정전기가 발생되면 다수의 다이오드를 통해 방전시켜 표시 영역의 소자들로 영향을 주지 않도록 한다. 이와 같이, 정전기를 방지하기 위해 다수의 정전기 방지 패턴 외의 쇼팅바들을 통해 정전기를 방지한다. 이러한, 쇼팅바들은 표시 영역의 게이트 라인, 데이터 라인, 에미션 라인과 모두 연결되어 있다. 쇼팅바는 정전기를 각 라인에 분산시켜 등전위로 만들어 정전기를 방지하지만, 스크라이빙 공정시 쇼팅바들 중 제3 쇼팅바(116)가 스크라이빙 되면서 정전기가 발생된다. 이밖에 패널 제조 공정 시 쇼팅바를 통해 정전기가 유입되는 경우가 많으므로 유입된 정전기를 방지하기 위해 다수의 정전기 방지 패턴을 형성한다.

[0038] 구체적으로, 제1 내지 제5 정전기 방지 패턴(130, 132, 134, 150, 154)은 게이트 라인(GL), 에미션 라인(EML), 제1 스위칭 라인(SWL1) 사이에 형성되어 게이트 라인(GL), 에미션 라인(EML), 제1 스위칭 라인(SWL1)으로 유입되는 정전기를 방전시켜 표시 영역의 소자들로 정전기를 유입되는 것을 방지한다. 제1 정전기 방지 패턴(130)은 제1 테스트 패턴부(120)의 검사용 패드들(120a, 120b, 102c)과 오토 프로브 장치의 핀과 전기적으로 접속될 경우에도 정전기가 발생될 수 있는데 이러한 정전기 유입을 막기 위해 제1 테스트 패턴부(120)와 연결 라인들(CL1 내지 CL3) 사이에 형성된다. 또한, 제1 정전기 방지 패턴(130)은 도 2 및 도 3에 도시된 바와 같이 각 연결 라인에 다수의 제너 다이오드(ZDn)로 형성된다. 정전기가 유입되면 전류의 극성에 관계없이 수 KV 이상의 정전기 전압이 제너 다이오드에 인가되면, 제너 다이오드가 턴온되어 정전기가 분산된다. 즉, 제너 다이오드(ZD)는 정전압의 극성에 관계없이 일정 전압 이상에서 도통되어 정전기를 방지한다.

[0039] 제2 정전기 방지 패턴(132)은 제1 정전기 방지 패턴(130)을 통해 정전기 유입을 막지 못한 경우 2차적으로 정전기를 방지할 수 있도록 각 신호 라인들에 다수의 다이오드(Dn)로 형성된다. 구체적으로, 제2 정전기 방지 패턴(132)은 도 3에 도시된 바와 같이 에미션 라인(EML)에 다수의 다이오드로 형성되어 에미션 라인(EML)으로 유입된 정전기를 방지하며, 게이트 라인(GL)에 다수의 다이오드로 형성되어 게이트 라인(GL)으로 유입된 정전기를 방지하며, 제1 스위칭 라인(SWL1)에 다수의 다이오드로 형성되어 제1 스위칭 라인(SWL1)으로 유입된 정전기를 방지한다. 제3 정전기 방지 패턴(134)은 제2 정전기 방지 패턴(132)과 동일하게 각 라인에 다수의 다이오드로

형성되므로 생략하기로 한다. 제4 및 제5 정전기 방지 패턴(150,154)은 표시 영역(102)에 인접하게 형성되어 정전기를 방지한다. 이와 같이, 제1 내지 제5 정전기 방지 패턴(130,132,134,150,154)은 게이트 라인(GL), 에미션 라인(EML), 제1 스위칭 라인(SWL1)과 접속되어 각 신호 라인으로 유입되는 정전기를 제1 정전기 방지 패턴(130)--> 제2 정전기 방지 패턴(132)--> 제3 정전기 방지 패턴(134)--> 제4 정전기 방지 패턴(154)--> 제5 정전기 방지 패턴(150)으로 5단계로 방전시켜 표시 영역의 소자들로 정전기 유입을 막을 수 있다.

[0040] 또한, 제6 내지 제10 정전기 방지 패턴(135,136,138,152,156)은 데이터 라인(DL), 제2 스위칭 라인(SWL2) 사이에 형성되어 데이터 라인(DL), 제2 스위칭 라인(SWL2)으로 유입되는 정전기를 방전시켜 표시 영역의 소자들로 정전기를 유입되는 것을 방지한다. 제6 정전기 방지 패턴(138)은 제2 테스트 패턴부(122)의 검사용 패드들(122a,122b)과 오토 프로브 장치의 핀과 전기적으로 접속될 경우에도 정전기가 발생할 수 있는데 이러한 정전기 유입을 막기 위해 제1 테스트 패턴부(122)와 연결 라인들(CL4 및 CL5) 사이에 형성된다. 또한, 제6 정전기 방지 패턴(138)은 제1 정전기 방지 패턴과 마찬가지로 각 연결 라인에 다수의 제너 다이오드(ZDn)로 형성된다. 정전기가 유입되면 전류의 극성에 관계없이 수 KV 이상의 정전기 전압이 제너 다이오드에 인가되면, 제너 다이오드가 턴온되어 정전기가 분산된다. 즉, 제너 다이오드(ZD)는 정전압의 극성에 관계없이 일정 전압 이상에서 도통되어 정전기를 방지한다.

[0041] 제7 정전기 방지 패턴(136)은 제6 정전기 방지 패턴(138)을 통해 정전기 유입을 막지 못한 경우 2차적으로 정전기를 방지할 수 있도록 각 신호 라인들에 다수의 다이오드(Dn)로 형성된다. 구체적으로, 제7 정전기 방지 패턴(136)은 제2 정전기 방지 패턴과 마찬가지로 데이터 라인(DL)에 다수의 다이오드로 형성되어 데이터 라인(DL)으로 유입된 정전기를 방지하며, 제2 스위칭 라인(SWL2)에 다수의 다이오드로 형성되어 제2 스위칭 라인(SWL2)으로 유입된 정전기를 방지한다. 제8 정전기 방지 패턴(135)은 제7 정전기 방지 패턴(136)과 동일하게 각 라인에 다수의 다이오드로 형성되므로 생략하기로 한다. 제9 및 제10 정전기 방지 패턴(152,156)은 표시 영역(102)에 인접하게 형성되어 정전기를 방지한다. 이와 같이, 제6 내지 제10 정전기 방지 패턴(135,136,138,152,156)은 데이터 라인(DL), 제2 스위칭 라인(SWL2)과 접속되어 각 신호 라인으로 유입되는 정전기를 제6 정전기 방지 패턴(138)--> 제7 정전기 방지 패턴(136)--> 제8 정전기 방지 패턴(135)--> 제9 정전기 방지 패턴(156)--> 제10 정전기 방지 패턴(152)으로 5단계로 방전시켜 표시 영역의 소자들로 정전기 유입을 막을 수 있다.

[0042] 쇼팅바들은 제1 내지 제3 쇼팅바(110,114a,114,116)를 포함하며, 제1 내지 제3 쇼팅바(110,114a,114,116)는 박막 트랜지스터 공정이 완료된 후 서로 연결된다. 이러한, 쇼팅바들(110,114a,114,116)은 다수의 유기전계발광 패널들의 제조 공정 중에 발생하는 정전기를 각 라인에 분산시켜 등전위로 만들어 정전기를 방지한다.

[0043] 구체적으로, 제1 쇼팅바(110)는 모기관(100)에 형성된 다수의 유기전계발광 표시패널들의 외곽 영역에 형성되며, 유기전계발광소자의 양극(222)이 형성될 때 동시에 형성된다. 즉, 제1 쇼팅바(110)는 투명 전극으로 형성되며, 투명 전극 재질로는 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), ITZO(Indium Tin Zinc Oxide), ATO(Antimony Tin Oxide) 등의 물질로 형성할 수 있다. 종래 제1 쇼팅바는 게이트 라인이나 데이터 라인 형성시 동시에 동일 재질로 형성되었으나, 본 발명은 표시 영역에 형성된 박막 트랜지스터 공정이 완료된 뒤, 양극(222) 형성시 형성된다.

[0044] 다시 말하여, 게이트 라인이나 데이터 라인 형성시 스퍼터링 방법으로 증착하게 되는데 이러한 스퍼터링 방법은 플라즈마 상태에서 형성하게 되므로 양전하나 음전하들이 발생된다. 이러한, 플라즈마 상태에서 많은 전하들로 인해 오히려 정전기가 발생하게 된다. 즉, 제1 쇼팅바를 게이트 라인이나 데이터 라인으로 형성하게 되면, 제1 쇼팅바 형성시 발생된 정전기가 게이트 라인 또는 데이터 라인을 통해 각 패턴으로 유입하게 된다. 이에 따라, 본 발명은 표시 영역의 박막 트랜지스터 공정이 완료된 후, 유기전계발광 소자의 양극(222) 형성시 제1 쇼팅바(110)를 형성하도록 한다.

[0045] 이와 같이, 표시 영역(102)의 박막 트랜지스터 공정이 완료되기 전까지는 제1 쇼팅바(110)가 형성되지 않으므로 모기관에 형성된 다수의 유기전계발광 표시패널들 각각의 제1 내지 제3 쇼팅바(110,114a,114,116)는 서로 접속되지 않은 상태이다. 이에 따라, 인접한 유기전계발광 표시패널 간의 제2 쇼팅바(114a,114) 및 제3 쇼팅바(116)가 이격된 상태이다. 또한, 표시 영역(102)의 박막 트랜지스터가 완성된 후, 양극(222) 형성시 제1 쇼팅바(110)가 형성되며, 제1 내지 제3 쇼팅바(110,114a,114,116)가 연결되게 된다. 이와 같이, 제1 내지 제3 쇼팅바(110,114a,114,116)가 연결된 후, 표시 영역의 박막 트랜지스터 공정시 내부에 발생되었던 정전기를 각 라인에 분산시켜 등전위로 만들어 정전기를 방지한다.

[0046] 제2 쇼팅바(114a,114)는 유기전계발광 표시패널의 표시 영역(102)을 둘러싸도록 형성되며, 게이트 라인(GL)이 형성될 때 동시에 형성된다. 제2 쇼팅바(114a,114)는 U자형으로 표시 영역을 둘러싸도록 형성되어 컨택홀

(110a)을 통해 제1 쇼팅바(110)와 접속된다. 이를 위해, 제2 쇼팅바(114a)는 테스트 패턴부들(2120,122)와 인접한 영역에 형성되며, 콘택홀(110a)을 통해 제1 쇼팅바(110)와 접속된 제1 라인(114)과 표시 영역(102)을 둘러싸도록 형성된 제2 라인(114a)을 포함한다. 제2 라인(114a)은 제1 라인(114)보다 폭을 넓게 형성하여 라인 저항을 줄일 수 있다.

- [0047] 제3 쇼팅바(116)는 제2 쇼팅바들(116)과 메쉬(Mesh)형으로 교차하도록 접속되며, 데이터 라인(DL)이 형성될 때 동시에 형성된다. 제3 쇼팅바(116)는 제2 쇼팅바(116)와 제3 연결전극 패턴부(144,146)를 통해 접속하게 되며, 테스트 패턴부들(120,122)의 검사용 패드들(120a 내지 120c,122a 및 122b)의 상부 전극과 연결된다.
- [0048] 연결전극 패턴부(140,142,144,146)는 다수의 연결 라인(CL1 내지 CL3)과 게이트 라인(GL), 에미션 라인(EML), 제1 스위칭 라인(SWL1)과 연결해주는 제1 연결전극 패턴부(140)와, 다수의 연결 라인(CL4 및 CL5)과 데이터 라인(DL) 및 제2 스위칭 라인(SWL2)과 연결해주는 제2 연결전극 패턴부(142)와, 제2 쇼팅바(114,114a)와 제3 쇼팅바(116)를 연결해주는 제3 연결전극 패턴부(144,146)를 포함한다. 이러한, 연결전극 패턴부(140,142,144,146)는 유기전계발광소자의 양극(222) 형성시 동시에 형성되며, 투명 전극 재질로 형성된다.
- [0049] 제1 연결전극 패턴부(140)는 도 3에 도시된 바와 같이 제1 연결 라인(CL1)과 에미션 라인(EML)과 연결해주는 제1 연결전극(140c)과, 제2 연결 라인(CL2)과 게이트 라인(GL)과 연결해주는 제2 연결전극(140b)과, 제3 연결 라인(CL3)과 제1 스위칭 라인(SWL1)과 접속된 제3 연결 전극(140c)을 포함한다. 상술한 바와 같이, 연결전극 패턴부는 양극 형성시 형성되므로 양극 형성 공정 전까지는 제1 내지 제3 연결 라인들(CL1 내지 CL3)과 게이트 라인(GL), 에미션 라인(EML), 제1 스위칭 라인(SWL1)이 서로 이격된 형태이다.
- [0050] 제2 연결전극 패턴부(142)는 제4 연결 라인(CL4)과 데이터 라인(DL)과 연결해주는 제1 연결 전극(142a)과, 제5 연결 라인(CL5)과 제2 스위칭 라인(SWL2)과 연결해주는 제5 연결 전극(142b)을 포함한다. 상술한 바와 같이, 연결전극 패턴부는 양극 형성시 형성되므로 양극(222) 형성 공정 전까지는 제4 및 제5 연결 라인들(CL4, CL5)과 데이터 라인(DL), 제2 스위칭 라인(SWL2)이 서로 이격된 형태이다.
- [0051] 제3 연결전극 패턴부(144,146)는 제2 쇼팅바의 제1 라인(114)과 제3 쇼팅바(116)가 서로 교차하는 지점에서 서로 연결해주는 제1 연결 전극(144a)과, 제2 쇼팅바의 제2 라인(114a)과 제3 쇼팅바(116)가 서로 평행하는 지점에서 서로 연결해주는 제2 연결 전극(144b)을 포함한다. 이와 같이, 연결전극 패턴부는 양극(222) 형성시 형성되므로 양극 형성 공정 전까지는 제2 쇼팅바(114,114a)와 제3 쇼팅바(116)는 서로 연결되지 않은 상태이다. 이와 같이, 양극 형성시 제2 쇼팅바(114,114a)와 제3 쇼팅바(116)가 연결되며, 양극 형성시 제1 쇼팅바(110)도 형성되어 제2 쇼팅바(114a,114)와 연결되므로 표시 영역의 박막 트랜지스터 공정시 발생되었던 정전기가 각 라인에 분산되어 등전위가 되어 정전기가 방지된다.
- [0052] 도 6a 내지 도 9는 본 발명의 실시 예에 따른 유기전계발광 표시패널의 모기판의 제조방법을 나타낸 단면도들 및 평면도들이다.
- [0053] 도 6a 및 도 6b를 참조하면, 모기판(100)의 유기전계발광 표시패널의 표시 영역에 다수의 박막 트랜지스터가 형성되며, 다수의 연결 라인(CL1 내지 CL5)과, 제2 및 제3 쇼팅바(114a,114,116)가 형성되며, 보호막(219)이 형성된다.
- [0054] 구체적으로, 모기판(100)의 유기전계발광 표시패널의 표시 영역에 버퍼막(216), 액티브층(214)이 형성되며, 게이트 전극(206)은 액티브층의 채널 영역(214C)과 게이트 절연막(212)을 사이에 두고 중첩되게 형성된다. 소스 전극(208) 및 드레인 전극(210)은 게이트 전극(206)과 층간 절연막(226)을 사이에 두고 절연되게 형성된다. 소스 전극(208) 및 드레인 전극(210)은 층간 절연막(226) 및 게이트 절연막(212)을 관통하는 소스 콘택홀(224S) 및 드레인 콘택홀(224D) 각각을 통해 n+ 불순물이 주입된 액티브층(214)의 소스 영역(214S) 및 드레인 영역(214D) 각각과 접속된다. 이때, 게이트 라인(GL), 에미션 라인(EML), 제1 스위칭 라인(SWL1), 제1 내지 제3 연결 라인(CL1 내지 CL3), 제2 쇼팅바(114a,114)는 게이트 전극(206) 형성시 동일 재질로 동일층에 형성된다. 에미션 라인(EML)과 제1 연결 라인(CL1)은 서로 이격된 형태로 형성되며, 게이트 라인(GL)과 제2 연결 라인(CL2)은 서로 이격된 형태로 형성되며, 제1 스위칭 라인(SWL1)과 제3 연결 라인(CL3)은 서로 이격된 형태로 형성된다.
- [0055] 그리고, 데이터 라인(DL), 제2 스위칭 라인(SWL2), 제4 및 제5 연결 라인(CL4,CL5), 제3 쇼팅바(116)는 소스 전극(208) 및 드레인 전극(210) 형성시 동일 재질로 동일층에 형성된다. 데이터 라인(DL)과 제4 연결 라인(CL4)은 서로 이격된 형태로 형성되며, 제2 스위칭 라인(SWL2)과 제5 연결 라인(CL5)은 서로 이격된 형태로 형성된다.

[0056] 또한, 제2 쇼팅바(114a, 114)와 제3 쇼팅바(116)는 층간 절연막(226)을 사이에 두고 서로 메쉬(Mesh) 형태로 교차하여 형성되며, 서로 연결되지는 않는다.

[0057] 한편, 게이트 전극(206), 소스 및 드레인 전극(208,210)은 금속 재질로 형성되며, 스퍼터링 방법으로 형성된다. 그리고, 액티브층(214), 게이트 절연막(212), 층간 절연막(226), 버퍼층(216)은 PECVD 또는 CVD 등과 같은 방법으로 증착된다. 이와 같이, 스퍼터링 방법이나 PECVD, CVD 방법은 플라즈마 상태로 형성되어 전하들이 많이 발생되어 전하가 축적되어 각 정전기가 발생될 우려가 있지만, 제2 및 제3 쇼팅바(114a,114,116)가 서로 연결되지 않으며, 제1 내지 제5 연결 라인(CL1 내지 CL5)과, 각 신호 라인들(게이트 라인, 에미션 라인, 제1 스위칭 라인, 데이터 라인, 제2 스위칭 라인)이 서로 이격되어 있으므로 제2 및 제3 쇼팅바(114a,114,116)에서 발생된 정전기가 유입되지 않는다.

[0058] 도 7a 및 도 7b를 참조하면, 모기관(100) 상에 형성된 보호막(219)을 관통하는 다수의 컨택홀(220, 160, 162, 164, 166, 110a)이 형성된다.

[0059] 구체적으로, 모기관(100) 상에 형성된 보호막(219)은 박막 트랜지스터의 드레인 전극(210)이 노출되도록 화소 컨택홀(220)과, 연결 라인들(CL1 내지 CL5)을 노출하도록 형성된 제1 연결 컨택홀(160)들과, 게이트 라인(GL), 에미션 라인(EML), 제1 스위칭 라인(SWL1), 데이터 라인(DL), 제2 스위칭 라인(SWL2)을 노출하도록 형성된 제2 연결 컨택홀들(162)과, 제2 쇼팅바(114a)가 노출되도록 형성된 제3 연결 컨택홀(164)과, 제3 쇼팅바(116)가 노출되도록 형성된 제4 연결 컨택홀(166)이 형성된다.

[0060] 도 8a 및 도 8b를 참조하면, 모기관(100) 상에 양극(222)과, 연결 전극 패터부(140, 142, 144, 146), 제1 쇼팅바(110)가 형성된다.

[0061] 구체적으로, 박막 트랜지스터의 드레인 전극(201)과 접촉되도록 화소 컨택홀(220) 상에 양극(222)이 형성된다. 제1 연결 라인(CL1)과 에미션 라인(EML)을 연결해주는 제1 연결 전극(140c)과, 제2 연결 라인(CL2)과 게이트 라인(GL)을 연결해주는 제2 연결 전극(140b)과, 제3 연결 라인(CL3)과 제1 스위칭 라인(SWL1)을 연결해주는 제3 연결 전극(140a)을 포함하는 제1 연결 전극 패턴부(140)가 형성된다. 그리고, 제4 연결 라인(CL4)과 데이터 라인(DL)을 연결해주는 제1 연결 전극(142a)과, 제5 연결 라인(CL5)과 제2 스위칭 라인(SWL2)을 연결해주는 제2 연결 전극(142b)을 포함하는 제2 연결 전극 패턴부(142)가 형성된다. 또한, 제2 쇼팅바(114a, 114)와 제3 쇼팅바(116)가 서로 교차하는 지점에서 연결해주는 제1 연결 전극(144a)과, 제2 쇼팅바(114, 114a)와 제3 쇼팅바(116)가 서로 평행하는 지점에서 연결해주는 제2 연결 전극(144b)을 포함하는 제3 연결 전극 패턴부(144, 146)가 형성된다. 제2 쇼팅바(114, 114a)와 컨택홀(110a)을 통해 접속된 제1 쇼팅바(110)가 다수의 유기전계발광 표시 패널의 외곽에 형성된다. 이와 같이, 모기판(100) 상에 양극과, 제1 내지 제3 연결 전극 패턴부(140, 142, 144, 146)를 포함하는 연결 전극 패턴부, 제1 쇼팅바(110)가 투명 전극 재질로 형성된다. 투명 전극 재질은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), ITZO(Indium Tin Zinc Oxide), ATO(Antimony Tin Oxide) 등의 물질로 형성할 수 있다.

[0062] 도 9를 참조하면, 양극(222)이 형성된 모기관 상에 बैं크 절연막(230)이 형성되며, बैं크 절연막(230)을 관통하는 बैं크홀(235), 유기층(232), 음극(234)을 포함하는 유기 전계 발광 소자가 형성된다. 유기층은 정공 주입층, 정공 수송층, 발광층, 전자 수송층, 전자 수송층을 포함한다.

[0063] 이상의 설명은 본 발명을 예시적으로 설명한 것에 불과하며, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 본 발명의 기술적 사상에서 벗어나지 않는 범위에서 다양한 변형이 가능할 것이다. 따라서 본 발명의 명세서에 개시된 실시 예들은 본 발명을 한정하는 것이 아니다. 본 발명의 범위는 아래의 특허청구범위에 의해 해석되어야 하며, 그와 균등한 범위 내에 있는 모든 기술도 본 발명의 범위에 포함되는 것으로 해석해야 할 것이다.

부호의 설명

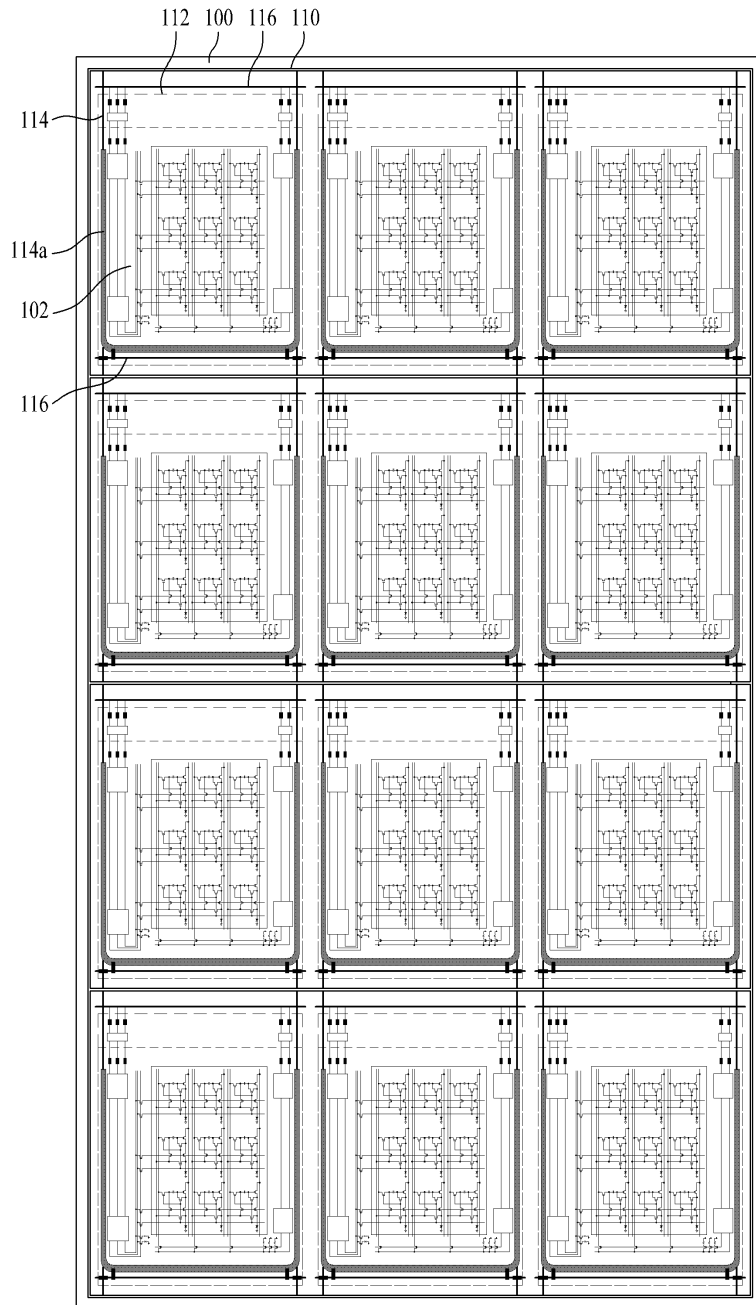
[0064]

100 : 모기관	102 : 표시 영역
110 : 제1 쇼팅바	112 : 스크라이빙 라인
114a, 114 : 제2 쇼팅바	116 : 제3 쇼팅바
130, 132, 134, 136, 138, 150, 152, 154, 156; 정전기 방지 패턴부	
120, 122: 테스트 패턴부	

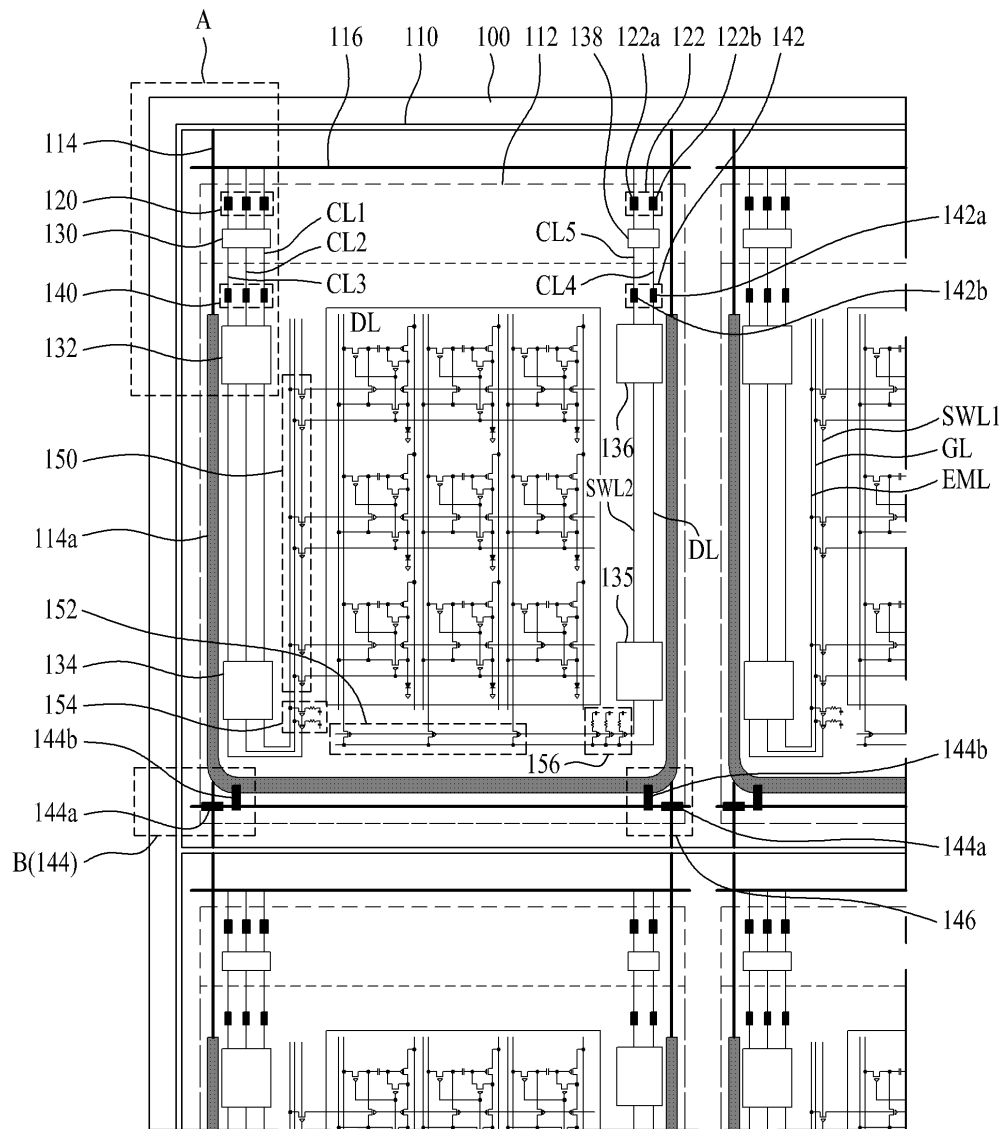
140, 142, 144, 146 : 연결전극 패턴부

도면

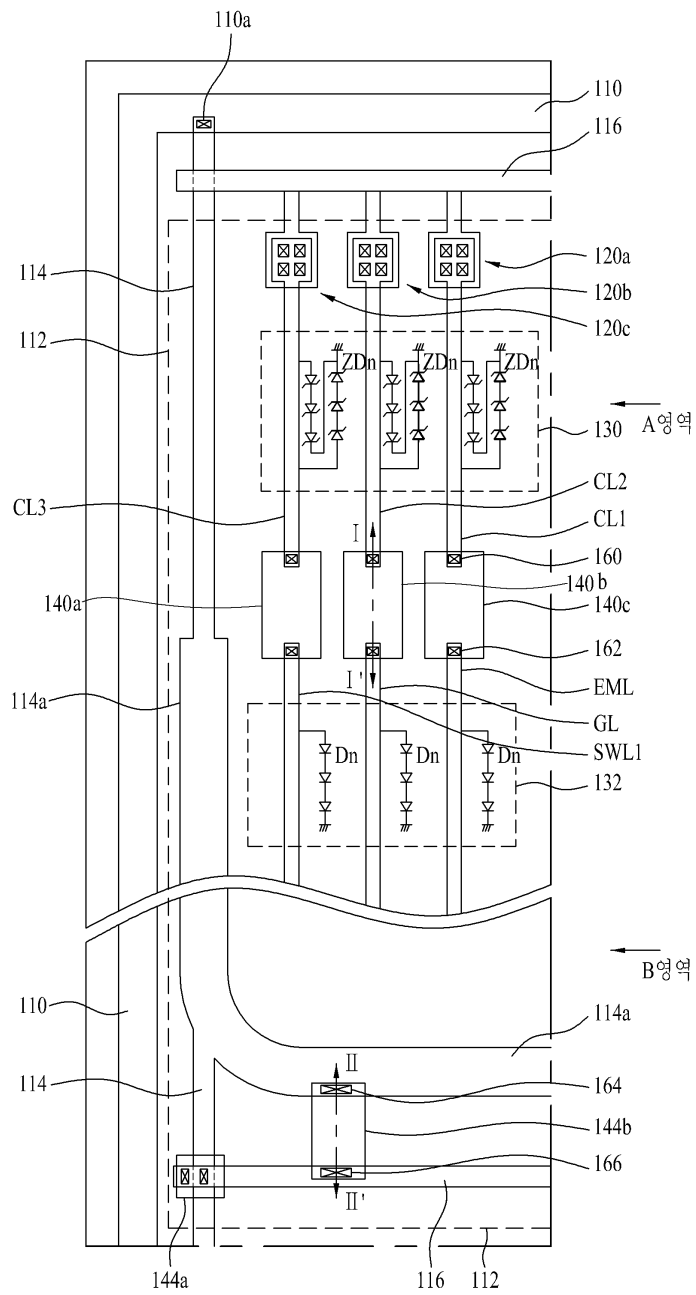
도면1



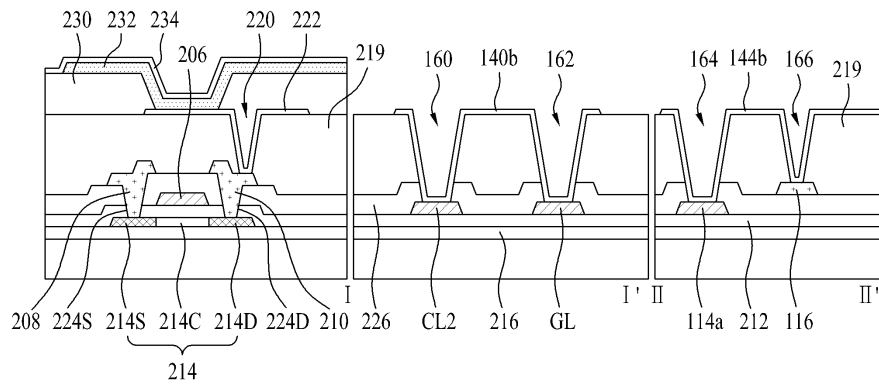
도면2



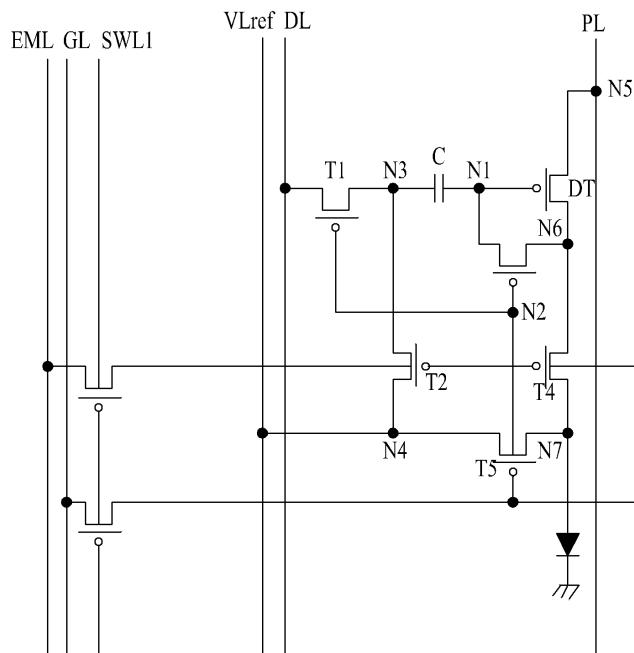
도면3



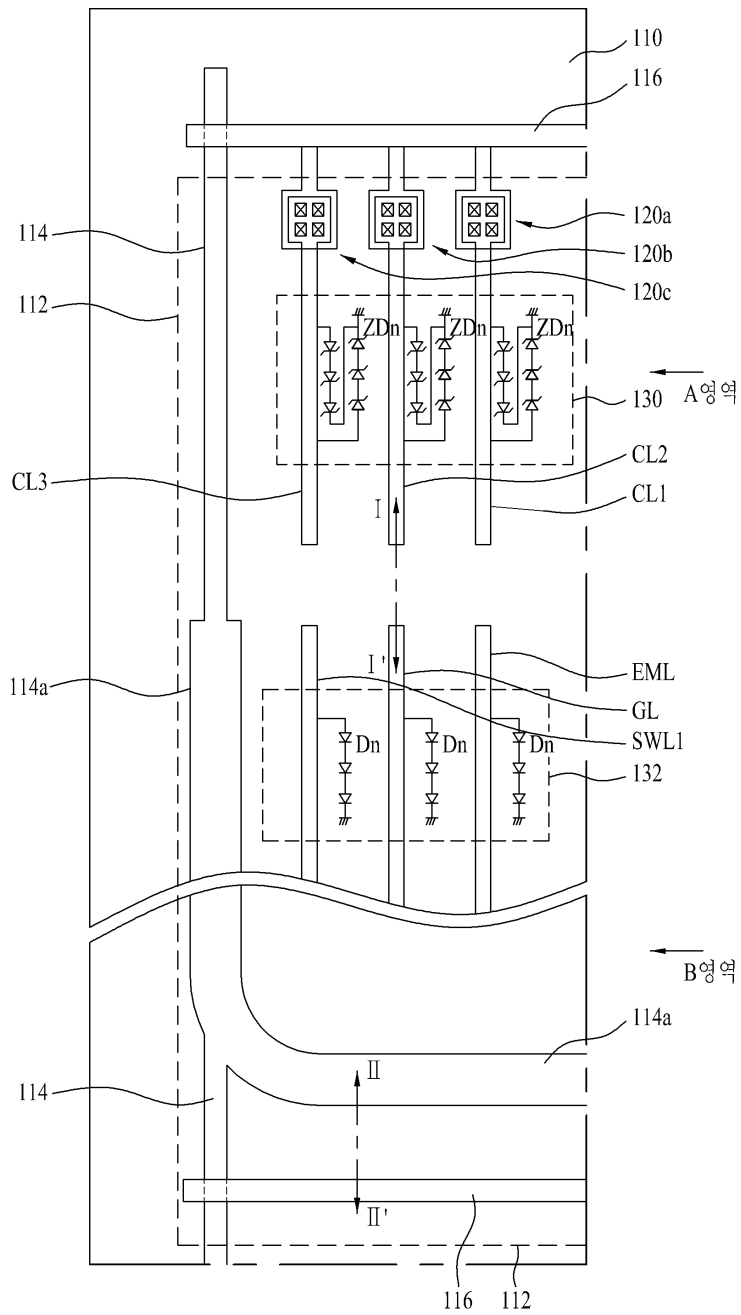
도면4



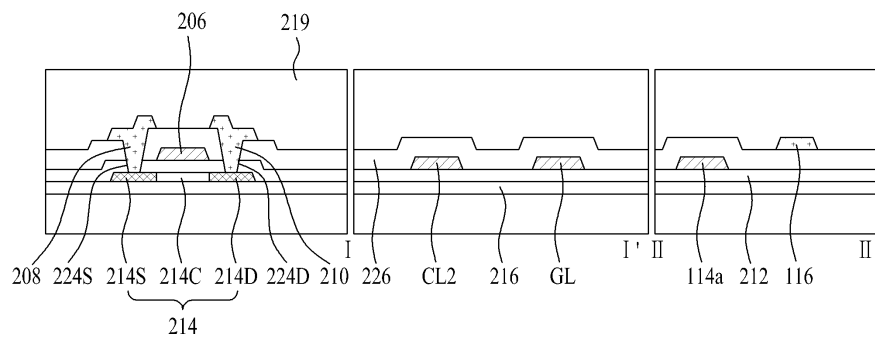
도면5



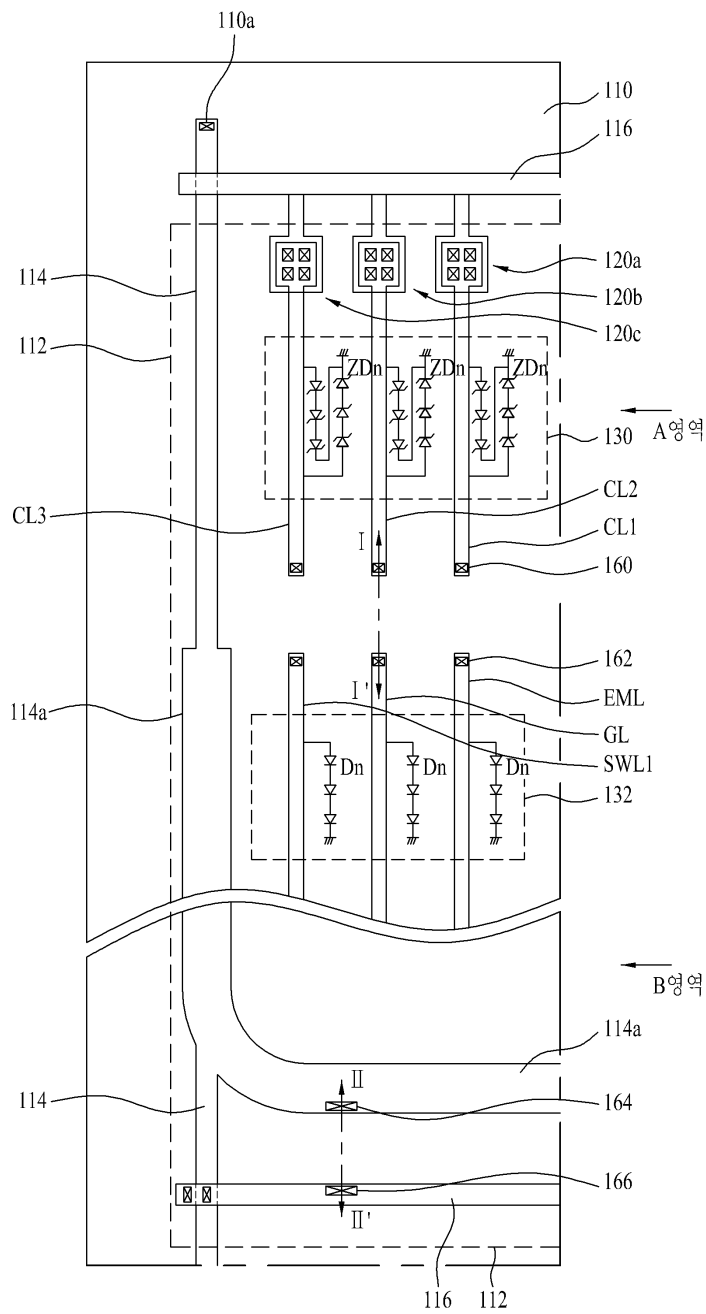
도면6a



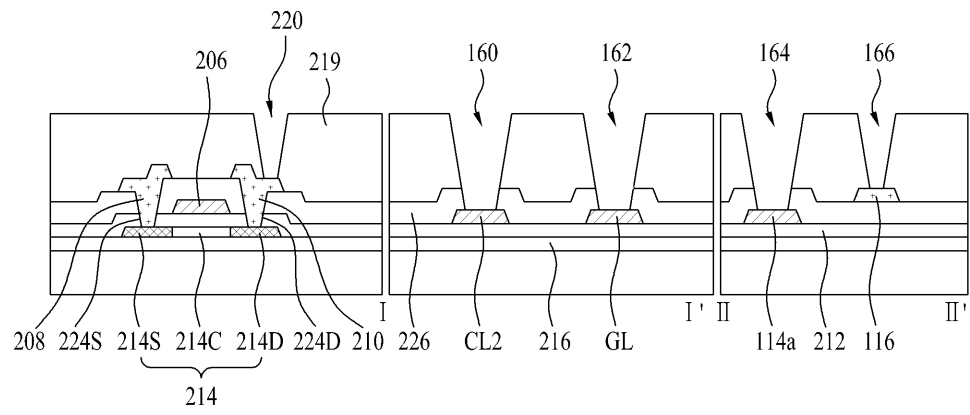
도면6b



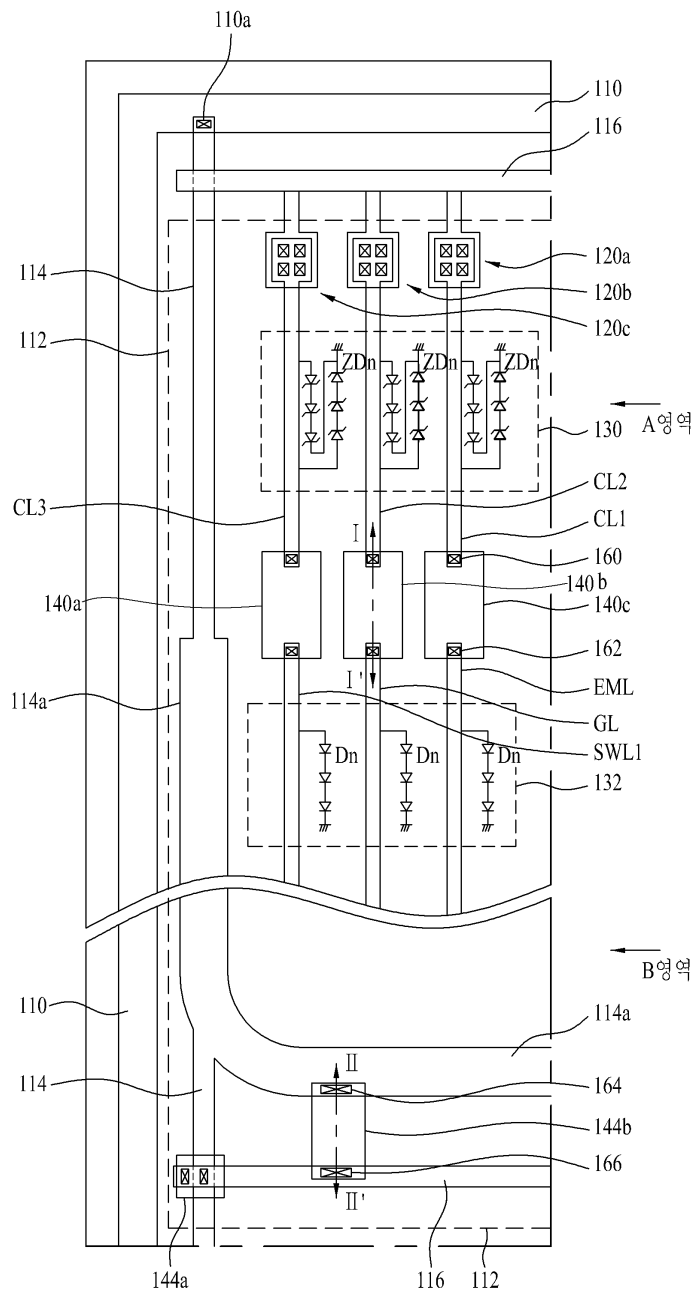
도면7a



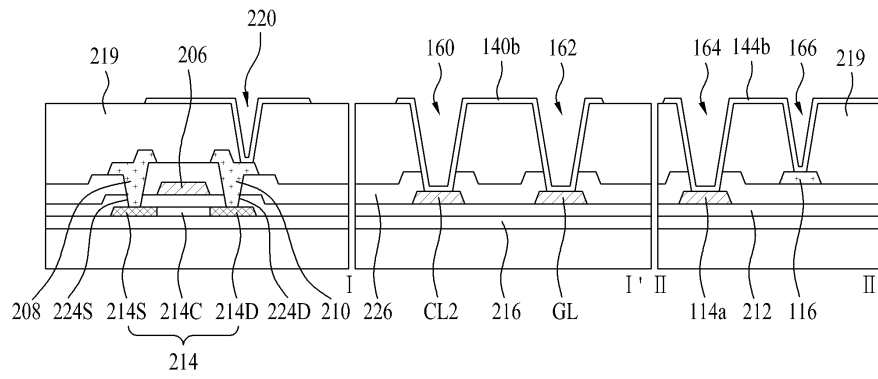
도면7b



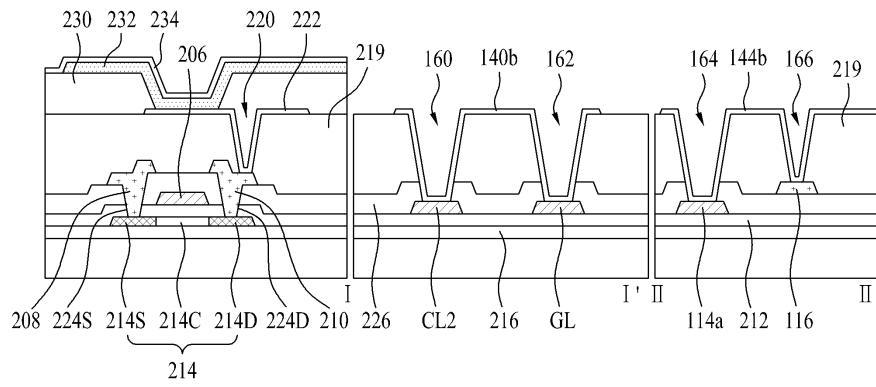
도면8a



도면8b



도면9



专利名称(译)	有机电致发光显示面板的蚊板及其制造方法		
公开(公告)号	KR1020120119546A	公开(公告)日	2012-10-31
申请号	KR1020110037541	申请日	2011-04-21
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM JIN TAE 김진태 LEE GUE TAI 이규태		
发明人	김진태 이규태		
IPC分类号	H01L51/50 H01L51/56 H05B33/10		
CPC分类号	H01L21/67396 H01L27/0248 G09G3/3233 G09G3/3208		
代理人(译)	Bakyounbok		
其他公开文献	KR101695295B1		
外部链接	Espacenet		

摘要(译)

本发明和栅极线，数据线，电源线，参考电压线，并且连接到所述发射线的像素被配置成矩阵形式的多个有机发光显示面板，包括有机EL器件的每个像素的用于切割多个短路棒的划片线和每个有机光通过静电制成各行分散发光显示面板的防止静电通过在所述多个有机电致发光面板的制造过程中产生的等电在有机发光显示面板，包括多个节目形成tingba在所述多个有机光的外部区域发光显示面板，其被形成在相同的层中的正电极由与有机发光装置的材料相同的材料的母基板形成为围绕有机发光显示面板的显示区域的第一短路棒，第二短路棒和所述第二短路连接以便相交发生如所描述的网格（网格）型，它其特征在于它包括从所述第二数据线形成的第三短路棒。 公布的专利10-2012-0119546

