



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2019년02월13일

(11) 등록번호 10-1947577

(24) 등록일자 2019년02월07일

(51) 국제특허분류(Int. Cl.)

G09G 3/30 (2006.01)

(21) 출원번호 10-2012-0102338

(22) 출원일자 2012년09월14일

심사청구일자 2017년08월18일

(65) 공개번호 10-2014-0035724

(43) 공개일자 2014년03월24일

(56) 선행기술조사문헌

KR1020120003154 A*

KR1020060031545 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

이정민

경기 평택시 신서로 93, (서정동)

윤상훈

경남 거제시 거제중앙로 1782, 1208호 (상동동, 동하파로스빌)

(74) 대리인

특허법인천문

전체 청구항 수 : 총 18 항

심사관 : 이승민

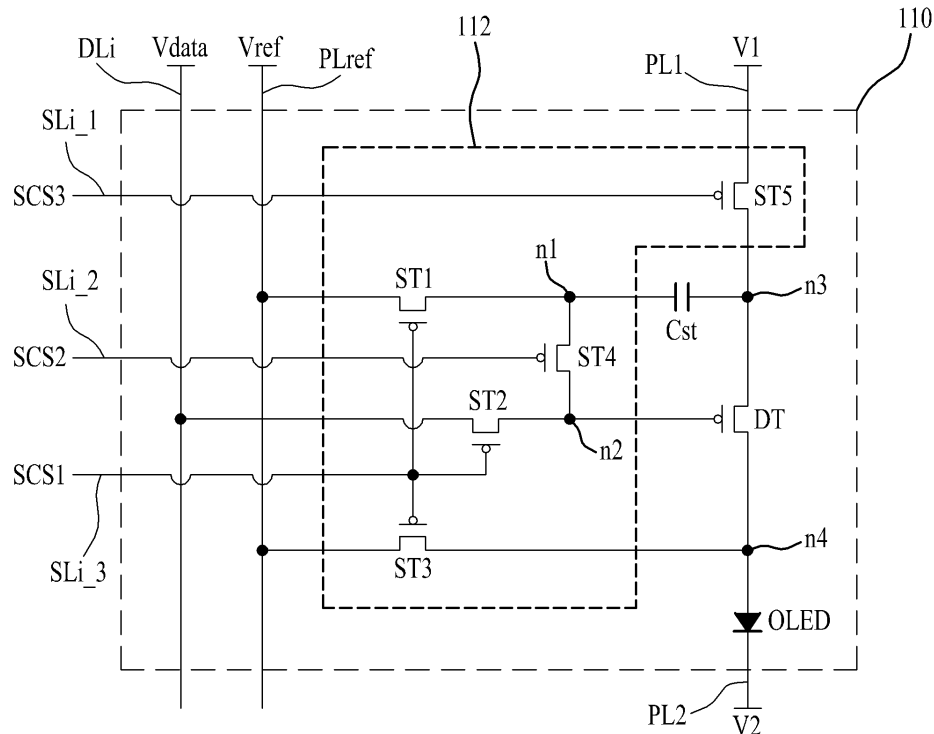
(54) 발명의 명칭 **화소 회로와 그 구동 방법 및 이를 이용한 유기 발광 표시 장치**

(57) 요약

본 발명은 데이터 효율 저하를 최소화하면서 발광 소자의 발광을 제어하는 구동 트랜지스터의 문턱 전압을 보상할 수 있는 화소 회로와 그 구동 방법 및 이를 이용한 유기 발광 표시 장치에 관한 것으로, 본 발명에 따른 화소 회로는 애노드 전극과 캐소드 전극 사이에 형성된 유기 발광셀을 포함하도록 형성되어 통전에 의해 발광하는 발

(뒷면에 계속)

대표도 - 도1



광 소자; 게이트 단자와 소스 단자 사이에 인가되는 전압에 따라 상기 발광 소자의 발광을 제어하는 구동 트랜지스터; 상기 구동 트랜지스터의 게이트 단자에 선택적으로 접속되는 제 1 단자와 상기 구동 트랜지스터의 소스 단자에 접속된 제 2 단자를 가지는 커패시터; 및 상기 커패시터의 제 1 단자와 상기 구동 트랜지스터의 게이트 단자 사이의 접속을 분리시켜 상기 커패시터를 초기화한 후 상기 초기화된 커패시터의 방전을 이용해 상기 커패시터에 데이터 전압을 포함하는 샘플링 전압을 저장하고, 상기 커패시터의 제 1 단자를 상기 구동 트랜지스터의 게이트 단자에 접속시켜 상기 커패시터의 전압에 기초해 상기 구동 트랜지스터를 구동하여 상기 발광 소자를 발광시키는 스위칭부를 포함하여 구성되는 것을 특징으로 한다.

명세서

청구범위

청구항 1

애노드 전극과 캐소드 전극 사이에 형성된 유기 발광셀을 포함하도록 형성되어 통전에 의해 발광하는 발광 소자;

게이트 단자와 소스 단자 사이에 인가되는 전압에 따라 상기 발광 소자의 발광을 제어하는 구동 트랜지스터;

상기 구동 트랜지스터의 게이트 단자에 선택적으로 접속되는 제 1 단자와 상기 구동 트랜지스터의 소스 단자에 접속된 제 2 단자를 가지는 커패시터; 및

초기화 기간에 상기 커패시터의 제 1 단자와 상기 구동 트랜지스터의 게이트 단자 사이의 접속을 분리시켜 상기 커패시터의 제1 단자와 상기 발광 소자의 애노드 전극 각각을 기준 전압으로 초기화하고, 샘플링 기간에 상기 초기화된 커패시터의 방전을 이용해 상기 커패시터에 데이터 전압을 포함하는 샘플링 전압을 저장하며, 발광 기간에 상기 커패시터의 제 1 단자를 상기 구동 트랜지스터의 게이트 단자에 접속시켜 상기 커패시터의 전압에 기초해 상기 구동 트랜지스터를 구동하여 상기 발광 소자를 발광시키는 스위칭부를 포함하는, 화소 회로.

청구항 2

제 1 항에 있어서,

상기 스위칭부는,

제 1 스위칭 제어 신호에 따라 상기 커패시터를 초기화하는 상기 초기화 기간과 상기 커패시터에 샘플링 전압을 저장하는 상기 샘플링 기간 동안 턴-온되어 상기 기준 전압을 상기 커패시터의 제 1 단자에 공급하는 제 1 스위칭 트랜지스터;

상기 제 1 스위칭 제어 신호에 따라 상기 초기화 기간과 상기 샘플링 기간 동안 턴-온되어 상기 데이터 전압을 상기 구동 트랜지스터의 게이트 단자에 공급하는 제 2 스위칭 트랜지스터;

상기 제 1 스위칭 제어 신호에 따라 상기 초기화 기간과 상기 샘플링 기간 동안 턴-온되어 상기 기준 전압을 상기 구동 트랜지스터의 드레인 단자에 접속된 상기 발광 소자의 애노드 전극에 공급하는 제 3 스위칭 트랜지스터;

제 2 스위칭 제어 신호에 따라 상기 초기화 기간과 상기 샘플링 기간 동안 턴-오프되어 상기 커패시터의 제 1 단자와 상기 구동 트랜지스터의 게이트 단자 사이의 접속을 분리시키고, 상기 발광 소자를 발광시키는 발광 기간 동안 턴-온되어 상기 커패시터의 제 1 단자를 상기 구동 트랜지스터의 게이트 단자에 접속시키는 제 4 스위칭 트랜지스터; 및

제 3 스위칭 제어 신호에 따라 상기 초기화 기간과 상기 발광 기간 동안 턴-온되어 제 1 구동 전압을 상기 커패시터의 제 2 단자와 상기 구동 트랜지스터의 소스 단자에 동시에 공급하는 제 5 스위칭 트랜지스터를 포함하는, 화소 회로.

청구항 3

제 1 항에 있어서,

상기 스위칭부는 상기 커패시터의 제 1 단자와 상기 구동 트랜지스터의 게이트 단자 사이의 접속을 분리시킨 상태에서,

상기 커패시터의 제 1 단자에 기준 전압을 공급함과 동시에 상기 커패시터의 제 2 단자에 제 1 구동 전압을 인가하여 상기 커패시터를 상기 기준 전압과 상기 제 1 구동 전압의 차 전압으로 초기화시키며, 상기 발광 소자의 애노드 전극을 상기 기준 전압으로 초기화시키는, 화소 회로.

청구항 4

제 1 항에 있어서,

상기 스위칭부는 상기 커패시터의 제 1 단자와 상기 구동 트랜지스터의 게이트 단자 사이의 접속을 분리시킨 상태에서,

상기 커패시터로부터 상기 구동 트랜지스터와 상기 발광 소자의 애노드 전극 및 기준 전압이 공급되는 기준 전원 라인으로 이어지는 전류 패스를 형성하여 상기 초기화된 커패시터를 방전시켜 데이터 전압과 상기 구동 트랜지스터의 문턱 전압 및 상기 기준 전압에 따른 상기 샘플링 전압을 상기 커패시터에 저장하는, 화소 회로.

청구항 5

제 4 항에 있어서,

상기 스위칭부는 상기 커패시터에 상기 샘플링 전압이 저장되면, 상기 커패시터의 제 1 단자를 상기 구동 트랜지스터의 게이트 단자에 접속시킴과 아울러 상기 구동 트랜지스터의 소스 단자에 제 1 구동 전압을 인가하여 상기 구동 트랜지스터를 턴-온시켜 상기 데이터 전압과 상기 기준 전압의 차이에 의해 결정되는 데이터 전류로 상기 발광 소자를 발광시키는, 화소 회로.

청구항 6

애노드 전극과 캐소드 전극 사이에 형성된 유기 발광셀을 포함하도록 형성되어 통전에 의해 발광하는 발광 소자;

게이트 단자와 소스 단자 사이에 인가되는 전압에 따라 상기 발광 소자의 발광을 제어하는 구동 트랜지스터;

상기 구동 트랜지스터의 게이트 단자에 선택적으로 접속되는 제 1 단자와 상기 구동 트랜지스터의 소스 단자에 접속된 제 2 단자를 가지는 커패시터; 및

초기화 기간에 상기 커패시터의 제 1 단자와 상기 구동 트랜지스터의 게이트 단자 사이의 접속을 분리시켜 상기 커패시터를 제 1 구동 전압과 데이터 전압의 차 전압으로 초기화하고, 샘플링 기간에 상기 초기화된 커패시터의 방전을 이용해 상기 커패시터에 데이터 전압을 포함하는 샘플링 전압을 저장하며, 발광 기간에 상기 커패시터의 제 1 단자를 상기 구동 트랜지스터의 게이트 단자에 접속시켜 상기 커패시터의 전압에 기초해 상기 구동 트랜지스터를 구동하여 상기 발광 소자를 발광시키는 스위칭부를 포함하는, 화소 회로.

청구항 7

제 6 항에 있어서,

상기 스위칭부는,

제 1 스위칭 제어 신호에 따라 상기 커패시터를 초기화하는 상기 초기화 기간과 상기 커패시터에 샘플링 전압을 저장하는 상기 샘플링 기간 동안 턴-온되어 상기 데이터 전압을 상기 커패시터의 제 1 단자에 공급하는 제 1 스위칭 트랜지스터;

상기 제 1 스위칭 제어 신호에 따라 상기 초기화 기간과 상기 샘플링 기간 동안 턴-온되어 기준 전압을 상기 구동 트랜지스터의 게이트 단자에 공급하는 제 2 스위칭 트랜지스터;

상기 제 1 스위칭 제어 신호에 따라 상기 초기화 기간과 상기 샘플링 기간 동안 턴-온되어 제 2 구동 전압을 상기 구동 트랜지스터의 드레인 단자에 접속된 상기 발광 소자의 애노드 전극에 공급하는 제 3 스위칭 트랜지스터;

제 2 스위칭 제어 신호에 따라 상기 초기화 기간과 상기 샘플링 기간 동안 턴-오프되어 상기 커패시터의 제 1 단자와 상기 구동 트랜지스터의 게이트 단자 사이의 접속을 분리시키고, 상기 발광 소자를 발광시키는 발광 기간 동안 턴-온되어 상기 커패시터의 제 1 단자를 상기 구동 트랜지스터의 게이트 단자에 접속시키는 제 4 스위칭 트랜지스터; 및

제 3 스위칭 제어 신호에 따라 상기 초기화 기간과 상기 발광 기간 동안 턴-온되어 제 1 구동 전압을 상기 커패시터의 제 2 단자와 상기 구동 트랜지스터의 소스 단자에 동시에 공급하는 제 5 스위칭 트랜지스터를 포함하는, 화소 회로.

청구항 8

제 6 항에 있어서,

상기 스위칭부는 상기 커패시터의 제 1 단자와 상기 구동 트랜지스터의 게이트 단자 사이의 접속을 분리시킨 상태에서,

상기 커패시터의 제 1 단자에 데이터 전압을 공급함과 동시에 상기 커패시터의 제 2 단자에 제 1 구동 전압을 인가하여 상기 커패시터를 상기 데이터 전압과 상기 제 1 구동 전압의 차 전압으로 초기화시키며, 상기 발광 소자의 애노드 전극을 제 2 구동 전압으로 초기화시키는, 화소 회로.

청구항 9

제 6 항에 있어서,

상기 스위칭부는 상기 커패시터의 제 1 단자와 상기 구동 트랜지스터의 게이트 단자 사이의 접속을 분리시키고, 상기 구동 트랜지스터의 게이트 단자에 기준 전압을 공급하고, 상기 커패시터로부터 상기 구동 트랜지스터와 상기 발광 소자의 애노드 전극 및 제 2 구동 전압이 공급되는 제 2 구동 전원 라인으로 이어지는 전류 패스를 형성하여 상기 초기화된 커패시터를 방전시켜 데이터 전압과 상기 구동 트랜지스터의 문턱 전압 및 상기 기준 전압에 따른 상기 샘플링 전압을 상기 커패시터에 저장하며,

상기 전류 패스는 상기 발광 소자를 우회하는, 화소 회로.

청구항 10

제 9 항에 있어서,

상기 스위칭부는 상기 커패시터에 상기 샘플링 전압이 저장되면, 상기 커패시터의 제 1 단자를 상기 구동 트랜지스터의 게이트 단자에 접속시킴과 아울러 상기 구동 트랜지스터의 소스 단자에 제 1 구동 전압을 인가하여 상기 구동 트랜지스터를 턴-온시켜 상기 데이터 전압과 상기 기준 전압의 차이에 의해 결정되는 데이터 전류로 상기 발광 소자를 발광시키는, 화소 회로.

청구항 11

청구항 제 1 항 내지 제 10 항 중 어느 한 항에 기재된 화소 회로를 가지는 복수의 화소를 포함하는 디스플레이 패널;

상기 화소 회로의 스위칭부에 데이터 전압을 공급하는 데이터 구동부;

상기 화소 회로의 스위칭부를 스위칭시키는 주사 구동부; 및

상기 화소 회로에 각기 상이한 기준 전압과 제 1 및 제 2 구동 전압을 공급하는 전원 공급부를 포함하는, 유기 발광 표시 장치.

청구항 12

애노드 전극과 캐소드 전극 사이에 형성된 유기 발광셀을 포함하도록 형성된 발광 소자, 게이트 단자와 소스 단자 사이에 인가되는 전압에 따라 상기 발광 소자의 발광을 제어하는 구동 트랜지스터, 및 상기 구동 트랜지스터의 게이트 단자에 선택적으로 접속되는 제 1 단자와 상기 구동 트랜지스터의 소스 단자에 접속된 제 2 단자를 가지는 커패시터를 포함하는 화소 회로의 구동 방법에 있어서,

상기 커패시터의 제 1 단자와 상기 구동 트랜지스터의 게이트 단자 사이의 접속을 분리시켜 상기 커패시터의 제 1 단자와 상기 발광 소자의 애노드 전극 각각을 기준 전압으로 초기화시키는 단계;

상기 커패시터의 제 1 단자와 상기 구동 트랜지스터의 게이트 단자 사이의 접속이 분리된 상태에서 상기 초기화된 커패시터의 방전을 이용해 상기 커패시터에 데이터 전압을 포함하는 샘플링 전압을 저장하는 단계; 및

상기 커패시터의 제 1 단자를 상기 구동 트랜지스터의 게이트 단자에 접속시키고 상기 커패시터의 전압에 기초해 상기 구동 트랜지스터를 구동하여 상기 발광 소자를 발광시키는 단계를 포함하는, 화소 회로의 구동 방법.

청구항 13

제 12 항에 있어서,

상기 커패시터의 제1 단자와 상기 발광 소자의 애노드 전극 각각을 기준 전압으로 초기화시키는 단계는,

상기 커패시터의 제 1 단자와 상기 구동 트랜지스터의 게이트 단자 사이의 접속을 분리시키고, 상기 커패시터의 제 1 단자에 상기 기준 전압을 공급함과 동시에 상기 커패시터의 제 2 단자에 제 1 구동 전압을 인가하여 상기 커패시터를 상기 기준 전압과 상기 제 1 구동 전압의 차 전압으로 초기화시키고, 상기 발광 소자의 애노드 전극을 상기 기준 전압으로 초기화시키는, 화소 회로의 구동 방법.

청구항 14

제 12 항에 있어서,

상기 커패시터에 데이터 전압을 포함하는 샘플링 전압을 저장하는 단계는,

상기 커패시터의 제 1 단자와 상기 구동 트랜지스터의 게이트 단자 사이의 접속이 분리된 상태에서, 상기 커패시터로부터 상기 구동 트랜지스터와 상기 발광 소자의 애노드 전극 및 기준 전압이 공급되는 기준 전원 라인으로 이어지는 전류 패스를 형성하여 상기 초기화된 커패시터를 방전시켜 데이터 전압과 상기 구동 트랜지스터의 문턱 전압 및 상기 기준 전압에 따른 상기 샘플링 전압을 상기 커패시터에 저장하는, 화소 회로의 구동 방법.

청구항 15

애노드 전극과 캐소드 전극 사이에 형성된 유기 발광셀을 포함하도록 형성된 발광 소자, 게이트 단자와 소스 단자 사이에 인가되는 전압에 따라 상기 발광 소자의 발광을 제어하는 구동 트랜지스터, 및 상기 구동 트랜지스터의 게이트 단자에 선택적으로 접속되는 제 1 단자와 상기 구동 트랜지스터의 소스 단자에 접속된 제 2 단자를 가지는 커패시터를 포함하는 화소 회로의 구동 방법에 있어서,

상기 커패시터의 제 1 단자와 상기 구동 트랜지스터의 게이트 단자 사이의 접속을 분리시켜, 상기 커패시터를 제 1 구동 전압과 데이터 전압의 차 전압으로 초기화하고 상기 발광 소자의 애노드 전극을 제 2 구동 전압으로 초기화시키는 단계;

상기 커패시터의 제 1 단자와 상기 구동 트랜지스터의 게이트 단자 사이의 접속이 분리된 상태에서 상기 초기화된 커패시터의 방전을 이용해 상기 커패시터에 데이터 전압을 포함하는 샘플링 전압을 저장하는 단계; 및

상기 커패시터의 제 1 단자를 상기 구동 트랜지스터의 게이트 단자에 접속시키고 상기 커패시터의 전압에 기초해 상기 구동 트랜지스터를 구동하여 상기 발광 소자를 발광시키는 단계를 포함하는, 화소 회로의 구동 방법.

청구항 16

제 15 항에 있어서,

상기 커패시터를 제 1 구동 전압과 데이터 전압의 차 전압으로 초기화하고 상기 발광 소자의 애노드 전극을 제 2 구동 전압으로 초기화시키는 단계는,

상기 커패시터의 제 1 단자와 상기 구동 트랜지스터의 게이트 단자 사이의 접속을 분리시키고, 상기 커패시터의 제 1 단자에 데이터 전압을 공급함과 동시에 상기 커패시터의 제 2 단자에 제 1 구동 전압을 인가하여 상기 커패시터를 상기 데이터 전압과 상기 제 1 구동 전압의 차 전압으로 초기화시키며, 상기 발광 소자의 애노드 전극을 상기 제 2 구동 전압으로 초기화시키는, 화소 회로의 구동 방법.

청구항 17

제 15 항에 있어서,

상기 커패시터에 데이터 전압을 포함하는 샘플링 전압을 저장하는 단계는,

상기 커패시터의 제 1 단자와 상기 구동 트랜지스터의 게이트 단자 사이의 접속이 분리된 상태에서, 상기 구동 트랜지스터의 게이트 단자에 기준 전압을 공급하고, 상기 커패시터로부터 상기 구동 트랜지스터와 상기 발광 소자의 애노드 전극 및 제 2 구동 전압이 공급되는 제 2 구동 전원 라인으로 이어지는 전류 패스를 형성하여 상기 초기화된 커패시터를 방전시켜 상기 데이터 전압과 상기 구동 트랜지스터의 문턱 전압 및 상기 기준 전압에 따른 상기 샘플링 전압을 상기 커패시터에 저장하며,

상기 전류 패스는 상기 발광 소자를 우회하는, 화소 회로의 구동 방법.

청구항 18

제 14 항 또는 제 17 항에 있어서,

상기 발광 소자를 발광시키는 단계는,

상기 커패시터의 제 1 단자를 상기 구동 트랜지스터의 게이트 단자에 접속시킴과 아울러 상기 구동 트랜지스터의 소스 단자에 제 1 구동 전압을 인가하여 상기 구동 트랜지스터를 턴-온시켜 상기 데이터 전압과 상기 기준 전압의 차이에 의해 결정되는 데이터 전류로 상기 발광 소자를 발광시키는, 화소 회로의 구동 방법.

발명의 설명

기술 분야

[0001] 본 발명은 화소 회로와 이를 포함하는 유기 발광 표시 장치에 관한 것으로서, 보다 구체적으로는, 데이터 효율 저하를 최소화하면서 발광 소자의 발광을 제어하는 구동 트랜지스터의 문턱 전압을 보상할 수 있는 화소 회로와 그 구동 방법 및 이를 이용한 유기 발광 표시 장치에 관한 것이다.

배경 기술

[0002] 최근, 평판 디스플레이(Flat Panel Display)는 멀티미디어의 발달과 함께 그 중요성이 증대되고 있다. 이에 부응하여 액정 디스플레이(Liquid Crystal Display), 플라스마 디스플레이 패널(Plasma Display Panel), 전계 방출 표시 장치(Field Emission Display), 유기 발광 표시 장치(Organic Light Emitting Display) 등과 같은 여러 가지의 평판 디스플레이가 실용화되고 있다. 이러한, 평판 디스플레이 중에서 유기 발광 표시 장치는 고속의 응답속도를 가지며, 소비 전력이 낮고, 자체 발광이므로 시야각에 문제가 없어서, 차세대 평판 디스플레이로 주목 받고 있다.

[0003] 상기 유기 발광 표시 장치는 각 화소에 데이터 전압을 인가하여 데이터 전압에 대응되는 데이터 전류에 따라 유기 발광 소자에 흐르는 전류를 제어하여 소정의 영상을 표시한다. 이를 위해, 상기 각 화소는 유기 발광 소자 및 구동 트랜지스터 및 하나 이상의 커패시터 등을 포함하고 있다. 특히, 유기 발광 소자에 흐르는 전류는 구동 트랜지스터의 문턱 전압 편차 및 구동 전원의 전압 강하 등에 의해 변화될 수 있다. 이에 따라, 종래의 유기 발광 표시 장치는 각 화소에 포함된 구동 트랜지스터의 문턱 전압 편차로 인하여 휘도 불균일 현상이 발생된다는 문제점이 있었다.

[0004] 상기 구동 트랜지스터의 문턱 전압 편차로 인한 문제점을 해결하기 위하여, 대한민국 특허공개공보 제10-2010-0069963호(이하, "특허문헌"이라 함)에서는, 각 화소마다 발광 소자, 구동 박막 트랜지스터, 3개의 스위칭 박막 트랜지스터 및 2개의 커패시터를 형성함으로써 구동 트랜지스터의 문턱 전압을 보상하는 유기전계 발광 디스플레이 장치가 개시되어 있다.

[0005] 그러나, 상기 특허문헌에서는 커패시터의 면적 증가로 인하여 개구율이 감소하고, 직렬 접속되는 2개의 커패시터의 정전용량 비율에 따라 데이터 전압이 2개의 커패시터의 분배되어 데이터 효율이 저하되게 된다. 더욱이, 상기 특허문헌에서는 데이터 기입 기간에서 구동 트랜지스터가 턴-온 상태를 유지하므로 구동 트랜지스터의 소스 전압이 방전되어 데이터 효율이 추가적으로 저하되고, 구동 트랜지스터의 문턱 전압 보상시 오류(Error)가 발생하게 된다.

발명의 내용

해결하려는 과제

[0006] 본 발명은 전술한 문제점을 해결하기 위한 것으로서, 데이터 효율 저하를 최소화하면서 발광 소자의 발광을 제어하는 구동 트랜지스터의 문턱 전압을 보상할 수 있는 화소 회로와 그 구동 방법 및 이를 이용한 유기 발광 표시 장치를 제공하는 것을 기술적 과제로 한다.

[0007] 또한, 본 발명은 구동 트랜지스터의 문턱 전압 보상과 더불어 구동 전원의 전압 강하를 보상할 수 있는 화소 회로와 그 구동 방법 및 이를 이용한 유기 발광 표시 장치를 제공하는 것을 또 다른 기술적 과제로 한다.

과제의 해결 수단

- [0008] 기술한 과제를 달성하기 위한 본 발명에 따른 화소 회로는 애노드 전극과 캐소드 전극 사이에 형성된 유기 발광 셀을 포함하도록 형성되어 통전에 의해 발광하는 발광 소자; 게이트 단자와 소스 단자 사이에 인가되는 전압에 따라 상기 발광 소자의 발광을 제어하는 구동 트랜지스터; 상기 구동 트랜지스터의 게이트 단자에 선택적으로 접속되는 제 1 단자와 상기 구동 트랜지스터의 소스 단자에 접속된 제 2 단자를 가지는 커패시터; 및 상기 커패시터의 제 1 단자와 상기 구동 트랜지스터의 게이트 단자 사이의 접속을 분리시켜 상기 커패시터를 초기화한 후 상기 초기화된 커패시터의 방전을 이용해 상기 커패시터에 데이터 전압을 포함하는 샘플링 전압을 저장하고, 상기 커패시터의 제 1 단자를 상기 구동 트랜지스터의 게이트 단자에 접속시켜 상기 커패시터의 전압에 기초해 상기 구동 트랜지스터를 구동하여 상기 발광 소자를 발광시키는 스위칭부를 포함하여 구성되는 것을 특징으로 한다.
- [0009] 상기 스위칭부는 제 1 스위칭 제어 신호에 따라 상기 커패시터를 초기화하는 초기화 기간과 상기 커패시터에 샘플링 전압을 저장하는 샘플링 기간 동안 턴-온되어 기준 전압을 상기 커패시터의 제 1 단자에 공급하는 제 1 스위칭 트랜지스터; 상기 제 1 스위칭 제어 신호에 따라 상기 초기화 기간과 상기 샘플링 기간 동안 턴-온되어 상기 기준 전압을 상기 구동 트랜지스터의 드레인 단자에 접속된 상기 발광 소자의 애노드 전극에 공급하는 제 3 스위칭 트랜지스터; 제 2 스위칭 제어 신호에 따라 상기 초기화 기간과 상기 샘플링 기간 동안 턴-오프되어 상기 커패시터의 제 1 단자와 상기 구동 트랜지스터의 게이트 단자 사이의 접속을 분리시키고, 상기 발광 소자를 발광시키는 발광 기간 동안 턴-온되어 상기 커패시터의 제 1 단자를 상기 구동 트랜지스터의 게이트 단자에 접속시키는 제 4 스위칭 트랜지스터; 및 제 3 스위칭 제어 신호에 따라 상기 초기화 기간과 상기 발광 기간 동안 턴-온되어 제 1 구동 전압을 상기 커패시터의 제 2 단자와 상기 구동 트랜지스터의 소스 단자에 동시에 공급하는 제 5 스위칭 트랜지스터를 포함하여 구성되는 것을 특징으로 한다.
- [0010] 상기 스위칭부는 상기 커패시터의 제 1 단자와 상기 구동 트랜지스터의 게이트 단자 사이의 접속을 분리시킨 상태에서, 상기 커패시터의 제 1 단자에 기준 전압을 공급함과 동시에 상기 커패시터의 제 2 단자에 제 1 구동 전압을 인가하여 상기 커패시터를 상기 기준 전압과 상기 제 1 구동 전압의 차 전압으로 초기화시키며, 상기 발광 소자의 애노드 전극을 상기 기준 전압으로 초기화시키는 것을 특징으로 한다.
- [0011] 상기 스위칭부는 상기 커패시터의 제 1 단자와 상기 구동 트랜지스터의 게이트 단자 사이의 접속을 분리시킨 상태에서, 상기 커패시터로부터 상기 구동 트랜지스터와 상기 발광 소자의 애노드 전극 및 기준 전압이 공급되는 기준 전원 라인으로 이어지는 전류 패스를 형성하여 상기 초기화된 커패시터를 방전시켜 데이터 전압과 상기 구동 트랜지스터의 문턱 전압 및 상기 기준 전압에 따른 상기 샘플링 전압을 상기 커패시터에 저장하는 것을 특징으로 한다.
- [0012] 상기 스위칭부는 상기 커패시터에 상기 샘플링 전압이 저장되면, 상기 커패시터의 제 1 단자를 상기 구동 트랜지스터의 게이트 단자에 접속시킴과 아울러 상기 구동 트랜지스터의 소스 단자에 제 1 구동 전압을 인가하여 상기 구동 트랜지스터를 턴-온시켜 상기 데이터 전압과 상기 기준 전압의 차이에 의해 결정되는 데이터 전류로 상기 발광 소자를 발광시키는 것을 특징으로 한다.
- [0013] 상기 스위칭부는 제 1 스위칭 제어 신호에 따라 상기 커패시터를 초기화하는 초기화 기간과 상기 커패시터에 샘플링 전압을 저장하는 샘플링 기간 동안 턴-온되어 상기 데이터 전압을 상기 커패시터의 제 1 단자에 공급하는 제 1 스위칭 트랜지스터; 상기 제 1 스위칭 제어 신호에 따라 상기 초기화 기간과 상기 샘플링 기간 동안 턴-온되어 기준 전압을 상기 구동 트랜지스터의 게이트 단자에 공급하는 제 2 스위칭 트랜지스터; 상기 제 1 스위칭 제어 신호에 따라 상기 초기화 기간과 상기 샘플링 기간 동안 턴-온되어 제 2 구동 전압을 상기 구동 트랜지스터의 드레인 단자에 접속된 상기 발광 소자의 애노드 전극에 공급하는 제 3 스위칭 트랜지스터; 제 2 스위칭 제어 신호에 따라 상기 초기화 기간과 상기 샘플링 기간 동안 턴-오프되어 상기 커패시터의 제 1 단자와 상기 구동 트랜지스터의 게이트 단자 사이의 접속을 분리시키고, 상기 발광 소자를 발광시키는 발광 기간 동안 턴-온되어 상기 커패시터의 제 1 단자를 상기 구동 트랜지스터의 게이트 단자에 접속시키는 제 4 스위칭 트랜지스터; 및 제 3 스위칭 제어 신호에 따라 상기 초기화 기간과 상기 발광 기간 동안 턴-온되어 제 1 구동 전압을 상기 커패시터의 제 2 단자와 상기 구동 트랜지스터의 소스 단자에 동시에 공급하는 제 5 스위칭 트랜지스터를 포함하여 구성되는 것을 특징으로 한다.

- [0014] 상기 스위칭부는 상기 커패시터의 제 1 단자와 상기 구동 트랜지스터의 게이트 단자 사이의 접속을 분리시킨 상태에서, 상기 커패시터의 제 1 단자에 데이터 전압을 공급함과 동시에 상기 커패시터의 제 2 단자에 제 1 구동 전압을 인가하여 상기 커패시터를 상기 데이터 전압과 상기 제 1 구동 전압의 차 전압으로 초기화시키며, 상기 발광 소자의 애노드 전극을 제 2 구동 전압으로 초기화시키는 것을 특징으로 한다.
- [0015] 상기 스위칭부는 상기 커패시터의 제 1 단자와 상기 구동 트랜지스터의 게이트 단자 사이의 접속을 분리시키고, 상기 구동 트랜지스터의 게이트 단자에 기준 전압을 공급하고, 상기 커패시터로부터 상기 구동 트랜지스터와 상기 발광 소자의 애노드 전극 및 제 2 구동 전압이 공급되는 제 2 구동 전원 라인으로 이어지는 전류 패스를 형성하여 상기 초기화된 커패시터를 방전시켜 데이터 전압과 상기 구동 트랜지스터의 문턱 전압 및 상기 기준 전압에 따른 상기 샘플링 전압을 상기 커패시터에 저장하며, 상기 전류 패스는 상기 발광 소자를 우회하는 것을 특징으로 한다.
- [0016] 상기 스위칭부는 상기 커패시터에 상기 샘플링 전압이 저장되면, 상기 커패시터의 제 1 단자를 상기 구동 트랜지스터의 게이트 단자에 접속시킴과 아울러 상기 구동 트랜지스터의 소스 단자에 제 1 구동 전압을 인가하여 상기 구동 트랜지스터를 턴-온시켜 상기 데이터 전압과 상기 기준 전압의 차이에 의해 결정되는 데이터 전류로 상기 발광 소자를 발광시키는 것을 특징으로 한다.
- [0017] 전술한 과제를 달성하기 위한 본 발명에 따른 발광 표시 장치는 상기 화소 회로를 가지는 복수의 화소를 포함하는 디스플레이 패널; 상기 화소 회로의 스위칭부에 데이터 전압을 공급하는 데이터 구동부; 상기 화소 회로의 스위칭부를 스위칭시키는 주사 구동부; 및 상기 화소 회로에 각기 상이한 기준 전압과 제 1 및 제 2 구동 전압을 공급하는 전원 공급부를 포함하여 구성되는 것을 특징으로 한다.
- [0018] 전술한 과제를 달성하기 위한 본 발명에 따른 화소 회로의 구동 방법은 애노드 전극과 캐소드 전극 사이에 형성된 유기 발광셀을 포함하도록 형성된 발광 소자, 게이트 단자와 소스 단자 사이에 인가되는 전압에 따라 상기 발광 소자의 발광을 제어하는 구동 트랜지스터, 및 상기 구동 트랜지스터의 게이트 단자에 선택적으로 접속되는 제 1 단자와 상기 구동 트랜지스터의 소스 단자에 접속되는 제 2 단자를 가지는 커패시터를 포함하는 화소 회로의 구동 방법에 있어서, 상기 커패시터의 제 1 단자와 상기 구동 트랜지스터의 게이트 단자 사이의 접속을 분리시켜 상기 커패시터를 초기화하고 상기 발광 소자의 애노드 전극 전압을 초기화시키는 단계; 상기 커패시터의 제 1 단자와 상기 구동 트랜지스터의 게이트 단자 사이의 접속이 분리된 상태에서 상기 초기화된 커패시터의 방전을 이용해 상기 커패시터에 데이터 전압을 포함하는 샘플링 전압을 저장하는 단계; 및 상기 커패시터의 제 1 단자를 상기 구동 트랜지스터의 게이트 단자에 접속시키고 상기 커패시터의 전압에 기초해 상기 구동 트랜지스터를 구동하여 상기 발광 소자를 발광시키는 단계를 포함하여 이루어지는 것을 특징으로 한다.
- [0019] 상기 커패시터를 초기화하고 상기 발광 소자의 애노드 전극 전압을 초기화시키는 단계는, 상기 커패시터의 제 1 단자와 상기 구동 트랜지스터의 게이트 단자 사이의 접속을 분리시키고, 상기 커패시터의 제 1 단자에 기준 전압을 공급함과 동시에 상기 커패시터의 제 2 단자에 제 1 구동 전압을 인가하여 상기 커패시터를 상기 기준 전압과 상기 제 1 구동 전압의 차 전압으로 초기화시키고, 상기 발광 소자의 애노드 전극을 상기 기준 전압으로 초기화시키는 것을 특징으로 한다.
- [0020] 상기 커패시터에 데이터 전압을 포함하는 샘플링 전압을 저장하는 단계는, 상기 커패시터의 제 1 단자와 상기 구동 트랜지스터의 게이트 단자 사이의 접속이 분리된 상태에서, 상기 커패시터로부터 상기 구동 트랜지스터와 상기 발광 소자의 애노드 전극 및 기준 전압이 공급되는 기준 전원 라인으로 이어지는 전류 패스를 형성하여 상기 초기화된 커패시터를 방전시켜 데이터 전압과 상기 구동 트랜지스터의 문턱 전압 및 상기 기준 전압에 따른 상기 샘플링 전압을 상기 커패시터에 저장하는 것을 특징으로 한다.
- [0021] 상기 커패시터를 초기화하고 상기 발광 소자의 애노드 전극 전압을 초기화시키는 단계는, 상기 커패시터의 제 1 단자와 상기 구동 트랜지스터의 게이트 단자 사이의 접속을 분리시키고, 상기 커패시터의 제 1 단자에 데이터 전압을 공급함과 동시에 상기 커패시터의 제 2 단자에 제 1 구동 전압을 인가하여 상기 커패시터를 상기 데이터 전압과 상기 제 1 구동 전압의 차 전압으로 초기화시키며, 상기 발광 소자의 애노드 전극을 제 2 구동 전압으로 초기화시키는 것을 특징으로 한다.
- [0022] 상기 커패시터에 데이터 전압을 포함하는 샘플링 전압을 저장하는 단계는, 상기 커패시터의 제 1 단자와 상기 구동 트랜지스터의 게이트 단자 사이의 접속이 분리된 상태에서, 상기 구동 트랜지스터의 게이트 단자에 기준 전압을 공급하고, 상기 커패시터로부터 상기 구동 트랜지스터와 상기 발광 소자의 애노드 전극 및 제 2 구동 전압이 공급되는 제 2 구동 전원 라인으로 이어지는 전류 패스를 형성하여 상기 초기화된 커패시터를 방전시켜 상

기 데이터 전압과 상기 구동 트랜지스터의 문턱 전압 및 상기 기준 전압에 따른 상기 샘플링 전압을 상기 커패시터에 저장하며, 상기 전류 패스는 상기 발광 소자를 우회하는 것을 특징으로 한다.

[0023] 상기 발광 소자를 발광시키는 단계는, 상기 커패시터의 제 1 단자를 상기 구동 트랜지스터의 게이트 단자에 접속시킴과 아울러 상기 구동 트랜지스터의 소스 단자에 제 1 구동 전압을 인가하여 상기 구동 트랜지스터를 턴-온시켜 상기 데이터 전압과 상기 기준 전압의 차이에 의해 결정되는 데이터 전류로 상기 발광 소자를 발광시키는 것을 특징으로 한다.

발명의 효과

[0024] 상기 과제에 해결 수단에 의하면, 본 발명에 따른 화소 회로와 그 구동 방법 및 이를 이용한 유기 발광 표시 장치는 다음과 같은 효과가 있다.

[0025] 첫째, 구동 트랜지스터의 문턱 전압 및 구동 전압의 전압 강하를 제거하여 보상함으로써 구동 트랜지스터의 문턱 전압 편차와 구동 전압의 전압 강하에 의한 화질 저하를 방지할 수 있다.

[0026] 둘째, 구동 트랜지스터의 게이트 단자와 소스 단자에 접속된 커패시터를 분리하여 데이터 전압과 구동 트랜지스터의 문턱 전압을 포함하는 샘플링 전압을 샘플링하여 커패시터에 저장함으로써 데이터 효율의 저하를 방지하여 높은 휘도를 구현할 수 있으며, 하나의 커패시터를 이용하므로 화소의 개구율 및 화소 면적을 감소시켜 고해상도 구현을 용이하게 할 수 있다.

도면의 간단한 설명

[0027] 도 1은 본 발명의 제 1 실시 예에 따른 화소 회로를 개략적으로 나타내는 회로도이다.

도 2는 본 발명의 실시 예에 따른 화소 회로의 구동 방법을 설명하기 위한 구동 파형도이다.

도 3a 내지 도 3d는 도 2에 도시된 기간별 화소 회로의 동작 상태를 나타내는 도면이다.

도 4는 본 발명의 화소 회로와 종래의 화소 회로 각각의 전류 범위를 설명하기 위한 그래프이다.

도 5는 본 발명의 화소 회로와 종래의 화소 회로 각각의 데이터 효율을 설명하기 위한 그래프이다.

도 6은 본 발명의 제 2 실시 예에 따른 화소 회로를 개략적으로 나타내는 회로도이다.

도 7a 내지 도 7d는 도 6에 도시된 기간별 화소 회로의 동작 상태를 나타내는 도면이다.

도 8은 본 발명의 실시 예에 따른 발광 표시 장치를 개략적으로 나타내는 도면이다.

발명을 실시하기 위한 구체적인 내용

[0028] 이하, 도면을 참조로 본 발명에 따른 바람직한 실시 예에 대해서 상세히 설명하기로 한다.

[0029] 도 1은 본 발명의 제 1 실시 예에 따른 화소 회로를 개략적으로 나타내는 회로도이다.

[0030] 도 1을 참조하면, 본 발명의 제 1 실시 예에 따른 화소 회로(110)는 통전에 의해 발광하는 발광 소자(OLED), 게이트 단자와 소스 단자 사이에 인가되는 전압에 따라 발광 소자(OLED)의 발광을 제어하는 구동 트랜지스터(DT), 구동 트랜지스터(DT)의 게이트 단자에 선택적으로 접속되는 제 1 단자와 구동 트랜지스터(DT)의 소스 단자에 접속되는 제 2 단자를 가지는 커패시터(Cst), 및 커패시터(Cst)의 제 1 단자와 구동 트랜지스터(DT)의 게이트 단자 사이의 접속을 분리시켜 커패시터(Cst)를 초기화한 후 초기화된 커패시터(Cst)의 방전을 이용해 커패시터(Cst)에 데이터 전압(Vdata)을 포함하는 샘플링 전압을 저장하고, 커패시터(Cst)의 제 1 단자를 상기 구동 트랜지스터(DT)의 게이트 단자에 접속시켜 커패시터(Cst)의 전압에 기초해 구동 트랜지스터(DT)를 구동하여 발광 소자(OLED)를 발광시키는 스위칭부(112)를 포함하여 구성된다.

[0031] 상기 스위칭부(112)는 초기화 기간, 샘플링 기간, 유지 기간, 및 발광 기간으로 나누어 동작한다.

[0032] 먼저, 초기화 기간에 있어서, 상기 스위칭부(112)는 커패시터(Cst)의 제 1 단자와 구동 트랜지스터(DT)의 게이트 단자 사이의 접속을 분리시킨 후, 커패시터(Cst)의 제 1 단자에 기준 전압(Vre)을 공급함과 동시에 커패시터(Vref)의 제 2 단자에 제 1 구동 전압(V1)을 인가하여 커패시터(Cst)를 기준 전압(Vref)과 제 1 구동 전압(V1)의 차 전압으로 초기화시킴과 동시에 발광 소자(OLED)의 애노드 전극을 기준 전압(Ref)으로 초기화시킨다.

[0033] 다음으로, 샘플링 기간에 있어서, 상기 스위칭부(112)는 커패시터(Cst)의 제 1 단자와 구동 트랜지스터(DT)의

게이트 단자 사이의 접속이 분리된 상태에서, 커패시터(Cst)로부터 구동 트랜지스터(DT)와 발광 소자(OLED)의 애노드 전극 및 기준 전압(Vref)이 공급되는 기준 전원 라인(PLref)으로 이어지는 전류 패스를 형성하여 초기화된 커패시터(Cst)를 방전시켜 데이터 전압(Vdata)과 구동 트랜지스터(DT)의 문턱 전압 및 기준 전압(Vref)에 따른 샘플링 전압을 커패시터(Cst)에 저장한다.

[0034] 다음으로, 유지 기간에 있어서, 상기 스위칭부(112)는 커패시터(Cst)의 제 1 및 제 2 단자 각각을 플로팅((Floating)시켜 상기 샘플링 기간 동안 커패시터(Cst)에 저장된 전압을 유지시킨다.

[0035] 마지막으로, 발광 기간에 있어서, 상기 스위칭부(112)는 커패시터(Cst)에 샘플링 전압이 저장되면, 상기 커패시터(Cst)의 제 1 단자를 구동 트랜지스터(DT)의 게이트 단자에 접속시킴과 아울러 구동 트랜지스터(DT)의 소스 단자에 제 1 구동 전압(V1)을 인가하여 구동 트랜지스터(DT)를 턴-온시켜 데이터 전압(Vdata)과 기준 전압(Vref)의 차이에 의해 결정되는 데이터 전류로 발광 소자(OLED)를 발광시킨다.

[0036] 이와 같은, 상기 스위칭부(112)는 제 1 스위칭 제어 신호(SCS1)에 따라 기준 전압(Vref)을 선택적으로 커패시터(Cst)에 공급하는 제 1 스위칭 트랜지스터(ST1), 상기 제 1 스위칭 제어 신호(SCS1)에 따라 데이터 전압(Vdata)을 선택적으로 구동 트랜지스터(DT)의 게이트 단자에 공급하는 제 2 스위칭 트랜지스터(ST2), 상기 제 1 스위칭 제어 신호(SCS1)에 따라 기준 전압(Vref)을 선택적으로 구동 트랜지스터(DT)의 드레인 단자에 공급하는 제 3 스위칭 트랜지스터(ST3), 제 2 스위칭 제어 신호(SCS2)에 따라 커패시터(Cst)를 선택적으로 구동 트랜지스터(ST)의 게이트 단자와 소스 단자에 접속시키는 제 4 스위칭 트랜지스터(ST4), 및 제 3 스위칭 제어 신호(SCS3)에 따라 제 1 구동 전압(V1)을 선택적으로 커패시터(Cst)와 구동 트랜지스터(DT)에 동시에 공급하는 제 5 스위칭 트랜지스터(ST5)를 포함하여 구성된다. 여기서, 상기 제 1 내지 제 5 스위칭 트랜지스터(ST1 내지 ST5) 각각은 모두 P 타입의 전도도를 가지는 박막 트랜지스터, 예를 들어 PMOS 트랜지스터로 이루어질 수 있다.

[0037] 제 1 스위칭 트랜지스터(ST1)는 게이트 로우(Low) 전압 상태의 제 1 스위칭 제어 신호(SCS1)에 따라 턴-온됨으로써 기준 전압 라인(PLref)으로부터 공급되는 기준 전압(Vref)을 커패시터(Cst)에 공급한다. 이를 위해, 제 1 스위칭 트랜지스터(ST1)는 제 1 스위칭 제어 신호(SCS1)가 공급되는 제 1 스위칭 제어 라인(SLi_1)에 접속된 제어 전극(예를 들어, 게이트 전극), 상기 기준 전압 라인(PLref)에 접속된 제 1 전극(예를 들어, 소스 전극), 및 커패시터(Cst)의 제 1 단자에 접속된 제 2 전극(예를 들어, 드레인 전극)을 포함하여 구성된다. 여기서, 상기 기준 전압(Vref)은 발광 소자(OLED)의 구동 전압보다 낮은 전압 값으로 설정되는 것으로, 예를 들어, 0V 이상 2V 미만의 전압 값으로 설정될 수 있으며, 블랙 계조의 구현을 고려하여 1V로 설정되는 것이 바람직하다. 이때, 상기 기준 전압(Vref)이 0V를 초과하는 경우, N비트 디지털 입력 데이터에 대응되는 계조별 상기 데이터 전압(Vdata) 각각은 상기 기준 전압(Vref)이 보상된 전압으로 설정될 수 있다.

[0038] 제 2 스위칭 트랜지스터(ST2)는 상기 제 1 스위칭 제어 라인(SLi_1)에 공급되는 게이트 로우 전압 상태의 제 1 스위칭 제어 신호(SCS1)에 따라 턴-온됨으로써 데이터 라인(DLi)으로부터 공급되는 데이터 전압(Vdata)을 구동 트랜지스터(DT)의 게이트 단자에 공급한다. 이를 위해, 제 2 스위칭 트랜지스터(ST2)는 상기 제 1 스위칭 제어 라인(SLi_1)에 접속된 제어 전극(예를 들어, 게이트 전극), 상기 데이터 라인(DLi)에 접속된 제 1 전극(예를 들어, 소스 전극), 및 구동 트랜지스터(DT)의 게이트 단자에 접속된 제 2 전극(예를 들어, 드레인 전극)을 포함하여 구성된다.

[0039] 제 3 스위칭 트랜지스터(ST3)는 상기 제 1 스위칭 제어 라인(SLi_1)에 공급되는 게이트 로우 전압 상태의 제 1 스위칭 제어 신호(SCS1)에 따라 턴-온됨으로써 상기 기준 전압 라인(PLref)으로부터 공급되는 기준 전압(Vref)을 구동 트랜지스터(DT)의 드레인 단자에 공급한다. 이를 위해, 제 3 스위칭 트랜지스터(ST3)는 상기 제 1 스위칭 제어 라인(SLi_1)에 접속된 제어 전극(예를 들어, 게이트 전극), 상기 기준 전압 라인(PLref)에 접속된 제 1 전극(예를 들어, 소스 전극), 및 구동 트랜지스터(DT)의 드레인 단자에 접속된 제 2 전극(예를 들어, 드레인 전극)을 포함하여 구성된다.

[0040] 제 4 스위칭 트랜지스터(ST4)는 로우(Low) 상태의 제 2 스위칭 제어 신호(SCS2)에 따라 턴-온됨으로써 상기 커패시터(Cst)의 제 1 단자를 상기 구동 트랜지스터(DT)의 게이트 단자에 접속시킨다. 이를 위해, 제 4 스위칭 트랜지스터(ST4)는 제 2 스위칭 제어 신호(SCS2)가 공급되는 제 2 스위칭 제어 라인(SLi_2)에 접속된 제어 전극(예를 들어, 게이트 전극), 상기 제 1 스위칭 트랜지스터(ST1)의 드레인 전극에 접속된 제 1 전극(예를 들어, 소스 전극), 및 상기 구동 트랜지스터(DT)의 게이트 단자에 접속된 제 2 전극(예를 들어, 드레인 전극)을 포함하여 구성된다. 이때, 제 4 스위칭 트랜지스터(ST4)의 제 1 전극은 제 1 노드(n1)를 통해 상기 제 1 스위칭 트랜지스터(ST1)의 제 2 전극과 상기 커패시터(Cst)의 제 1 단자에 공통적으로 접속된다. 그리고, 제 4 스위칭 트랜지스터(ST4)의 제 2 전극은 제 2 노드(n2)를 통해 구동 트랜지스터(DT)의 게이트 단자와 상기 제 2 스위칭

트랜지스터(ST2)의 제 2 전극에 공통적으로 접속된다.

- [0041] 제 5 스위칭 트랜지스터(ST5)는 로우(Low) 상태의 제 3 스위칭 제어 신호(SCS3)에 따라 턴-온됨으로써 제 1 구동 전원 라인(PL1)으로부터 공급되는 제 1 구동 전압(V1)을 커패시터(Cst)의 제 2 단자와 구동 트랜지스터(DT)의 소스 단자에 동시에 공급한다. 이를 위해, 제 5 스위칭 트랜지스터(ST5)는 제 3 스위칭 제어 신호(SCS3)가 공급되는 제 3 스위칭 제어 라인(SLi_3)에 접속된 제어 전극(예를 들어, 게이트 전극), 상기 제 1 구동 전원 라인(PL1)에 접속된 제 1 전극(예를 들어, 소스 전극), 및 커패시터(Cst)의 제 2 단자와 구동 트랜지스터(DT)의 소스 단자에 공통적으로 접속된 제 2 전극(예를 들어, 드레인 단자)을 포함하여 구성된다. 이때, 제 5 스위칭 트랜지스터(ST5)의 제 2 단자는 제 3 노드(n3)를 통해 커패시터(Cst)의 제 2 단자와 구동 트랜지스터(DT)의 소스 단자에 공통적으로 접속된다.
- [0042] 상기 구동 트랜지스터(DT)는 상기 제 2 노드(n2)에 접속된 게이트 단자, 상기 제 3 노드(n3)에 접속된 소스 단자, 및 발광 소자(OLED)에 접속된 드레인 단자를 포함하여 구성된다. 이때, 상기 구동 트랜지스터(DT)의 드레인 단자는 제 4 노드(n4)를 통해 제 3 스위칭 트랜지스터(ST3)의 제 2 단자와 발광 소자(OLED)에 공통적으로 접속된다. 이러한 구동 트랜지스터(DT)는 상기 제 4 스위칭 트랜지스터(ST4)의 턴-온에 의해 게이트 단자와 소스 단자에 접속되는 커패시터(Cst)에 저장된 전압에 따라 턴-온되어 커패시터(Cst)에 저장된 전압에 상응하는 데이터 전류를 발광 소자(OLED)에 공급함으로써 발광 소자(OLED)를 발광시킨다. 상기 구동 트랜지스터(DT)는 P 타입의 전도도를 가지는 박막 트랜지스터로 이루어지므로, 0V 미만의 문턱 전압(V_{th})을 갖는다.
- [0043] 상기 커패시터(Cst)는 전술한 스위칭부(112)의 제 1 내지 제 5 스위칭 트랜지스터(ST1 내지 ST5) 각각의 스위칭 상태에 따라 상기 기준 전압(V_{ref})으로 초기화된 후 초기화된 상태에서 방전을 통해 상기 구동 트랜지스터(DT)의 문턱전압(V_{th})과 데이터 전압(V_{data})을 샘플링하여 저장한 다음 저장된 전압에 따라 구동 트랜지스터(DT)를 턴-온시킨다. 이를 위해, 커패시터(Cst)는 제 1 및 제 2 단자를 포함한다.
- [0044] 상기 커패시터(Cst)의 제 1 단자는 상기 제 1 노드(n1), 즉 제 1 스위칭 트랜지스터(ST2)의 제 2 단자와 제 4 스위칭 트랜지스터(ST4)의 제 1 단자에 공통적으로 접속된다. 상기 커패시터(Cst)의 제 2 단자는 제 3 노드(n3), 즉 구동 트랜지스터(DT)의 소스 단자와 제 5 스위칭 트랜지스터(ST5)의 제 2 단자에 공통적으로 접속된다. 이때, 상기 커패시터(Cst)의 제 1 단자는 제 4 스위칭 트랜지스터(ST4)의 스위칭에 따라 제 2 노드(n2)에 선택적으로 접속된다. 이에 따라, 상기 커패시터(Cst)는 제 4 스위칭 트랜지스터(ST4)의 스위칭에 따라 구동 트랜지스터(DT)의 게이트 단자와 소스 단자 사이에 접속되거나 분리된다.
- [0045] 상기 발광 소자(OLED)는 전술한 구동 트랜지스터(DT)로부터 공급되는 데이터 전류에 따라 발광한다. 이를 위해, 발광 소자(OLED)는 제 4 노드(n4)에 접속된 애노드 전극(또는 화소 전극), 상기 제 1 구동 전압(V1)보다 낮은 전압(예를 들어, 0V)을 가지는 제 2 구동 전압(V_2)이 공급되는 제 2 구동 전원 라인(PL2)에 접속된 캐소드 전극(또는 반사 전극), 및 애노드 전극과 캐소드 전극 사이에 형성된 유기 발광셀을 포함하여 구성된다. 여기서, 유기 발광셀은 정공 주입층/정공 수송층/유기 발광층/전자 수송층/전자 주입층 등을 포함하여 구성될 수 있다. 나아가, 상기 유기 발광셀은 상기 유기 발광층의 발광 효율 및/또는 수명 등을 향상시키기 위한 기능층이 추가로 형성될 수 있다.
- [0046] 도 2는 본 발명의 실시 예에 따른 화소 회로의 구동 방법을 설명하기 위한 구동 파형도이고, 도 3a 내지 도 3d 는 도 2에 도시된 시간별 화소 회로의 동작 상태를 나타내는 도면이다.
- [0047] 도 2를 도 3a 내지 도 3d와 결부하여 본 발명의 제 1 실시 예에 따른 화소 회로의 구동 방법을 설명하면 다음과 같다.
- [0048] 본 발명의 제 1 실시 예에 따른 화소 회로의 구동 방법은 초기화 기간(t_1), 샘플링 기간(t_2), 유지 기간(t_3), 및 발광 기간(t_4)을 포함하여 이루어진다.
- [0049] 먼저, 도 2 및 도 3a에 도시된 바와 같이, 상기 초기화 기간(t_1)에서는, 게이트 로우 전압(VGL) 상태의 제 1 스위칭 제어 신호(SCS1)가 제 1 스위칭 제어 라인(SLi_1)에 공급되고, 하이 전압(H) 상태의 제 2 스위칭 제어 신호(SCS2)가 제 2 스위칭 제어 라인(SLi_2)에 공급되고, 로우 전압(L) 상태의 제 3 스위칭 제어 신호(SCS3)가 제 3 스위칭 제어 라인(SLi_3)에 공급되고, 기준 전압(V_{ref})이 기준 전원 라인에 공급되며, 데이터 전압(V_{data})이 데이터 라인(DLi)에 공급된다. 이에 따라, 상기 초기화 기간(t_1)에서는, 게이트 로우 전압(VGL) 상태의 제 1 스위칭 제어 신호(SCS1)와 하이 전압(H) 상태의 제 2 스위칭 제어 신호(SCS2) 및 로우 전압(L) 상태의 제 3 스위칭 제어 신호(SCS3)에 따라 상기 커패시터(Cst)의 제 1 단자, 즉 상기 제 1 노드(n1)와 상기 발광 소자(OLED)

D)의 애노드 전극 각각을 기준 전압(Vref)으로 초기화시키고, 구동 트랜지스터(DT)의 게이트 단자, 즉 제 2 노드(n2)에 데이터 전압(Vdata)을 공급한다.

[0050] 구체적으로, 초기화 기간(t1) 동안, 상기 스위칭부(112)의 제 1 내지 제 3 스위칭 트랜지스터(ST1, ST2, ST3) 각각은 상기 게이트 로우 전압(VGL) 상태의 제 1 스위칭 제어 신호(SCS1)에 따라 동시에 턴-온되고, 상기 스위칭부(112)의 제 4 트랜지스터(ST4)는 하이 전압(H) 상태의 제 2 스위칭 제어 신호(SCS2)에 따라 턴-오프되며, 상기 스위칭부(112)의 제 5 트랜지스터(ST5)는 로우 전압(L) 상태의 제 3 스위칭 제어 신호(SCS3)에 따라 턴-온된다. 또한, 상기 커패시터(Cst)의 제 1 단자는 상기 턴-오프된 제 4 스위칭 트랜지스터(ST4)에 의해 구동 트랜지스터(DT)의 게이트 단자와 전기적으로 분리된다. 이에 따라, 상기 기준 전압(Vref)은 상기 턴-온된 제 1 스위칭 트랜지스터(ST1)를 통해 상기 제 1 노드(n1)에 공급됨과 동시에 상기 턴-온된 제 3 스위칭 트랜지스터(ST3)를 통해 상기 제 4 노드(n4), 즉 상기 발광 소자(OLED)의 애노드 전극에 공급된다. 또한, 상기 데이터 전압(Vdata)은 상기 턴-온된 제 2 스위칭 트랜지스터(ST2)를 통해 제 2 노드(n2), 즉 구동 트랜지스터(DT)의 게이트 단자에 공급된다. 그리고, 상기 제 1 구동 전압(V1)은 상기 턴-온된 제 5 스위칭 트랜지스터(ST5)를 통해 제 3 노드(n3), 즉 커패시터(Cst)의 제 2 단자 및 구동 트랜지스터(DT)의 소스 단자에 공통적으로 공급된다.

[0051] 따라서, 상기 초기화 기간(t1)에서는, 제 1 내지 제 3, 및 제 5 스위칭 트랜지스터(ST1, ST2, ST3, ST5)가 턴-온됨으로써 상기 제 1 노드(n1)와 상기 발광 소자(OLED)의 애노드 전극은 상기 기준 전압(Vref)으로 초기화되고, 커패시터(Cst)는 기준 전압(Vref)과 제 1 구동 전압(V1)의 차 전압에 대응되는 초기화 전압으로 초기화된다. 또한, 상기 초기화 기간(t1)에서는, 상기 제 2 노드(n2)에 공급되는 데이터 전압(Vdata)과 상기 제 3 노드(n3)에 인가되는 제 1 구동 전압(V1)에 의해 상기 구동 트랜지스터(DT)가 턴-온됨으로써 제 1 구동 전원 라인(PL1)으로부터 공급되는 전류는 제 1 구동 전압(V1)과 기준 전압(Vref) 간의 전위차에 의해 제 1 구동 전원 라인(PL1)으로부터 제 5 스위칭 트랜지스터(ST5), 제 3 노드(n3), 구동 트랜지스터(DT), 제 4 노드(n4), 제 3 스위칭 트랜지스터(ST3), 및 기준 전원 라인으로 이어지는 제 1 전류 패스(CP1)를 통해 흐르게 되고, 이에 따라 발광 소자(OLED)는 초기화 기간(t1) 동안 발광하지 않는다. 즉, 상기 초기화 기간(t1) 동안 발광 소자(OLED)가 발광하지 않는 이유는 상기 제 4 노드(n4)의 전압과 제 2 구동 전압(V2)의 전위차가 발광 소자(OLED)의 구동 전압보다 낮아 상기 제 4 노드(n4)로부터 발광 소자(OLED) 및 제 2 구동 전원 라인(PL2)으로 이어지는 전류 패스가 형성되지 않기 때문이다.

[0052] 다음으로, 도 2 및 도 3b에 도시된 바와 같이, 상기 샘플링 기간(t2)에서는, 제 1 스위칭 제어 라인(SLi_1)에 공급되는 제 1 스위칭 제어 신호(SCS1)가 게이트 로우 전압(VGL) 상태를 유지하고, 제 2 스위칭 제어 라인(SLi_2)에 공급되는 제 2 스위칭 제어 신호(SCS2)가 하이 전압(H) 상태를 유지하고, 제 3 스위칭 제어 라인(SLi_3)에 공급되는 제 3 스위칭 제어 신호(SCS3)가 로우 전압(L) 상태에서 하이 전압(H) 상태로 변화되고, 기준 전원 라인에는 기준 전압(Vref)이 지속적으로 공급되며, 데이터 라인(DLi)에는 데이터 전압(Vdata)이 지속적으로 공급된다. 이에 따라, 상기 샘플링 기간(t2)에서는 게이트 로우 전압(VGL) 상태의 제 1 스위칭 제어 신호(SCS1)와 하이 전압(H) 상태의 제 2 및 제 3 스위칭 제어 신호(SCS2, SCS3)에 따라 커패시터(Cst)를 방전시켜 데이터 전압(Vdata)과 구동 트랜지스터(DT)의 문턱 전압(Vth)을 포함하는 샘플링 전압을 커패시터(Cst)에 저장한다.

[0053] 구체적으로, 샘플링 기간(t2)에서는, 상기 스위칭부(112)의 제 1 내지 제 3 스위칭 트랜지스터(ST1, ST2, ST3) 각각이 턴-온된 상태에서 상기 스위칭부(112)의 상기 제 5 스위칭 트랜지스터(ST5)가 턴-오프됨으로써 커패시터(Cst)에 저장된 초기화 전압과 기준 전압(Vref) 간의 전위차에 의해 커패시터(Cst)로부터 제 3 노드(n3), 구동 트랜지스터(DT), 제 4 노드(n4), 제 3 스위칭 트랜지스터(ST3), 및 기준 전원 라인으로 이어지는 제 2 전류 패스(CP2)가 형성된다. 이때, 전술한 초기화 기간(t1)과 마찬가지로, 상기 제 4 노드(n4)로부터 발광 소자(OLED) 및 제 2 구동 전원 라인(PL2)으로 이어지는 전류 패스는 형성되지 않는다.

[0054] 이에 따라, 샘플링 기간(t2) 동안, 상기 커패시터(Cst)는 상기 제 2 전류 패스(CP2)를 통해 흐르는 전류에 의해 제 3 노드(n3)의 전압, 즉 구동 트랜지스터(DT)의 소스 전압이 데이터 전압(Vdata)과 구동 트랜지스터(DT)의 문턱 전압(Vth)의 합 전압(Vdata+|Vth|)이 되어 구동 트랜지스터(DT)가 턴-오프될 때까지 방전된다. 즉, 구동 트랜지스터(DT)는 게이트 단자에 공급되는 데이터 전압(Vdata)과 커패시터(Cst)의 초기화 전압에 따른 게이트-소스 전압(Vgs)에 의해 턴-온된 후, 상기 커패시터(Cst)의 방전에 의해 소스 전압(즉, 제 3 노드(n3)의 전압)이 데이터 전압(Vdata)과 구동 트랜지스터(DT)의 문턱 전압(Vth)의 합 전압(Vdata+|Vth|)이 될 때 턴-오프된다. 따라서, 샘플링 기간(t2)에서, 상기 커패시터(Cst)의 방전에 의해 구동 트랜지스터(DT)가 턴-오프되면, 제 3 노드(n3)는 데이터 전압(Vdata)과 구동 트랜지스터(DT)의 문턱 전압(Vth)의 합 전압(Vdata+|Vth|)이 되고, 제 1 노드(n1)에는 기준 전압(Vref)이 공급되기 때문에, 상기 커패시터(Cst)에는 데이터 전압(Vdata)과 구동 트랜지

스터(DT)의 문턱 전압(V_{th})의 합 전압($V_{data}+|V_{th}|$)에서 기준 전압(V_{ref})을 뺀 전압으로 이루어지는 샘플링 전압($V_{data}+|V_{th}|-V_{ref}$)이 저장되게 된다.

[0055] 다음으로, 도 2 및 도 3c에 도시된 바와 같이, 상기 유지 기간(t_3)에서는, 제 1 스위칭 제어 라인(SLi_1)에 공급되는 제 1 스위칭 제어 신호(SCS1)가 게이트 로우 전압(VGL) 상태에서 게이트 하이 전압(VGH) 상태로 변화되고, 제 2 스위칭 제어 라인(SLi_2)에 공급되는 제 2 스위칭 제어 신호(SCS2)가 하이 전압(H) 상태를 유지하고, 제 3 스위칭 제어 라인(SLi_3)에 공급되는 제 3 스위칭 제어 신호(SCS3)가 하이 전압(H) 상태를 유지한다. 이에 따라, 상기 유지 기간(t_3)에서는 게이트 하이 전압(VHL) 상태의 제 1 스위칭 제어 신호(SCS1)와 하이 전압(H) 상태의 제 2 및 제 3 스위칭 제어 신호(SCS2, SCS3)에 따라 커패시터(Cst)에 저장된 전압을 유지시킨다.

[0056] 구체적으로, 유지 기간(t_3)에서는, 스위칭부(112)의 제 1 내지 제 5 스위칭 트랜지스터(ST1 내지 ST5) 각각이 모두 턴-오프되어 구동 트랜지스터(DT)의 턴-오프 상태가 유지됨으로써 커패시터(Cst)에 저장된 샘플링 전압($V_{data}+|V_{th}|-V_{ref}$)은 그대로 유지된다. 즉, 유지 기간(t_3)에서는 상기 커패시터(Cst)의 제 1 및 제 2 단자 각각이 플로팅(Floating)됨으로써 전술한 샘플링 기간(t_2)에 커패시터(Cst)에 저장된 전압은 소정 시간 동안 유지시킨다. 이러한 유지 기간(t_3)은 생략될 수 있지만, 게이트 로우 전압(VGL) 상태에서 게이트 하이 전압(VGH) 상태로 변화되는 제 1 스위칭 제어 신호(SCS1)의 파형(또는 펄스) 안정화를 위해 추가되는 것이 바람직하다.

[0057] 다음으로, 도 2 및 도 3d에 도시된 바와 같이, 상기 발광 기간(t_4)에서는, 제 1 스위칭 제어 라인(SLi_1)에 공급되는 제 1 스위칭 제어 신호(SCS1)가 게이트 하이 전압(VGH) 상태로 유지되고, 제 2 스위칭 제어 라인(SLi_2)에 공급되는 제 2 스위칭 제어 신호(SCS2)가 하이 전압(H) 상태에서 로우 전압(L) 상태로 변화되고, 제 3 스위칭 제어 라인(SLi_3)에 공급되는 제 3 스위칭 제어 신호(SCS3)가 하이 전압(H) 상태에서 로우 전압(L) 상태로 변화된다. 이때, 상기 하이 전압(H) 상태에서 로우 전압(L) 상태로 변화되는 제 2 및 제 3 스위칭 제어 신호(SCS2, SCS3) 각각의 파형은 전술한 유지 기간(t_3)에서 안정화된다. 이러한, 상기 발광 기간(t_4)에서는 게이트 하이 전압(VHL) 상태의 제 1 스위칭 제어 신호(SCS1)와 로우 전압(L) 상태의 제 2 및 제 3 스위칭 제어 신호(SCS2, SCS3)에 따라 커패시터(Cst)를 구동 트랜지스터(DT)의 게이트 단자와 소스 단자에 접속시켜 구동 트랜지스터(DT)를 턴-온시킴으로써 발광 소자(OLED)를 발광시키고, 상기 발광 소자(OLED)의 발광은 다음 프레임의 초기화 기간(t_1) 이전까지 유지된다.

[0058] 구체적으로, 상기 발광 기간(t_4)에서는, 스위칭부(112)의 제 1 내지 제 3 스위칭 트랜지스터(ST1 내지 ST3) 각각이 턴-오프 상태로 유지하는 반면에, 제 4 및 제 5 스위칭 트랜지스터(ST4, ST5)가 턴-온됨으로써 제 1 구동 전원 라인(PL1)에 공급되는 제 1 구동 전압(V_1)이 상기 턴-온된 제 5 스위칭 트랜지스터(ST5)를 통해 제 3 노드(n_3), 즉 구동 트랜지스터(DT)의 소스 단자에 공급되고, 상기 커패시터(Cst)의 제 1 단자가 상기 턴-온된 제 4 스위칭 트랜지스터(ST4)를 통해 제 2 노드(n_2), 즉 구동 트랜지스터(DT)의 게이트 단자에 접속된다. 이에 따라, 상기 발광 기간(t_4)에서 제 3 노드(n_3), 즉 구동 트랜지스터(DT)의 소스 전압은 제 1 구동 전압(V_1)으로 변화하게 되고, 이로 인해 제 1 노드(n_1)의 전압, 즉 구동 트랜지스터(DT)의 게이트 전압은 상기 제 3 노드(n_3)의 전압 변화량($V_1-(V_{data}+|V_{th}|)$)에 상응하도록 변화되어 기준 전압(V_{ref})과 상기 제 3 노드(n_3)의 전압 변화량($V_1-(V_{data}+|V_{th}|)$)의 합 전압($V_{ref}+V_1-(V_{data}+|V_{th}|)$)이 된다. 이러한 상기 커패시터(Cst)에 의한 제 2 및 제 3 노드(n_2, n_3) 각각의 전압에 의해 상기 구동 트랜지스터(DT)는 턴-온되어, 하기의 수학식 1과 같은, 데이터 전류(I_{oled})를 발광 소자(OLED)에 공급함으로써 발광 소자(OLED)를 상기 데이터 전압(V_{data})에 대응되는 휘도로 발광시킨다.

수학식 1

$$\begin{aligned} I_{oled} &= k(V_{gs} - V_{th})^2 \\ &= k(V_{sg} - V_{th})^2 \\ &= k(V_1 - (V_{ref} + V_1 - (V_{data} + |V_{th}|)) - V_{th})^2 \\ &= k(V_1 - V_{ref} - V_1 + V_{data} + |V_{th}| - V_{th})^2 \\ &= k(V_{data} - V_{ref})^2 \end{aligned}$$

[0059]

- [0060] 상기 수학식 1에서, "k"는 비례 상수로서 구동 트랜지스터(DT)의 구조와 물리적 특성에 의해 결정되는 값으로, 구동 트랜지스터(DT)의 이동도(mobility) 및 구동 트랜지스터(DT)의 채널 폭(W)과 채널 길이(L)의 비인 " W/L " 등에 의해서 결정될 수 있다. 한편, 구동 트랜지스터(DT)의 문턱 전압(V_{th})은 항상 일정한 값을 갖는 것이 아니라, 구동 트랜지스터(DT)의 동작 상태에 따라 편차가 발생할 수 있다.
- [0061] 상기 수학식 1에서 알 수 있듯이, 본 발명의 제 1 실시 예에 따른 화소 회로(110)는 구동 트랜지스터(DT)의 문턱 전압(V_{th}) 및 제 1 구동 전압(V_1)이 제거됨으로써 발광 기간(t_4) 동안 발광 소자(OLED)에 흐르는 데이터 전류(I_{oled})가 구동 트랜지스터(DT)의 문턱 전압(V_{th}) 및 제 1 구동 전압(V_1) 등의 영향을 받지 않고, 단지 데이터 전압(V_{data})과 기준 전압(V_{ref})의 차이에 의해 결정된다.
- [0062] 따라서, 본 발명의 제 1 실시 예에 따른 화소 회로(110)는 상기 구동 트랜지스터(DT)의 동작 상태에 따른 문턱 전압(V_{th}) 및 상기 제 1 구동 전압 라인(PL1)의 저항에 따른 제 1 구동 전압(V_1)의 전압 강하를 제거하여 보상함으로써 구동 트랜지스터(DT)의 문턱 전압(V_{th}) 편차와 제 1 구동 전압(V_1)의 전압 강하에 의한 화질 저하를 방지할 수 있다.
- [0063] 또한, 본 발명의 제 1 실시 예에 따른 화소 회로(110)는 전술한 샘플링 기간(t_2)에서 구동 트랜지스터(DT)의 게이트 단자와 소스 단자에 접속된 커패시터(C_{st})를 분리하여 데이터 전압(V_{data})과 구동 트랜지스터(DT)의 문턱 전압(V_{th})을 포함하는 샘플링 전압을 샘플링하여 커패시터(C_{st})에 저장함으로써 종래의 특허문헌에서 발생하는 데이터 효율의 저하를 방지하여 높은 휘도를 구현할 수 있으며, 하나의 커패시터(C_{st})를 이용하므로 화소의 개구율 및 화소 면적을 감소시켜 고해상도 구현을 용이하게 할 수 있다.
- [0064] 도 4는 본 발명의 화소 회로와 종래의 화소 회로 각각의 전류 범위를 설명하기 위한 그래프로서, 이는 0V 내지 5V 범위의 데이터 전압(V_{data})에 대한 발광 소자에 흐르는 전류(I_{oled})를 나타낸다.
- [0065] 도 4에서 알 수 있듯이, 동일한 데이터 전압 범위(0V 내지 5V)에서, 본 발명의 화소 회로에 의해 발광 소자에 흐르는 전류(I_{oled})는 종래의 화소 회로 대비 2배 이상 넓은 범위를 갖는다. 이에 따라, 본 발명의 화소 회로는 동일한 데이터 전압에서 종래의 화소 회로 대비 높은 휘도를 구현할 수 있다. 나아가, 본 발명은 데이터 전압의 범위를 줄일 수 있으며, 이를 통해 종래와 동일한 휘도를 구현할 경우, 데이터 전압을 공급하는 데이터 구동 회로의 크기 및 비용을 감소시킬 수 있다.
- [0066] 도 5는 본 발명의 화소 회로와 종래의 화소 회로 각각의 데이터 효율을 설명하기 위한 그래프로서, 이는 0V 내지 5V 범위의 데이터 전압(V_{data})에 대한 구동 트랜지스터의 게이트-소스 전압(V_{gs})을 나타낸다.
- [0067] 도 5에서 알 수 있듯이, 본 발명의 화소 회로는 0V 내지 5V 범위의 데이터 전압(V_{data})에 대한 구동 트랜지스터의 게이트-소스 전압(V_{gs}) 간의 편차가 종래에 비해 적음을 알 수 있다. 일 예로서, 0V의 데이터 전압에 대한 구동 트랜지스터의 게이트-소스 전압(V_{gs})의 경우, 본 발명은 대략 0.25V인 반면에 종래는 대략 1.75V임을 알 수 있다. 다른 예로서, 5V의 데이터 전압에 대한 구동 트랜지스터의 게이트-소스 전압(V_{gs})의 경우, 본 발명은 대략 4.45V인 반면에, 종래는 대략 3.45V임을 알 수 있고, 이때, 5V의 데이터 전압에 대한 데이터 효율의 경우 본 발명은 89%인 반면에 종래는 69%이다. 결과적으로, 도 5에서 알 수 있듯이, 본 발명은 데이터 효율의 저하 없이 데이터 전압에 대응되는 휘도(또는 계조) 구현이 가능하기 때문에 높은 휘도를 구현할 수 있고 명암비를 높일 수 있다.
- [0068] 도 6은 본 발명의 제 2 실시 예에 따른 화소 회로를 개략적으로 나타내는 회로도이다.
- [0069] 도 6을 참조하면, 본 발명의 제 2 실시 예에 따른 화소 회로(110)는 발광 소자(OLED), 구동 트랜지스터(DT), 커패시터(C_{st}), 및 스위칭부(112)를 포함하여 구성된다. 이러한 구성을 가지는 제 2 실시 예에 따른 화소 회로(110)에서 스위칭부(112)를 제외한 나머지 구성들은 전술한 제 1 실시 예의 화소 회로와 동일하다.
- [0070] 상기 스위칭부(112) 역시 전술한 제 1 실시 예와 같이 초기화 기간, 샘플링 기간, 유지 기간, 및 발광 기간으로 나누어 동작한다.
- [0071] 먼저, 초기화 기간에 있어서, 상기 스위칭부(112)는 커패시터(C_{st})의 제 1 단자와 구동 트랜지스터(DT)의 게이트 단자 사이의 접속을 분리시킨 후, 커패시터(C_{st})의 제 1 단자에 데이터 전압(V_{data})을 공급함과 동시에 커패시터(C_{st})의 제 2 단자에 제 1 구동 전압(V_1)을 인가하여 커패시터(C_{st})를 데이터 전압(V_{data})과 제 1 구동 전

압(V1)의 차 전압으로 초기화시킴과 동시에 발광 소자(OLED)의 애노드 전극을 제 2 구동 전압(V2)으로 초기화시킨다.

[0072] 다음으로, 샘플링 기간에 있어서, 상기 스위칭부(112)는 커패시터(Cst)의 제 1 단자와 구동 트랜지스터(DT)의 게이트 단자 사이의 접속이 분리된 상태에서, 구동 트랜지스터(DT)의 게이트 단자에 기준 전압(Vref)을 공급하고, 커패시터(Cst)로부터 구동 트랜지스터(DT)와 발광 소자(OLED)의 애노드 전극 및 제 2 구동 전압이 공급되는 제 2 구동 전원 라인(PL2)으로 이어지는 전류 패스를 형성하여 상기 초기화된 커패시터(Cst)를 방전시켜 데이터 전압(Vdata)과 구동 트랜지스터(DT)의 문턱 전압 및 기준 전압(Vref)에 따른 샘플링 전압을 커패시터(Cst)에 저장한다. 이때, 상기 전류 패스는 발광 소자(OLED)를 우회하도록 형성된다.

[0073] 다음으로, 유지 기간에 있어서, 상기 스위칭부(112)는 커패시터(Cst)의 제 1 및 제 2 단자 각각을 플로팅((Floating)시켜 상기 샘플링 기간 동안 커패시터(Cst)에 저장된 전압을 유지시킨다.

[0074] 마지막으로, 발광 기간에 있어서, 상기 스위칭부(112)는 커패시터(Cst)에 샘플링 전압이 저장되면, 커패시터(Cst)의 제 1 단자를 구동 트랜지스터(DT)의 게이트 단자에 접속시킴과 아울러 구동 트랜지스터(DT)의 소스 단자에 제 1 구동 전압(V1)을 인가하여 구동 트랜지스터(DT)를 턴-온시켜 데이터 전압(Vdata)과 기준 전압(Vref)의 차이에 의해 결정되는 데이터 전류로 발광 소자(OLED)를 발광시킨다.

[0075] 이와 같은 상기 스위칭부(112)는 제 1 내지 제 5 스위칭 트랜지스터(ST1 내지 ST5)를 포함하여 구성되는 것으로, 상기 제 1 내지 제 3 스위칭 트랜지스터(ST1 내지 ST3) 각각의 접속 구조가 변경된 것을 제외하고는 전술한 본 발명의 제 1 실시 예에 따른 화소 회로의 스위칭부와 동일하므로, 동일한 구성에 대한 중복 설명은 생략하기로 한다.

[0076] 상기 스위칭부(112)의 제 1 스위칭 트랜지스터(ST1)는 게이트 로우 전압 상태의 제 1 스위칭 제어 신호(SCS1)에 따라 턴-온됨으로써 데이터 라인(DLi)으로부터 공급되는 데이터 전압(Vdata)을 커패시터(Cst)에 공급한다. 이를 위해, 제 1 스위칭 트랜지스터(ST1)는 제 1 스위칭 제어 신호(SCS1)가 공급되는 제 1 스위칭 제어 라인(SLi_1)에 접속된 제어 전극(예를 들어, 게이트 전극), 상기 데이터 라인(DLi)에 접속된 제 1 전극(예를 들어, 소스 전극), 및 커패시터(Cst)의 제 1 단자, 즉 제 1 노드(n1)에 접속된 제 2 전극(예를 들어, 드레인 전극)을 포함하여 구성된다.

[0077] 스위칭부(112)의 제 2 스위칭 트랜지스터(ST2)는 상기 제 1 스위칭 제어 라인(SLi_1)에 공급되는 게이트 로우 전압 상태의 제 1 스위칭 제어 신호(SCS1)에 따라 턴-온됨으로써 기준 전압 라인(PLref)에 공급되는 기준 전압(Vref)을 구동 트랜지스터(DT)의 게이트 단자에 공급한다. 이를 위해, 제 2 스위칭 트랜지스터(ST2)는 상기 제 1 스위칭 제어 라인(SLi_1)에 접속된 제어 전극(예를 들어, 게이트 전극), 상기 기준 전압 라인(PLref)에 접속된 제 1 전극(예를 들어, 소스 전극), 및 구동 트랜지스터(DT)의 게이트 단자, 즉, 제 2 노드(n2)에 접속된 제 2 전극(예를 들어, 드레인 전극)을 포함하여 구성된다. 여기서, 상기 기준 전압(Vref)은 화이트 휘도를 구현하기 위한 데이터 전압(Vdata)과 같거나 높은 전압 값으로 설정될 수 있으며, 블랙 계조의 구현을 고려하여 화이트 휘도를 구현하기 위한 데이터 전압(Vdata)보다 1V 이상 높은 전압 값으로 설정되는 것이 바람직하다.

[0078] 스위칭부(112)의 제 3 스위칭 트랜지스터(ST3)는 상기 제 1 스위칭 제어 라인(SLi_1)에 공급되는 게이트 로우 전압 상태의 제 1 스위칭 제어 신호(SCS1)에 따라 턴-온됨으로써 제 4 노드(n4), 즉 구동 트랜지스터(DT)의 드레인 단자를 제 2 구동 전원 라인(PL2)에 접속시켜 발광 소자(OLED)를 우회하는 구동 트랜지스터(DT)의 드레인 단자와 제 2 구동 전원 라인(PL2) 사이의 우회 전류 패스를 형성한다. 즉, 상기 제 3 스위칭 트랜지스터(ST3)는 전술한 초기화 시간(t1) 및 샘플링 시간(t2) 동안 상기 전류 패스를 형성해 구동 트랜지스터(DT)에 흐르는 전류에 의해 발광 소자(OLED)가 발광하는 것을 방지한다. 이를 위해, 제 3 스위칭 트랜지스터(ST3)는 상기 제 1 스위칭 제어 라인(SLi_1)에 접속된 제어 전극(예를 들어, 게이트 전극), 상기 제 4 노드(n4), 즉 구동 트랜지스터(DT)의 드레인 단자에 접속된 제 1 전극(예를 들어, 소스 전극), 및 제 2 구동 전원 라인(PL2)인 제 5 노드(n5)에 접속된 제 2 전극(예를 들어, 드레인 전극)을 포함하여 구성된다.

[0079] 한편, 전술한 상기 제 3 스위칭 트랜지스터(ST3)의 제 3 단자는 제 2 구동 전원 라인(PL2) 대신에 제 3 구동 전압이 인가되는 제 3 구동 전원 라인에 접속될 수도 있다. 이 경우, 상기 제 3 구동 전압은 발광 소자(OLED)의 구동 전압보다 낮은 전압 값으로 설정되는 것으로, 예를 들어, 0V 이상 2V 미만의 전압 값으로 설정될 수 있다. 이하의 설명에서는 상기 제 3 스위칭 트랜지스터(ST3)의 제 3 단자가 제 2 구동 전원 라인(PL2)에 접속된 것으로 가정하기로 한다.

- [0080] 도 7a 내지 도 7d는 도 6에 도시된 기간별 화소 회로의 동작 상태를 나타내는 도면이다.
- [0081] 도 6을 도 7a 내지 도 7d와 결부하여 본 발명의 제 2 실시 예에 따른 화소 회로의 구동 방법을 설명하면 다음과 같다.
- [0082] 본 발명의 제 2 실시 예에 따른 화소 회로의 구동 방법은 초기화 기간(t_1), 샘플링 기간(t_2), 유지 기간(t_3), 및 발광 기간(t_4)을 포함하여 이루어진다.
- [0083] 먼저, 도 6 및 도 7a에 도시된 바와 같이, 상기 초기화 기간(t_1)에서는, 게이트 로우 전압(VGL) 상태의 제 1 스위칭 제어 신호(SCS1)가 제 1 스위칭 제어 라인(SLi_1)에 공급되고, 하이 전압(H) 상태의 제 2 스위칭 제어 신호(SCS2)가 제 2 스위칭 제어 라인(SLi_2)에 공급되고, 로우 전압(L) 상태의 제 3 스위칭 제어 신호(SCS3)가 제 3 스위칭 제어 라인(SLi_3)에 공급되고, 기준 전압(Vref)이 기준 전원 라인에 공급되며, 데이터 전압(Vdata)이 데이터 라인(DLi)에 공급된다. 이에 따라, 상기 초기화 기간(t_1)에서는, 게이트 로우 전압(VGL) 상태의 제 1 스위칭 제어 신호(SCS1)와 하이 전압(H) 상태의 제 2 스위칭 제어 신호(SCS2) 및 로우 전압(L) 상태의 제 3 스위칭 제어 신호(SCS3)에 따라 구동 트랜지스터(DT)의 게이트 단자, 즉 제 2 노드(n_2)를 기준 전압(Vref)으로 초기화시키고, 상기 발광 소자(OLED)의 애노드 전극을 제 2 구동 전압(V2)으로 초기화시키며, 상기 커패시터(Cs)의 제 1 단자, 즉 상기 제 1 노드(n_1)에 데이터 전압(Vdata)을 공급한다.
- [0084] 구체적으로, 초기화 기간(t_1) 동안, 상기 스위칭부(112)의 제 1 내지 제 3 스위칭 트랜지스터(ST1, ST2, ST3) 각각은 상기 게이트 로우 전압(VGL) 상태의 제 1 스위칭 제어 신호(SCS1)에 따라 동시에 턴-온되고, 상기 스위칭부(112)의 제 4 트랜지스터(ST4)는 하이 전압(H) 상태의 제 2 스위칭 제어 신호(SCS2)에 따라 턴-오프되며, 상기 스위칭부(112)의 제 5 트랜지스터(ST5)는 로우 전압(L) 상태의 제 3 스위칭 제어 신호(SCS3)에 따라 턴-온된다. 그리고, 상기 커패시터(Cst)의 제 1 단자는 상기 턴-오프된 제 4 스위칭 트랜지스터(ST4)에 의해 구동 트랜지스터(DT)의 게이트 단자와 전기적으로 분리된다. 이에 따라, 상기 기준 전압(Vref)은 상기 턴-온된 제 2 스위칭 트랜지스터(ST2)를 통해 상기 제 2 노드(n_2), 즉 구동 트랜지스터(DT)의 게이트 단자에 공급된다. 또한, 상기 데이터 전압(Vdata)은 상기 턴-온된 제 1 스위칭 트랜지스터(ST1)를 통해 제 1 노드(n_1), 즉 커패시터(Cst)의 제 1 단자에 공급된다. 또한, 상기 제 1 구동 전압(V1)은 상기 턴-온된 제 5 스위칭 트랜지스터(ST5)를 통해 제 3 노드(n_3), 즉 커패시터(Cst)의 제 2 단자 및 구동 트랜지스터(DT)의 소스 단자에 공통적으로 공급된다. 그리고, 구동 트랜지스터(DT)의 드레인 단자는 상기 턴-온된 제 3 스위칭 트랜지스터(ST3)를 통해 제 2 구동 전원 라인(PL2)에 접속된다.
- [0085] 따라서, 상기 초기화 기간(t_1)에서는, 제 1 내지 제 3, 및 제 5 스위칭 트랜지스터(ST1, ST2, ST3, ST5)가 턴-온됨으로써 구동 트랜지스터(DT)의 게이트 단자, 즉 제 2 노드(n_2)는 상기 기준 전압(Vref)으로 초기화되고, 제 1 노드(n_1), 즉 커패시터(Cst)의 제 1 단자에는 데이터 전압(Vdata)이 공급되므로 커패시터(Cst)는 데이터 전압(Vdata)과 제 1 구동 전압(V1)의 차 전압에 대응되는 초기화 전압으로 초기화되며, 상기 발광 소자(OLED)의 애노드 전극은 제 2 구동 전압(V2)으로 초기화된다. 그리고, 상기 초기화 기간(t_1)에서는, 상기 제 2 노드(n_2)에 공급되는 기준 전압(Vref)과 상기 제 3 노드(n_3)에 인가되는 제 1 구동 전압(V1)에 의해 상기 구동 트랜지스터(DT)가 턴-온됨으로써 제 1 구동 전원 라인(PL1)으로부터 공급되는 전류는 제 1 및 제 2 구동 전압(V1, V2) 간의 전위차에 의해 제 1 구동 전원 라인(PL1)으로부터 제 5 스위칭 트랜지스터(ST5), 제 3 노드(n_3), 구동 트랜지스터(DT), 제 4 노드(n_4), 제 3 스위칭 트랜지스터(ST3), 제 5 노드(n_5), 및 제 2 구동 전원 라인(PL2)으로 이어지는 제 1 전류 패스(CP1)를 통해 흐르게 되고, 이에 따라 발광 소자(OLED)는 초기화 기간(t_1) 동안 발광하지 않는다. 즉, 상기 초기화 기간(t_1) 동안 발광 소자(OLED)가 발광하지 않는 이유는 상기 제 4 노드(n_4)의 전압과 제 2 구동 전압(V2)의 전위차가 발광 소자(OLED)의 구동 전압보다 낮아 상기 제 4 노드(n_4)로부터 발광 소자(OLED) 및 제 2 구동 전원 라인(PL2)으로 이어지는 전류 패스가 형성되지 않기 때문이다.
- [0086] 다음으로, 도 6 및 도 7b에 도시된 바와 같이, 상기 샘플링 기간(t_2)에서는, 제 1 스위칭 제어 라인(SLi_1)에 공급되는 제 1 스위칭 제어 신호(SCS1)가 게이트 로우 전압(VGL) 상태를 유지하고, 제 2 스위칭 제어 라인(SLi_2)에 공급되는 제 2 스위칭 제어 신호(SCS2)가 하이 전압(H) 상태를 유지하고, 제 3 스위칭 제어 라인(SLi_3)에 공급되는 제 3 스위칭 제어 신호(SCS3)가 로우 전압(L) 상태에서 하이 전압(H) 상태로 변화되고, 기준 전원 라인에는 기준 전압(Vref)이 지속적으로 공급되며, 데이터 라인(DLi)에는 데이터 전압(Vdata)이 지속적으로 공급된다. 이에 따라, 상기 샘플링 기간(t_2)에서는 게이트 로우 전압(VGL) 상태의 제 1 스위칭 제어 신호(SCS1)와 하이 전압(H) 상태의 제 2 및 제 3 스위칭 제어 신호(SCS2, SCS3)에 따라 커패시터(Cst)를 방전시켜 데이터 전압(Vdata)과 구동 트랜지스터(DT)의 문턱 전압(Vth)을 포함하는 샘플링 전압을 커패시터(Cst)에 저장한다.

- [0087] 구체적으로, 샘플링 기간(t_2)에서는, 상기 스위칭부(112)의 제 1 내지 제 3 스위칭 트랜지스터(ST1, ST2, ST3) 각각이 턴-온된 상태에서 상기 스위칭부(112)의 상기 제 5 스위칭 트랜지스터(ST5)가 턴-오프됨으로써 커패시터(Cst)에 저장된 초기화 전압과 제 2 구동 전압(V_2) 간의 전위차에 의해 커패시터(Cst)로부터 제 3 노드(n_3), 구동 트랜지스터(DT), 제 4 노드(n_4), 제 3 스위칭 트랜지스터(ST3), 제 5 노드(n_5), 및 제 2 구동 전원 라인(PL2)으로 이어지는 제 2 전류 패스(CP2)가 형성된다. 이때, 전술한 초기화 기간(t_1)과 마찬가지로, 상기 제 4 노드(n_4)로부터 발광 소자(OLED) 및 제 2 구동 전원 라인(PL2)으로 이어지는 전류 패스는 형성되지 않는다.
- [0088] 이에 따라, 샘플링 기간(t_2) 동안, 상기 커패시터(Cst)는 상기 제 2 전류 패스(CP2)를 통해 흐르는 전류에 의해 제 3 노드(n_3)의 전압, 즉 구동 트랜지스터(DT)의 소스 전압이 기준 전압(V_{ref})과 구동 트랜지스터(DT)의 문턱 전압(V_{th})의 합 전압($V_{ref}+|V_{th}|$)이 되어 구동 트랜지스터(DT)가 턴-오프될 때까지 방전된다. 즉, 구동 트랜지스터(DT)는 게이트 단자에 공급되는 기준 전압(V_{ref})과 커패시터(Cst)의 초기화 전압에 따른 게이트-소스 전압(V_{gs})에 의해 턴-온된 후, 상기 커패시터(Cst)의 방전에 의해 소스 전압(즉, 제 3 노드(n_3)의 전압)이 기준 전압(V_{ref})과 구동 트랜지스터(DT)의 문턱 전압(V_{th})의 합 전압($V_{ref}+|V_{th}|$)이 될 때 턴-오프된다. 따라서, 샘플링 기간(t_2)에서, 상기 커패시터(Cst)의 방전에 의해 구동 트랜지스터(DT)가 턴-오프되면, 제 3 노드(n_3)는 기준 전압(V_{ref})과 구동 트랜지스터(DT)의 문턱 전압(V_{th})의 합 전압($V_{ref}+|V_{th}|$)이 되고, 제 1 노드(n_1)에는 데이터 전압(V_{data})이 공급되기 때문에, 상기 커패시터(Cst)에는 기준 전압(V_{ref})과 구동 트랜지스터(DT)의 문턱 전압(V_{th})의 합 전압($V_{ref}+|V_{th}|$)에서 데이터 전압(V_{data})을 뺀 전압으로 이루어지는 샘플링 전압($V_{ref}+|V_{th}|-V_{data}$)이 저장되게 된다.
- [0089] 다음으로, 도 6 및 도 7c에 도시된 바와 같이, 상기 유지 기간(t_3)에서는, 제 1 스위칭 제어 라인(SLi_1)에 공급되는 제 1 스위칭 제어 신호(SCS1)가 게이트 로우 전압(VGL) 상태에서 게이트 하이 전압(VGH) 상태로 변화되고, 제 2 스위칭 제어 라인(SLi_2)에 공급되는 제 2 스위칭 제어 신호(SCS2)가 하이 전압(H) 상태를 유지하고, 제 3 스위칭 제어 라인(SLi_3)에 공급되는 제 3 스위칭 제어 신호(SCS3)가 하이 전압(H) 상태를 유지한다. 이에 따라, 상기 유지 기간(t_3)에서는 게이트 하이 전압(VHL) 상태의 제 1 스위칭 제어 신호(SCS1)와 하이 전압(H) 상태의 제 2 및 제 3 스위칭 제어 신호(SCS2, SCS3)에 따라 커패시터(Cst)에 저장된 전압을 유지시킨다.
- [0090] 구체적으로, 유지 기간(t_3)에서는, 스위칭부(112)의 제 1 내지 제 5 스위칭 트랜지스터(ST1 내지 ST5) 각각이 모두 턴-오프되어 구동 트랜지스터(DT)의 턴-오프 상태가 유지됨으로써 커패시터(Cst)에 저장된 샘플링 전압($V_{ref}+|V_{th}|-V_{data}$)은 그대로 유지된다. 이러한 유지 기간(t_3)은 생략될 수 있지만, 게이트 로우 전압(VGL) 상태에서 게이트 하이 전압(VGH) 상태로 변화되는 제 1 스위칭 제어 신호(SCS1)의 파형(또는 펄스) 안정화를 위해 추가되는 것이 바람직하다.
- [0091] 다음으로, 도 6 및 도 7d에 도시된 바와 같이, 상기 발광 기간(t_4)에서는, 제 1 스위칭 제어 라인(SLi_1)에 공급되는 제 1 스위칭 제어 신호(SCS1)가 게이트 하이 전압(VGH) 상태로 유지되고, 제 2 스위칭 제어 라인(SLi_2)에 공급되는 제 2 스위칭 제어 신호(SCS2)가 하이 전압(H) 상태에서 로우 전압(L) 상태로 변화되고, 제 3 스위칭 제어 라인(SLi_3)에 공급되는 제 3 스위칭 제어 신호(SCS3)가 하이 전압(H) 상태에서 로우 전압(L) 상태로 변화된다. 이때, 상기 하이 전압(H) 상태에서 로우 전압(L) 상태로 변화되는 제 2 및 제 3 스위칭 제어 신호(SCS2, SCS3) 각각의 파형은 전술한 유지 기간(t_3)에서 안정화된다. 이러한, 상기 발광 기간(t_4)에서는 게이트 하이 전압(VHL) 상태의 제 1 스위칭 제어 신호(SCS1)와 로우 전압(L) 상태의 제 2 및 제 3 스위칭 제어 신호(SCS2, SCS3)에 따라 커패시터(Cst)를 구동 트랜지스터(DT)의 게이트 단자와 소스 단자에 접속시켜 구동 트랜지스터(DT)를 턴-온시킴으로써 발광 소자(OLED)를 발광시키고, 상기 발광 소자(OLED)의 발광은 다음 프레임의 초기화 기간(t_1) 이전까지 유지된다.
- [0092] 구체적으로, 상기 발광 기간(t_4)에서는, 스위칭부(112)의 제 1 내지 제 3 스위칭 트랜지스터(ST1 내지 ST3) 각각이 턴-오프 상태로 유지하는 반면에, 제 4 및 제 5 스위칭 트랜지스터(ST4, ST5)가 턴-온됨으로써 제 1 구동 전원 라인(PL1)에 공급되는 제 1 구동 전압(V_1)이 상기 턴-온된 제 5 스위칭 트랜지스터(ST5)를 통해 제 3 노드(n_3), 즉 구동 트랜지스터(DT)의 소스 단자에 공급되고, 상기 커패시터(Cst)의 제 1 단자가 상기 턴-온된 제 4 스위칭 트랜지스터(ST4)를 통해 제 2 노드(n_2), 즉 구동 트랜지스터(DT)의 게이트 단자에 접속된다. 이에 따라, 상기 발광 기간(t_4)에서 제 3 노드(n_3), 즉 구동 트랜지스터(DT)의 소스 전압은 제 1 구동 전압(V_1)으로 변화하게 되고, 이로 인해 제 1 노드(n_1)의 전압, 즉 구동 트랜지스터(DT)의 게이트 전압은 상기 제 3 노드(n_3)의 전압 변화량($V_1-(V_{ref}+|V_{th}|)$)에 상응하도록 변화되어 데이터 전압(V_{data})과 상기 제 3 노드(n_3)의 전압 변화량($V_1-(V_{ref}+|V_{th}|)$)의 합 전압($V_{data}+V_1-(V_{ref}+|V_{th}|)$)이 된다. 이러한 상기 커패시터(Cst)에 의한 제 2 및 제 3 노드(n_2 , n_3) 각각의 전압에 의해 상기 구동 트랜지스터(DT)는 턴-온되어, 하기의 수확식 2와 같은, 데이터 전류(I_{oled})를 발광 소자(OLED)에 공급함으로써 발광 소자(OLED)를 상기 데이터 전압(V_{data})에 대응되는

회도로 발광시킨다.

수학식 2

$$\begin{aligned} I_{oled} &= k(V_{gs} - V_{th})^2 \\ &= k(V_{sg} - V_{th})^2 \\ &= k(V_1 - (V_{data} + V_1 - (V_{ref} + |V_{th}|)) - V_{th})^2 \\ &= k(V_1 - V_{data} - V_1 + V_{ref} + |V_{th}| - V_{th})^2 \\ &= k(V_{ref} - V_{data})^2 \end{aligned}$$

[0093]

[0094]

상기 수학식 2에서, "k"는 비례 상수로서 구동 트랜지스터(DT)의 구조와 물리적 특성에 의해 결정되는 값으로, 구동 트랜지스터(DT)의 이동도(mobility) 및 구동 트랜지스터(DT)의 채널 폭(W)과 채널 길이(L)의 비인 "W/L" 등에 의해서 결정될 수 있다. 한편, 구동 트랜지스터(DT)의 문턱 전압(V_{th})은 항상 일정한 값을 갖는 것이 아니라, 구동 트랜지스터(DT)의 동작 상태에 따라 편차가 발생할 수 있다.

[0095]

상기 수학식 2에서 알 수 있듯이, 본 발명의 제 2 실시 예에 따른 화소 회로(110)는 구동 트랜지스터(DT)의 문턱 전압(V_{th}) 및 제 1 구동 전압(V_1)이 제거됨으로써 발광 기간(t_4) 동안 발광 소자(OLED)에 흐르는 데이터 전류(I_{oled})가 구동 트랜지스터(DT)의 문턱 전압(V_{th}) 및 제 1 구동 전압(V_1) 등의 영향을 받지 않고, 단지 데이터 전압(V_{data})과 기준 전압(V_{ref})의 차이에 의해 결정된다.

[0096]

따라서, 본 발명의 제 2 실시 예에 따른 화소 회로(110)는 전술한 제 1 실시 예에 따른 화소 회로와 동일한 효과를 제공할 수 있다.

[0097]

이상과 같은, 본 발명의 실시 예들에 따른 화소 회로(110)에 대한 설명에서는 전술한 상기 구동 트랜지스터와 스위칭 트랜지스터들이 모두 P 타입의 전도도를 가지는 PMOS 박막 트랜지스터로 이루어지는 것으로 설명하였으나, 이에 한정되지 않고, 상기 구동 트랜지스터와 스위칭 트랜지스터들이 모두 N 타입의 전도도를 가지는 NMOS 박막 트랜지스터로 이루어질 수 있다. 이 경우, 상기 NMOS 박막 트랜지스터는 산화물 반도체를 포함하여 구성될 수 있다.

[0098]

도 8은 본 발명의 실시 예에 따른 발광 표시 장치를 개략적으로 나타내는 도면이다.

[0099]

도 8을 참조하면, 본 발명의 실시 예에 따른 발광 표시 장치는 디스플레이 패널(100), 타이밍 제어부(200), 주사 구동부(300), 데이터 구동부(400), 및 전원 공급부(500)를 포함하여 구성된다.

[0100]

디스플레이 패널(100)은 복수의 데이터 라인(DL1 내지 DLn), 제 1 내지 제 3 스위칭 제어 라인(SLi_1, SLi_2, SLi_3; i는 1 내지 n 사이의 자연수)으로 이루어진 복수의 주사 라인군(SL1 내지 SLn), 복수의 기준 전원 라인(PLref), 복수의 제 1 및 제 2 구동 전원 라인(PL1, PL2)에 의해 정의되는 화소 영역마다 형성된 복수의 화소(P)를 포함하여 구성된다.

[0101]

상기 복수의 화소(P) 각각은, 도 1 또는 도 6를 참조하여 전술한 본 발명의 실시 예에 따른 화소 회로(110)를 포함하여 구성된다. 이에 따라, 상기 복수의 화소(P) 각각에 대한 구체적인 설명은 도 1 또는 도 6에 대한 설명으로 대신하기로 한다.

[0102]

타이밍 제어부(200)는 외부의 시스템 본체(미도시) 또는 그래픽 카드(미도시)로부터 입력되는 적색, 녹색, 및 청색의 입력 데이터(RGB)를 디스플레이 패널(100)의 구동에 알맞도록 정렬하고, 정렬된 데이터(R/G/B)를 데이터 구동부(400)에 공급한다.

[0103]

또한, 타이밍 제어부(200)는 외부의 시스템 본체 또는 그래픽 카드로부터 입력되는 타이밍 동기 신호(TSS)에 따라 주사 구동부(300)와 데이터 구동부(400) 각각의 구동 타이밍을 제어한다. 즉, 타이밍 제어부(200)는 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블(DE), 클럭(DCLK) 등의 타이밍 동기신호(TSS)를 기초해 주사 타이밍 제어 신호(STCS)와 데이터 타이밍 제어 신호(DTCS)를 생성하여 주사 구동부(300)와 데이터 구동

부(400) 각각의 구동 타이밍을 제어한다.

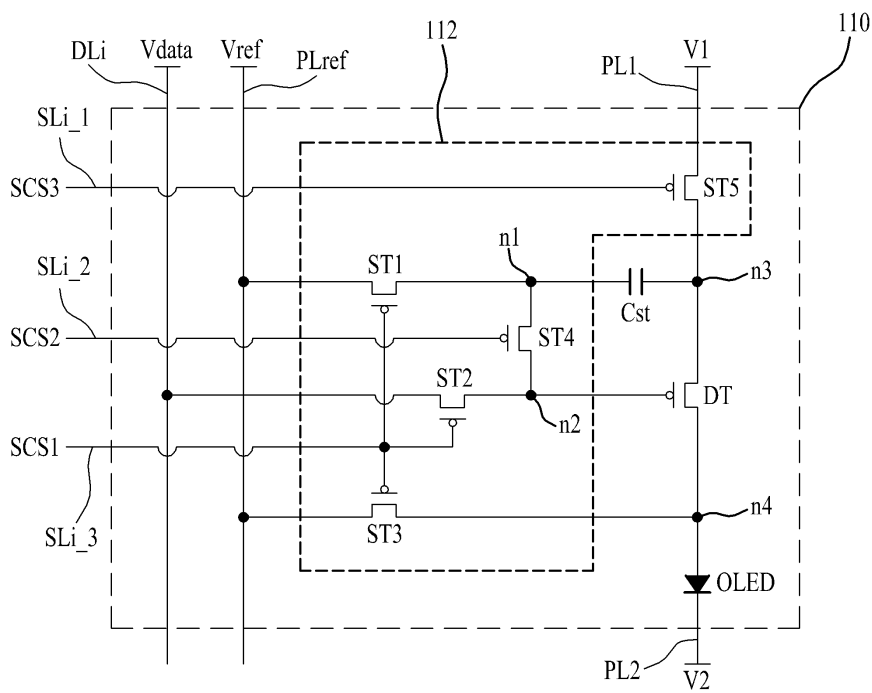
- [0104] 주사 구동부(300)는 타이밍 제어부(200)로부터 제공되는 주사 타이밍 신호(STCS)에 따라 1 수평 기간 단위로 쉬프트되는 전술한 제 1 내지 제 3 스위칭 제어 신호(도 2 참조)를 생성하여 복수의 주사 라인군(SL1 내지 SLn)에 순차적으로 공급한다. 이때, 제 1 스위칭 제어 신호(SCS1)는 복수의 주사 라인군(SL1 내지 SLn) 각각의 제 1 스위칭 제어 라인(SL1_1 내지 SLn_1)에 공급되고, 제 2 스위칭 제어 신호(SCS2)는 복수의 주사 라인군(SL1 내지 SLn) 각각의 제 2 스위칭 제어 라인(SL1_2 내지 SLn_2)에 공급되며, 제 3 스위칭 제어 신호(SCS3)는 복수의 주사 라인군(SL1 내지 SLn) 각각의 제 3 스위칭 제어 라인(SL1_3 내지 SLn_3)에 공급된다.
- [0105] 상기 주사 구동부(300)는 전술한 디스플레이 패널(100)의 박막 트랜지스터 공정과 함께 형성되는 GIP(Gate In Panel) 방식에 따라 디스플레이 패널(100)의 일측 또는/및 타측 비표시 영역에 형성되거나, 칩 형태로 형성되어 COG(Chip On Glass) 방식으로 상기 비표시 영역에 실장될 수 있다.
- [0106] 데이터 구동부(400)는 타이밍 제어부(200)로부터 제공되는 데이터 타이밍 제어 신호(DTCS)에 따라 타이밍 제어부(200)로부터 공급되는 정렬 데이터(R/G/B)를 아날로그 형태의 데이터 전압으로 변환하고, 상기 제 1 스위칭 제어 신호에 중첩되는 1 수평 기간 동안 변환된 데이터 전압을 해당 데이터 라인(DL1 내지 DLm)에 공급한다. 즉, 데이터 구동부(400)는 데이터 타이밍 제어 신호(DTCS)에 응답하여 순차적으로 공급되는 1 수평 라인분의 정렬 데이터(R/G/B)를 순차적으로 래치하고, 각기 다른 복수의 감마 전압 중에서 래치된 정렬 데이터(R/G/B)에 대응되는 감마 전압을 데이터 전압으로 선택하여 해당 데이터 라인(DL1 내지 DLm)에 공급한다.
- [0107] 전원 공급부(500)는 외부로부터의 입력 전원(Vin)을 이용하여 전술한 화소 회로의 구동에 필요한 각기 다른 기준 전압(Vref)과 제 1 및 제 2 구동 전압(V1, V2)을 생성하여 각 화소 회로의 스위칭부에 공급한다. 이때, 상기 전원 공급부(500)는 각 화소 회로의 스위칭부에 마련된 기준 전원 라인(PLref)에 상기 기준 전압(Vref)을 공통적으로 공급하거나 개별적으로 공급할 수 있다. 또한, 전원 공급부(500)는 각 화소 회로의 스위칭부에 마련된 제 1 구동 전원 라인(PL1)에 상기 제 1 구동 전압(V1)을 공통적으로 공급하거나 개별적으로 공급할 수 있다. 그리고, 전원 공급부(500)는 각 화소 회로의 스위칭부에 마련된 제 2 구동 전원 라인(PL2)에 상기 제 2 구동 전압(V2)을 공통적으로 공급하거나 개별적으로 공급할 수 있다.
- [0108] 한편, 본 발명의 실시 예에 따른 발광 표시 장치는 상기 제 1 및 제 2 구동 전원 라인(PL1, PL2) 중 적어도 한 라인에 접속되어 각 화소 회로의 구동 트랜지스터의 문턱 전압 정보 및/또는 발광 소자의 열화 정보를 외부에서 검출하기 위한 검출부(미도시)를 더 포함하여 구성될 수 있다.
- [0109] 이와 같은, 본 발명의 실시 예에 따른 발광 표시 장치는 전술한 본 발명의 제 1 또는 제 2 실시 예에 따른 화소 회로를 포함하여 구성됨으로써 상기 화소 회로에 의한 효과를 제공할 수 있다.
- [0110] 본 발명이 속하는 기술분야의 당업자는 본 발명이 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로, 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로 이해해야만 한다. 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

부호의 설명

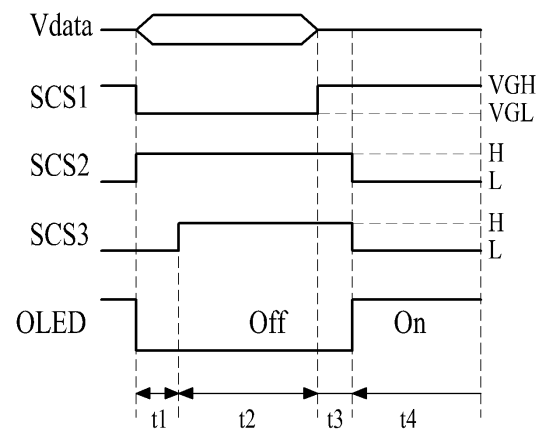
- [0111]
- | | |
|---------------|--------------|
| 100: 디스플레이 패널 | 110: 화소 회로 |
| 112: 스위칭부 | 200: 타이밍 제어부 |
| 300: 주사 구동부 | 400: 데이터 구동부 |
| 500: 전원 공급부 | |

도면

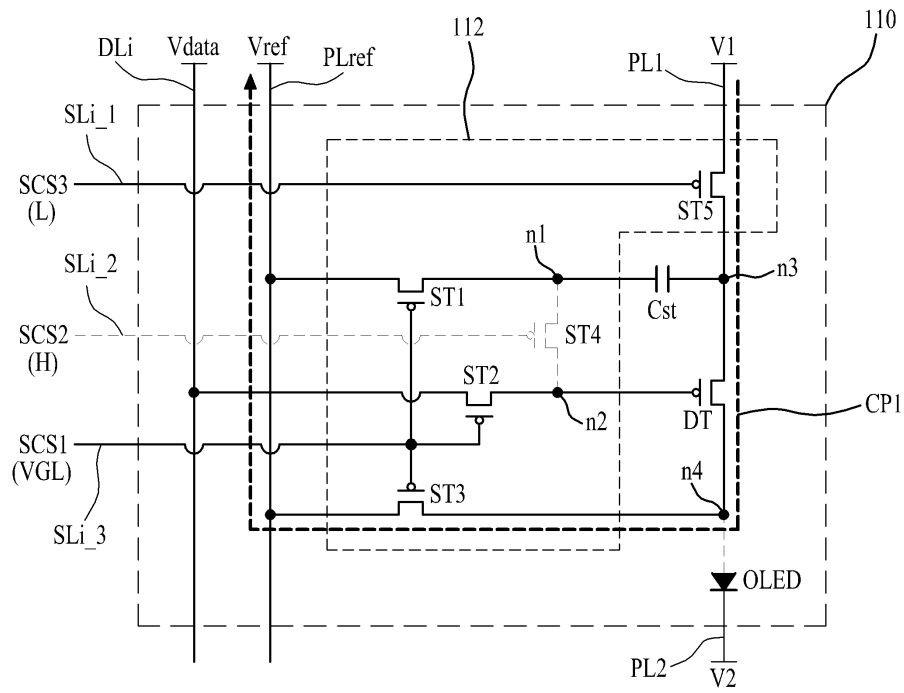
도면1



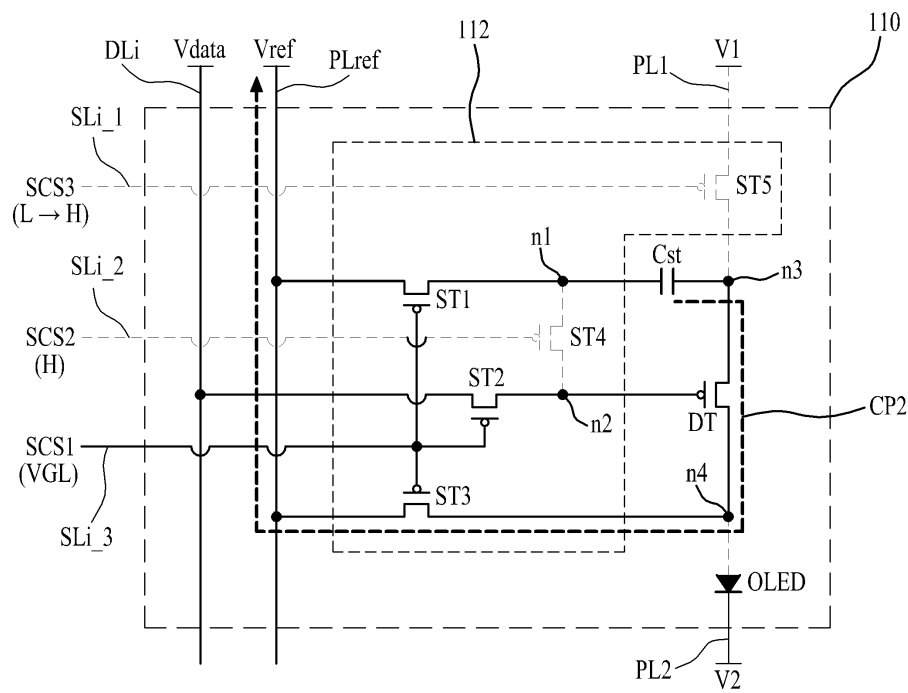
도면2



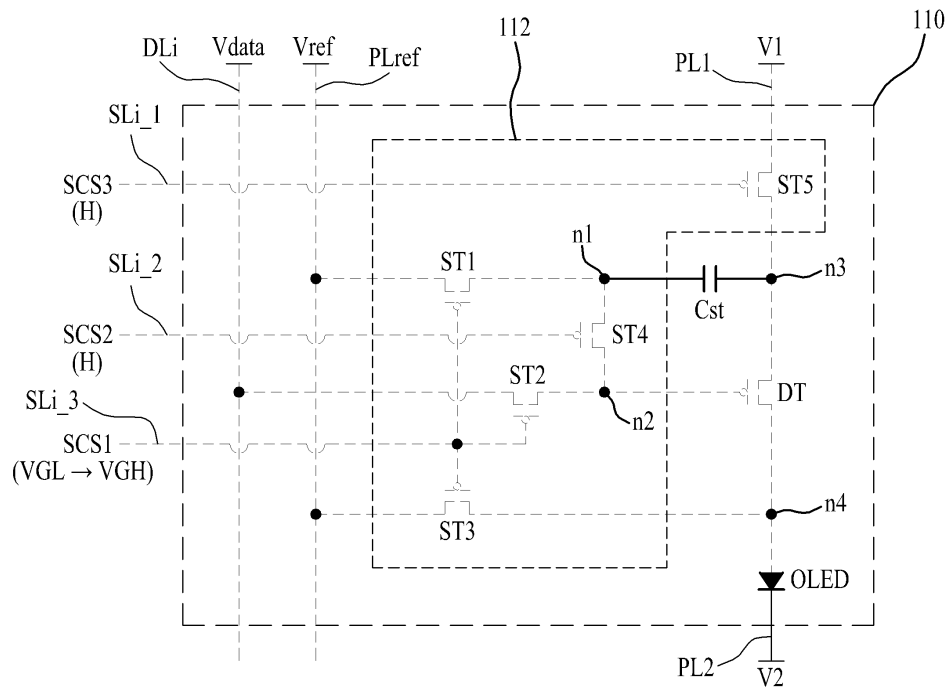
도면3a



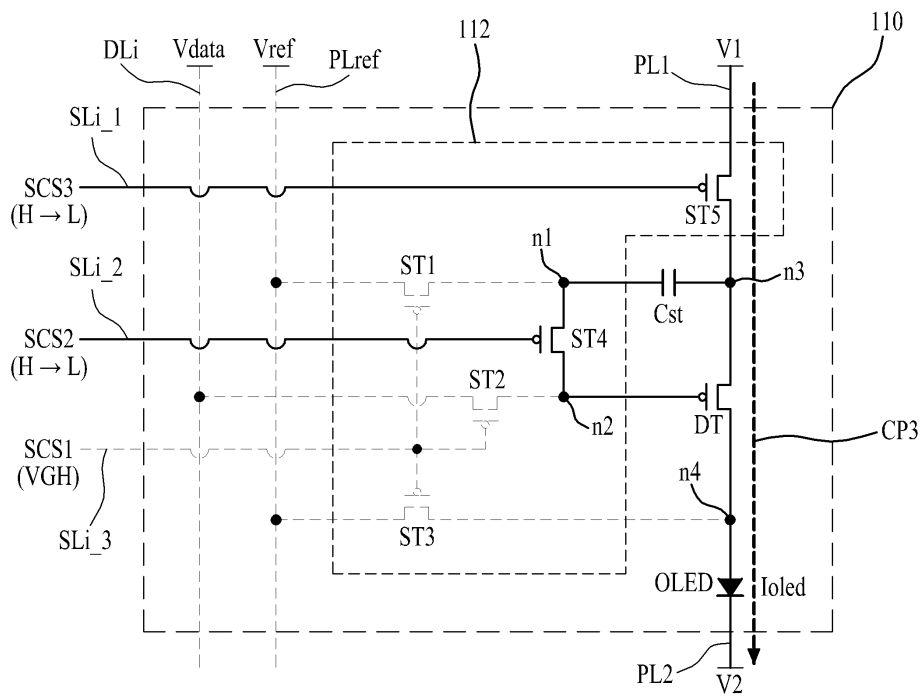
도면3b



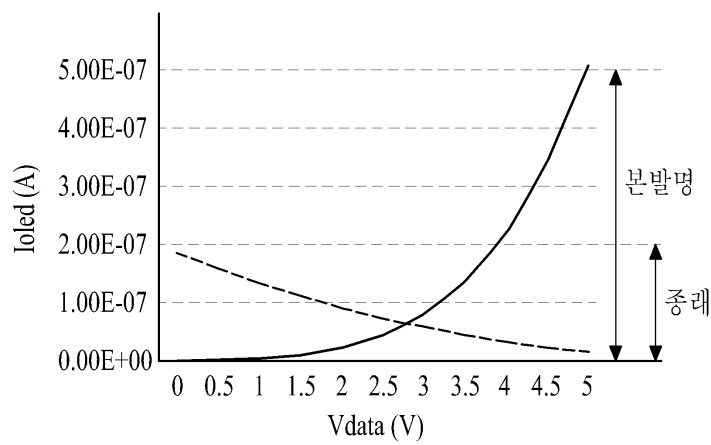
도면3c



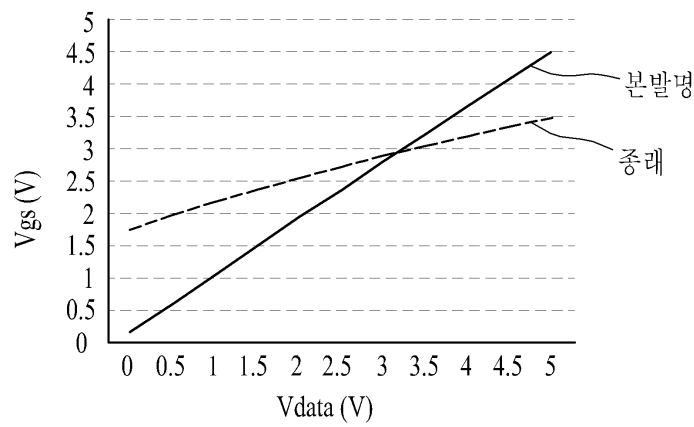
도면3d



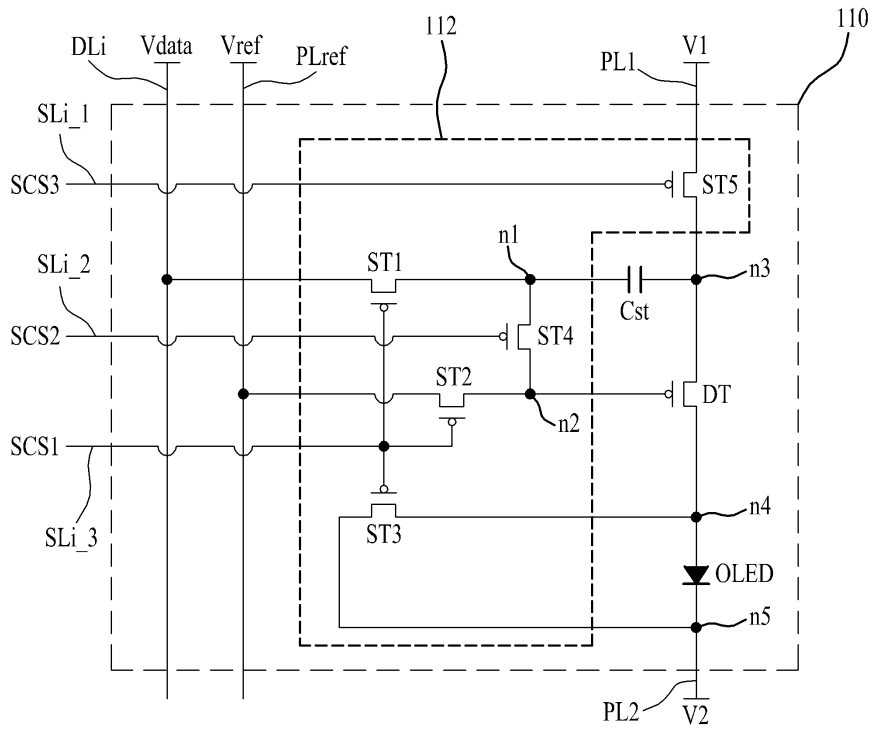
도면4



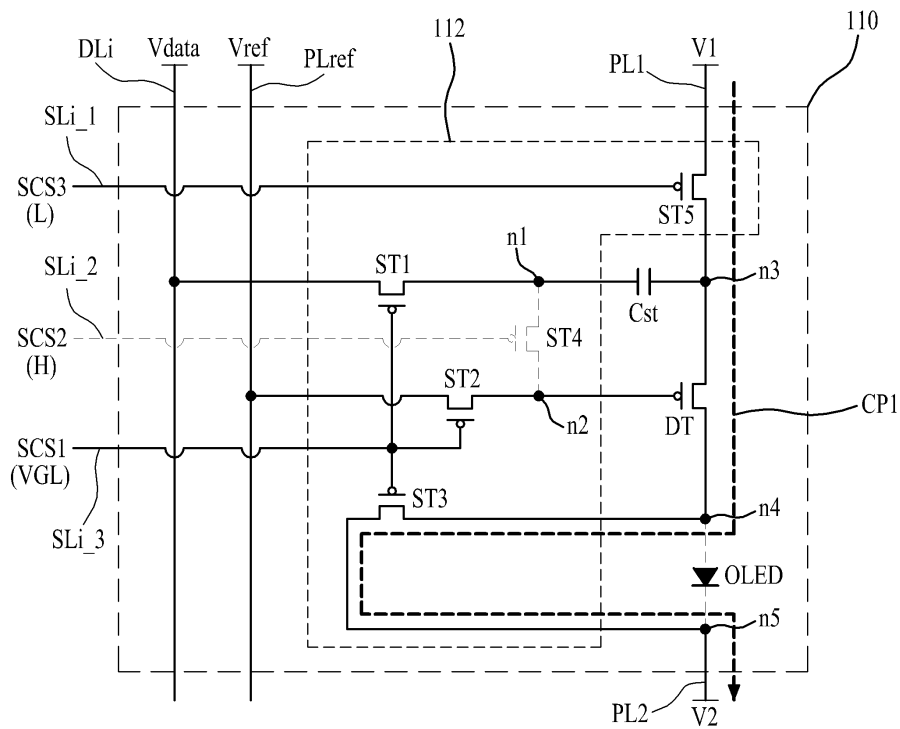
도면5



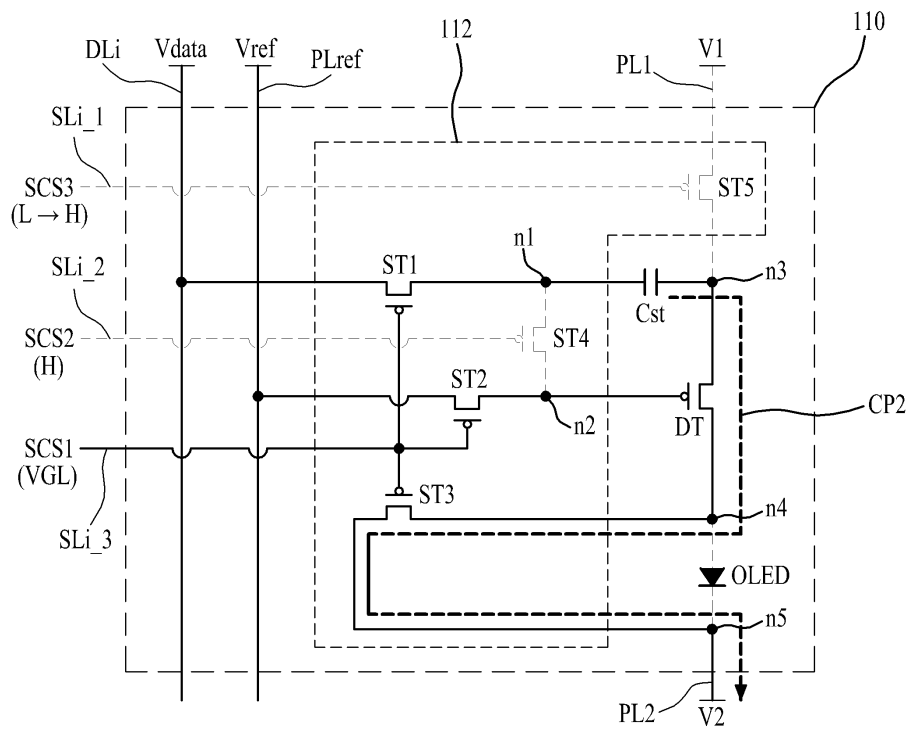
도면6



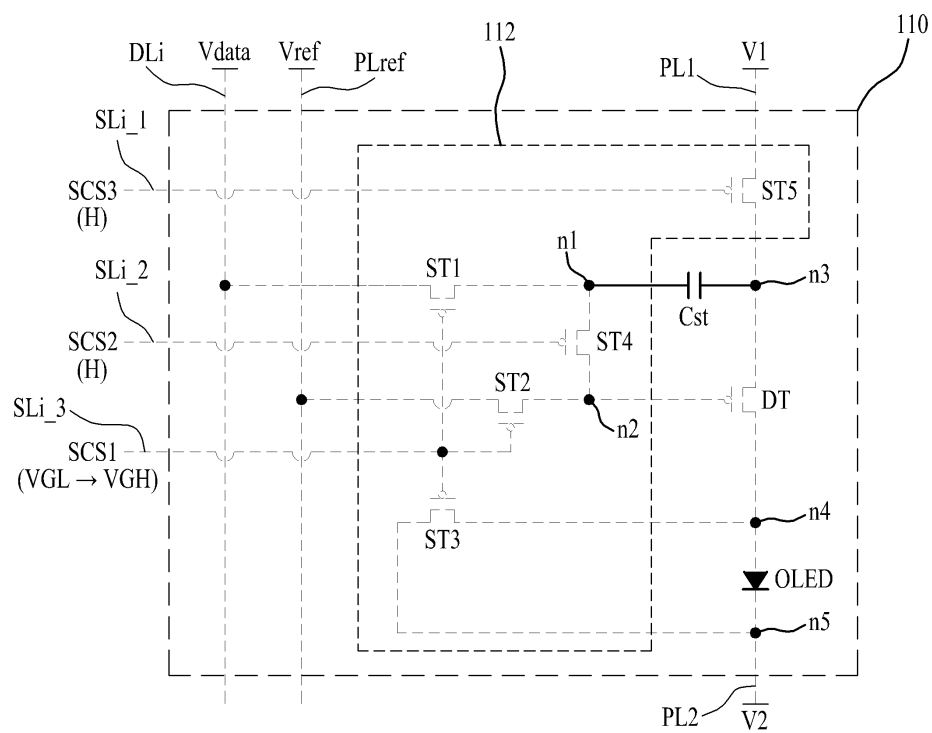
도면7a



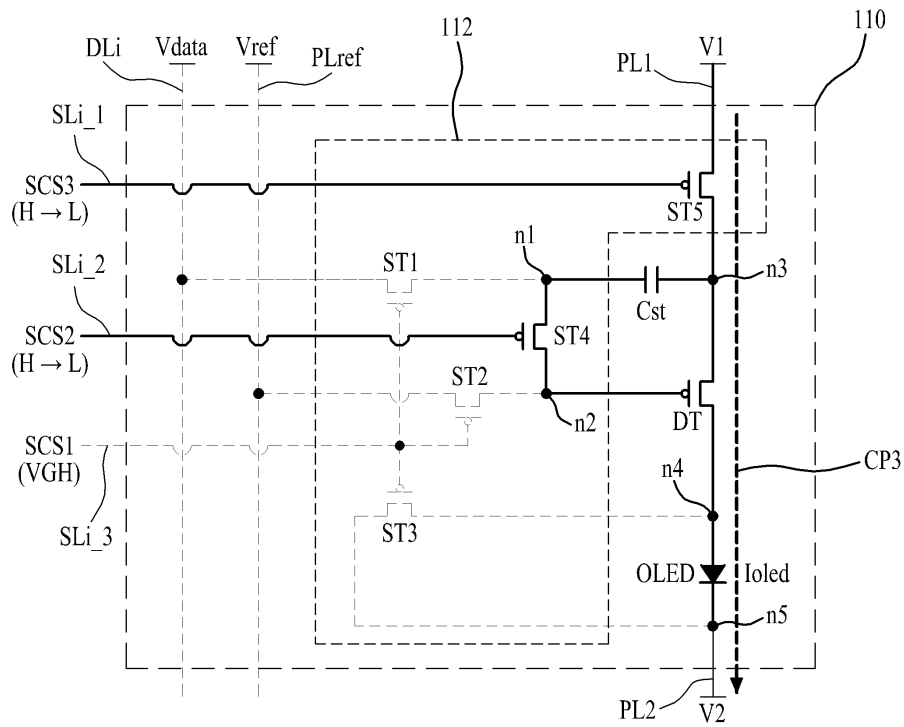
도면7b



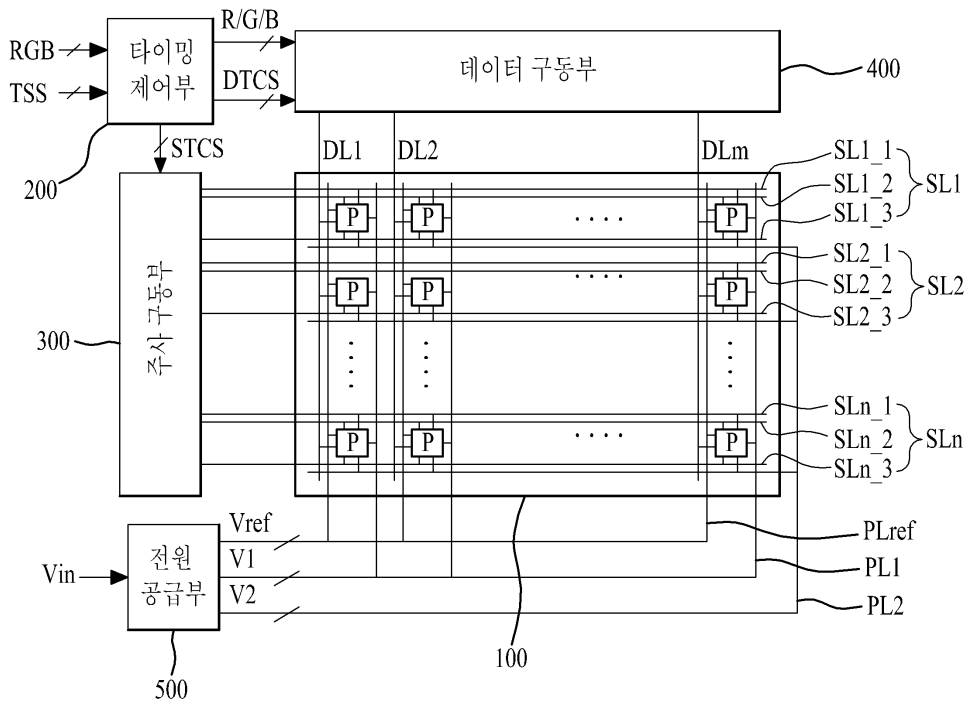
도면7c



도면7d



도면8



专利名称(译)	像素电路，其驱动方法以及使用其的有机发光显示器		
公开(公告)号	KR101947577B1	公开(公告)日	2019-02-13
申请号	KR1020120102338	申请日	2012-09-14
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	이정민 윤상훈		
发明人	이정민 윤상훈		
IPC分类号	G09G3/30		
审查员(译)	李升 - 最小		
其他公开文献	KR1020140035724A		
外部链接	Espacenet		

摘要(译)

像素电路及其驱动方法技术领域本发明涉及一种像素电路及其驱动方法，该像素电路能够补偿用于控制发光器件的发光的驱动晶体管的阈值电压，同时最小化数据效率的下降。一种发光器件，形成为包括有机发光单元，该有机发光单元形成在阳极电极和阴极电极之间，并且通过通电而发光。驱动晶体管，用于根据施加在栅极端子和源极端子之间的电压来控制发光器件的发光；一种电容器，其第一端子选择性地连接到驱动晶体管的栅极端子，第二端子选择性地连接到驱动晶体管的源极端子；并且断开电容器的第一端子与驱动晶体管的栅极端子之间的连接以初始化电容器，并且通过使用初始化的电容器的放电将包括数据电压的采样电压存储在电容器中。以及开关单元，用于将驱动晶体管的第一端子连接至驱动晶体管的栅极端子，以基于电容器的电压来驱动驱动晶体管以使发光器件发光。